



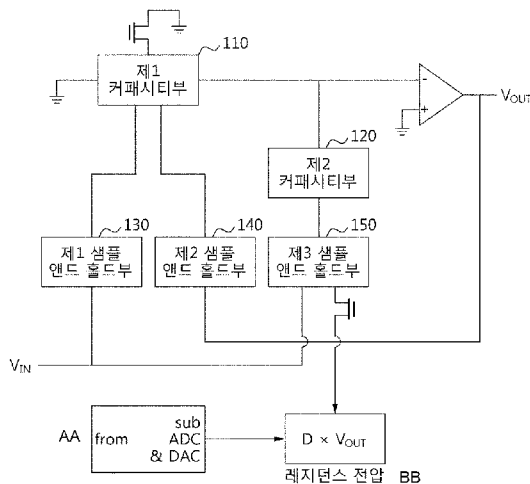
- (51) 국제특허분류:
H03M 1/12 (2006.01)
- (21) 국제출원번호: PCT/KR2014/005948
- (22) 국제출원일: 2014년 7월 3일 (03.07.2014)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2013-0077840 2013년 7월 3일 (03.07.2013) KR
- (71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 136-701 서울시 성북구 안암로 145, 고려대학교 (안암동 5가), Seoul (KR).
- (72) 발명자: 김철우 (KIM, Chul Woo); 136-720 서울시 성북구 길음로 16, 605 동 1301 호 (길음동, 길음뉴타운), Seoul (KR). 이호규 (LEE, Ho Kyu); 437-766 경기도 의왕시 갈미로 64, 106-1303 (내손동, 반도보라빌리지 1단지), Gyeonggi-do (KR). .아으렁거젍 (., Aurangozeb); .사키라, 샬나가 호왈반기, Satkhira (BD). 박세진 (PARK, Se Jin); 560-740 전라북도 전주시, 완산구 새터로 100, 101-1205 (서신동, 대우대창아파트), Jeollabuk-do (KR).
- (74) 대리인: 심정식 (SHIM, Kyoung-Shik) 등; 135-925 서울시 강남구 역삼로 15길 9 백년빌딩 2층(역삼동), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: MULTIPLYING DIGITAL ANALOG CONVERTER AND OPERATING METHOD FOR SAME

(54) 발명의 명칭 : 멀티플라잉 디지털 아날로그 컨버터 및 그 동작 방법

[Fig. 1]



110 ... First capacitor unit
120 ... Second capacitor unit
130 ... First sample and hold unit
140 ... Second sample and hold unit
150 ... Third sample and hold unit
AA ... from
BB ... Residence voltage

(57) Abstract: The present invention relates to a multiplying digital analog converter included in a pipelined analog digital converter, and an operating method for same. The multiplying digital analog converter comprises: a first capacitor unit which samples an input voltage in a sampling phase and holds same, and amplifies the difference between the input voltage and a reference voltage in an amplification phase, and transmits same to an output terminal; and a second capacitor unit which samples the input voltage in the sampling phase, and holds same, and transmits, to the first capacitor unit, the voltage difference resulting from the reference voltage having been subtracted from the input voltage in the amplification phase. The first capacitor unit can comprise three Y-connected capacitors.

(57) 요약서: 파이프라인 아날로그 디지털 컨버터에 포함되는 멀티플라잉 디지털 아날로그 컨버터의 구조 및 동작 방법에 연관된다. 샘플링 페이즈에서 입력 전압을 샘플하여 홀드 하고, 증폭 페이즈에서 상기 입력 전압과 레퍼런스 전압 차이를 증폭하여 출력 단자에 전달하는 제 1 커패시터부; 및 상기 샘플링 페이즈에서 상기 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈에서 상기 입력 전압에서 상기 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제 1 커패시터부에 전달하는 제 2 커패시터부를 포함할 수 있고, 상기 제 1 커패시터부는 Y형 연결된 세 개의 커패시터들을 포함할 수 있다.



공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

— 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

명세서

발명의 명칭: 멀티플라잉 디지털 아날로그 컨버터 및 그 동작 방법 기술분야

- [1] 파이프라인 아날로그 디지털 컨버터에 포함되는 멀티플라잉 디지털 아날로그 컨버터의 구조 및 동작 방법에 연관된다.

배경기술

- [2] 아날로그 디지털 컨버터(ADC, Analog-to-Digital Converter)는 아날로그 신호를 디지털 신호로 변환하는 장치로, 아날로그 디지털 컨버터는 신호 변환 방식에 따라 플래시 아날로그 디지털 컨버터(Flash ADC), 축차 비교형 아날로그 디지털 컨버터(Successive-approximation ADC), 집적 아날로그 디지털 컨버터(Integrating ADC), 파이프라인 아날로그-디지털 컨버터(Pipelined ADC) 및 시그마-델타 아날로그 디지털 컨버터(Sigma-Delta ADC)로 구분된다.
- [3] 아날로그 디지털 컨버터는 아날로그 신호를 아날로그 신호에 상응하는 디지털 코드로 변환하는 역할을 수행한다. 생성된 디지털 코드는 디지털 도메인에서 처리되며, 데이터 저장에도 용이하다.
- [4] 휴대용 시스템에서는 고속, 높은 해상도, 저전력 아날로그 디지털 컨버터가 디지털 멀티미디어에 많이 사용된다. 최근 디지털 멀티미디어와 연관한 디지털 변환기의 연구가 많이 이루어지고 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 일실시예의 목적은 멀티플라잉 디지털 아날로그 컨버터 및 그 동작 방법을 제공하는 것이다.

과제 해결 수단

- [6] 일측에 따르면, 샘플링 페이즈에서 입력 전압을 샘플하여 홀드 하고, 증폭 페이즈에서 상기 입력 전압과 레퍼런스 전압 차이를 증폭하여 출력 단자에 전달하는 제1 커패시터부; 및 상기 샘플링 페이즈에서 상기 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈에서 상기 입력 전압에서 상기 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1 커패시터부에 전달하는 제2 커패시터부를 포함하고, 상기 제1 커패시터부는 Y형 연결된 세 개의 커패시터들을 포함하는 멀티플라잉 디지털-아날로그 컨버터가 제공된다.

발명의 효과

- [7] 본 발명의 일 실시예에 따르면 클록 분배회로의 감소와 실리콘 면적의 감소 및 저전력 작동을 기대할 수 있다.

도면의 간단한 설명

- [8] 도 1은 일실시예에 따른 멀티플라잉 디지털-아날로그 컨버터의 블록도이다.
- [9] 도 2는 일실시예에 따른 파이프라인 아날로그 디지털 컨버터에 관한 개략적인

개념도이다.

- [10] 도 3은 일실시에에 따른 멀티플라잉 디지털 아날로그 컨버터의 블록 다이어그램을 도시한 도면이다.
- [11] 도 4는 기존의 멀티플라잉 디지털 아날로그 컨버터의 구조를 도시한 회로도이다.
- [12] 도 5는 도 4의 멀티플라잉 디지털 아날로그 컨버터의 샘플링 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.
- [13] 도 6은 도 4의 멀티플라잉 디지털 아날로그 컨버터의 증폭 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.
- [14] 도 7은 일실시에에 따른 멀티플라잉 디지털 아날로그 컨버터의 세부 회로도를 도시한다.
- [15] 도 8은 일실시에에 따른 도 7의 멀티플라잉 디지털 아날로그 컨버터의 샘플링 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.
- [16] 도 9는 일실시에에 따른 도 7의 멀티플라잉 디지털 아날로그 컨버터의 증폭 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.
- [17] 도 10은 일실시에에 따른 차동 모드 멀티플라잉 디지털 아날로그 컨버터의 블록 다이어그램을 도시한 도면이다.
- [18] 도 11은 일실시에에 따른 차동 모드 멀티플라잉 디지털 아날로그 컨버터의 구조를 도시한 회로도이다.
- [19] 도 12는 일실시에에 따른 차동 모드 멀티플라잉 디지털 아날로그 컨버터의 샘플링 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.
- [20] 도 13은 일실시에에 따른 차동 모드 멀티플라잉 디지털 아날로그 컨버터의 증폭 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.

발명의 실시를 위한 최선의 형태

- [21] 일측에 따르면, 샘플링 페이즈에서 입력 전압을 샘플하여 홀드 하고, 증폭 페이즈에서 상기 입력 전압과 레퍼런스 전압 차이를 증폭하여 출력 단자에 전달하는 제1 커패시터부; 및 상기 샘플링 페이즈에서 상기 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈에서 상기 입력 전압에서 상기 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1 커패시터부에 전달하는 제2 커패시터부를 포함하고, 상기 제1 커패시터부는 Y형 연결된 세 개의 커패시터들을 포함하는 멀티플라잉 디지털-아날로그 컨버터가 제공된다.
- [22] 일실시에에 따르면, 상기 샘플링 페이즈에서 상기 입력 전압을 상기 Y형 연결된 세 개의 커패시터들 중 제1 커패시터로 전달하는 제1 샘플 앤드 홀드부; 상기 증폭 페이즈에서 상기 제1 커패시터를 상기 출력 단자로 연결하는 제2 샘플 앤드 홀드부; 및 상기 샘플링 페이즈에서 상기 입력 전압을 상기 제2 커패시터스부로 전달하는 제3 샘플 앤드 홀드부를 더 포함할 수 있다.
- [23] 다른 실시예에 따르면, 상기 제1 샘플 앤드 홀드부, 상기 제2 샘플 앤드 홀드부,

및 상기 제3 샘플 앤드 홀드부 중 적어도 하나는 부트스트랩 스위치를 포함할 수 있다.

- [24] 또 다른 실시예에 따르면, 상기 제2 커패시터부 및 상기 Y형 연결된 세 개의 커패시터들 중 상기 제1 커패시터와 상이한 제2 커패시터는 OP AMP의 네거티브 인풋에 연결되고, 상기 OP AMP의 포지티브 인풋은 그라운드 될 수 있다.
- [25] 또한, 상기 Y형 연결된 상기 세 개의 커패시터들 및 상기 제2 커패시터부에 포함되는 커패시터는 동일한 커패시턴스를 가질 수 있다.
- [26] 또 다른 실시예에 따르면, 상기 레퍼런스 전압은 상기 입력 전압을 상기 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정된 이전 단계의 디지털 값에 따라 결정될 수 있다.
- [27] 다른 일측에 따르면, 샘플링 페이즈에서 양의 입력 전압을 샘플하여 홀드 하고, 증폭 페이즈에서 상기 입력 전압과 제1 레퍼런스 전압 차이를 증폭하여 제1 출력 단자에 전달하는 제1정 커패시터부; 상기 샘플링 페이즈에서 상기 양의 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈에서 상기 양의 입력 전압에서 상기 제1 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1 커패시터부에 전달하는 제2정 커패시터부; 상기 샘플링 페이즈에서 음의 입력 전압을 샘플하여 홀드 하고, 상기 증폭 페이즈에서 상기 음의 입력 전압과 제2 레퍼런스 전압 차이를 증폭하여 제2 출력 단자에 전달하는 제1부 커패시터부; 및 상기 샘플링 페이즈에서 상기 음의 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈에서 상기 음의 입력 전압에서 상기 제2 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1부 커패시터부에 전달하는 제2부 커패시터부를 포함하고, 상기 제1정 커패시터부는 제1 Y형 연결된 세 개의 커패시터들을 포함하고, 상기 제1부 커패시터부는 제2 Y형 연결된 세 개의 커패시터들을 포함하는 차동 모드 멀티플라잉 디지털-아날로그 컨버터가 제공된다.
- [28] 일 실시예에 따르면, 상기 샘플링 페이즈에서 상기 양의 입력 전압을 상기 제1 Y형 연결된 세 개의 커패시터들 중 제1정 커패시터로 전달하는 제1정 샘플 앤드 홀드부; 상기 증폭 페이즈에서 상기 제1정 커패시터를 상기 제1 출력 단자로 연결하는 제2정 샘플 앤드 홀드부; 상기 샘플링 페이즈에서 상기 양의 입력 전압을 상기 제2정 커패시터스부로 전달하는 제3정 샘플 앤드 홀드부; 상기 샘플링 페이즈에서 상기 음의 입력 전압을 상기 제2 Y형 연결된 세 개의 커패시터들 중 제1부 커패시터로 전달하는 제1부 샘플 앤드 홀드부; 상기 증폭 페이즈에서 상기 제1부 커패시터를 상기 제2 출력 단자로 연결하는 제2부 샘플 앤드 홀드부; 및 상기 샘플링 페이즈에서 상기 음의 입력 전압을 상기 제2부 커패시터스부로 전달하는 제3부 샘플 앤드 홀드부를 더 포함할 수 있다.
- [29] 다른 실시예에 따르면, 상기 제1정 샘플 앤드 홀드부, 상기 제2정 샘플 앤드 홀드부, 상기 제3정 샘플 앤드 홀드부, 상기 제1부 샘플 앤드 홀드부, 상기 제2부 샘플 앤드 홀드부 및 상기 제3부 샘플 앤드 홀드부 중 적어도 하나는 부트스트랩 스위치를 포함할 수 있다.

- [30] 또 다른 실시예에 따르면, 상기 제2정 커패시터부 및 상기 제1 Y형 연결된 세 개의 커패시터들 중 상기 제1정 커패시터와 상이한 제2정 커패시터는 OP AMP의 포지티브 인풋에 연결되고, 상기 제2부 커패시터부 및 상기 제2 Y형 연결된 세 개의 커패시터들 중 상기 제1부 커패시터와 상이한 제2부 커패시터는 OP AMP의 네거티브 인풋에 연결될 수 있다.
- [31] 또 다른 실시예에 따르면, 상기 제1 레퍼런스 전압은 상기 양의 입력 전압을 상기 차동 모드 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정된 이전 단계의 제1 디지털 값에 따라 결정되는 아날로그 전압 레벨이고, 상기 제2 레퍼런스 전압은 상기 음의 입력 전압을 상기 차동 모드 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정된 이전 단계의 제2 디지털 값에 따라 결정되는 아날로그 전압 레벨일 수 있다.
- [32] 또 다른 일측에 따르면, 제2 커패시터부에서 샘플링 페이즈의 입력 전압을 샘플하여 홀드하는 단계; 상기 제2 커패시터부에서 증폭 페이즈의 상기 입력 전압에서 레퍼런스 전압을 감산한 전압 차이를 제1 커패시터부에 전달하는 단계; 상기 제1 커패시터부에서 상기 샘플링 페이즈의 상기 입력 전압을 샘플하여 홀드하는 단계; 및 상기 제1 커패시터부에서 상기 증폭 페이즈의 상기 입력 전압과 상기 레퍼런스 상기 전압 차이를 증폭하여 출력 단자에 전달하는 단계를 포함하고, 상기 제1 커패시터부는 Y형 연결된 세 개의 커패시터들을 포함하는 멀티플라잉 디지털-아날로그 변환 방법이 제공된다.
- [33] 일실시예에 따르면, 제1 샘플 앤드 홀드부에서 상기 샘플링 페이즈의 상기 입력 전압을 상기 Y형 연결된 세 개의 커패시터들 중 제1 커패시터로 전달하는 단계; 및 제2 샘플 앤드 홀드부에서 상기 증폭 페이즈의 상기 제1 커패시터를 상기 출력 단자로 연결하고, 제3 샘플 앤드 홀드부에서 상기 샘플링 페이즈의 상기 입력 전압을 상기 제2 커패시터스부로 전달하는 단계를 더 포함할 수 있다.
- [34] 다른 실시예에 따르면, 상기 제2 커패시터부 및 상기 Y형 연결된 세 개의 커패시터들 중 상기 제1 커패시터와 상이한 제2 커패시터는 OP AMP의 네거티브 인풋에 연결되고, 상기 OP AMP의 포지티브 인풋은 그라운드 될 수 있다.
- [35] 또 다른 실시예에 따르면, 상기 입력 전압을 상기 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정된 이전 단계의 디지털 값에 따라 상기 레퍼런스 전압을 결정하는 단계를 더 포함할 수 있다.

발명의 실시를 위한 형태

- [36] 이하에서, 일부 실시예들을, 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [37] 아래 설명에서 사용되는 용어는 본 발명에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도 또는 관례, 새로운 기술의 출현 등에 따라 달라질 수 있다.

- [38] 또한 특정한 경우는 이해를 돕거나 및/또는 설명의 편의를 위해 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.
- [39] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로 이들 용어들에 의해 본 발명의 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [40] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [41] 도 1은 일실시예에 따른 멀티플라잉 디지털-아날로그 컨버터의 블록도이다.
- [42] 멀티플라잉 디지털-아날로그 컨버터는 제1 커패시터부(110), 제2 커패시터부(120), 제1 샘플 앤드 홀드부(130), 제2 샘플 앤드 홀드부(140), 제3 샘플 앤드 홀드부(150)를 포함할 수 있다.
- [43] 제1 커패시터부(110)는 샘플링 페이즈에서 입력 전압을 샘플하여 홀드 하고, 증폭 페이즈에서 상기 입력 전압과 레퍼런스 전압 차이를 증폭하여 출력 단자에 전달할 수 있다. 상기 제1 커패시터부(110)는 Y형 연결된 세 개의 커패시터들을 포함할 수 있다.
- [44] 제2 커패시터부는 상기 샘플링 페이즈에서 상기 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈에서 상기 입력 전압에서 상기 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1 커패시터부(110)에 전달할 수 있다.
- [45] 제1 샘플 앤드 홀드부(130)는 상기 샘플링 페이즈에서 상기 입력 전압을 상기 Y형 연결된 세 개의 커패시터들 중 제1 커패시터로 전달할 수 있다. 제2 샘플 앤드 홀드부(140)는 상기 증폭 페이즈에서 상기 제1 커패시터를 상기 출력 단자로 연결될 수 있다. 제3 샘플 앤드 홀드부(150)는 상기 샘플링 페이즈에서 상기 입력 전압을 상기 제2 커패시터부(120)로 전달할 수 있다. 또한, 상기 제1 샘플 앤드 홀드부(130), 상기 제2 샘플 앤드 홀드부(140), 및 상기 제3 샘플 앤드 홀드부(150) 중 적어도 하나는 부트스트랩 스위치를 포함할 수 있다.
- [46] 상기 제2 커패시터부(120) 및 상기 Y형 연결된 세 개의 커패시터들 중 상기 제1 커패시터와 상이한 제2 커패시터는 OP AMP의 네거티브 인풋에 연결되고, 상기 OP AMP의 포지티브 인풋은 그라운드 될 수 있다.
- [47] 또한, 상기 Y형 연결된 상기 세 개의 커패시터들 및 상기 제2 커패시터부(120)에 포함되는 커패시터는 동일한 커패시턴스를 가질 수 있다.
- [48] 상기 레퍼런스 전압은 상기 입력 전압을 상기 멀티플라잉 디지털-아날로그

- 컨버터 이전 단계에서 측정된 이전 단계의 디지털 값에 따라 결정될 수 있다.
- [49] 도 2는 일실시예에 따른 파이프라인 아날로그 디지털 컨버터에 관한 개략적인 개념도이다.
- [50] 파이프라인 아날로그 디지털 컨버터는 디지털 신호를 아날로그 신호로 변환하는 다수의 멀티플라잉 디지털 아날로그 컨버터(Multiplying Digital to Analog Converter), 아날로그 신호를 디지털 신호로 변환하는 다수의 서브 플래쉬 아날로그 디지털 컨버터(Sub Flash Analog to Digital Converter), 입력된 아날로그 신호를 디지털 신호로 변환하는 파이프라인 아날로그 디지털 변환부, 파이프라인 아날로그 디지털 변환부의 다수의 서브 플래쉬 아날로그 디지털 컨버터에서 출력되는 디지털 신호의 에러를 정정하는 디지털 커렉션 로직(Digital Correction Logic)을 포함할 수 있다.
- [51] 파이프라인 아날로그 디지털 컨버터는 멀티플라잉 디지털 아날로그 컨버터 및 서브 플래쉬 아날로그 디지털 컨버터가 하나의 스테이지를 이루어 다수의 스테이지를 연결한 파이프라인 구조를 가질 수 있다.
- [52] 도 3은 일실시예에 따른 멀티플라잉 디지털 아날로그 컨버터의 블록 다이어그램을 도시한 도면이다.
- [53] 멀티플라잉 디지털 아날로그 컨버터(Multiplying Digital to Analog Converter)(300)는 디지털 아날로그 컨버터(Digital to Analog Converter)(302), 합산기(303), 증폭기(304), 샘플 앤드 홀드 회로(sample and hold circuit)(305)를 포함할 수 있다.
- [54] 일실시예에 따르면, 입력 전압은 서브 플래쉬 아날로그 디지털 컨버터(301)에 의하여 2.8비트의 디지털 코드로 변환된다. 서브 플래쉬 디지털 아날로그 컨버터(301)는 그에 상응하는 기준 전압을 디지털 아날로그 컨버터(302)에서 생성한다. 입력 전압에서 기준 전압이 감산되는 과정을 합산기(303)에서 수행한다. 감산된 값은 레지스터 값으로 불리며, 4배로 증폭기(304)에서 증폭된 후, 샘플 앤드 홀드 회로(305)에서 샘플링된다.
- [55] 도 4는 기존의 멀티플라잉 디지털 아날로그 컨버터의 구조를 도시한 회로도이다.
- [56] 일실시예에 따르면, 기존의 멀티플라잉 디지털 아날로그 컨버터(400)는 4개의 커패시터(401, 402, 403, 404), 증폭기, 4개의 샘플 앤드 홀드 회로(411, 412, 413, 414) 및 출력 전압을 샘플링하는 샘플 앤드 홀드 회로(415)로 구성된다.
- [57] 일실시예에 따르면, 멀티플라잉 아날로그 디지털 컨버터는 두 개의 겹치지 않는 클록(430)이 필요하다. 입력 전압은 입력부(424)를 통하여 인가된다. 샘플링 페이즈(431)에서는 입력 신호를 샘플링하고, 증폭 페이즈(432)에서는 입력 전압으로부터 서브 플래쉬 디지털 아날로그 컨버터에서 생성된 기준 전압이 감산, 증폭(405)된다. 증폭된 값은 출력부(425)를 통하여 출력된다.
- [58] 다른 실시예에 따르면, 멀티플라잉 디지털 아날로그 컨버터는 샘플링 페이즈(431)에서 일단에 입력전압을 입력받아 전하를 저장하고 증폭

페이즈(432)에서 증폭부의 디지털 전압($D \cdot V_{REF}$)을 입력받아 전하를 저장하는 커패시터(401, 402, 403), 샘플링 페이즈(431)에서 일단에 입력전압을 입력받아 전하를 저장하고 증폭 페이즈(432)에서 일단이 증폭부의 출력노드로 연결되는 커패시터(404), 및 증폭 페이즈(432)에서 입력전압과 디지털 전압($D \cdot V_{REF}$)의 차이를 증폭하여 레지듀 전압을 출력하는 증폭부를 포함한다.

- [59] 또한, 커패시터(401, 402, 403, 404)의 타단은 증폭부의 입력노드로 연결된다. 병렬 연결된 커패시터의 갯수에 따라서 N (N 은 3이상의 정수)비트의 디지털 신호의 디지털 코드값을 나타내는 디지털 전압($D \cdot V_{REF}$)을 입력 받을 수 있다. 커패시터(401, 402, 403)에는 디지털 신호의 디지털 코드 값에 따라 각각 V_{REF} , GND, $-V_{REF}$ 가 입력될 수 있다. [표 1]은 디지털 코드에 따른 감산된 결과를 나타낸다.

- [60] 표 1

[Table 1]

Resolved digital code, D	Equivalent Value	Equivalent resultant reference voltage
000	-3/4	-3/4*Vref
001	-2/4	-2/4*Vref
010	-1/4	-1/4*Vref
011	0	GND
100	+1/4	+1/4*Vref
101	+2/4	+2/4*Vref
110	+3/4	+3/4*Vref

- [61] 도 5는 도 4의 멀티플라잉 디지털 아날로그 컨버터의 샘플링 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.

- [62] 샘플링 페이즈(431)에서 샘플링 페이즈 스위치는 턴온되어 단락회로와 같이 동작하고, 증폭 페이즈 스위치는 턴오프되어 개방회로와 같이 동작하므로 도5와 같다. 증폭기의 음극 단자에 저장된 전하량은 [수학식 1]과 같다.

- [63] 수학식 1

$$Q_M(\Phi_1) = -4 \times C \times V_{IN}$$

- [64] 도 6은 도 4의 멀티플라잉 디지털 아날로그 컨버터의 증폭 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.

- [65] 증폭 페이즈(432)에서 증폭 페이즈 스위치는 턴온되어 단락회로와 같이 동작하고, 샘플링 페이즈 스위치는 턴오프되어 개방회로와 같이 동작하므로 도6과 같다. 증폭기의 음극 단자에 저장된 전하량은 [수학식 2]와 같다.

[66] 수학식 2

$$Q_{IN}(\Phi_2) = -3 \times C \times D \times V_{ref} - C \times V_{ref}$$

[67] 전하량 보존의 법칙에 따라 [수학식 1]과 [수학식 2]가 같다. 정리하면 [수학식 3]과 같다.

[68] 수학식 3

$$V_{OUT} = 4(V_{IN} - 3/4 \times D \times V_{ref})$$

[69] 도 7은 일실시예에 따른 멀티플라잉 디지털 아날로그 컨버터의 세부 회로도를 도시한다.

[70] 일실시예에 따르면, 멀티플라잉 디지털 아날로그 컨버터(710)는 샘플링 및 증폭기의 페루프를 형성하기 위해서 4개의 단위 커패시터(701, 702, 703, 704)를 필요로 한다. 두 개의 커패시터(703, 704)의 양극 단자는 증폭기에 연결되며, 이 노드를 IN으로 한다. 2개의 커패시터(701, 702)의 양극단자는 다른 커패시터(703)의 음극 단자에 연결되며, 이 노드는 VX로 한다. 3개의 커패시터(701, 702, 703)은 Y연결을 형성한다. 커패시터(701)의 음극 단자는 항상 접지에 연결된다. 멀티플라잉 아날로그 디지털 컨버터(710)는 두 개의 겹치지 않는 클록(720)이 필요하다. 샘플링 페이즈(740) 동안 두 개의 커패시터(702, 704)는 샘플 앤드 홀드 회로(711, 712)를 통해서 입력 신호에 연결된다. 증폭 페이즈(750) 동안에는 커패시터(704)의 음극단자는 서브 플래쉬 아날로그 디지털 컨버터에서 생성한 코드에 의거하여 기준 전압에 연결된다. 커패시터(702)의 음극단자는 샘플 앤드 홀드 회로(713)을 통해서 증폭기의 출력단자에 연결된다.

[71] 멀티플라잉 디지털-아날로그 컨버터(710)는 제1 커패시터부(701, 702, 703), 제2 커패시터부(704), 제1 샘플 앤드 홀드부(711), 제2 샘플 앤드 홀드부(713), 제3 샘플 앤드 홀드부(712)를 포함할 수 있다.

[72] 제1 커패시터부(701, 702, 703)는 샘플링 페이즈(740)에서 입력 전압을 샘플하여 홀드 하고, 증폭 페이즈(750)에서 상기 입력 전압과 레퍼런스 전압 차이를 증폭하여 출력 단자에 전달할 수 있다. 상기 제1 커패시터부(701, 702, 703)는 Y형 연결된 세 개의 커패시터들(701, 702, 703)을 포함할 수 있다.

[73] 제2 커패시터부(704)는 상기 샘플링 페이즈(740)에서 상기 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈(750)에서 상기 입력 전압에서 상기 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1 커패시터부(701, 702, 703)에 전달할 수 있다.

[74] 제1 샘플 앤드 홀드부(711)는 상기 샘플링 페이즈(740)에서 상기 입력 전압을 상기 Y형 연결된 세 개의 커패시터들 중 제1 커패시터(702)로 전달할 수 있다. 제2 샘플 앤드 홀드부(713)는 상기 증폭 페이즈(750)에서 상기 제1 커패시터를 상기 출력 단자로 연결될 수 있다. 제3 샘플 앤드 홀드부(712)는 상기 샘플링

페이즈(740)에서 상기 입력 전압을 상기 제2 커패시터부(704)로 전달할 수 있다. 또한, 상기 제1 샘플 앤드 홀드부(711), 상기 제2 샘플 앤드 홀드부(713), 및 상기 제3 샘플 앤드 홀드부(712) 중 적어도 하나는 부트스트랩 스위치를 포함할 수 있다.

[75] 상기 제2 커패시터부(704) 및 상기 Y형 연결된 세 개의 커패시터들 중 상기 제1 커패시터(702)와 상이한 제2 커패시터(703)는 OP AMP의 네거티브 인풋에 연결되고, 상기 OP AMP의 포지티브 인풋은 그라운드 될 수 있다.

[76] 도 4에 도시된 기존의 멀티플라잉 디지털 아날로그 변환기(400)은 4개의 단위 커패시터 및 5개의 샘플 앤드 홀드 회로를 필요로 하였다. 도 7에 도시된 멀티플라잉 디지털 아날로그 변환기(710)은 4개의 단위 커패시터를 필요로 하는 것은 도 4와 같지만, 샘플 앤드 홀드 회로는 3개만 필요로 한다.

[77] 따라서, 멀티플라잉 디지털 아날로그 변환기(710)는 도 4에 도시된 기존의 멀티플라잉 디지털 아날로그 변환기(400)에 비하여 약 40% 적은 회로를 필요로 한다. 그러므로 클록 분배회로의 감소와 실리콘 면적의 감소 및 저전력 작동을 기대할 수 있다.

[78] 도 8은 일실시예에 따른 도 7의 멀티플라잉 디지털 아날로그 컨버터의 샘플링 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.

[79] 일실시예에 따르면, 샘플링 페이즈 스위치는 턴온되어 단락회로와 같이 동작하고, 증폭 페이즈 스위치는 턴오프되어 개방회로와 같이 동작한다.

[80] 일실시예에 따르면, 샘플링 페이즈 스위치가 턴온되어 VX 노드가 접지된다. 따라서 커패시터(801)의 양단 전압은 0V로 되어 단락회로로 작용한다. 또한 VIN 노드도 마찬가지로 샘플링 페이즈 스위치의 턴온으로 0V가 된다. 커패시터(803)의 양단 전압은 0V로 되어 단락회로로 작용한다.

[81] 일실시예에 따르면, 인가되는 전압은 커패시터(802, 804)에 걸쳐 전하량을 충전하게 된다. 샘플링 페이즈 동안에는 샘플 앤드 홀드 회로(713)은 개방되고, 다른 샘플 앤드 홀드 회로(711, 712)는 단락된다. 샘플 앤드 홀드 회로(711, 712)는 인가되는 전압을 샘플링 한다.

[82] 일실시예에 따르면, 두 개의 커패시터(802, 804)는 입력 신호에 연결되며, 노드(VX, VIN)는 접지에 연결된다. 각 노드에 저장되는 전하는 [수학식 4], [수학식 5]와 같다.

[83] 수학식 4

$$Q_M(\Phi_1) = -VIN \times C$$

[84] 수학식 5

$$Q_{VX}(\Phi_1) = -VIN \times C$$

[85] 초기 VIN을 샘플 앤드 홀드 하는 커패시터의 수가 기존의 멀티플라잉 디지털 아날로그 컨버터의 동작중에 4개에서 2개로 줄었기 때문에, 인풋 로딩이

줄어들고, VIN 샘플링에 소요되는 전력이 감소할 수 있다.

[86] 도 9는 일실시예에 따른 도 7의 멀티플라잉 디지털 아날로그 컨버터의 증폭 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.

[87] 일실시예에 따르면, 증폭 페이즈 스위치는 턴온되어 단락회로와 같이 동작하고, 샘플링 페이즈 스위치는 턴오프되어 개방회로와 같이 동작한다.

[88] 일실시예에 따르면, 샘플링 페이즈 스위치가 개방되어 VX 노드에는 커패시터(901, 902, 903)의 일단이 연결된다. 커패시터(901, 902, 903)은 Y결합을 이루게 된다. 커패시터(901)의 타단은 접지에 연결되고 커패시터(902)의 타단은 샘플 앤드 홀드 회로(713)에 연결된다. 커패시터(903)의 타단은 VIN노드에 연결된다. 샘플 앤드 홀드 회로(713)은 출력단자(920)와 연결되어 피드백 구조를 이루게 된다.

[89] 일실시예에 따르면, 커패시터(904)의 일단은 디지털 전압(910)과 연결되고, 타단은 VIN 노드와 연결된다. 디지털 전압은 $(+(3/2)*V_{ref} \text{ or } +V_{ref} \text{ or } +(1/2)*V_{ref} \text{ or } GND \text{ or } -(1/2)*V_{ref} \text{ or } +V_{ref} \text{ or } -(3/2)*V_{ref})$ 의 값이다. 상기 디지털 전압은 서브플래쉬 아날로그 디지털 컨버터에서 생성한 코드에 의거하여 정해진 것이다.

[90] 일실시예에 따르면, 커패시터(904)는 기준 전압에 연결되며, 커패시터(902)는 증폭기의 출력단자에 연결된다. 각 노드에 저장되는 전하는 [수학식 6], [수학식 7]과 같다.

[91] 수학식 6

$$Q_{IN}(\Phi_2) = -D \times C \times V_{ref} - V_{VX} \times C$$

[92] 수학식 7

$$Q_{VX}(\Phi_2) = V_{VX} \times C + (V_{VX} - V_{OUT}) \times C + V_{VX} \times C$$

[93] 전하량 보존 법칙에 따라 [수학식 4], [수학식 6]은 같고, [수학식 5], [수학식 7]도 각각 같다. 노드 VX, OUT에 대하여 정리하면 [수학식 8], [수학식 9]와 같다.

[94] 수학식 8

$$V_{VX} = VIN - D \times V_{ref}$$

[95] 수학식 9

$$V_{OUT} = VIN + 3 \times V_{VX}$$

[96] [수학식 8]을 [수학식 9]에 대입하여 정리하면 [수학식 10]과 같다.

[97] 수학식 10

$$V_{OUT} = VIN + 3 \times (VIN - D \times V_{ref})$$

[98] $\Rightarrow V_{OUT} = VIN + 3 \times VIN - 3 \times D \times V_{ref}$

[99] 그리고 [수학식 10]를 정리하면 [수학식 11]과 같다.

[100] 수학식 11

$$V_{OUT}=4(V_{IN}-3/4 \times D \times V_{ref})$$

[101] [수학식 11]은 [수학식 3]과 같음을 알 수 있다. 따라서 기존의 멀티플라잉 디지털 아날로그 컨버터는 도 7에 도시된 멀티플라잉 디지털 아날로그 컨버터로 대체될 수 있다. 기존의 멀티플라잉 디지털 아날로그 컨버터와 비교해 보았을 때, 커패시터의 수는 변하지 않았으나, 샘플 앤드 홀드 회로의 수가 5개에서 3개로 줄었다. 클록 분배 회로의 드라이빙 경로가 줄었으며, 클록 분배 회로의 공간이 3/5으로 감소할 수 있다. 즉, 보통 샘플 앤드 홀드 회로는 부트스트랩 스위치를 사용하는데, 상기 부트스트랩 스위치는 통상의 트랜지스터보다 면적이 훨씬 크다. 예를 들면, 통상의 트랜지스터보다 20배 이상 면적일 수 있다. 또한, 구동 전력 소모도 크고, 부트스트랩 스위치는 정입력 뿐만 아니라 부입력도 받아야 하므로 구동 전력도 크다.

[102] 따라서, 샘플 앤드 홀드 회로의 수가 줄어들므로써, 전체적으로 회로 면적, 부트스트랩 스위치를 구동하는 전력 등이 약 40% 감소할 수 있다.

[103] [표 2]는 멀티플라잉 디지털 아날로그 컨버터의 서브 플래쉬 아날로그 디지털 컨버터에서 생성한 디지털 코드에 대한 감산 값을 나타낸다.

[104] 표 2

[Table 2]

Resolved digital code, D	Equivalent Value	Equivalent resultant reference voltage
000	-3/2	-3/2*Vref
001	-1	-1*Vref
010	-1/2	-1/2*Vref
011	0	GND
100	+1/2	+1/2*Vref
101	+1	+1*Vref
110	+3/2	+3/2*Vref

[105] 도 10은 일실시예에 따른 차동 모드 멀티플라잉 디지털 아날로그 컨버터의 블록 다이어그램을 도시한 도면이다.

[106] 일실시예에 따라, 차동 모드 멀티플라잉 디지털 아날로그 컨버터는 입력전압 멀티플라잉 디지털 아날로그 컨버터(1001)와 서브 플래쉬 아날로그 디지털 컨버터(1002)를 포함할 수 있다. 차동 모드 입력 전압(VINP, VINN)은 멀티플라잉 디지털 아날로그 컨버터(1001)와 서브 플래쉬 아날로그 디지털 컨버터(1002)에

인가된다.

- [107] 일실시에에 따라, 서브 플래쉬 아날로그 디지털 컨버터(1002)는 차동 모드 아날로그 입력 전압을 인가받아 디지털 전압으로 변환하여 멀티 플라이닝 디지털 아날로그 컨버터(1001)에 디지털 값을 제공한다.
- [108] 일실시에에 따라, 멀티플라이닝 디지털 아날로그 컨버터(1001)은 입력 신호와 상기 서브 플래쉬 아날로그 디지털 컨버터로 제공받은 디지털 값을 감산한다. 감산된 값을 레지듀라 하고, 상기 레지듀는 증폭된다. 증폭된 값은 출력부에서 출력된다.
- [109] 차동 모드 멀티플라이닝 디지털 아날로그 변환기(1001)는 기존의 차동 모드 멀티플라이닝 디지털 아날로그 변환기에 비하여 약 40% 적은 회로를 필요로 한다. 그러므로 클록 분배회로의 감소와 실리콘 면적의 감소 및 저전력 작동을 기대할 수 있다.
- [110] 도 11은 일실시에에 따른 차동 모드 멀티플라이닝 디지털 아날로그 컨버터의 구조를 도시한 회로도이다.
- [111] 일실시에에 따르면, 차동 모드 멀티플라이닝 디지털 아날로그 컨버터는 상기한 바와 같이 멀티플라이닝 디지털 아날로그 컨버터 2개를 사용하여 나타낼 수 있다. 멀티플라이닝 디지털 아날로그 컨버터는 VCM(common mode voltage)을 통하여 연결될 수 있다. VCM(common mode voltage)의 노드에는 샘플링 페이즈 동안 턴온되는 샘플링 페이즈 턴온 스위치가 연결될 수 있다.
- [112] 일실시에에 따르면, 차동 모드 멀티플라이닝 디지털 아날로그 컨버터(1101)는 8개의 커패시터(1111, 1112, 1113, 1114, 1121, 1122, 1123, 1124), 증폭기(1100), 샘플 앤드 홀드 회로(1115, 1116, 1117, 1125, 1126, 1127), 스위치로 구성될 수 있다. 단위 커패시터(1111, 1112, 1113, 1114)는 양의 입력 전압을 샘플링 및 증폭하여 음의 출력 전압을 생성한다. 서브 플래쉬 아날로그 디지털 컨버터는 양의 디지털 값을 제공한다.
- [113] 다른 실시예에 따르면, 단위 커패시터(1121, 1122, 1123, 1124)는 음의 입력 전압을 샘플링 및 증폭하여 양의 출력 전압을 생성한다. 서브 플래쉬 아날로그 디지털 컨버터는 음의 디지털 값을 제공한다.
- [114] 일실시에에 따르면, 증폭기(1100)는 레지듀는 차동 모드로 증폭시킨다. 멀티플라이닝 디지털 아날로그 컨버터(1101)는 겹치지 않는 두 개의 클록(1102)을 필요로 한다. 샘플링 페이징(1130) 동안 차동 입력 전압이 커패시터 쌍 {(1112, 1114)}, {(1122, 1124)}에 각각 샘플링되며, 다음 증폭 페이징(1140) 동안 한 쌍의 샘플링 커패시터(1114, 1124)는 서브 플래쉬 아날로그 디지털 컨버터의 디지털 코드에 의거하여 기준 전압($+(3/2)*V_{ref}$ or $+V_{ref}$ or $+(1/2)*V_{ref}$ or GND or $-(1/2)*V_{ref}$ or $-V_{ref}$ or $-(3/2)*V_{ref}$)에 연결된다. 다른 커패시터 쌍 (1112, 1122)는 출력노드에 각각 연결된다. 증폭 페이징 동안에는 기준 전압이 입력 전압으로부터 감산되는 레지듀가 생성되고, 상기 레지듀는 증폭된다.
- [115] 제1정 커패시터부(1111, 1112, 1113)는 샘플링 페이즈(1130)에서 양의 입력

전압을 샘플하여 홀드 하고, 증폭 페이즈(1140)에서 상기 입력 전압과 제1 레퍼런스 전압 차이를 증폭하여 제1 출력 단자에 전달할 수 있다. 제2정 커패시터부(1114)는 상기 샘플링 페이즈(1130)에서 상기 양의 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈(1140)에서 상기 양의 입력 전압에서 상기 제1 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1 커패시터부에 전달할 수 있다. 상기 제1정 커패시터부(1111, 1112, 1113)는 제1 Y형 연결된 세 개의 커패시터들을 포함할 수 있다.

[116] 제1부 커패시터부(1121, 1122, 1123)는 상기 샘플링 페이즈(1130)에서 음의 입력 전압을 샘플하여 홀드 하고, 상기 증폭 페이즈(1140)에서 상기 음의 입력 전압과 제2 레퍼런스 전압 차이를 증폭하여 제2 출력 단자에 전달할 수 있다. 제2 커패시터부는 상기 샘플링 페이즈(1130)에서 상기 음의 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈(1140)에서 상기 음의 입력 전압에서 상기 제2 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1부 커패시터부(1121, 1122, 1123)에 전달할 수 있다. 상기 제1부 커패시터부(1121, 1122, 1123)는 제2 Y형 연결된 세 개의 커패시터들을 포함할 수 있다.

[117] 제1정 샘플 앤드 홀드(1115)부는 상기 샘플링 페이즈(1130)에서 상기 양의 입력 전압을 상기 제1 Y형 연결된 세 개의 커패시터들 중 제1정 커패시터로 전달할 수 있다. 제2정 샘플 앤드 홀드(1117)부는 상기 증폭 페이즈(1140)에서 상기 제1정 커패시터를 상기 제1 출력 단자로 연결할 수 있다. 제3정 샘플 앤드 홀드(1116)부는 상기 샘플링 페이즈(1130)에서 상기 양의 입력 전압을 상기 제2정 커패시터부(1114)로 전달할 수 있다.

[118] 제1부 샘플 앤드 홀드(1125)부는 상기 샘플링 페이즈(1130)에서 상기 음의 입력 전압을 상기 제2 Y형 연결된 세 개의 커패시터들 중 제1부 커패시터로 전달할 수 있다. 제2부 샘플 앤드 홀드(1127)부는 상기 증폭 페이즈(1140)에서 상기 제1부 커패시터를 상기 제2 출력 단자로 연결할 수 있다. 제3부 샘플 앤드 홀드(1126)부는 상기 샘플링 페이즈(1130)에서 상기 음의 입력 전압을 상기 제2부 커패시터부(1124)로 전달할 수 있다.

[119] 일실시예에 따르면, 상기 제1정 샘플 앤드 홀드(1115)부, 상기 제2정 샘플 앤드 홀드(1117)부, 상기 제3정 샘플 앤드 홀드(1116)부, 상기 제1부 샘플 앤드 홀드(1125)부, 상기 제2부 샘플 앤드 홀드(1127)부 및 상기 제3부 샘플 앤드 홀드(1126)부 중 적어도 하나는 부트스트랩 스위치를 포함할 수 있다.

[120] 또한, 상기 제2정 커패시터부(1114) 및 상기 제1 Y형 연결된 세 개의 커패시터들 중 상기 제1정 커패시터(1112)와 상이한 제2정 커패시터(1113)는 OP AMP의 포지티브 인풋에 연결되고, 상기 제2부 커패시터부(1124) 및 상기 제2 Y형 연결된 세 개의 커패시터들 중 상기 제1부 커패시터(1122)와 상이한 제2부 커패시터(1123)는 OP AMP의 네거티브 인풋에 연결될 수 있다.

[121] 그리고, 상기 제1 레퍼런스 전압은 상기 양의 입력 전압을 상기 차동 모드 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정한 이전 단계의 제1

디지털 값에 따라 결정되는 아날로그 전압 레벨이고, 상기 제2 레퍼런스 전압은 상기 음의 입력 전압을 상기 차동 모드 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정한 이전 단계의 제2 디지털 값에 따라 결정되는 아날로그 전압 레벨일 수 있다.

- [122] 도 12는 일실시예에 따른 차동 모드 멀티플라잉 디지털 아날로그 컨버터의 샘플링 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.
- [123] 일실시예에 따르면, 샘플링 페이즈 스위치는 턴온되어 단락회로와 같이 동작하고, 증폭 페이즈 스위치는 턴오프되어 개방회로와 같이 동작한다.
- [124] 일실시예에 따르면, 샘플링 페이즈 스위치가 턴온되어 VPX 노드가 VCM(common mode voltage)의 노드와 연결된다. 따라서 커패시터(1211)의 양단 전압은 VCM의 전압과 같게 되어 단락회로로 작용한다. 또한 VINP 노드도 마찬가지로 샘플링 페이즈 스위치의 턴온으로 VCM의 전압과 같게 되어 단락회로로 작용한다. 커패시터(1213)의 양단 전압은 VCM으로 단락회로로 작용한다. 인가되는 전압은 커패시터(1212, 1214)에 걸쳐 전하량을 충전하게 된다.
- [125] 일실시예에 따르면, 샘플링 페이즈 스위치가 턴온되어 VNX 노드가 VCM(common mode voltage)의 노드와 연결된다. 따라서 커패시터(1221)의 양단 전압은 VCM의 전압과 같게 되어 단락회로로 작용한다. 또한 VINN 노드도 마찬가지로 샘플링 페이즈 스위치의 턴온으로 VCM의 전압과 같게 되어 단락회로로 작용한다. 커패시터(1223)의 양단 전압은 VCM으로 단락회로로 작용한다. 인가되는 전압은 커패시터(1222, 1224)에 걸쳐 전하량을 충전하게 된다.
- [126] 도 13은 일실시예에 따른 차동 모드 멀티플라잉 디지털 아날로그 컨버터의 증폭 페이즈 동안 회로의 동작 다이어그램을 도시한 도면이다.
- [127] 일실시예에 따르면, 증폭 페이즈 스위치는 턴온되어 단락회로와 같이 동작하고, 샘플링 페이즈 스위치는 턴오프되어 개방회로와 같이 동작한다.
- [128] 일실시예에 따르면, 샘플링 페이즈 스위치가 개방되어 VPX 노드에는 커패시터(1311, 1312, 1313)의 일단이 연결된다. 커패시터(1311, 1312, 1313)은 Y결합을 이루게 된다. 커패시터(1311)의 타단은 VCM(common mode voltage)의 노드와 연결되고, 커패시터(1312)는 샘플 앤드 홀드 회로에 연결된다. 커패시터(1313)의 타단은 VINP노드에 연결된다. 커패시터(1312)와 연결된 샘플 앤드 홀드 회로는 출력단자와 연결되어 피드백 구조를 이루게 된다.
- [129] 일실시예에 따르면, 커패시터(1314)의 일단은 디지털 전압과 연결되고, 타단은 VINP 노드와 연결된다. 디지털 전압은 $+(3/2) \cdot V_{ref}$ or $+V_{ref}$ or $+(1/2) \cdot V_{ref}$ or GND or $-(1/2) \cdot V_{ref}$ or $+V_{ref}$ or $-(3/2) \cdot V_{ref}$ 의 값이다. 상기 디지털 전압은 서브플래쉬 아날로그 디지털 컨버터에서 생성된 코드에 의거하여 정해진 것이다.
- [130] 일실시예에 따르면, 샘플링 페이즈 스위치가 개방되어 VNX 노드에는 커패시터(1321, 1322, 1323)의 일단이 연결된다. 커패시터(1321, 1322, 1323)은

Y결합을 이루게 된다. 커패시터(1321)의 타단은 VCM(common mode voltage)의 노드와 연결되고, 커패시터(1322)는 샘플 앤드 홀드 회로에 연결된다.

커패시터(1323)의 타단은 VINP노드에 연결된다. 커패시터(1322)와 연결된 샘플 앤드 홀드 회로는 출력단자와 연결되어 피드백 구조를 이루게 된다.

[131] 일실시에에 따르면, 커패시터(1324)의 일단은 디지털 전압과 연결되고, 타단은 VINP 노드와 연결된다. 디지털 전압은 $+(3/2)*V_{ref}$ or $+V_{ref}$ or $+(1/2)*V_{ref}$ or GND or $-(1/2)*V_{ref}$ or $+V_{ref}$ or $-(3/2)*V_{ref}$ 의 값이다. 상기 디지털 전압은 서브 플래쉬 아날로그 디지털 컨버터에서 생성된 코드에 의거하여 정해진 것이다.

[132] 기존의 차동 모드 멀티플라잉 디지털 아날로그 컨버터는 도 11에 도시된 차동 모드 멀티플라잉 디지털 아날로그 컨버터로 대체될 수 있다. 기존의 차동 모드 멀티플라잉 디지털 아날로그 컨버터와 비교해 보았을 때, 커패시터의 수는 변하지 않았으나, 샘플 앤드 홀드 회로의 수가 10개에서 6개로 줄었다. 클록 분배 회로의 드라이빙 경로가 줄었으며, 클록 분배 회로의 공간이 3/5로 감소할 수 있다 즉, 보통 샘플 앤드 홀드 회로는 부트스트랩 스위치를 사용하는데, 상기 부트스트랩 스위치는 통상의 트랜지스터보다 면적이 훨씬 크다. 예를 들면, 통상의 트랜지스터보다 20배 이상 면적일 수 있다. 또한, 구동 전력 소모도 크고, 부트스트랩 스위치는 정입력 뿐만 아니라 부입력도 받아야 하므로 구동 전력도 크다.

[133] 따라서, 샘플 앤드 홀드 회로의 수가 줄어들므로써, 전체적으로 회로 면적, 부트스트랩 스위치를 구동하는 전력 등이 약 40% 감소할 수 있다.

[134] 이상에서 설명된 시스템은 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 시스템 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 시스템과 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 시스템은 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 시스템은 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 시스템은 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 시스템이 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 시스템은 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[135] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code),

명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 시스템에 의하여 해석되거나 처리 시스템에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 시스템, 또는 전송되는 신호파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

- [136] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [137] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [138] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

청구범위

- [청구항 1] 샘플링 페이즈에서 입력 전압을 샘플하여 홀드 하고, 증폭 페이즈에서 상기 입력 전압과 레퍼런스 전압 차이를 증폭하여 출력 단자에 전달하는 제1 커패시터부; 및
상기 샘플링 페이즈에서 상기 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈에서 상기 입력 전압에서 상기 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1 커패시터부에 전달하는 제2 커패시터부를 포함하고,
상기 제1 커패시터부는 Y형 연결된 세 개의 커패시터들을 포함하는 멀티플라잉 디지털-아날로그 컨버터.
- [청구항 2] 제1항에 있어서,
상기 샘플링 페이즈에서 상기 입력 전압을 상기 Y형 연결된 세 개의 커패시터들 중 제1 커패시터로 전달하는 제1 샘플 앤드 홀드부;
상기 증폭 페이즈에서 상기 제1 커패시터를 상기 출력 단자로 연결하는 제2 샘플 앤드 홀드부; 및
상기 샘플링 페이즈에서 상기 입력 전압을 상기 제2 커패시터부로 전달하는 제3 샘플 앤드 홀드부를 더 포함하는 멀티플라잉 디지털-아날로그 컨버터.
- [청구항 3] 제2항에 있어서,
상기 제1 샘플 앤드 홀드부, 상기 제2 샘플 앤드 홀드부, 및 상기 제3 샘플 앤드 홀드부 중 적어도 하나는 부트스트랩 스위치를 포함하는 멀티플라잉 디지털-아날로그 컨버터.
- [청구항 4] 제2항에 있어서,
상기 제2 커패시터부 및 상기 Y형 연결된 세 개의 커패시터들 중 상기 제1 커패시터와 상이한 제2 커패시터는 OP AMP의 네거티브 인풋에 연결되고, 상기 OP AMP의 포지티브 인풋은 그라운드 되는 멀티플라잉 디지털-아날로그 컨버터.
- [청구항 5] 제1항에 있어서,
상기 Y형 연결된 상기 세 개의 커패시터들 및 상기 제2 커패시터부에 포함되는 커패시터는 동일한 커패시턴스를 가지는 멀티플라잉 디지털-아날로그 컨버터.
- [청구항 6] 제1항에 있어서,
상기 레퍼런스 전압은 상기 입력 전압을 상기 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정된 이전 단계의 디지털 값에 따라 결정되는 아날로그 전압 레벨인 멀티플라잉

디지털-아날로그 컨버터.

[청구항 7]

샘플링 페이즈에서 양의 입력 전압을 샘플하여 홀드 하고, 증폭 페이즈에서 상기 입력 전압과 제1 레퍼런스 전압 차이를 증폭하여 제1 출력 단자에 전달하는 제1정 커패시터부;

상기 샘플링 페이즈에서 상기 양의 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈에서 상기 양의 입력 전압에서 상기 제1 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1 커패시터부에 전달하는 제2정 커패시터부;

상기 샘플링 페이즈에서 음의 입력 전압을 샘플하여 홀드 하고, 상기 증폭 페이즈에서 상기 음의 입력 전압과 제2 레퍼런스 전압 차이를 증폭하여 제2 출력 단자에 전달하는 제1부 커패시터부; 및 상기 샘플링 페이즈에서 상기 음의 입력 전압을 샘플하여 홀드하고, 상기 증폭 페이즈에서 상기 음의 입력 전압에서 상기 제2 레퍼런스 전압을 감산한 상기 전압 차이를 상기 제1부 커패시터부에 전달하는 제2부 커패시터부

를 포함하고,

상기 제1정 커패시터부는 제1 Y형 연결된 세 개의 커패시터들을 포함하고, 상기 제1부 커패시터부는 제2 Y형 연결된 세 개의 커패시터들을 포함하는 차동 모드 멀티플라잉 디지털-아날로그 컨버터.

[청구항 8]

제7항에 있어서,

상기 샘플링 페이즈에서 상기 양의 입력 전압을 상기 제1 Y형 연결된 세 개의 커패시터들 중 제1정 커패시터로 전달하는 제1정 샘플 앤드 홀드부;

상기 증폭 페이즈에서 상기 제1정 커패시터를 상기 제1 출력 단자로 연결하는 제2정 샘플 앤드 홀드부;

상기 샘플링 페이즈에서 상기 양의 입력 전압을 상기 제2정 커패시터스부로 전달하는 제3정 샘플 앤드 홀드부;

상기 샘플링 페이즈에서 상기 음의 입력 전압을 상기 제2 Y형 연결된 세 개의 커패시터들 중 제1부 커패시터로 전달하는 제1부 샘플 앤드 홀드부;

상기 증폭 페이즈에서 상기 제1부 커패시터를 상기 제2 출력 단자로 연결하는 제2부 샘플 앤드 홀드부; 및

상기 샘플링 페이즈에서 상기 음의 입력 전압을 상기 제2부 커패시터스부로 전달하는 제3부 샘플 앤드 홀드부

를 더 포함하는 차동 모드 멀티플라잉 디지털-아날로그 컨버터.

[청구항 9]

제8항에 있어서,

상기 제1정 샘플 앤드 홀드부, 상기 제2정 샘플 앤드 홀드부, 상기

제3정 샘플 앤드 홀드부, 상기 제1부 샘플 앤드 홀드부, 상기 제2부 샘플 앤드 홀드부 및 상기 제3부 샘플 앤드 홀드부 중 적어도 하나는 부트스트랩 스위치를 포함하는 차동 모드 멀티플라잉 디지털-아날로그 컨버터.

[청구항 10]

제8항에 있어서,

상기 제2정 커패시터부 및 상기 제1 Y형 연결된 세 개의 커패시터들 중 상기 제1정 커패시터와 상이한 제2정 커패시터는 OP AMP의 포지티브 인풋에 연결되고,

상기 제2부 커패시터부 및 상기 제2 Y형 연결된 세 개의 커패시터들 중 상기 제1부 커패시터와 상이한 제2부 커패시터는 OP AMP의 네거티브 인풋에 연결되는 차동 모드 멀티플라잉 디지털-아날로그 컨버터.

[청구항 11]

제7항에 있어서,

상기 제1 레퍼런스 전압은 상기 양의 입력 전압을 상기 차동 모드 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정한 이전 단계의 제1 디지털 값에 따라 결정되는 아날로그 전압 레벨이고,

상기 제2 레퍼런스 전압은 상기 음의 입력 전압을 상기 차동 모드 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정한 이전 단계의 제2 디지털 값에 따라 결정되는 아날로그 전압 레벨인 차동 모드 멀티플라잉 디지털-아날로그 컨버터.

[청구항 12]

제2 커패시터부에서 샘플링 페이즈의 입력 전압을 샘플하여 홀드하는 단계;

상기 제2 커패시터부에서 증폭 페이즈의 상기 입력 전압에서 레퍼런스 전압을 감산한 전압 차이를 제1 커패시터부에 전달하는 단계;

상기 제1 커패시터부에서 상기 샘플링 페이즈의 상기 입력 전압을 샘플하여 홀드하는 단계; 및

상기 제1 커패시터부에서 상기 증폭 페이즈의 상기 입력 전압과 상기 레퍼런스 상기 전압 차이를 증폭하여 출력 단자에 전달하는 단계

를 포함하고,

상기 제1 커패시터부는 Y형 연결된 세 개의 커패시터들을 포함하는 멀티플라잉 디지털-아날로그 변환 방법.

[청구항 13]

제12항에 있어서,

제1 샘플 앤드 홀드부에서 상기 샘플링 페이즈의 상기 입력 전압을 상기 Y형 연결된 세 개의 커패시터들 중 제1 커패시터로 전달하는 단계; 및

제2 샘플 앤드 홀드부에서 상기 증폭 페이즈의 상기 제1

커패시터를 상기 출력 단자로 연결하고, 제3 샘플 앤드 홀드부에서 상기 샘플링 페이즈의 상기 입력 전압을 상기 제2 커패시터스부로 전달하는 단계

를 더 포함하는 멀티플라잉 디지털-아날로그 변환 방법.

[청구항 14]

제13항에 있어서,

상기 제2 커패시터부 및 상기 Y형 연결된 세 개의 커패시터들 중 상기 제1 커패시터와 상이한 제2 커패시터는 OP AMP의 네거티브 인풋에 연결되고, 상기 OP AMP의 포지티브 인풋은 그라운드 되는 멀티플라잉 디지털-아날로그 변환 방법.

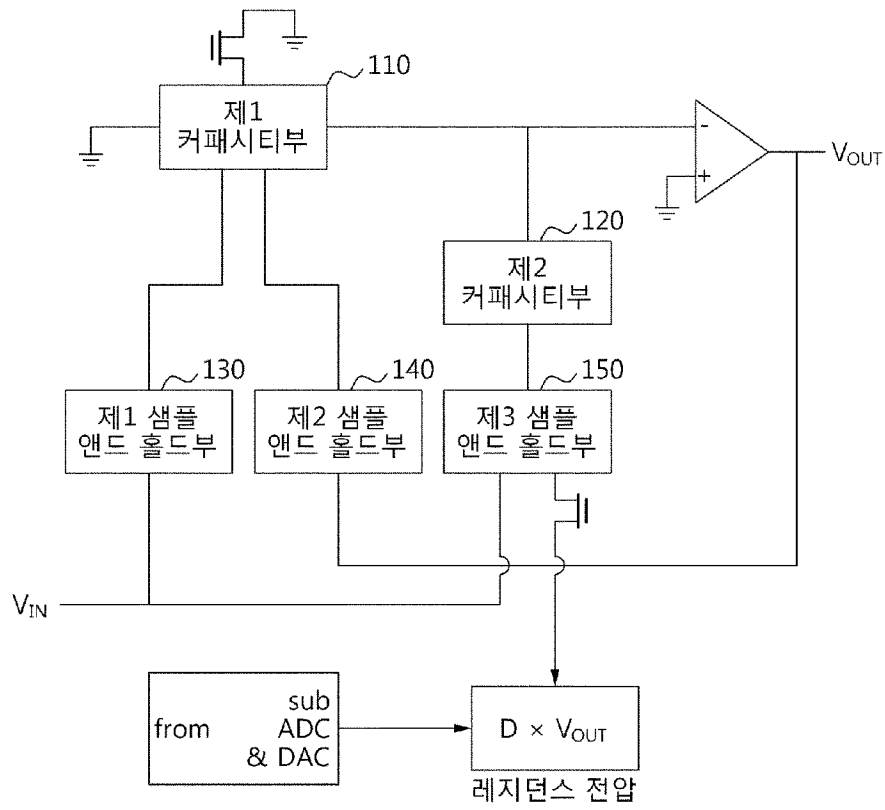
[청구항 15]

제12항에 있어서,

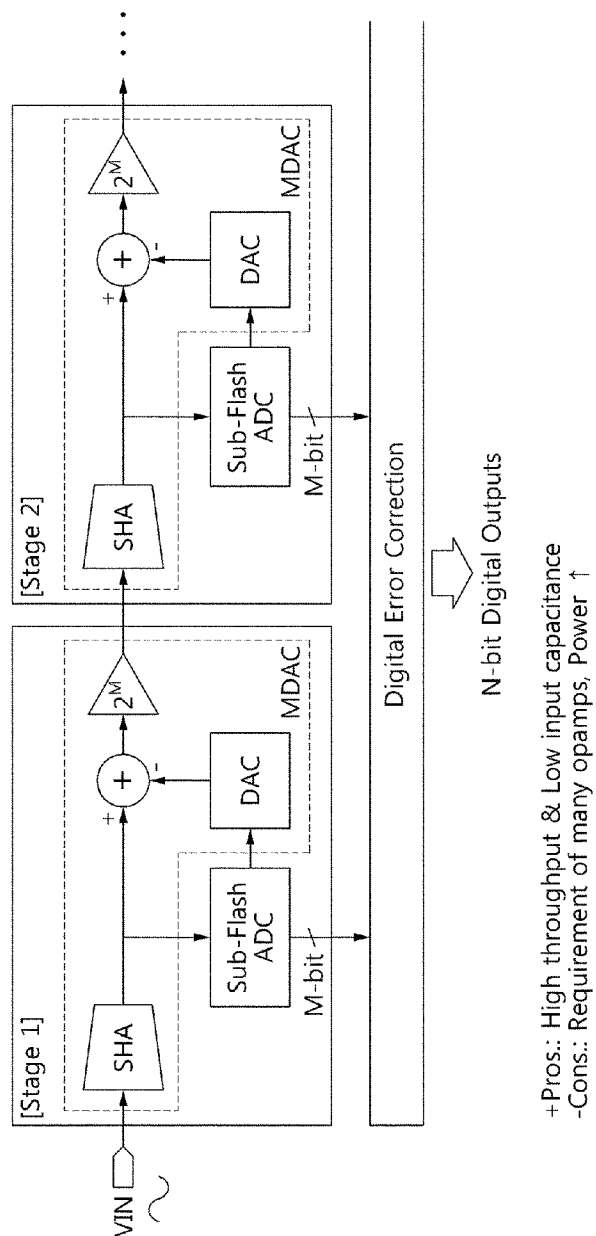
상기 입력 전압을 상기 멀티플라잉 디지털-아날로그 컨버터 이전 단계에서 측정한 이전 단계의 디지털 값에 따라 상기 레퍼런스 전압을 결정하는 단계

를 더 포함하는 멀티플라잉 디지털-아날로그 변환 방법.

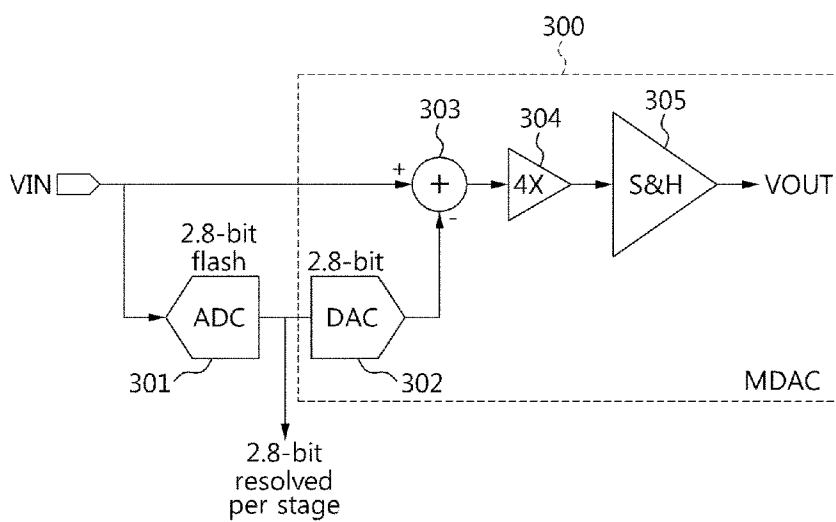
[Fig. 1]



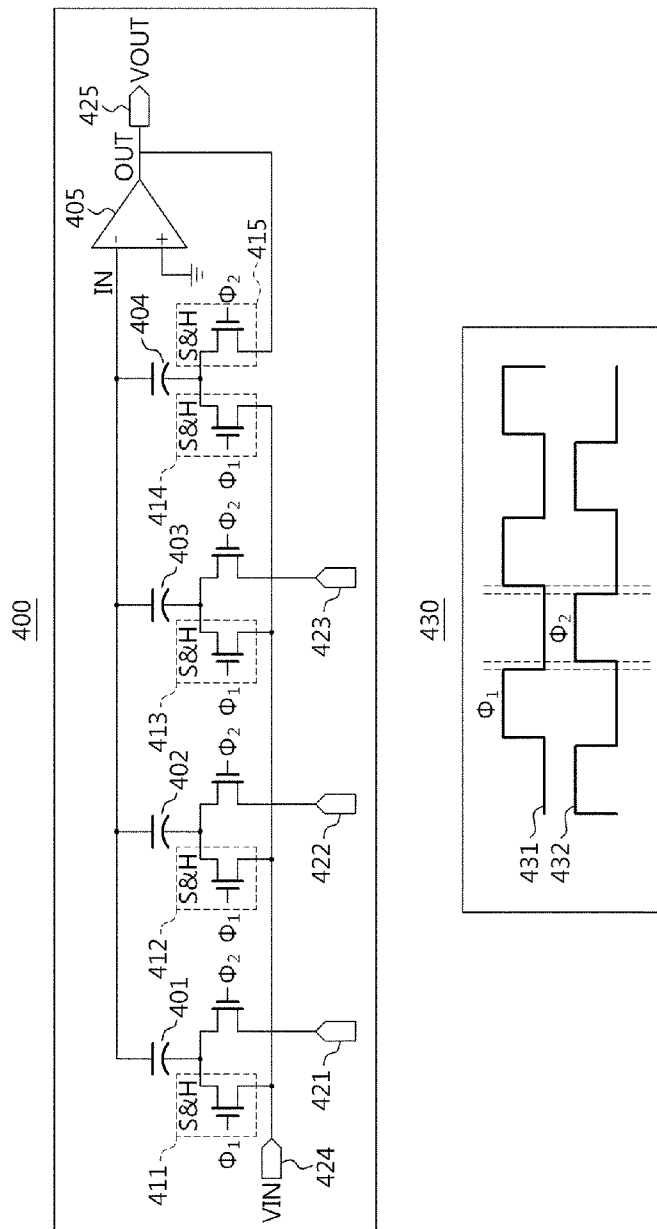
[Fig. 2]



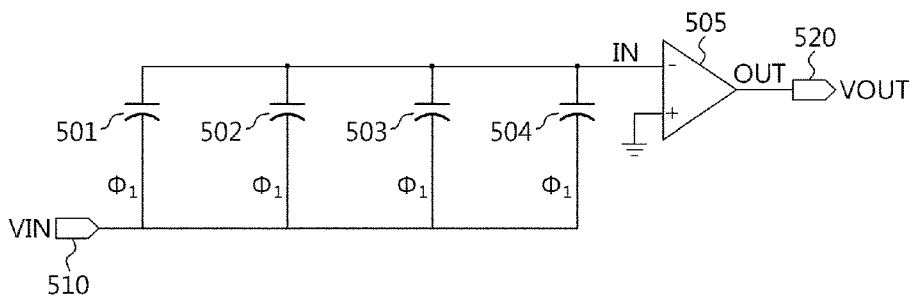
[Fig. 3]



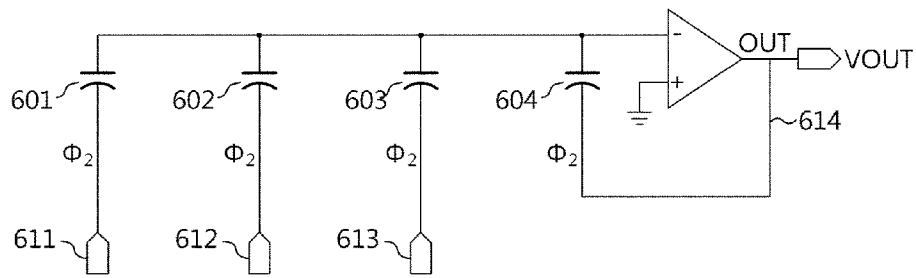
[Fig. 4]



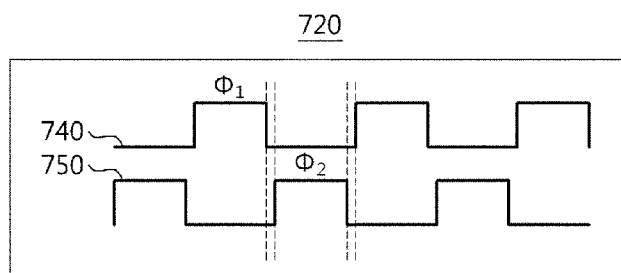
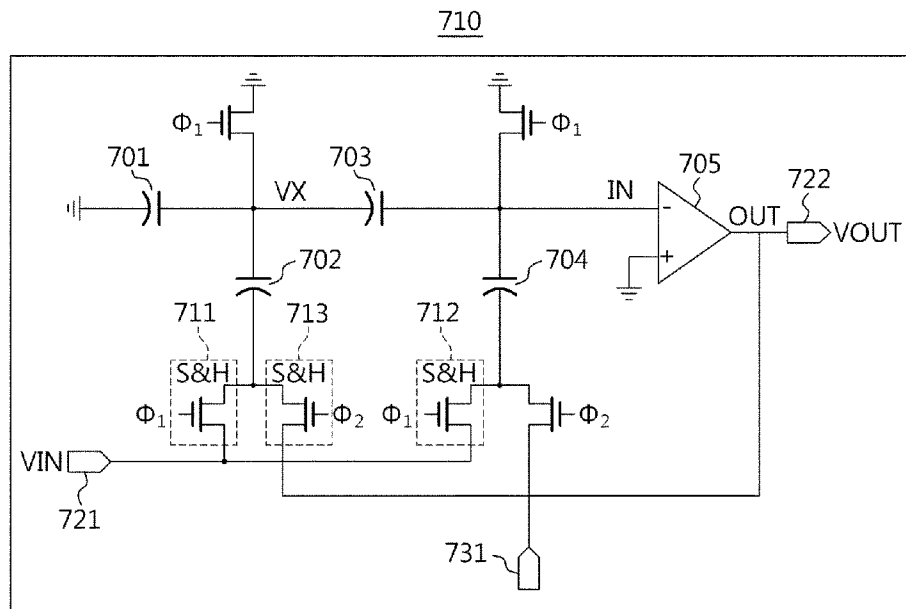
[Fig. 5]



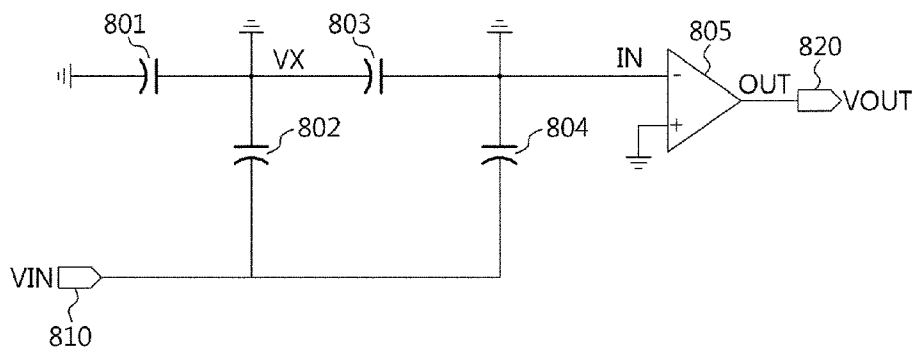
[Fig. 6]



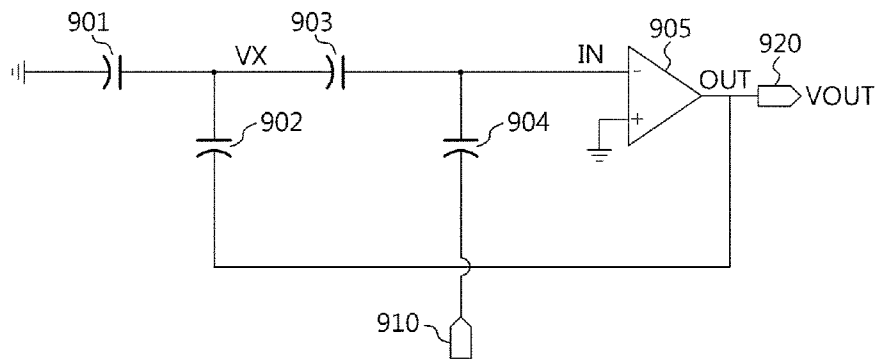
[Fig. 7]



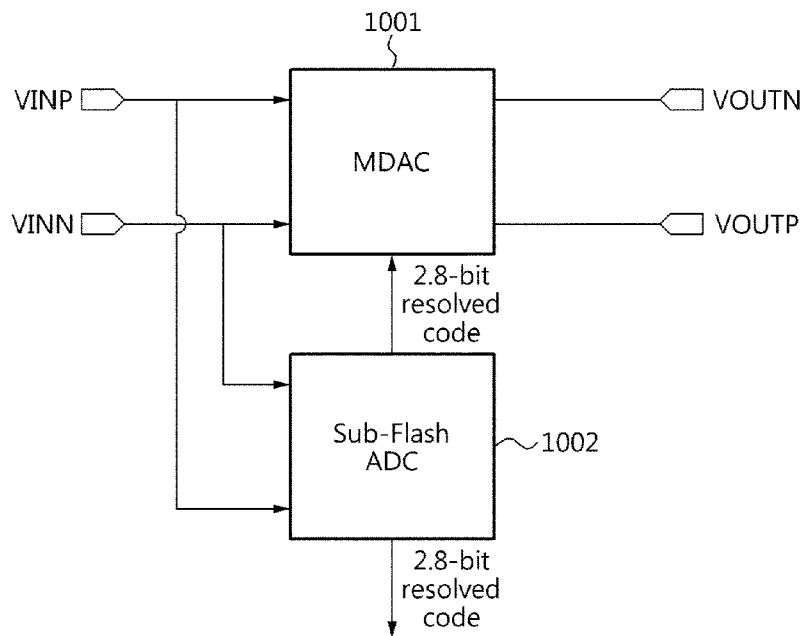
[Fig. 8]



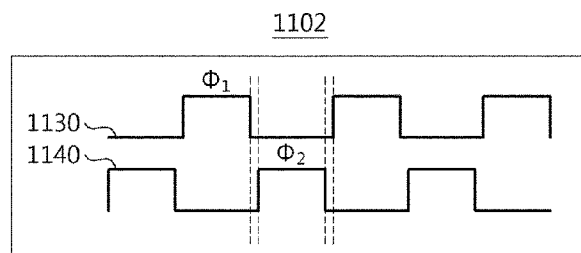
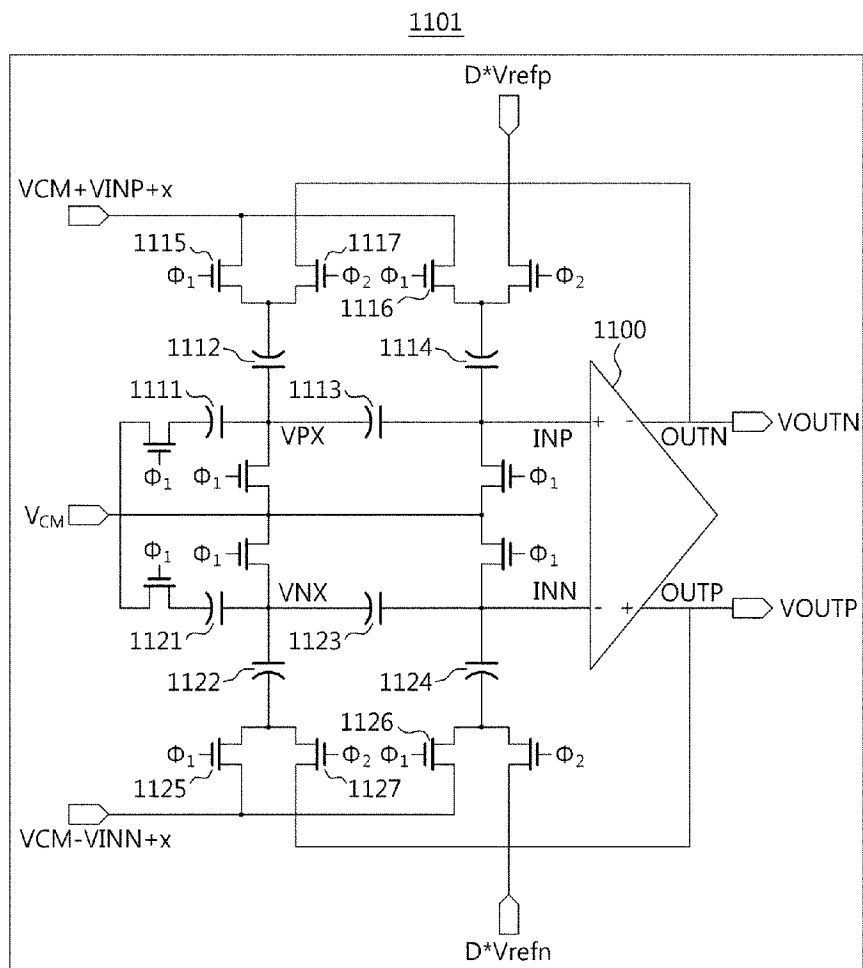
[Fig. 9]



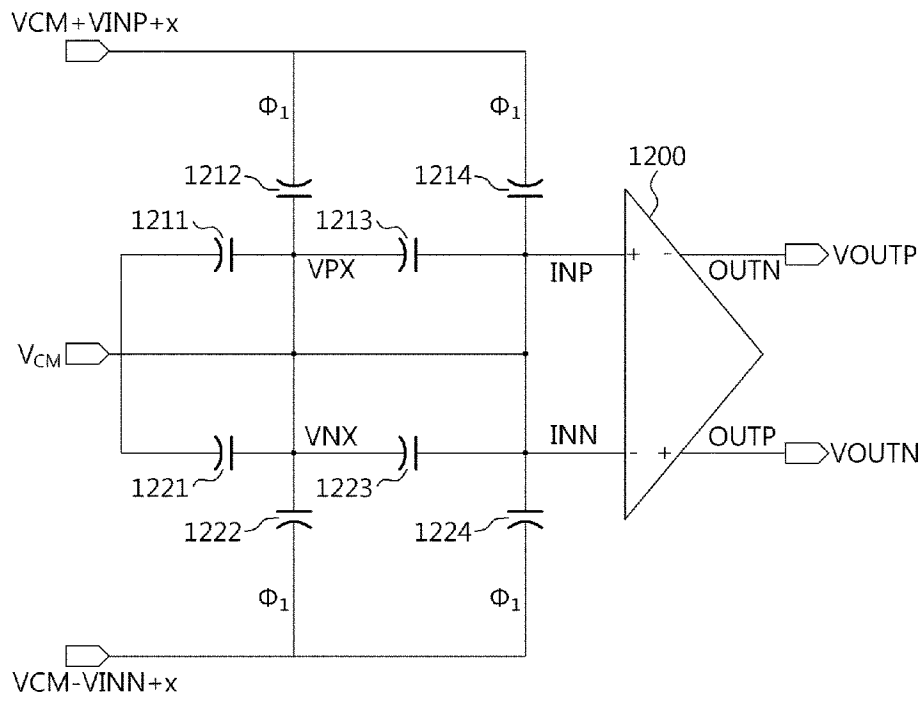
[Fig. 10]



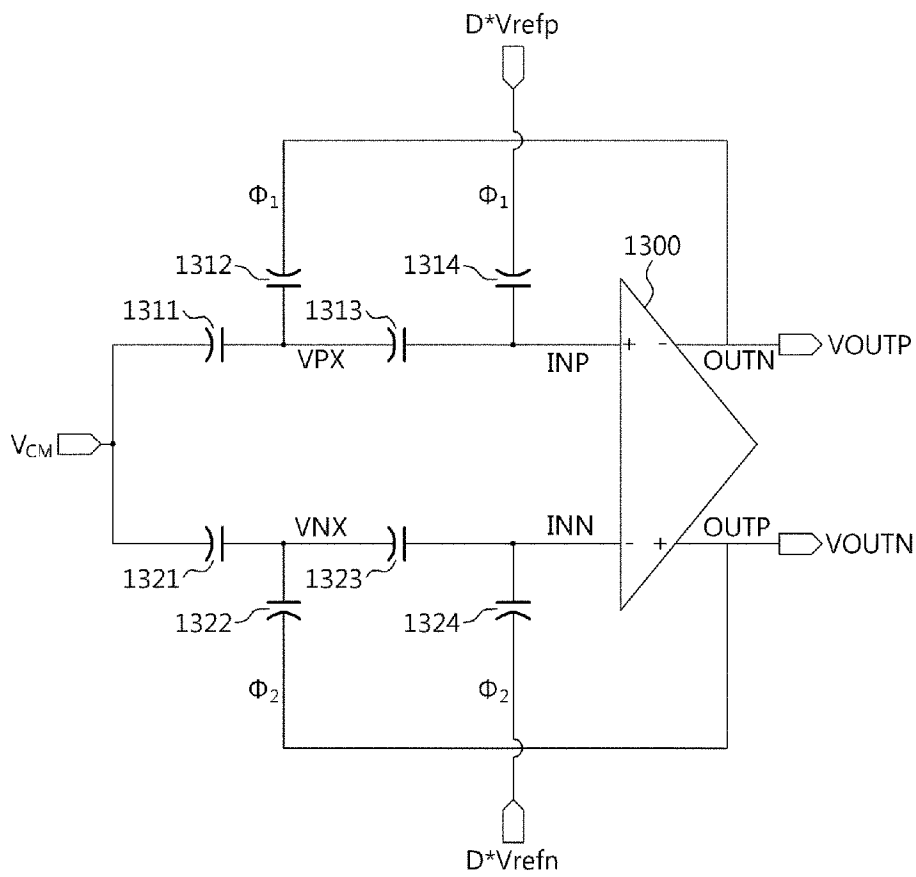
[Fig. 11]



[Fig. 12]



[Fig. 13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/005948**A. CLASSIFICATION OF SUBJECT MATTER*****H03M 1/12(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M 1/12; H03M 1/66; H03M 1/36; H03M 1/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: MDAC, capacitor, amplifier

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-0801962 B1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 12 February 2008 See abstract, pages 3-6, figures 3-5.	1-15
A	KR 10-0163893 B1 (SAMSUNG ELECTRONICS CO., LTD.) 20 March 1999 See abstract, pages 1, 2, figures 1, 4.	1-15
A	US 7746260 B1 (TU, Wei-Hsuan et al.) 29 June 2010 See abstract, columns 3, 4, figure 3.	1-15
A	JP 4977115 B2 (ASAHI KASEI ELECTRONICS CO) 18 July 2012 See abstract, pages 3-5, figures 3, 7-9.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

29 OCTOBER 2014 (29.10.2014)

Date of mailing of the international search report

29 OCTOBER 2014 (29.10.2014)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/005948

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-0801962 B1	12/02/2008	US 7532146 B2	12/05/2009
KR 10-0163893 B1	20/03/1999	NONE	
US 7746260 B1	29/06/2010	CN101753145 B	26/09/2012
		TW201025870 A	01/07/2010
		US 2010-0156688 A1	24/06/2010
		US 2010-0194614 A1	05/08/2010
		US 8031097 B2	04/10/2011
JP 4977115 B2	18/07/2012	JP 2010-135905 A	17/06/2010

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H03M 1/12(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H03M 1/12; H03M 1/66; H03M 1/36; H03M 1/14

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: MDAC, 커패시터, 증폭기

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-0801962 B1 (한국전자통신연구원) 2008.02.12 요약, 페이지 3-6, 그림 3-5 참조.	1-15
A	KR 10-0163893 B1 (삼성전자주식회사) 1999.03.20 요약, 페이지 1,2, 그림 1,4 참조.	1-15
A	US 7746260 B1 (TU WEI-HSUAN 외 1명) 2010.06.29 요약, 컬럼 3,4, 그림 3 참조.	1-15
A	JP 4977115 B2 (ASAHI KASEI ELECTRONICS CO) 2012.07.18 요약, 페이지 3-5, 그림 3,7-9 참조.	1-15



추가 문헌이 C(계속)에 기재되어 있습니다.



대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2014년 10월 29일 (29.10.2014)

국제조사보고서 발송일

2014년 10월 29일 (29.10.2014)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

권성락

전화번호 +82-42-481-5803



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-0801962 B1	2008/02/12	US 7532146 B2	2009/05/12
KR 10-0163893 B1	1999/03/20	없음	
US 7746260 B1	2010/06/29	CN101753145 B	2012/09/26
		TW201025870 A	2010/07/01
		US 2010-0156688 A1	2010/06/24
		US 2010-0194614 A1	2010/08/05
		US 8031097 B2	2011/10/04
JP 4977115 B2	2012/07/18	JP 2010-135905 A	2010/06/17