



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0084066
(43) 공개일자 2020년07월09일

- (51) 국제특허분류(Int. Cl.)
H03L 7/14 (2006.01) H03L 7/087 (2006.01)
H03L 7/18 (2006.01) H04L 5/26 (2006.01)
H04L 7/04 (2006.01)
- (52) CPC특허분류
H03L 7/143 (2013.01)
H03L 7/087 (2013.01)
- (21) 출원번호 10-2020-7019011
- (22) 출원일자(국제) 2018년12월19일
심사청구일자 2020년07월01일
- (85) 번역문제출일자 2020년07월01일
- (86) 국제출원번호 PCT/US2018/066408
- (87) 국제공개번호 WO 2019/126274
국제공개일자 2019년06월27일
- (30) 우선권주장
15/851,126 2017년12월21일 미국(US)

- (71) 출원인
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자
사토, 야스오
일본 104-0028 도쿄 주오-구 야에스 2-쵸메 2-1
마이크론 메모리 재팬, 인크. 내
- (74) 대리인
양영준, 백만기

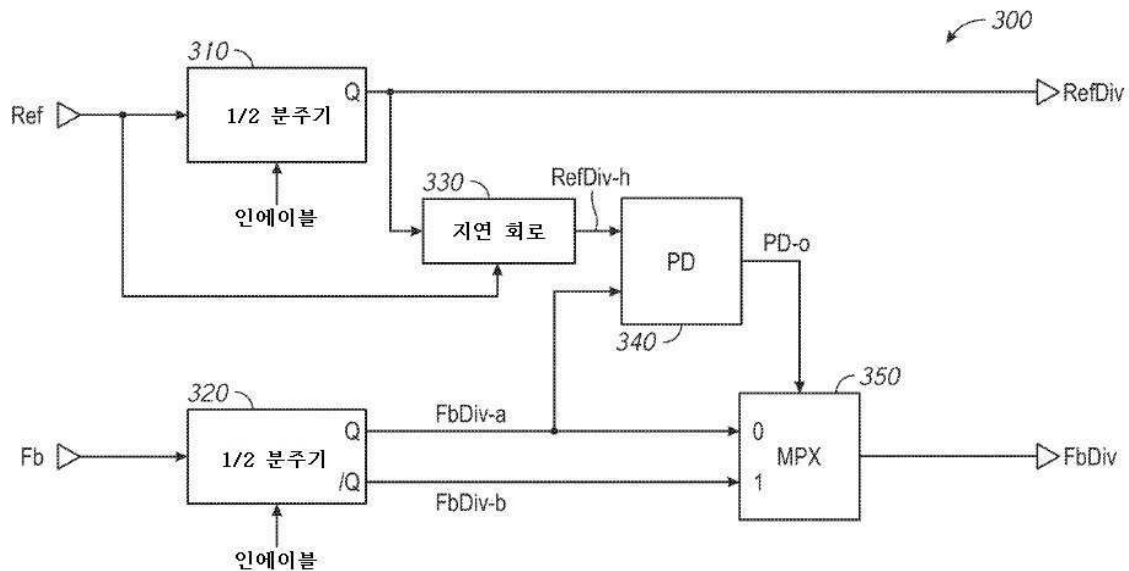
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 주파수 분주 클록을 제공하기 위한 장치 및 방법

(57) 요약

주파수 분주 클록을 제공하기 위한 장치 및 방법이 설명된다. 예시적인 장치는 제1 입력 클록에 적어도 부분적으로 응답하는 제1 중간 클록을 제공하도록 구성된 제1 회로로서, 제1 중간 클록이 제1 입력 클록보다 주파수가 낮은, 상기 제1 회로를 포함하며, 제2 입력 클록에 적어도 부분적으로 응답하는 제2 중간 클록 및 제3 중간 클록을 제공하도록 구성된 제2 회로를 더 포함하며, 제2 중간 클록은 제3 중간 클록에 상보적이고 제2 입력 클록보다 주파수가 낮다. 장치는 제1 및 제2 중간 클록에 적어도 부분적으로 응답하는 제2 및 제3 중간 클록 중 하나를 출력 클록으로서 선택하고 제공하도록 구성된 제3 회로를 더 포함한다.

대표도 - 도3



(52) CPC특허분류

H03L 7/18 (2013.01)

H04L 5/26 (2013.01)

H04L 7/04 (2013.01)

명세서

청구범위

청구항 1

장치로서,

제1 입력 클록에 적어도 부분적으로 응답하는 제1 중간 클록을 제공하도록 구성된 제1 회로서, 상기 제1 중간 클록은 상기 제1 입력 클록보다 주파수가 낮은, 상기 제1 회로;

제2 입력 클록에 적어도 부분적으로 응답하는 제2 중간 클록 및 제3 중간 클록을 제공하도록 구성된 제2 회로서, 상기 제2 중간 클록은 상기 제3 중간 클록에 상보적이고 상기 제2 입력 클록보다 주파수가 낮은, 상기 제2 회로; 및

상기 제1 및 제2 중간 클록에 적어도 부분적으로 응답하는 상기 제2 및 제3 중간 클록 중 하나를 출력 클록으로서 선택하고 제공하도록 구성된 제3 회로를 포함하는, 장치.

청구항 2

제1항에 있어서, 상기 제3 회로는,

지연된 중간 클록을 생성하게끔 상기 제1 중간 클록을 지연시키도록 구성된 지연 회로, 및

상기 지연된 중간 클록의 위상과 상기 제2 중간 클록을 비교하도록 구성된 위상 검출기를 포함하는, 장치.

청구항 3

제2항에 있어서, 상기 제3 회로는

상기 제2 및 제3 중간 클록을 수신하도록 결합되는 멀티플렉서를 더 포함하되, 상기 멀티플렉서는 위상 검출기로부터의 출력에 적어도 부분적으로 응답하는 상기 제2 및 제3 중간 클록 중 하나를 선택하도록 구성되는, 장치.

청구항 4

제3항에 있어서,

상기 제1 중간 클록은 상기 제1 입력 클록의 주파수의 절반인 주파수를 갖고;

상기 제2 및 제3 중간 클록의 각각은 상기 제2 입력 클록의 주파수의 절반인 주파수를 가지며; 그리고

상기 지연 회로는 상기 지연된 중간 클록을 생성하게끔 상기 제1 입력 클록의 절반 클록만큼 상기 제1 중간 클록을 지연시키도록 구성되는, 장치.

청구항 5

제3항에 있어서, 상기 위상 검출기는 상기 제2 및 제3 중간 클록 중 하나의 선택을 제어하도록 상기 지연된 중간 클록과 상기 제2 중간 클록 사이의 위상 관계를 나타내는 값을 갖는 출력을 상기 멀티플렉서에 제공하도록 추가로 구성되는, 장치.

청구항 6

제3항에 있어서, 상기 멀티플렉서는,

상기 제2 중간 클록을 수신하도록 결합된 제1 입력을 포함하는 제1 논리 게이트;

상기 제1 논리 게이트의 제2 입력에 결합된 출력을 포함하는 제1 인버터 회로;

상기 제3 중간 클록을 수신하도록 결합된 제1 입력을 포함하는 제2 논리 게이트;

상기 제1 인버터 회로의 출력에 결합된 입력을 포함하고, 상기 제2 논리 게이트의 제2 입력에 결합된 출력을 더

포함하는 제2 인버터 회로; 및

상기 제1 및 제2 논리 게이트의 출력을 수신하도록 결합되고 출력 클록을 제공하는 출력을 포함하는 제3 논리 게이트를 포함하는, 장치.

청구항 7

제2항에 있어서, 상기 지연 회로는 상기 제1 입력 클록에 기초한 상보적 클록에 의해 클록킹된 D 래치 및 D 플립 플롭 중 적어도 하나를 포함하는, 장치.

청구항 8

제1항에 있어서,

상기 제1 입력 클록을 수신하고 상기 제1 입력 클록에 적어도 부분적으로 응답하는 제1 상보적 입력 클록을 제공하도록 결합되는 제1 분상기(first phase splitter); 및

상기 제2 입력 클록을 수신하고 상기 제2 입력 클록에 적어도 부분적으로 응답하는 제2 상보적 클록을 제공하도록 결합되는 제2 분상기를 더 포함하는, 장치.

청구항 9

장치로서,

제1 입력 클록을 수신하고 상기 제1 입력 클록에 적어도 부분적으로 응답하는 제1 출력 클록을 제공하도록 구성되고, 그리고 제2 입력 클록을 수신하고 상기 제2 입력 클록에 적어도 부분적으로 응답하는 제2 출력 클록을 수신하도록 더 구성된 클록 분주기 회로(clock divider circuit)를 포함하되, 상기 제1 출력 클록은 상기 제1 입력 클록보다 낮은 주파수를 갖고, 상기 제2 출력 클록은 상기 제2 입력 클록보다 낮은 주파수를 가지며,

상기 제2 출력 클록은 상기 제2 입력 클록에 적어도 부분적으로 응답하여 제공되는 제1 및 제2 분주 클록으로부터 선택되는, 장치.

청구항 10

제9항에 있어서,

상기 제1 및 제2 출력 클록을 수신하도록 결합되고, 상기 제1 및 제2 클록의 위상을 비교하여 상기 제1 및 제2 클록의 위상을 나타내는 값을 갖는 위상차 신호를 제공하도록 구성된 위상 검출기;

상기 위상차 신호 및 상기 제1 입력 클록을 수신하도록 결합되고, 동기화된 출력 클록을 제공하도록 상기 위상차 신호에 적어도 부분적으로 기초하여 상기 제1 입력 클록을 지연시키도록 구성된 지연 조정 회로; 및

상기 동기화된 출력을 수신하도록 결합되고, 상기 클록 분주기 회로에 제2 입력 클록을 제공하기 위해 상기 동기화된 출력 클록을 지연시키도록 구성된 복제 회로를 더 포함하는, 장치.

청구항 11

제10항에 있어서,

상기 제1 입력 클록을 수신하도록 결합되고, 상기 제1 입력 클록의 듀티 사이클을 수정하고 상기 지연 조정 회로에 듀티 사이클 수정 제1 입력 클록을 제공하도록 구성된 듀티 사이클 조정기 회로를 더 포함하는, 장치.

청구항 12

제9항에 있어서, 상기 클록 분주기 회로는,

상기 제1 입력 클록을 수신하도록 결합되고 상기 제1 입력 클록보다 낮은 클록 주파수를 갖는 제1 분주 클록을 제공하도록 구성된 제1 분주기 회로;

상기 제2 입력 클록을 수신하도록 결합되고, 제2 분주 클록 및 제3 분주 클록을 제공하도록 구성된 제2 분주기 회로로서, 상기 제2 및 제3 분주 클록은 상보적이며 상기 제2 입력 클록보다 낮은 클록 주파수를 갖는, 상기 제2 분주기 회로;

지연된 제1 분주 클록 및 제2 분주 클록을 수신하도록 결합되고, 상기 지연된 제1 분주 클록 및 제2 분주 클록의 상대 위상에 기초한 값을 갖는 위상차 신호를 제공하도록 구성된 위상 검출기; 및

상기 제2 및 제3 분주 클록을 수신하도록 결합되고, 상기 위상차 신호의 값에 적어도 부분적으로 기초하여 상기 제2 출력 클록으로서 상기 제2 및 제3 분주 클록 중 하나를 선택하도록 구성된 멀티플렉서를 포함하는, 장치.

청구항 13

제12항에 있어서, 상기 클록 분주기 회로는, 상기 제1 분주 클록을 수신하도록 상기 제1 분주기 회로에 결합되고, 상기 지연된 제1 분주 클록을 제공하도록 상기 제1 입력 클록의 클록 주기의 절반만큼 상기 제1 분주 클록을 지연시키도록 구성된 지연 회로를 더 포함하는, 장치.

청구항 14

제13항에 있어서, 상기 클록 분주기 회로는, 상기 제2 분주기 회로에 결합되고 상기 지연 회로의 로딩의 균형을 유지하도록 구성된 더미 회로를 더 포함하는, 장치.

청구항 15

제12항에 있어서, 상기 클록 분주기 회로는, 상기 제1 분주 클록을 수신하도록 결합되고 상기 제1 출력 클록을 제공하도록 구성된 출력 회로를 더 포함하며, 상기 출력 회로는 상기 멀티플렉서의 전파 지연에 정합된 전파 지연을 포함하는, 장치.

청구항 16

제9항에 있어서, 상기 클록 분주기 회로는,

상기 제1 입력 클록을 수신하도록 결합되고, 상기 제1 입력 클록보다 낮은 클록 주파수를 갖는 제1 분주 클록을 제공하도록 구성된 제1 분주기 회로;

상기 제2 입력 클록을 수신하도록 결합되고, 제2 분주 클록 및 제3 분주 클록을 제공하도록 구성된 제2 분주기 회로로서, 상기 제2 및 제3 분주 클록은 상보적이고, 상기 제2 입력 클록보다 낮은 클록 주파수를 갖는, 상기 제2 분주기 회로; 및

상기 제2 및 제3 분주 클록을 수신하도록 결합되고, 상기 제2 입력 클록의 상승 클록 에지에 뒤쳐진 상기 제1 입력 클록의 하강 클록 에지에 적어도 부분적으로 응답하는 제2 출력 클록으로서 상기 제2 분주 클록을 제공하고, 상기 제2 입력 클록의 상승 클록 에지에 앞서는 상기 제1 입력 클록의 하강 클록 에지에 적어도 부분적으로 응답하는 상기 제2 출력 클록으로서 상기 제3 분주 클록을 제공하도록 구성된 멀티플렉서를 포함하는, 장치.

청구항 17

방법으로서,

제1 분주 클록을 제공하도록 제1 클록의 클록 주파수를 분주하는 단계;

제1 출력 클록으로서 상기 제1 분주 클록을 제공하는 단계;

제2 분주 클록을 제공하도록 제2 클록의 클록 주파수를 분주하는 단계;

상기 제2 분주 클록에 상보적인 제3 분주 클록을 제공하는 단계;

상기 제1 클록과 상기 제2 클록 사이의 제1 위상 관계에 적어도 부분적으로 응답하는 제2 출력 클록으로서 제공되도록 상기 제2 분주 클록을 선택하는 단계;

상기 제1 클록과 상기 제2 클록 사이의 제2 위상 관계에 적어도 부분적으로 응답하는 제2 출력 클록으로서 제공되도록 상기 제3 분주 클록을 선택하는 단계; 및

상기 제2 출력 클록을 제공하는 단계를 포함하는, 방법.

청구항 18

제17항에 있어서, 제1 분주 클록을 제공하도록 상기 제1 클록의 클록 주파수를 분주하는 단계는 상기 제1 클록

의 클록 주파수의 절반을 갖는 제1 분주 클록을 제공하도록 절반만큼 상기 제1 클록의 클록 주파수를 분주하는 단계를 포함하는, 방법.

청구항 19

제17항에 있어서,

상기 지연된 제1 분주 클록을 제공하도록 상기 제1 분주 클록의 클록 주기의 절반만큼 상기 제1 분주 클록을 지연시키는 단계;

상기 제2 분주 클록과 상기 지연된 제1 분주 클록의 상대 위상을 비교하는 단계;

상기 제2 분주 클록에 뒤쳐진 상기 지연된 제1 분주 클록에 적어도 부분적으로 반응하는 제1 값을 갖는 선택 신호를 제공하는 단계;

상기 제2 분주 클록에 뒤쳐진 상기 지연된 제1 분주 클록에 적어도 부분적으로 응답하는 제2 값을 갖는 선택 신호를 제공하는 단계; 및

상기 선택 신호의 값에 기초하여 상기 제2 및 제3 분주 클록 사이를 선택하는 단계를 더 포함하는, 방법.

청구항 20

제17항에 있어서, 상기 제1 위상 관계는 상기 제2 클록의 상승 클록 에지에 뒤쳐진 상기 제1 클록의 하강 클록 에지를 포함하고, 상기 제2 위상 관계는 상기 제2 클록의 상승 클록 에지에 앞서는 상기 제1 클록의 하강 클록 에지를 포함하는, 방법.

발명의 설명

기술 분야

배경 기술

- [0001] 주기적 디지털 신호는 통상적으로 메모리 디바이스와 같은 다양한 전자 디바이스에서 사용된다. 아마도 가장 통상적인 주기적 디지털 신호는 디지털 신호의 타이밍 또는 디지털 신호에서 동작이 수행되는 타이밍을 설정하는 데 전형적으로 사용되는 클록이다. 예를 들어, 데이터 신호는 전형적으로 클록 또는 데이터 스트로브(data strobe)와 동기하여 메모리 디바이스에 또는 메모리 디바이스로부터 결합된다.
- [0002] 전자 디바이스에 포함된 클록 회로는 다양한 동작의 타이밍을 위해 사용되는 내부 클록을 제공한다. 내부 클록은 전자 디바이스에 제공되는 외부 클록에 기초할 수 있다. 예시적인 클록 회로는 지연 고정 루프(delay-locked loop: DLL)를 포함할 수 있다. 전형적인 DLL은 다수의 지연 스테이지를 포함하는 지연 라인을 사용한다. 기준 클록은 지연 라인에 적용되고, 지연 라인을 통해 최종 지연 스테이지로 전파되며, 최종 지연 스테이지는 지연 클록을 출력한다. 지연 클록의 위상은 위상 에러 신호를 발생시키기 위해 기준 클록의 위상과 비교된다. 위상 에러 신호는 지연 클록의 위상이 기준 클록의 위상으로 고정될 때까지 지연 라인에서 지연 스테이지에 의해 제공되는 지연을 조정하는데 사용된다. DLL은 이러한 것이 발생할 때 고정 상태(locked condition)를 얻은 것으로 간주된다. 지연 클록은 타이밍 동작을 위해 전자 디바이스의 다른 회로에 제공될 수 있다.
- [0003] 전자 디바이스의 동작 속도가 증가함에 따라서, 이러한 보다 높은 속도로 전자 디바이스를 동작시키는데 필요한 클록 신호의 주파수가 또한 증가한다. 이러한 보다 높은 클록 속도가 마주치는 하나의 어려움은 DLL의 회로가 지연을 조정하기 위하여 지연 클록과 기준 클록 사이의 위상 관계를 결정하는 것이 어렵다는 것이다.
- [0004] 이러한 문제를 완화시키기 위해 사용된 접근법은 보다 높은 주파수 클록의 클록 전환(clock transition)과 일치하는 클록 전환을 갖는 보다 낮은 주파수 클록을 발생시키도록 보다 높은 주파수 클록을 분주하는 것이다. 그러나, DLL에 포함된 전형적인 클록 분주기 회로(clock divider circuit)는 보다 높은 주파수 클록과의 예측 불가능한 위상 관계를 갖는 분주 클록을 제공하며, 이러한 것은 DLL이 고정 상태에 도달하는데 필요한 시간보다 긴 시간을 초래할 수 있다. 그러므로, 클록 분주기 회로 및 DLL에 대한 대안적인 설계를 갖는 것이 필요할 수 있다.

발명의 내용

- [0005] 주파수 분주 클록을 제공하기 위한 장치 및 방법이 설명된다. 본 개시내용의 양태에서, 장치는 제1 회로, 제2 회로, 및 제3 회로를 포함한다. 제1 회로는 제1 입력 클록에 적어도 부분적으로 응답하는 제1 중간 클록을 제공하도록 구성되며, 제1 중간 클록은 제1 입력 클록보다 주파수가 낮다. 제2 회로는 제2 입력 클록에 적어도 부분적으로 응답하는 제2 중간 클록 및 제3 중간 클록을 제공하도록 구성되며, 제2 중간 클록은 제3 중간 클록에 상보적이고 제2 입력 클록보다 주파수가 낮다. 제3 회로는 제1 및 제2 중간 클록에 적어도 부분적으로 응답하는 제2 및 제3 중간 클록 중 하나를 출력 클록으로서 선택하고 제공하도록 구성된다.
- [0006] 본 개시내용의 다른 양태에서, 장치는, 제1 입력 클록을 수신하고 제1 입력 클록에 적어도 부분적으로 응답하는 제1 출력 클록을 제공하도록 구성된 클록 분주기 회로를 포함한다. 제1 출력 클록은 제1 입력 클록보다 낮은 주파수를 갖는다. 클록 분주기 회로는 또한 제2 입력 클록을 수신하고 제2 입력 클록에 적어도 부분적으로 응답하는 제2 출력 클록을 제공하도록 구성된다. 제2 출력 클록은 제2 입력 클록보다 낮은 주파수를 갖는다. 제2 출력 클록은 제2 입력 클록에 적어도 부분적으로 응답하여 제공되는 제1 및 제2 분주 클록으로부터 선택된다.
- [0007] 본 개시내용의 다른 양태에서, 방법은 제1 분주 클록을 제공하기 위해 제1 클록의 클록 주파수를 분주하는 단계 및 제1 출력 클록으로서 제1 분주 클록을 제공하는 단계를 포함하고, 제2 분주 클록을 제공하기 위해 제2 클록의 클록 주파수를 분주하는 단계 및 제2 분주 클록에 상보적인 제3 분주 클록을 제공하는 단계를 포함한다. 제2 분주 클록은 제1 클록과 제2 클록 사이의 제1 위상 관계에 적어도 부분적으로 응답하는 제2 출력 클록으로서 제공되도록 선택되고, 제3 분주 클록은 제1 클록과 제2 클록 사이의 제2 위상 관계에 적어도 부분적으로 응답하는 제2 출력 클록으로서 제공되도록 선택된다. 제2 출력 클록이 제공된다.

도면의 간단한 설명

- [0008] 도 1은 본 개시내용의 실시형태에 따른 지연 고정 루프(DLL)의 블록도이다.
- 도 2는 도 1의 DLL의 동작 동안 다양한 클록의 타이밍도이다.
- 도 3은 본 개시내용의 실시형태에 따른 클록 분주기 회로의 블록도이다.
- 도 4a 및 도 4b는 본 개시내용의 실시형태에 따른 도 3의 클록 분주기 회로의 동작 동안 다양한 클록 및 위상차 신호의 타이밍도이다.
- 도 5는 본 개시내용의 실시형태에 따른 클록 분주기 회로의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 개시내용의 예에 대한 충분한 이해를 제공하기 위해 특정 세부 사항이 아래에 설명된다. 그러나, 본 개시내용의 예가 이들 특정 세부 사항없이 실시될 수 있다는 것은 당업자에게 자명할 것이다. 더욱이, 본 명세서에 기술된 본 개시내용의 특정 예는 본 개시내용의 범위를 이들 특정 예로 제한하는 것으로 해석되어서는 안된다. 다른 예에서, 널리 공지된 회로, 제어 신호, 타이밍 프로토콜, 및 소프트웨어 동작은 본 개시내용의 실시형태를 불필요하게 모호하게 하지 않기 위해 상세하게 도시되지 않았다. 추가적으로, "결합하다" 및 "결합된"과 같은 용어는 2개의 구성 요소가 직접적으로 또는 간접적으로 전기적으로 결합될 수 있다는 것을 의미한다. 간접적으로 결합된 것은 2개의 구성 요소가 하나 이상의 중간 요소를 통해 결합된다는 것을 의미할 수 있다.
- [0010] 도 1은 본 개시내용의 실시형태에 따른 지연 고정 루프(DLL)(100)의 블록도이다. DLL(100)은 입력 클록(ICLK)을 수신하고, ICLK 클록에 응답하는 출력 클록(LCLK)을 제공한다. LCLK 클록은 ICLK 클록에 대해 지연을 가지며, LCLK 클록은 ICLK 클록과 동기화된다.
- [0011] DLL(100)은 기준 클록(Ref)으로서 ICLK 클록이 제공되는 클록 분주기 회로(110)를 포함한다. 인에이블링될 때, 클록 분주기 회로(110)는 Ref 클록(즉, ICLK 클록)의 클록 주파수보다 적은 클록 주파수를 갖는 분주된 주파수 클록(RefDiv)을 제공한다. 예를 들어, 클록 분주기 회로(110)는 ICLK 클록의 클록 주파수의 절반인 클록 주파수를 갖는 RefDiv 클록을 제공하기 위해 ICLK 클록의 클록 주파수를 절반으로 분주할 수 있다. 클록 분주기 회로(110)는 예를 들어, 능동형 LCLK 클록이 DLL(100)에 의해 제공될 때 제어기 회로(도시되지 않음)에 의해 인에이블링될 수 있다.
- [0012] ICLK 클록은 또한 듀티 사이클 조정기(duty cycle adjuster: DCA) 회로(120)에 제공된다. DCA 회로(120)는 듀티 사이클 수정 클록(DCLK)을 제공하기 위해 ICLK 클록의 듀티 사이클을 조정한다. DCLK 클록은 예를 들어 50%

듀티 사이클을 가지도록 수정된 듀티 사이클일 수 있다. DCCLK 클록은 지연 조정 회로(130)에 제공된다. 듀티 사이클의 수정이 필요하지 않은 애플리케이션에서, DCA 회로(120)는 생략될 수 있고, ICLK 클록은 듀티 사이클 수정없이 지연 조정 회로(130)에 제공될 수 있다.

[0013] 지연 조정 회로(130)는 LCLK 클록을 제공하기 위해 DCCLK 클록에 지연을 추가하도록 조정 가능한 지연 회로 및 지연 제어 회로를 포함할 수 있다. LCLK 클록은 피드백 클록(Fb)을 제공하기 위해 LCLK 클록에 지연을 추가하는 복제 회로(140)에 제공된다. 복제 회로(140)는 ICLK 클록 및 LCLK 클록을 위한 클록 경로에서의 전파 지연을 모델링하는 LCLK 클록에 지연을 제공한다. 전파 지연은 클록 경로에 있는 다양한 회로를 통해 전파되는 ICLK 클록 및 LCLK 클록으로부터 기인할 수 있다. Fb 클록은 클록 분주기 회로(110)에 제공되고, 클록 분주기 회로는 Fb 클록보다 낮은 클록 주파수를 갖는 분주된 주파수 클록(FbDiv)을 제공하도록 FB 클록의 클록 주파수를 분주한다. 예를 들어, RefDiv 클록에 대한 이전의 예와 같이, 클록 분주기 회로(110)는 Fb 클록의 클록 주파수의 절반을 갖는 FbDiv 클록을 제공할 수 있다.

[0014] RefDiv 클록 및 FbDiv 클록은 위상 검출기(150)에 제공되며, 위상 검출기는 RefDiv 클록의 위상과 FbDiv 클록의 위상을 서로에 대해 비교하고, RefDiv 클록과 FbDiv 클록 사이의 위상 관계를 나타내는 값을 갖는 위상차 신호(PD)를 제공한다. 예를 들어, RefDiv 클록이 FbDiv 클록에 앞설 때, PD 신호는 제1 논리 레벨을 가질 수 있고, RefDiv 클록이 FbDiv 클록에 뒤처질 때, PD 신호는 제2 논리 레벨을 가질 수 있다. PD 신호는 지연 조정 회로(130)에 제공된다. 지연 조정 회로(130)의 지연 제어 회로는 지연 조정 회로(130)의 조정 가능한 지연 회로를 조정하는 방법을 결정하도록 PD 신호를 사용할 수 있다. 지연 조정 회로(130)의 조정 가능한 지연 회로의 지연을 변경하는 것은 DCCLK 클록에 대한 LCLK 클록의 타이밍을 변경하고, 이는 차례로 RefDiv 클록 및 FbDiv 클록의 상대 위상을 변경한다. 전형적으로, 지연 조정 회로(130)의 조정 가능한 지연 회로는 다수의 지연 유닛을 포함하며, 각각의 지연 유닛은 활성화될 때 증분 지연(incremental delay)을 추가한다. 지연은 지연 유닛을 인에이블링 또는 디스에이블링하는 것에 의해 지연 제어 회로에 의해 증분적으로 변경될 수 있다. 조정 가능한 지연은 RefDiv 클록 및 FbDiv 클록이 동일 위상에 도달할 때까지 조정되며, 이 시점에, DLL은 고정된 것으로 간주된다. 지연 제어 회로는 고정 상태가 얻어질 때 지연 조정 회로의 조정 가능한 지연을 조정하는 것을 중단한다.

[0015] RefDiv 클록 및 FbDiv 클록(예를 들어, Ref 클록 및 Fb 클록의 클록 주파수의 절반을 가짐)을 제공하기 위해 Ref 클록 및 Fb 클록의 클록 주파수를 감소시키는 것은 기준 클록 및 피드백 클록의 위상을 검출할 때 위상 검출기(150)에 대해 더욱 큰 성능 마진(performance margin)을 제공한다. RefDiv 클록 및 FbDiv 클록을 제공하기 위해 Ref 클록 및 Fb 클록을 느리게 하는 것에 의해, 위상 검출기(150)는 PD 신호를 제공할 때 기준 클록과 피드백 클록 사이의 위상 관계를 비교하고 정확하게 결정하도록 효과적으로 더욱 많은 시간을 갖는다.

[0016] 그러나, 클록 분주기(110)가 종래의 클록 분주기 회로로서 Ref 클록 및 Fb 클록의 각각을 단순히 분주하도록 구성되면, DLL(100)은 지나치게 긴 고정 시나리오에 민감할 수 있다. 즉, 일부 상황에서, DLL(100)은 RefDiv 클록에 대해 클록 분주기 회로(110)에 의해 제공된 FbDiv 클록의 예측 불가능한 위상 때문에 고정 상태를 얻기 위해 상당한 시간을 요구할 수 있다.

[0017] 도 2는 클록 분주기 회로(110)를 위한 종래의 클록 분주기 회로를 사용하여 도 1의 DLL(100)의 동작 동안 다양한 클록의 타이밍도이다. 도 2는 전술한 DLL(100)에 대한 긴 고정 시나리오를 설명하는데 참조될 것이다. 도 2는 클록 분주기 회로(110)에 제공된 Ref 클록 및 Fb 클록을 도시하고, 분주기 회로(110)에 의해 제공되는 분주 클록(RefDiv 및 FbDiv)을 추가로 도시한다. FbDiv 클록에 대해 종래의 클록 분주기 회로에 대한 2가지 경우(FbDiv(1) 및 FbDiv(2))가 도시되어 있다. FbDiv(1) 클록 및 FbDiv(2) 클록은 상보적이다. 종래의 클록 분주기 회로에 의해 제공되는 FbDiv 클록의 위상은 예측 가능하지 않으며, FbDiv(1) 클록 또는 FbDiv(2) 클록의 위상을 가질 수 있다.

[0018] 도 2에 도시된 바와 같이, 클록 분주기 회로(110)가 예를 들어 시간(T0)에서와 같이 인에이블링될 때, 클록 분주기 회로(110)는 Ref 클록 및 Fb 클록의 클록 주파수의 절반을 갖는 RefDiv 클록 및 FbDiv 클록을 제공한다. 클록 분주기 회로(110)가 인에이블링된 후에, 클록 분주기 회로(110)에 의해 수신된 제1 상승 클록 에지는 Ref 클록의 상승 클록 에지(210)이며, 이는 RefDiv 클록의 상승 클록 에지(212)를 초래한다. 유사하게, Ref 클록 다음에 수신되는 Fb 클록의 상승 클록 에지(220)는 FbDiv(1) 클록의 상승 클록 에지(222)를 초래한다. 결과적인 RefDiv 클록은 도 2에 도시된 바와 같이 결과적인 FbDiv(1) 클록에 앞선다. RefDiv 클록 및 FbDiv 클록은 위상 검출기(150)에 제공되며, 위상 검출기는 RefDiv 클록과 FbDiv 클록 사이의 위상 관계를 나타내는 PD 신호를 제공한다. PD 신호에 기초하여, 지연 조정 회로(130)의 지연 제어 회로는 지연(DCCLK)을 조정하여, Ref 클록(DCCLK의 기초가 되는)과 Fb 클록(지연 조정 회로(130)에 의해 제공되는 LCLK 클록에 기초하여)의 위상 관계를

변경한다. 지연 조정 회로(130)의 지연을 증분적으로 조정하고, PD 신호를 제공하기 위해 RefDiv 클록 및 FbDiv 클록 사이의 위상 관계를 결정하는 프로세스는, RefDiv 클록 및 FbDiv 클록의 상승 에지(212 및 222)가 정렬될 때까지 반복적으로 수행되며, 그 결과 Ref 클록 및 Fb 클록이 동기화된다. FbDiv(1) 클록의 예를 참조하면, RefDiv 클록 및 FbDiv(1) 클록의 클록 에지는 Ref 클록 및 Fb 클록을 동기화하고 DLL(100)이 고정 상태를 얻도록 비교적 빠르게 정렬될 수 있다.

- [0019] 반대로, 클록 분주기 회로(110)가 시간(T0)에서가 아니라 시간(T1)에서 인에이블링되면, 긴 고정 시나리오를 위한 상태가 생성된다. 클록 분주기 회로(110)는 클록 분주기 회로(110)에 의해 수신된 제1 상승 클록 에지가 Fb 클록의 상승 클록 에지(230)일 때 인에이블링된다. 상승 클록 에지(230) 다음의 시간에, 클록 분주기 회로(110)는 Ref 클록의 상승 클록 에지(240)를 수신한다. 클록 분주기 회로(110)에 의해 제공된 FbDiv(2) 클록의 결과적인 상승 에지(232)는 상당한 양의 시간(즉, 상승 에지(232 및 242) 사이의 시간차)만큼 RefDiv 클록의 결과적인 상승 에지(242)에 앞선다. RefDiv 클록 및 FbDiv(2) 클록의 상승 클록 에지를 정렬하기 위해, 지연 조정 회로(130)의 지연은 RefDiv 클록 및 FbDiv(2) 클록의 상승 클록 에지를 정렬하도록 충분한 지연이 추가될 때까지 여러번 증분적으로 조정될 필요가 있을 것이다. Ref 클록 및 Fb 클록을 동기화하기 위해 반복적인 지연 조정으로 인한 긴 시간은 DLL(100)에 대해 긴 고정 시나리오를 초래한다.
- [0020] 도 2를 참조하여 설명된 FbDiv(1) 및 FbDiv(2)의 2가지 경우에 의해 예시된 바와 같이, 제2 경우는 바람직하지 않은 긴 고정 시나리오를 초래한다.
- [0021] 도 3은 본 개시내용의 실시형태에 따른 클록 분주기 회로(300)의 블록도이다. 클록 분주기 회로(300)는 본 개시내용의 실시형태에 따른 DLL을 제공하기 위해 종래의 클록 분주기 회로보다는 DLL(100)의 클록 분주기 회로(110)에 포함될 수 있다.
- [0022] 클록 분주기 회로(300)는 기준 클록(Ref 클록)을 수신하는 분주기 회로(310)를 포함하고, 활성 인에이블 신호에 의해 인에이블링될 때 Ref 클록의 클록 주파수의 절반을 갖는 분주 클록(RefDiv)을 제공한다. 클록 분주기 회로(300)는 분주기 회로(320)를 더 포함하며, 이는 피드백 클록(Fb)을 수신하고, 활성 인에이블 신호에 의해 인에이블링될 때 둘 모두 Fb 클록의 클록 주파수의 절반을 갖는 분주 클록(FbDiv-a) 및 분주 클록(FbDiv-b)을 제공한다. FbDiv-b 클록은 FbDiv-a 클록에 상보적이다.
- [0023] 지연 회로(330)에는 분주기 회로(310)로부터의 Ref 클록 및 RefDiv 클록이 제공된다. 지연 회로(330)는 지연 클록(RefDiv-h)을 제공한다. RefDiv-h 클록은 RefDiv 클록에 대해 Ref 클록의 클록 사이클의 절반의 지연을 갖는다. RefDiv-h 클록은 위상 검출기(340)에 제공되고, 위상 검출기는 RefDiv-h 클록과 FbDiv-a 클록의 위상을 비교한다. 위상 검출기(340)는 RefDiv-h 클록과 FbDiv-a 클록의 위상 관계를 나타내는 값을 갖는 위상차 신호(PD-o)를 제공한다. 예를 들어, PD-o 신호는 RefDiv-h 클록이 FbDiv-a 클록에 뒤처질 때 논리 "0"값(예를 들어, 로우 논리 레벨(low logic level))을 가지며, RefDiv-h 클록이 FbDiv-a 클록에 앞설 때 논리 "1"값(예를 들어, 하이 논리 레벨)을 갖는다. 지연 회로(330)는 본 개시내용의 일부 실시형태에서 위상 검출기(340)가 포함될 수 있다. 지연 회로(330)는 별도의 회로일 수 있거나, 또는 본 개시내용의 다른 실시형태에서 다른 회로가 포함될 수 있다.
- [0024] 멀티플렉서(350)는 분주기 회로(320)로부터 FbDiv-a 클록 및 FbDiv-b 클록을 수신하고, PD-o 신호에 기초하여 FbDiv-a 클록 및 FbDiv-b 클록 중 하나를 분주 클록(FbDiv)으로서 제공한다.
- [0025] RefDiv-h 클록 및 FbDiv-a 클록의 위상을 비교하는 것에 의해, 위상 검출기(340)는 Ref 클록의 위상을 Fb 클록의 위상과 효과적으로 비교할 수 있다. 예를 들어, Ref 클록이 Ref 클록의 클록 사이클의 절반 미만만큼 Fb 클록에 앞설 때(예를 들어, Ref 클록의 하강 클록 에지가 Fb 클록의 상승 클록 에지에 뒤처질 때), RefDiv-h 클록은 FbDiv-a 클록에 뒤처지며(예를 들어, RefDiv-h 클록의 상승 클록 에지는 FbDiv-a 클록의 상승 클록 에지에 뒤처지며), Ref 클록이 Ref 클록의 사이클의 절반 이상만큼 Fb 클록에 앞설 때(예를 들어, Ref 클록의 하강 클록 에지가 Fb 클록의 상승 클록 에지에 앞설 때), RefDiv-h 클록은 FbDiv-a 클록에 앞선다(예를 들어, RefDiv-h 클록의 상승 클록 에지는 FbDiv-a 클록의 상승 클록에 앞선다). 결과적으로, 위상 검출기(340)는 Ref 클록이 Ref 클록의 클록 사이클의 절반 미만만큼 Fb 클록에 앞설 때(예를 들어, Ref 클록의 하강 클록 에지가 Fb 클록의 상승 클록 에지에 뒤처질 때) 로우 논리 레벨 PD-o 신호를 제공하며, Ref 클록이 Ref 클록의 클록 사이클의 절반 이상만큼 Fb 클록에 앞설 때(예를 들어, Ref의 하강 클록 에지가 Fb 클록의 상승 클록 에지에 앞설 때) 하이 논리 레벨 PD-o 신호를 제공한다.
- [0026] 도 4a 및 도 4b는 본 개시내용의 실시형태에 따른 클록 분주기 회로(300)의 동작 동안 다양한 클록 및 PD-o 신

호의 타이밍도이다. 도 4a는 Ref 클록이 높은 클록 레벨에 있는(예를 들어, Ref 클록의 하강 클록 에지가 Fb 클록의 상승 클록 에지에 뒤쳐진) 동안 Fb 클록의 상승 클록 에지가 발생하는 시간에 분주기 회로(310 및 320)가 활성 인에이블 신호에 의해 인에이블링될 때 다양한 클록의 타이밍 및 PD-o 신호를 도시한다. 도 4b는 Ref 클록이 낮은 클록 레벨에 있는(예를 들어, Ref 클록의 하강 클록 에지가 Fb 클록의 상승 클록 에지에 앞선) 동안 Fb 클록의 상승 에지가 발생하는 시간에 분주기 회로(310 및 320)가 활성 인에이블 신호에 의해 인에이블링될 때 다양한 클록의 타이밍 및 PD-o 신호를 도시한다.

[0027] 도 4a를 참조하면, 분주기 회로(310 및 320)가 인에이블링될 때, 분주기 회로(310)는 Ref 클록의 클록 주파수의 절반을 갖는 RefDiv 클록을 제공하고, 분주기 회로(320)는 Fb 클록의 클록 주파수의 절반을 갖는 FbDiv-a 클록 및 FbDiv-b 클록을 제공한다. 동일 위상 FbDiv-a 클록의 상승 에지(412)는 Fb 클록의 상승 에지(410)에 대응하고, 상보적인 FbDiv-b 클록의 하강 에지(414)는 Fb 클록의 상승 에지(410)에 대응한다.

[0028] 도 4a에 도시된 바와 같이, RefDiv 클록은 클록 지연 회로(330)에 의해 Ref 클록의 클록 주기의 절반만큼 지연되어 RefDiv-h 클록을 제공한다. 결과적으로, RefDiv-h 클록은 FbDiv-a 클록에 뒤처져, 위상 검출기(340)가 로우 논리 레벨 PD-o 신호를 제공하게 한다. FbDiv-a 클록에 뒤쳐진 RefDiv-h 클록은 Ref 클록의 하강 클록 에지가 Fb 클록의 상승 클록 에지에 뒤쳐진(그리고 Ref 클록이 Ref 클록의 클록 사이클의 절반 미만만큼 Fb 클록에 앞선) 상태를 나타낸다. 멀티플렉서 회로(350)는 FbDiv 클록으로서 FbDiv-a 클록을 제공하기 위해 로우 논리 레벨 PD-o 신호에 의해 제어된다. FbDiv-a 클록은 FbDiv 클록 및 RefDiv 클록의 타이밍을 서로에 대해 변경하는 것에 의해 신속하게 조정될 수 있는 양만큼 RefDiv 클록에 뒤처진다. 예를 들어, 클록 분주기 회로(300)가 종래의 클록 분주기 회로가 아니라 클록 분주기 회로(110)에 포함되는 본 개시내용의 실시형태에서, RefDiv 클록 및 FbDiv 클록은 DLL(100)의 위상 검출기(150)에 제공되어, DCCLK 클록의 타이밍을 변경하기 위해 지연 조정 회로(130)의 지연을 조정하는데 사용되는 PD 신호를 제공할 수 있다. DCCLK 클록의 타이밍이 변경됨에 따라서, RefDiv 클록 및 FbDiv 클록이 동기화될 때까지 결과적인 LCLK 클록 및 Fb 클록의 타이밍이 또한 변경된다. 이러한 것이 발생할 때, Ref 클록 및 Fb 클록이 또한 동기화되고, DLL(100)은 고정 상태를 획득한다.

[0029] 도 4a의 예와는 대조적으로, 도 4b의 예는 FbDiv-a 클록에 앞선 RefDiv-h 클록을 도시한다. 전술한 바와 같이, 도 4b에 대하여, 클록 분주기(310, 320)는 Ref 클록이 하이 클록 레벨을 갖는 동안 Fb 클록의 상승 클록 에지(410)가 발생할 때의 시간에 활성 인에이블 신호에 의해 인에이블링되며, 이는 이러한 예에서 FbDiv-a 클록에 앞선 RefDiv-h 클록을 초래한다. FbDiv-a 클록에 앞선 RefDiv-h 클록은 Ref 클록의 하강 클록 에지가 Fb 클록의 상승 클록 에지에 앞선(그리고 Ref 클록이 Ref 클록의 클록 사이클의 절반 이상만큼 Fb 클록에 앞선) 상태를 나타낸다. 선행하는 RefDiv-h 클록은 위상 검출기(340)가 멀티플렉서(350)에 하이 논리 레벨 PD-o 신호를 제공하게 하고, 멀티플렉서는 하이 논리 레벨 PD-o 신호때문에 FbDiv 클록으로서 FbDiv-b 클록을 제공한다. FbDiv 클록은 FbDiv 클록과 RefDiv 클록의 타이밍을 서로에 대해 변경하는 것에 의해 신속하게 조정될 수 있는 양만큼 RefDiv 클록에 앞선다. 클록 분주기 회로(300)가 종래의 클록 분주기 회로가 아니라 클록 분주기 회로(110)에 포함되는 본 개시내용의 실시형태를 참조하면, 지연 조정 회로(130)는 위상 검출기(150)에 의해 제공된 PD 신호에 의해 제어되어, 전술한 바와 같이 Ref 클록 및 Fb 클록이 동기화되고 DLL(100)이 고정 상태를 획득할 때까지 DCCLK 클록의 타이밍을 변경한다.

[0030] 도 4a 및 도 4b의 예는 예를 들어 DLL과 같은 클록 회로에서 클록 분주기 회로(300)를 사용하는 것에 의해 제공되는 이점을 도시한다. 클록 분주기 회로(300)는 더욱 낮은 클록 주파수(예를 들어, 입력 클록의 클록 주파수의 절반)를 갖는 클록을 제공하며, 이는 기준 클록에 기초하여 기준 클록 및 피드백 클록의 상대 위상을 검출할 때 위상 검출기에 대해 더욱 큰 마진을 초래할 수 있다. 전술한 바와 같이, 종래의 클록 분주기 회로는 긴 고정 시나리오를 유발하는 예측 불가능한 위상 관계를 가질 수 있는 분주 클록을 제공한다. 그러나, 종래의 클록 분주기 회로와는 대조적으로, 클록 분주기 회로(300)는 기준 클록과 피드백 클록 사이의 위상 관계에 기초한 2개의 피드백 클록 중 하나(이것은 기준 클록 및 피드백 클록에 기초한 클록으로 표현될 수 있음)를 제공한다. 본 개시내용의 일부 실시형태에서, 기준 클록 및 피드백 클록은 기준 클록(예를 들어, RefDiv-h 클록) 및 2개의 피드백 클록 중 하나(예를 들어, FbDiv-a 클록)에 기초한 클록으로 표현될 수 있다. 선택된 피드백 클록은 긴 고정 시나리오의 가능성을 감소시킬 수 있다.

[0031] 도 5는 본 개시내용의 실시형태에 따른 클록 분주기 회로(500)의 개략도이다. 클록 분주기 회로(500)는 본 개시내용의 실시형태에 따른 DLL을 제공하기 위해 종래의 클록 분주기 회로보다는 DLL(100)의 클록 분주기 회로(110)에 포함될 수 있다.

[0032] 클록 분주기 회로(500)는 분상기 회로(phase splitter circuit)(510 및 512)를 포함한다. 분상기 회로(510)는

기준 클록(Ref)을 수신하고, 상보적인 기준 클록(RefT 및 RefF)을 제공한다. RefT 클록 및 RefF 클록은 Ref 클록과 동일한 클록 주파수를 갖는다. 분상기 회로(512)는 피드백 클록(Fb)을 수신하고, 상보적인 기준 클록(FbT 및 FbF)을 제공한다. FbT 클록 및 FbF 클록은 Fb 클록과 동일한 클록 주파수를 갖는다. 본 개시내용의 일부 실시형태에서, 분상기 회로(510 및 512)는 2개의 직렬 결합 인버터 회로를 갖는 제1 클록 경로를 포함하고, 3개의 직렬 결합 인버터 회로를 갖는 제2 클록 경로를 포함한다. 분상기 회로(510 및 512)는 본 개시내용의 다른 실시형태에서 대안적인 회로를 포함할 수 있다. 클록 분주기 회로(500)는 분주기 회로(520 및 522)를 더 포함한다. 분주기 회로(520)는 분상기(510)로부터 RefT 클록 및 RefF 클록을 수신하고, 상보적인 분주 클록(RefQ 및 RefQF)을 제공한다. 분주기 회로(522)는 분상기(512)로부터 FbT 클록 및 FbF 클록을 수신하고, 상보적인 분주 클록(FbQ 및 FbQF)을 제공한다. 분주 클록(RefQ 및 RefQF, 및 FbQ 및 FbQF)은 각각 Ref 클록 및 Fb 클록의 클록 주파수의 절반인 클록 주파수를 갖는다. 분주기 회로(520, 522)는 능동형 재설정 신호(Rf)에 의해 재설정될 수 있다.

[0033] RefQF 클록은 지연된 RefQF 클록(RefL)을 제공하는 직렬 결합 인버터 회로(540 및 541)를 통해 RefDiv-h 클록으로서 제공되기 전에 Ref 클록의 클록 주기의 절반만큼 RefQF 클록을 지연시키는 지연 회로(530)에 제공된다. 지연 회로(530)는 도 5의 실시형태에 도시된 바와 같이 분상기(510)에 의해 제공된 RefT 클록 및 RefF 클록에 의해 클록킹되는 D 래치(530)로서 구현될 수 있다. D 플립 플롭(DFF)은 D 래치(530)의 페이스의 속도로 사용될 수 있다. 지연 회로(530)는 능동형 재설정 신호(Rf)에 의해 설정되거나 또는 재설정될 수 있다. 상이한 유형의 지연 회로가 본 개시내용의 범위를 벗어나지 않으면서 다른 실시형태에서 사용될 수 있다.

[0034] RefQ 클록은 직렬 결합 인버터 회로(542 및 543)를 통해 RefQO 클록으로서 출력 회로(560)에 제공된다. 출력 회로(560)는 직렬로 결합된 논리 게이트(562 및 564)를 포함하며, RefQO 클록은 분주된 주파수 클록(REFDiv)을 제공하기 위해 논리 게이트를 통해 전파된다. RefDiv 클록은 Ref 클록의 클록 주파수의 절반인 클록 주파수를 갖는다. 논리 게이트(562 및 564)는 도 5에 도시된 바와 같이 본 개시내용의 일부 실시형태에서 전력 공급 전압(예를 들어, VDD)에 결합된 입력을 갖는 직렬 결합된 NAND 논리 게이트일 수 있다. 다른 유형의 논리 게이트 및 구성은 본 개시내용의 범위를 벗어나지 않으면서 다른 실시형태에서 사용될 수 있다.

[0035] FbQ 클록은 출력 클록(FbQO)을 제공하기 위해 직렬 결합 인버터(550 및 551)를 통해 제공되고, FbQF 클록은 출력 클록(FbQFO)을 제공하기 위해 직렬 결합 인버터(552 및 553)를 통해 제공된다. FbQO 클록 및 FbQFO 클록은 멀티플렉서 회로(570)에 제공된다. 멀티플렉서 회로(570)는 논리 게이트(572, 574, 576), 및 인버터 회로(573 및 575)를 포함한다. 논리 게이트(572)는 제1 입력에서 FbQO 클록 및 제2 입력에서의 인버터 회로(573)로부터의 출력이 제공된다. 논리 게이트(574)는 제1 입력에서 FbQFO 클록 및 제2 입력에서의 인버터(575)로부터의 출력이 제공된다. 논리 게이트(576)는 논리 게이트(572, 574)의 출력이 제공되고, 논리 게이트(576)는 분주된 주파수 클록(FbDiv)을 제공한다. 멀티플렉서 회로(570)는 인버터 회로(573)의 출력이 하이 논리 레벨(예를 들어, 논리 "1")일 때 FbDiv 클록으로서 FbQO 클록을 제공하고, 멀티플렉서 회로(570)는 인버터 회로(573)의 출력이 로우 논리 레벨(예를 들어, 논리 "0")일 때 FbDiv 클록으로서 FbQFO 클록을 제공한다.

[0036] 위상 검출기(580)는 FbDiv 클록으로서 FbQO 클록 또는 FbQFO 클록을 제공하도록 멀티플렉서(570)를 제어하기 위해 위상차 신호(PD-o)를 인버터 회로(573)에 제공한다. 위상 검출기(580)에 의해 제공된 PD-o 신호는 RefDiv-h 클록과 FbQ 클록 사이의 위상 관계에 기초한 값(예를 들어, 논리 레벨)을 갖는다. RefDiv-h 클록은 RefL 클록으로서 위상 검출기(580)에 제공되고, FbQ 클록은 FbL 클록으로서 직렬 결합 인버터(550 및 554)를 통해 위상 검출기(580)에 제공된다. 위상 검출기(580)는 RefL 클록과 FbL 클록 사이의 위상 관계를 결정하기 위해 RefL 클록과 FbL 클록을 비교한다. 위상 검출기(580)는 RefL 클록과 FbL 클록 사이의 위상 관계를 나타내는 값을 갖는 PD-o 신호를 제공한다. 예를 들어, RefL 클록이 FbL 클록에 뒤처질 때, 위상 검출기(580)는 로우 논리 레벨을 갖는 PD-o 신호를 제공하고, 반대로, RefL 클록이 FbL 클록에 앞설 때, 위상 검출기(580)는 하이 논리 레벨을 갖는 PD-o 신호를 제공한다.

[0037] 동작시에, 멀티플렉서(570)는 RefL 클록이 FbL 클록에 뒤처질 때(예를 들어, PD-o 신호가 로우 논리 레벨일 때) FbDiv 클록으로서 FbQO 클록을 제공한다. 멀티플렉서(570)는 RefL 클록이 FbL 클록에 앞설 때(예를 들어, PD-o 신호가 하이 논리 레벨일 때) FbDiv 클록으로서 FbQFO 클록을 제공한다.

[0038] FbQO 클록 및 FbQFO 클록은 FbDiv 클록으로서 제공될 때 멀티플렉서(570)의 전파 지연을 포함한다. 멀티플렉서(570)의 전파 지연은 RefDiv 클록으로서 RefQO 클록을 제공하는 출력 회로(560)의 전파 지연에 의해 정합된다. 결과적으로, RefQO 클록 및 FbQO/FbQFO 클록의 상대 위상은 RefDiv 클록 및 FbDiv 클록으로서 각각 제공될 때 유지된다. RefQO 클록으로서 RefQ 클록을 제공할 때, FbQO 클록으로서 FbQ 클록을 제공할 때, 및 FbQFO 클록으

로서 FbQF 클록을 제공할 때의 전파 지연은 직렬 결합 인버터 회로(542 및 543, 550 및 551, 및 552 및 553)를 포함하는 것에 의해 정합된다. 결과적으로, RefQ 클록, FbQ 클록 및 FbQF 클록의 상대 위상은 각각 RefQO 클록, FbQO 클록 및 FbQFO 클록으로서 제공될 때 유지된다.

[0039] 본 개시내용의 일부 실시형태에서, 클록 분주기 회로(500)는 전술한 클록 중 하나 이상을 제공하는 다른 회로의 로딩(예를 들어, 캐패시턴스, 저항 등)의 균형을 유지하기 위해 사용되는 더미 회로(dummy circuit)를 포함할 수 있다. 로딩의 균형을 유지하는 것은 Fb/FbDiv 클록 경로(예를 들어, Fb 클록의 수신과 FbDiv 클록의 제공 사이의 회로 및 게이트)의 클록과 Ref/RefDiv 클록 경로(예를 들어, Ref 클록의 수신과 RefDiv 클록의 제공 사이의 회로 및 게이트)의 클록의 위상 관계를 유지하는 것을 도울 수 있다.

[0040] 예를 들어, 도 5는 지연 회로(530)에 의해 유발된 로딩의 균형을 유지하는 더미 회로(D530)를 포함하는 클록 분주기 회로(500)의 실시형태를 도시한다. 로딩의 균형을 유지하는 것은 RefT 클록/RefF 클록과 FbT 클록/FbF 클록의 상대 위상을 유지하는 것을 도울 수 있다. 본 개시내용의 일부 실시형태에서, 더미 회로(D530)는 지연 회로(530)의 로딩을 모방하기 위해 지연 회로(530)에 포함된 것과 동일한 회로를 포함할 수 있다. 도 5의 클록 분주기 회로(500)는 또한 인버터 회로(554)에 의해 유발된 로딩의 균형을 유지하는 더미 회로(D541, D543, 및 D554)를 포함하는 것으로 도시되어 있다. 로딩의 균형을 유지하는 것은 RefQO 클록, FbQO 클록, FbQFO 클록, RefL 클록, 및 FbL 클록을 제공할 때 RefQ 클록, FbQ 클록 및 FbQF 클록의 상대 위상을 유지하는 것을 도울 수 있다.

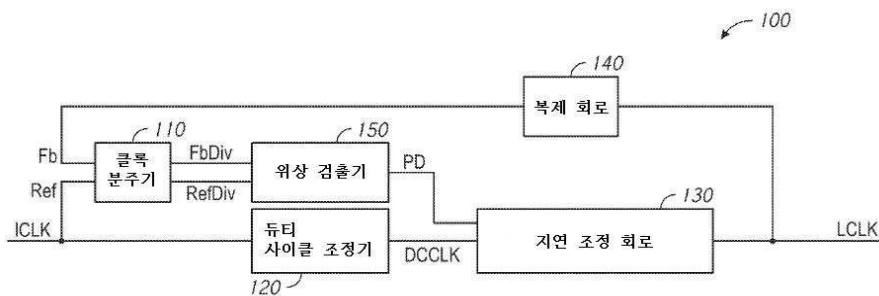
[0041] 클록 분주기 회로(500)의 실시형태가 전술한 정합 회로 및 더미 회로를 포함하는 것으로서 도 5에 도시되었을지라도, 본 개시내용의 다른 실시형태는 전술한 더미 회로 및 정합 회로의 상이한 조합을 포함할 수 있고, 또한 본 개시내용의 범위를 벗어나지 않으면서 로딩 및 정합 전파 지연의 균형을 유지하기 위한 추가적 및/또는 대안적인 더미 회로를 포함할 수 있다. 이전의 더미 회로 및 정합 회로는 예로서 설명되었으며, 본 개시내용의 범위를 도 5에 도시된 특정 실시형태로 제한하도록 의도되는 것은 아니다.

[0042] 클록 분주기 회로(500)는 더욱 낮은 클록 주파수(예를 들어, 입력 클록의 클록 주파수의 절반)를 갖는 클록을 제공하며, 이는 기준 클록에 기초하여 기준 클록 및 피드백 클록의 상대 위상을 검출할 때 DLL의 위상 검출기에 대해 더욱 큰 마진을 초래할 수 있다. 전술한 바와 같이, 종래의 클록 분주기 회로는 긴 고정 시나리오를 유발하는 예측 불가능한 위상 관계를 가질 수 있는 분주 클록을 제공한다. 그러나, 종래의 클록 분주기 회로와는 대조적으로, 클록 분주기 회로(500)는 기준 클록과 피드백 클록 사이의 위상 관계에 기초하여 2개의 피드백 클록 중 하나(이것은 기준 클록 및 피드백 클록에 기초한 클록으로 표현될 수 있는)를 제공한다. 본 개시내용의 일부 실시형태에서, 기준 클록 및 피드백 클록은 기준 클록에 기초한 클록(예를 들어, RefL 클록) 및 2개의 피드백 클록 중 하나(예를 들어, FbL 클록)로 표현될 수 있다. 선택된 피드백 클록은 긴 고정 시나리오의 가능성을 감소시킬 수 있다.

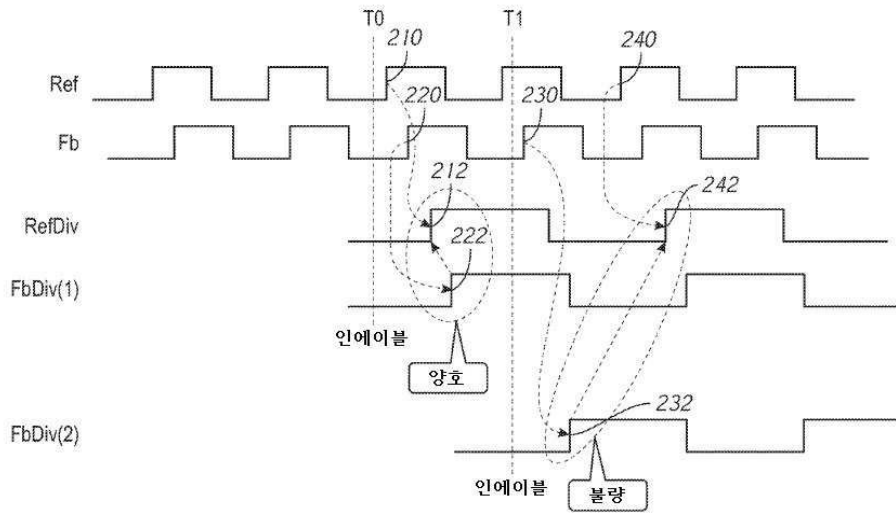
[0043] 전술한 내용으로부터, 본 개시내용의 특정 실시형태가 예시의 목적을 위해 본 명세서에서 설명되었을지라도, 본 개시내용의 사상 및 범위를 벗어나지 않으면서 다양한 변형이 만들어질 수 있다는 것이 이해될 것이다. 따라서, 본 개시내용은 본 명세서에 설명된 특정 실시형태 중 임의의 것으로 제한되지 않아야 한다.

도면

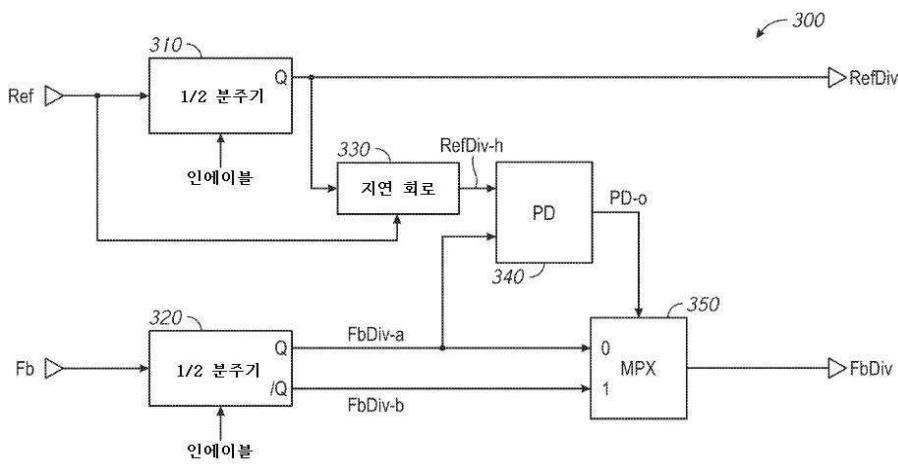
도면1



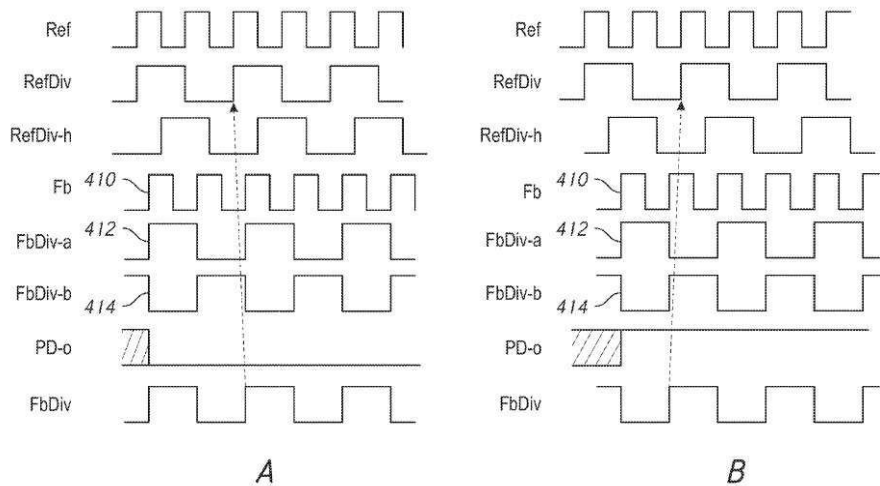
도면2



도면3



도면4



도면5

