

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2012-0111151 (43) 공개일자 2012년10월10일
(51) 국제특허분류(Int. Cl.) H01L 23/48 (2006.01) H01L 21/66 (2006.01)	(71) 출원인 세종대학교산학협력단 서울특별시 광진구 능동로 209 (군자동, 세종대학교)	
(21) 출원번호 10-2011-0029499	한국기계연구원	
(22) 출원일자 2011년03월31일	대전광역시 유성구 가정북로 156 (장동)	
심사청구일자 2011년03월31일	(72) 발명자	
	이원준	
	서울특별시 마포구 독막로42길 2, 108동 304호 (염리동, 마포자이)	
	서승호	
	경기도 남양주시 와부읍 덕소로 118-27, 한솔아파트 102동 2309호	
	(뒷면에 계속)	
	(74) 대리인	
	특허법인엠에이피에스	

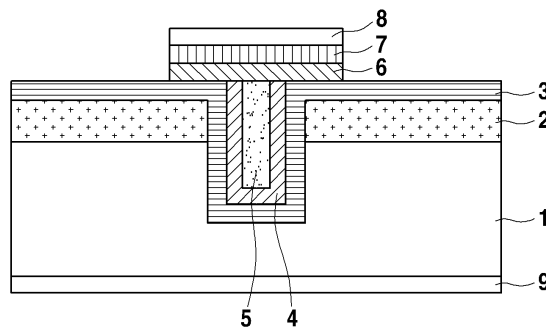
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 구리 이온 드리프트의 측정을 위한 구조체 및 이를 이용한 구리 이온 드리프트의 측정 방법

(57) 요약

실리콘 웨이퍼 내에 수직 방향으로 형성된 비아 홀(via hole); 상기 비아 홀의 내부에 순차적으로 배치된 도전체, 확산 방지막 및 절연막; 상기 비아 홀 상부에 배치된 Ta/Al/TiN 를 포함하는 상부 전극; 및, 상기 실리콘 웨이퍼 후면에 배치된 접지용 전극: 을 포함하는, 구리 이온 드리프트 측정용 관통전극(Through Silicon Via, TSV) 구조체를 제공한다.

대표도 - 도1



(72) 발명자

이재학

대전광역시 유성구 가정북로 156, 한국기계연구원
(장동)

송준엽

대전광역시 서구 둔산로 155, 크로바아파트 104동
507호 (둔산동)

이 발명을 지원한 국가연구개발사업

과제고유번호 1345086672

부처명 지식경제부

연구사업명 차세대 반도체 MCP 핵심기술 개발

연구과제명 TSV 형상에 따른 구리 확산 연구

주관기관 한국기계연구원

연구기간 2008.12.23 ~ 2012.02.28

특허청구의 범위

청구항 1

실리콘 웨이퍼 내에 수직 방향으로 형성된 비아 홀(via hole);
 상기 비아 홀의 내부에 순차적으로 배치된 도전체, 확산 방지막 및 절연막;
 상기 비아 홀 상부에 배치된 확산 방지막/Al/TiN 를 포함하는 상부 전극; 및,
 상기 실리콘 웨이퍼 후면에 배치된 접지용 전극;
 을 포함하는, 구리 이온 드리프트 측정용 관통전극(Through Silicon Via, TSV) 구조체.

청구항 2

제 1 항에 있어서,
 상기 도전체는 Cu 를 포함하고, 상기 확산 방지막은 Ta, Ti, W, Ru, Pt, Ni, Co, 또는 이들의 조합; 이들의 질화물(nitride); 이들의 탄화물(carbide); 및, 이들의 조합으로 이루어진 군에서 선택되는 것을 포함하는 것인,
 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 3

제 1 항에 있어서,
 상기 비아 홀이 상기 실리콘 웨이퍼를 관통하거나 또는 부분 관통한 것을 포함하는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 4

제 1 항에 있어서,
 상기 절연막은 SiO₂, Al₂O₃, SiN, SiC, SiCN, 저유전율(low-k) 절연막, 이들의 조합, 및 이들의 적층 구조로 이루어진 군에서 선택된 것을 포함하는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 5

제 1 항에 있어서,
 상기 절연막은 열산화법(Thermal oxidation), 화학기상증착법(CVD), 습식법(Wet process), 및 이들의 조합으로 이루어진 군에서 선택된 것에 의해 증착된 것을 포함하는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 6

제 1 항에 있어서,
 상기 확산 방지막은 물리기상증착법(PVD), 화학기상증착법(CVD), 전해도금, 무전해 도금, 및 이들의 조합으로 이루어진 군에서 선택된 것에 의해 증착된 것을 포함하는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 7

제 1 항에 있어서,

상기 도전체는 물리기상증착법(PVD), 화학기상증착법(CVD), 전해도금, 무전해 도금, 및 이들의 조합으로 이루어진 군에서 선택된 것에 의해 충전(filling)된 것을 포함하는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 8

제 1 항에 있어서,

상기 도전체는 씨앗(seed)층 상에서 이온화 스퍼터링(Ionized sputtering), 전해도금(electroplating), 또는 이들의 조합에 의해 충전된 것을 포함하는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 9

제 1 항에 있어서,

상기 접지용 전극은 Al 을 포함하는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 10

제 1 항에 있어서,

상기 비아 홀을 하나 이상 포함하는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 11

제 10 항에 있어서,

상기 하나 이상의 비아 홀이 일렬로 배열되어 있는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 12

제 10 항에 있어서,

상기 하나 이상의 비아 홀이 하나 이상의 상기 상부 전극에 의해 연결된 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 13

제 12 항에 있어서,

상기 하나 이상의 비아 홀이 각각 하나의 상기 상부 전극에 연결되어 있는 것인, 구리 이온 드리프트 측정용 관통전극 구조체.

청구항 14

제 1 항 내지 제 13 항 중 어느 한 항에 따른 구리 이온 드리프트 측정용 관통전극 구조체를 이용한 관통전극 내 구리 이온 드리프트의 측정 방법으로서, 상기 관통전극 구조체에 포함된 비아 홀 상의 상기 상부 전극과 상기 접지용 전극을 연결하거나, 또는 2 개 이상의 비아 홀 상의 상기 상부 전극을 연결하고, 상기 관통전극 구조체에 전기적 부하 및 열적 부하를 가하여 상기 부하 전 및 후에 발생하는 정전용량(Capacitance)-전압 곡선의

변화로부터 상기 절연막 내로의 구리 이온 드리프트(drift)를 측정하는 것을 포함하는,
관통전극 내 구리 이온 드리프트의 측정 방법.

청구항 15

제 14 항에 있어서,

상기 정전용량-전압 곡선의 변화로부터 플랫 밴드 전압(Flat band voltage, V_{FB})의 변화를 측정하여 상기 구리 이온 드리프트(drift)를 측정하는 것을 포함하는 것인, 관통전극 내 구리 이온 드리프트의 측정 방법.

청구항 16

제 14 항에 있어서,

상기 전기적 부하는 1 MV/cm 내지 3 MV/cm 이고, 상기 열적 부하는 25℃ 내지 300℃ 의 조건인, 관통전극 내 구리 이온 드리프트의 측정 방법.

청구항 17

제 14 항에 있어서,

상기 전기적 부하 및 상기 열적 부하 조건 하에, 관통전극 내 구리 이온 드리프트에 의한 상기 절연막의 파괴시간(Time-Dependent Dielectric Breakdown, TDDb)을 측정하는 것을 포함하는, 관통전극 내 구리 이온 드리프트의 측정 방법.

명세서

기술분야

[0001] 본원은 관통전극(Through Silicon Via, TSV) 내에서 구리 이온이 실리콘 웨이퍼로 드리프트(drift)되는 현상을 측정할 수 있는 구조체, 및 상기 구조체를 이용한 구리 이온 드리프트의 측정 방법에 관한 것이다.

배경기술

[0002] 관통전극(Through Silicon Via, TSV) 기술은 전자부품의 소형화, 고성능화, 생산성 향상을 이룰 수 있는 기술로서 최근 연구개발이 활발히 진행되고 있다. TSV 기술은 별개의 부품, 즉 프로세서나 메모리, 또는 두 개의 개별 칩에 있는 코어들을 수천 개의 미세 와이어로 연결하여 데이터를 송수신하도록 하는 기술이다. 현재 칩의 데이터 전송은 대개 와이어로 구현된 버스(bus)라는 채널을 통해 이루어지는데, 데이터 전송 시 정체현상이 일어나기도 한다. 그러나, TSV 기술을 이용하면 전력 소비를 줄이면서도 초당 데이터 전송량을 훨씬 더 높일 수 있다.

[0003] 이 TSV 기술은 수년 이내에 파워 프로세서와 메모리를 직접 결합하는데 사용될 수도 있을 것으로 예측된다. 그렇게 되면 메모리 컨트롤러를 사용 할 필요가 없어지며, 성능을 10% 이상 향상시킬 수 있고 전력소비는 20% 이상 줄일 수 있을 것으로 예상된다. 이와 더불어 TSV를 적용하면 칩을 수직 타워에 겹쳐 쌓을 수 있기 때문에 메인보드 공간도 효율적으로 활용할 수 있게 되어 부품의 소형화가 가능하다. 현재 패키지 안에 칩을 수직으로 쌓는 방식을 이용하고 있는 칩 제조업체들이 있으며, 이들 칩은 버스를 통해 연결되는 것이 보통이다. 그러나, 향후 TSV 기술을 이용해 패키지 안에 칩을 수직으로 쌓을 수 있을 것으로 예상되고 있다.

[0004] TSV 배선을 사용한 3차원 LSI(대규모 집적 회로, Large Scale Integrated circuit) 시장은 앞으로도 크게 확대될 전망이다. 프랑스의 Yole Development 사의 조사에 의하면, 2015년까지 웨이퍼 장수 기준으로 반도체 전체의 6%, 메모리의 25% 가 3차원 LSI가 될 것으로 예상되고 있다. 이러한 경향은 반도체 업체들이 무어의 법칙에 따라 지속적으로 디바이스를 스케일링해 가기 위해서는 3차원화가 필수적이라는 것을 의미한다. TSV를 사용하

는 3차원 LSI 시장 규모의 경우 용도별로 메모리가 가장 크고, MEMS 디바이스와 CMOS 이미지 센서, 무선회로를 탑재한 SiP 모듈 시장으로 확대 될 것으로 예상된다.

- [0005] TSV를 이용한 3차원 패키징에서 가장 중요한 기술은 비아(Via) 홀을 통한 연결, 즉 TSV를 전도성 물질로 채우고 이를 서로 연결하여 적층된 소자 간의 신호를 전달하는 것이다. TSV를 채우기 위한 방법으로는 전기도금과 전도성 접착제의 디스펜싱(dispensing) 방법이 사용되고 있으나 이러한 방법 모두 TSV 내부를 충전하는 재료로 Cu를 사용하고 있다. 또한 TSV를 사용한 3차원 패키징 방법 외에 와이어 본딩(wire bonding)을 사용하는 3차원 패키징 방법에서도 전통적으로 사용하던 Al 또는 Au 재료 또한 점진적으로 Cu로 대체되고 있다.
- [0006] Cu는 현재 반도체 배선 재료로 사용되고 있고 전기전도도가 우수한 점 등의 장점을 갖고 있으나 현실적으로 Al에 비하여 산업체에서의 활용은 제한을 받고 있다. 그 이유는 Si, SiO₂에 매우 빠르게 확산되며 낮은 유전상수를 갖는 재료이기 때문이다. Cu의 Si, SiO₂에 확산은 반도체 소자에 다음과 같은 영향을 미친다.
- [0007] 가. Si 원자와 Cu 원자 간의 결합으로 인한 Cu₃Si을 형성하여 다이오드 구조에 스파크를 발생시켜 p-n 접합의 전기적 단락을 초래함.
- [0008] 나. Si, SiO₂ 계면에 Cu-규화물(silicide)을 침전시켜 MOS 축전기(capacitor)의 게이트 산화물(gate oxide)의 상태를 저하시킴.
- [0009] 다. Cu 침전물이 재결합 발생의 원인을 제공하여 반도체의 수명을 단축시킴.
- [0010] 라. Cu가 절연막을 통해 Si 기판으로 확산되는 경우 소자의 오동작을 일으킴.
- [0011] 마. Cu는 산화가 쉽고 낮은 온도에서도 절연막을 통한 확산이 빠르기 때문에 신뢰성 측면에서 사용시 면밀한 분석이 필요함.
- [0012] 따라서 Cu 이온 드리프트에 의한 반도체 소자의 파손을 방지하기 위해 Cu 이온 드리프트를 측정하고 안정성을 평가할 수 있는 방법의 정립이 필요하다. Cu 이온 드리프트로 인한 확산 방지층(barrier)의 파손은, 금속 성분과 확산 방지층 성분의 커다란 혼합이 발생하지 않은 상태에서 금속 성분이 확산 방지층을 통과하여 반도체 소자의 특성에 영향을 주는 전기적인 파손의 형태로서 나타나게 된다.
- [0013] 이러한 전기적 파손 모드에 대한 측정 및 평가 방법이 요구되고 있다. 그러나, 현재 TSV의 제조에 관한 연구는 활발히 진행되고 있는 반면 TSV에서 Cu 이온 드리프트 및 그에 따른 제품의 신뢰성에 관한 연구는 전 세계적으로 매우 초보적인 수준에 머물러 있는 실정이다.
- [0014] 현재의 일반적으로 사용되고 있는 확산 측정 방법은 화학적 분석 방법으로서 X-Ray 회절 분석법(X-Ray Diffraction, XRD), 2차 이온 질량분석법(Secondary Ion Mass Spectrometry, SIMS) 등이 사용되고, 전기적 방법으로서 면저항을 측정하고, 구조를 관찰하기 위해 주사 전자 현미경(Scanning Electron Microscopy, SEM) 측정법 등이 사용되고 있다. 상기 측정 방법에서는, 전극을 400~800℃에서 열처리 한 후 실리콘 내부로 확산된 성분의 조성을 분석하거나, 저항을 측정하거나, 구조를 관찰하나, 상기 측정 방법의 문제점은 평판 구조의 시편에서 분석이 이루어지며 열적 부하 만에 의한 확산 측정은 실제 소자에서 발생하는 전계 및 열에 의해 발생하는 이온 드리프트 현상을 측정할 수 없고, 극히 국부적인 범위만의 분석이 가능하여 전체적인 분석이 불가능하다는 것이다. 또한 기존의 신뢰성 측정을 위해서는 실제 제품을 장기간 사용 후 분석을 하기 때문에 소요되는 시간이 매우 길다. 따라서, 수 ppb까지 측정이 가능하다고 알려진 2차 이온 질량분석법 보다 고감도의 측정 방법 및 측정 기간을 단축시킬 수 있는 방법이 요구되고 있다.

발명의 내용

해결하려는 과제

- [0015] 본원은 상기와 같은 종래의 확산 검출 방법의 문제점을 해결하고, 실제 동작 소자가 받는 부하를 포함하고, 소자 전체에서 구리 이온 드리프트 측정이 가능하며 고감도의 구리 이온 드리프트 검출이 가능한 관통전극 구조체, 및 이를 이용한 소자 전체에서의 구리 이온 드리프트의 측정 방법을 제공하고자 한다.
- [0016] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0017] 상기와 같은 목적을 달성하기 위하여, 본원의 일 측면은, 실리콘 웨이퍼 내에 수직 방향으로 형성된 비아 홀(via hole); 상기 비아 홀의 내부에 순차적으로 배치된 도전체, 확산 방지막 및 절연막; 상기 비아 홀 상부에 배치된 확산 방지막/Al/TiN 를 포함하는 상부 전극; 및, 상기 실리콘 웨이퍼 후면에 배치된 접지용 전극: 을 포함하는, 구리 이온 드리프트 측정용 관통전극(Through Silicon Via, TSV) 구조체를 제공한다.
- [0018] 본원의 다른 측면은, 상기 관통전극 구조체에 포함된 비아 홀 상부 전극과 접지용 전극을 연결하거나, 또는 2개 이상의 비아 홀 상부 전극을 연결하고, 상기 관통전극 구조체에 전기적 부하 및 열적 부하를 가하여 상기 부하 전 및 후에 발생하는 정전용량(Capacitance)-전압 곡선의 변화로부터 상기 절연막 내로의 구리 이온 드리프트를 측정하는 것을 포함하는, 관통전극 내 구리 이온 드리프트의 측정 방법을 제공한다.

발명의 효과

- [0019] 본원에 의하면, 관통전극 구조체의 전체에서의 구리 이온 드리프트 측정 또는 관통 전극 구조체 내의 비아 홀 사이의 구리 이온 드리프트 측정이 가능하게 되어, 우수한 민감도로서 구리 이온 드리프트를 측정할 수 있다. 또한 공정 방법 및 형상 변화에 따른 구리의 이온 드리프트를 측정할 수 있으며, 측정을 통해 관통전극의 수명 및 신뢰성을 예측할 수 있는 효과를 갖는다. 아울러, 장기간 소요되었던 신뢰성 시험을 전계와 열의 가속화 조건을 변경하여 측정 함으로써, 단기간에 소자의 신뢰성 및 수명 예측이 가능하다.

도면의 간단한 설명

- [0020] 도 1 은 본원의 일 구현예에 따른 구리 이온 드리프트 측정용 관통전극 구조체를 나타낸다.
- 도 2a 내지 도 2c 는 본원의 일 구현예에 따른 구리 이온 드리프트 측정용 관통전극 구조체의 제조 과정을 나타낸다.
- 도 3 은 본원의 일 구현예에 따른 구리 이온 드리프트 측정을 위한 관통전극의 배치도를 나타낸다.
- 도 4 는 본원의 일 실시예에 따라 측정된, 열적-전기적 부하(Thermal stress & Bias stress, BTS) 전 및 후의 정전 용량 및 전압 사이의 상관관계를 나타낸다.
- 도 5 는 본원의 일 실시예에 따라 측정된, 확산 방지막의 두께에 따른 절연막 파괴 시간(TTDB)의 결과를 나타낸다.
- 도 6 은 본원의 일 실시예에 따라 측정된, 다수의 시편을 대상으로한 결과를 이용하여 확산 방지막의 두께에 따른 절연막 파괴 시간(TTDB)의 누적확률을 나타낸다.
- 도 7 은 본원의 일 구현예에 따른 하나의 비아 홀을 갖는 구리 이온 드리프트 측정용 관통전극 구조체의 3차원 입체구조를 나타낸다.
- 도 8 은 본원의 일 구현예에 따른 두 개의 비아 홀이 각각 하나의 상부 전극을 갖는 구리 이온 드리프트 측정용 관통전극 구조체의 3차원 입체구조를 나타낸다.
- 도 9 는 본원의 일 구현예에 따른 하나 이상의 비아 홀이 일렬로 배열되어 하나의 상부 전극에 의해 연결된 구

리 이온 드리프트 측정용 관통전극 구조체의 3차원 입체구조를 나타낸다.

도 10 은 본원의 일 구현예에 따른 하나 이상의 비아 홀이 일렬로 배열되어 각각 2 개의 상부 전극에 의해 연결된 구리 이온 드리프트 측정용 관통전극 구조체의 3차원 입체구조를 나타낸다.

도 11 은 본원의 일 구현예에 따른 하나 이상의 비아 홀이 하나의 상부 전극에 의해 연결된 구리 이온 드리프트 측정용 관통전극 구조체의 3차원 입체구조를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 구현예 및 실시예를 상세히 설명한다.
- [0022] 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 구현예 및 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0023] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0024] 본 명세서에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 또한, 본원 명세서 전체에서, "~하는 단계" 또는 "~의 단계" 는 "~를 위한 단계" 를 의미하지 않는다.
- [0025] 본원의 일 측면은, 실리콘 웨이퍼 내에 수직 방향으로 형성된 비아 홀(via hole); 상기 비아 홀의 내부에 순차적으로 배치된 도전체, 확산 방지막 및 절연막; 상기 비아 홀 상부에 배치된 확산 방지막/Al/TiN 을 포함하는 상부 전극; 및, 상기 실리콘 웨이퍼 후면에 배치된 접지용 전극: 을 포함하는 구리 이온 드리프트 측정용 관통전극(Through Silicon Via, TSV) 구조체를 제공한다.
- [0026] 본원의 일 구현예에 있어서, 상기 도전체는 Cu 를 포함하고, 상기 확산 방지막은 Ta, Ti, W, Ru, Pt, Ni, Co, 또는 이들의 조합; 이들의 질화물(nitride); 이들의 탄화물(carbide); 및, 이들의 조합으로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0027] 본원의 다른 구현예에 있어서, 상기 비아 홀이 상기 실리콘 웨이퍼를 관통하거나 또는 부분 관통한 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0028] 본원의 또 다른 구현예에 있어서, 상기 절연막은 SiO₂, Al₂O₃, SiN, SiC, SiCN, 저유전율(low-k) 절연막, 이들의 조합, 및 이들의 적층 구조로 이루어진 군에서 선택된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0029] 본원의 또 다른 구현예에 있어서, 상기 절연막은 열산화법(Thermal oxidation), 화학기상증착법(CVD), 습식법(Wet process), 및 이들의 조합으로 이루어진 군에서 선택된 것에 의해 증착된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0030] 본원의 또 다른 구현예에 있어서, 상기 확산 방지막은 물리기상증착법(PVD), 화학기상증착법(CVD), 전해도금, 무전해 도금, 및 이들의 조합으로 이루어진 군에서 선택된 것에 의해 증착된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0031] 본원의 또 다른 구현예에 있어서, 상기 도전체는 물리기상증착법(PVD), 화학기상증착법(CVD), 전해도금, 무전해 도금, 및 이들의 조합으로 이루어진 군에서 선택된 것에 의해 증진된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0032] 본원의 또 다른 구현예에 있어서, 상기 도전체는 씨앗(seed)층 상에서 이온화 스퍼터링(Ionized sputtering), 전해도금(electroplating) 또는 이들의 조합에 의해 증진된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0033] 본원의 또 다른 구현예에 있어서, 상기 접지용 전극은 Al 을 포함하는 것일 수 있으나, 이에 제한되는 것은 아

니다.

- [0034] 본원의 또 다른 구현예에 있어서, 상기 구리이온 드리프트 측정용 관통전극 구조체는 상기 비아 홀을 하나 이상 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0035] 본원의 또 다른 구현예에 있어서, 하나 이상의 비아 홀이 일렬로 배열되어 있을 수 있으나, 이에 제한되는 것은 아니다.
- [0036] 본원의 또 다른 구현예에 있어서, 상기 하나 이상의 비아 홀이 하나 이상의 상기 상부 전극에 의해 연결된 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0037] 본원의 또 다른 구현예에 있어서, 상기 하나 이상의 비아 홀이 각각 하나의 상기 상부 전극에 연결되어 있는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0038] 본원의 다른 측면은, 상기 관통전극 구조체에 포함된 비아 홀 상부 전극과 접지용 전극을 연결하거나, 또는 2개 이상의 비아 홀 상부 전극을 연결하고, 상기 관통전극 구조체에 전기적 부하 및 열적 부하를 가하여 상기 부하 전 및 후에 발생하는 정전용량(Capacitance)-전압 곡선의 변화로부터 상기 절연막 내로의 구리 이온 드리프트를 측정하는 것을 포함하는, 관통전극 내 구리 이온 드리프트의 측정 방법을 제공한다.
- [0039] 본원의 일 구현예에 있어서, 정전용량-전압 곡선의 변화로부터 플랫 밴드 전압(Flat band voltage, V_{FB})의 변화를 측정하여 구리 이온 드리프트를 측정하는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0040] 본원의 다른 구현예에 있어서, 상기 전기적 부하는 약 1 MV/cm 내지 약 3 MV/cm 이고, 상기 열적 부하는 약 25 °C 내지 약 300 °C 의 조건인 것을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0041] 본원의 또 다른 구현예에 있어서, 상기 전기적 부하 및 상기 열적 부하 조건 하에, 상기 절연막의 파괴시간(Time-Dependent Dielectric Breakdown, TDDb)을 측정하는 것을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0042] 이하, 본원의 일 구현예에 따른 구리 이온 드리프트 측정용 관통전극 구조체 및 그 제조 방법을 도 1 및 도 2a 내지 2c 를 참조하여 설명하나, 이에 제한되는 것은 아니다.
- [0043] 웨이퍼 기판에 수직으로 홀을 형성하기 위해 실리콘 웨이퍼기판(1)을 세정 한 후 절연박막(2)을 증착하고 포토 리소그래피 공정과 비아 홀 드릴링 공정(Deep Reactive Ion Etching, DRIE) 을 진행한다. 그리고 절연막(3)및 확산 방지막(4) 을 형성한 후 비아 홀을 도전체(5)로 충전하여(Via filling) 관통전극의 구조를 형성한다. 예를 들어, 상기 비아 홀을 상기 도전체(5)로 충전하기에 앞서, 상기 확산 방지막(4)에 씨앗층을 형성하고, 상기 씨앗층 상에서 상기 도전체(5)를 충전할 수 있다. 상기 비아 홀은 상기 실리콘 웨이퍼를 관통하거나 또는 부분적으로 관통할 수 있다.
- [0044] 상기 절연막(3)은 SiO_2 , Al_2O_3 , SiN, SiC, SiCN, 저유전율(low-k) 절연막, 및 이들의 조합으로 이루어진 군에서 선택된 것을 포함할 수 있으며, 상기 물질들은 적층 구조를 형성할 수 있으나, 이에 제한되는 것은 아니다. 상기 저유전율 절연막이란, 예를 들어, SiO_2 기저 물질에 저유전율의 탄소수 1 내지 20 의 유기기를 첨가하여 밀도를 감소시키고, 유전상수를 감소시킨 절연막일 수 있다. 상기 저유전율 절연막은, 예를 들어, 탄소 함유 산화 실리콘($SiOC$), 이의 중합체, 이의 유기 중합체 및 이들의 조합에서 선택된 것을 포함할 수 있다. 상기 절연막(3)은 절연 성능 및 비용 등을 고려할 때, 예를 들어, SiO_2 일 수 있다. 상기 절연막(3)은, 예를 들어, 열산화(Thermal oxidation)법, 고밀도플라스마화학기상증착법(HDPCVD), 감압화학기상증착법(SACVD) 또는 플라즈마강화화학증착법(PECVD) 과 같은 화학기상증착법(CVD), 또는 전자유합(Electrografting)과 같은 습식법(Wet process)에 의해 증착되어 형성될 수 있다.
- [0045] 상기 확산 방지막(4)은 Ta, Ti, W, Ru, Pt, Ni, Co, 또는 이들의 조합; 이들의 질화물(nitride); 이들의 탄화물(carbide); 및 이들의 조합으로 이루어진 군에서 선택된 것을 포함할 수 있으며, 예를 들어 RuTa, RuTa_n, RuTaCN, Ta/TaN, Ru/TaN, RuTa/TaN, RuTa/RuTa_n, Co/TaN, Co/WNx 등일 수 있고, 상기 물질들은, 예를 들어, 적층 구조를 형성할 수 있다. 상기 확산 방지막(4)은, 물리기상증착법(PVD)[예컨대, 스퍼터링(sputtering), 또는 이온화 물리기상증착(Ionized PVD)], 화학기상증착법(CVD)[예컨대, 플라즈마강화화학기상증착(PECVD), 유기 금속화학증착(MOCVD), 또는 원자층증착(ALD)], 전해도금, 무전해도금, 및 이들의 조합으로 이루어진 군에서 선

택된 방법에 의해 증착될 수 있다. 상기 확산 방지막(4)이 적층 구조를 포함하는 경우, 상기 증착 방법을 혼용하여 사용할 수 있다.

[0046] 상기 도전체(5)는, 예를 들어, 물리기상증착법(PVD)[예컨대, 스퍼터링(sputtering), 또는 이온화 물리기상증착(Ionized PVD)], 화학기상증착법(CVD)[예컨대, 플라즈마강화화학기상증착(PECVD), 유기금속화학증착(MOCVD), 또는 원자층증착(ALD)], 전해도금, 무전해도금, 및 이들의 조합으로 이루어진 군에서 선택된 방법에 의해 증착될 수 있다. 또한, 씨앗층을 형성한 후 상기 씨앗층 상에 상기 도전체(5)를 증진하는 경우, 예를 들어, 이온화 스퍼터링(Ionized sputtering) 및 전해도금 방법(electroplating)을 조합하여 상기 도전체(5)를 증진할 수 있으나, 이에 제한되는 것은 아니다.

[0047] 상기 도전체(5)는 예를 들어 구리일 수 있다. 또한, 도전체(5) 증진 후 상기 관통전극의 표면은 도전체(5)/확산 방지막(4)/절연막(3)/실리콘 웨이퍼(1)의 구조를 갖게되는데, 전극을 형성하기 위해, 화학적 기계적 연마공정을 통하여 표면의 상기 도전체(5) 및 확산 방지막(4)을 부분적으로 제거할 수 있다. 일반적인 화학적 기계적 연마 공정은 상기 실리콘 웨이퍼(1)까지 가공하지만, 본원에서는 전기적 분석을 위해 절연막을 제거하지 않고, 도전체(5) 및 확산 방지막(4)만을 제거한다.

[0048] 이어서 상기 관통전극 상에 전기적 분석을 위한 상부 전극을 형성한다. 상기 상부 전극(6,7,8)은, 예를 들어, 알루미늄 전극(Al Pad)을 포함할 수 있다. 상기 상부 전극은 전기적 분석을 위한 프로브 스테이션(probe station)에서 탐침이 접촉될 공간을 제공할 뿐만 아니라 대기에 의한 구리의 산화를 막아주는 효과가 있다. 이를 위해, 상기 상부 전극은 별도의 패드 마스크(pad mask)를 형성할 수 있고, 상기 패드 마스크는 각각의 비아 홀을 연결할 수 있으며, 하나의 패드 마스크는 하나 이상의 비아 홀을 한 번에 연결할 수 있다(도 9 내지 도 11). 상기 패드 마스크는 확산 방지막/Al/TiN(6/7/8)를 순차로 포함할 수 있다. 구체적으로, 화학적 기계적 연마 가공된 표면에 확산 방지막/Al/TiN(6/7/8)을 순서대로 증착한 후 상기 패드 마스크를 이용하여 포토리소그래피 공정을 실시하고 식각(etching) 공정을 실시한다. 그리고 웨이퍼 후면에 접지용 알루미늄 전극(11)을 증착시킨다.

[0049] 상기 실리콘 웨이퍼(1) 상에 형성되는 비아 홀은 한 개(도 7) 또는 하나 이상(도 8)일 수 있다. 하나 이상의 비아 홀은 예컨대 하나의 열 구조를 가질 수 있으며(도 9), 하나 이상의 비아 홀이 하나 이상의 상부 전극(도 10) 또는 하나의 상부전극(도 11)에 의해 연결될 수 있으며, 하나의 비아 홀이 각각 하나의 상부 전극과 연결될 수도 있으나(도 8) 이에 제한되는 것은 아니다.

[0050] 상기 구리 이온 드리프트 측정용 관통전극 구조체 내의 상기 상부 전극 및 상기 접지용 전극을 연결하고, 전압을 흘려줌으로써 상기 비아 홀로부터 실리콘 웨이퍼 내로의 구리 이온 드리프트 측정이 가능하다. 또한, 상기 2 개 이상의 상부 전극 사이를 연결하고, 전압을 흘려줌으로써 하나 이상의 비아 홀 사이에 발생하는 구리 이온 드리프트 측정이 가능하다.

[0051] 또한, 상기 구리 이온 드리프트 측정에 앞서, 상기 구리 이온 드리프트 측정용 관통전극 구조체에 전기적 부하 및 열적 부하를 가해줌으로써, 실제로 소자에 가해지는 부하를 가정할 수 있다. 상기 전기적 부하는, 예를 들어, 약 1 MV/cm 내지 약 3 MV/cm 일 수 있고, 상기 열적 부하는, 예를 들어, 약 25℃ 내지 300℃ 의 범위일 수 있으나, 이에 제한되는 것은 아니다.

[0052] 상기 구리 이온 드리프트 측정용 관통전극 구조체에 전압을 가해주면, 정전용량(Capacitance)의 변화가 발생한다. 즉, 상기 관통전극 구조체에 전기적 부하 및 열적 부하를 가해주기 전에 비하여 플랫 밴드 전압(Flat band voltage)의 변화가 발생하게 되는데(도 4 참조), 이를 통해 상기 비아 홀로부터 실리콘 웨이퍼 내로 구리 이온이 드리프트 되었음을 확인할 수 있다.

[0053] 한편, 상기 전기적 부하 및 열적 부하를 가한 후, 상기 관통전극 구조체에 전압을 계속하여 가해주면 상기 절연막이 파괴되며, 이때 상기 절연막이 파괴되는 시간을 측정하여, 실제 소자의 수명을 예측하는 것이 가능하다.

[0054] 이하, 본원에 대하여 실시예를 이용하여 좀더 구체적으로 설명하지만, 본원이 이에 제한되는 것은 아니다.

[0055] [실시예]

[0056] <실시예 1> 관통전극 구조체의 제조

[0057] 웨이퍼 기판에 수직으로 홀을 형성하기 위해 실리콘 웨이퍼 기판을 세정 한 후 절연박막을 증착하고 포토리소그래피 공정과 드릴링 공정(Dep Reactive Ion Etching, DRIE) 을 진행하여 비아 홀(깊이: 20 μ m)을 갖는 실리콘 웨이퍼 구조를 제조하였다. 이어서 열산화(Thermal oxidation)법을 이용하여 상기 실리콘 웨이퍼 구조 표면에 SiO₂ 를 증착시켰다. 이어서 상기 SiO₂ 표면 상에 Ti 를 스퍼터링(Sputtering)하여 증착시켰다. 이어서 상기 Ti 상에 Cu 를 스퍼터링하여 증진시켰다. 화학적 기계적 연마공정을 통하여 상기 구조체 표면의 Cu 및 Ti 을 부분적으로 제거하였다. 이어서 화학적 기계적 연마 가공에 의해 상기 구조체 표면 상에 Ti/Al/TiN 을 순서대로 증착한 알루미늄 패드 마스크(상부 전극)를 형성시키고, 상기 알루미늄 패드 마스크를 이용하여 포토리소그래피 공정을 실시하고 식각(etching) 공정을 실시하였다. 이어서 상기 웨이퍼 뒷면에 접지용 알루미늄 전극을 증착시켰다.

[0058] <실험예 1> 관통전극에서 구리 이온 드리프트 측정

[0059] 도 3 에 개시된 바와 같이, 실리콘 웨이퍼 상의 상부 전극과 하부 접지용 전극을 연결(실선 표시)한다. 이어서, 열 척(thermal chuck) 을 이용하여 관통 전극 구조체의 주변 온도를 275℃ 로 가열함으로써 상기 구조체 상에 열적 부하를 가하였다. 이어서, 2 MV/cm 의 전압을 가함으로써 전기적 부하를 가하였다. 상기 열 부하 및 전기적 부하(Thermal stress & Bias stress, BTS) 상태에서 상기 구조체를 일정 시간 동안 방치하고, 전기적 조건을 유지한 상태에서 상온까지 냉각한 후, 정전용량(Capacitance, C)을 측정하였다[Probe station과 Impedance Analyzer (Agilent, HP4284A) 이용]. 측정 시 인가 전압(V)은 -40 V내지 40 V 이었으며, 주파수는 1 MHz 이었다. 측정 결과를 도 4 에 개시하였다.

[0060] 도 4 에서 확인할 수 있는 바와 같이, BTS 가 가해지기 전의 플랫 밴드 전압(Flat band voltage, V_{FB_before})이 변화하는바(V_{FB_after}), 이로써 관통전극 내 구리 이온이 실리콘 웨이퍼 내로 드리프트 되었음을 알 수 있다.

[0061] 동일한 방법으로, 2 개 이상의 비아 홀 상부 전극을 연결하여(도 3 의 점선 표시) 비아 홀 사이에 발생하는 구리 이온 드리프트를 측정하는 것이 가능하다(도 8).

[0062]

[0063] <실험예 2> 전기적-열적 부하 조건에서 절연막 파괴시간(Time-Dependent Dielectric Breakdown, TDDB)의 측정

[0064] 상기 실험예 1 에서 정전용량의 변화를 측정한 이후, 상기 인가 전압을 관통 전극 구조체 내의 절연막이 파괴될 때까지 유지하였다. 통계적인 방법을 적용하기 위해, 상기 절연막의 두께를 달리하며(0, 10, 50 및 100nm) 다수의 시편을 대상으로 반복 측정하였다. 도 5는 상기 측정된 절연막 파괴 시간(TDDB)의 결과이다. 도 6 은 다수의 시편을 대상으로 측정한 결과를 이용하여 측정한 누적확률의 그래프이다. 이렇게 얻어진 결과를 적용하여, 실제 사용조건에서 관통전극의 사용 수명을 예측할 수 있다.

[0065] 상기에서는 본원의 바람직한 구현예 및 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

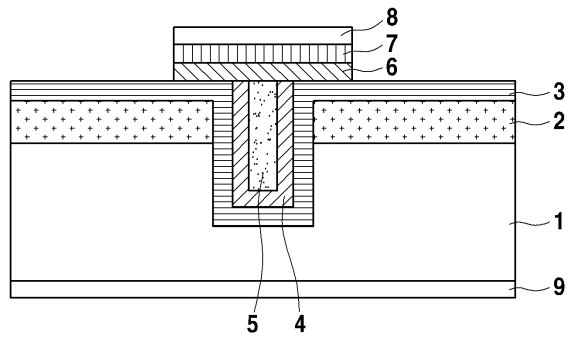
부호의 설명

- [0066]
1. 실리콘 웨이퍼
 2. 절연박막
 3. 절연막
 4. 확산 방지막
 5. 도전체
 6. 상부 전극 - 확산 방지막

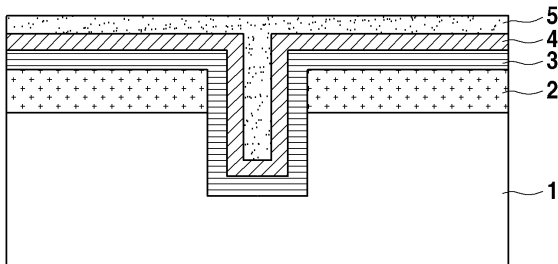
7. 상부 전극 - Al
8. 상부 전극 - TiN
9. 접지용 전극

도면

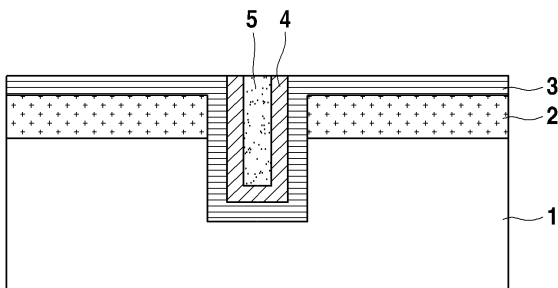
도면1



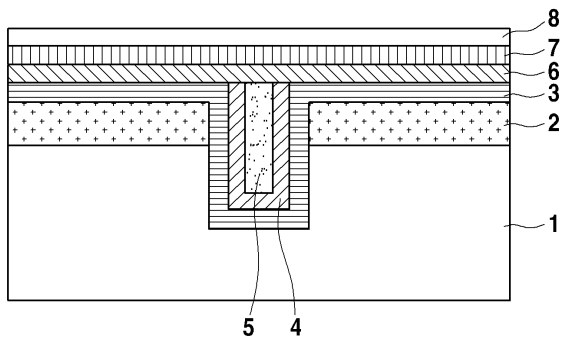
도면2a



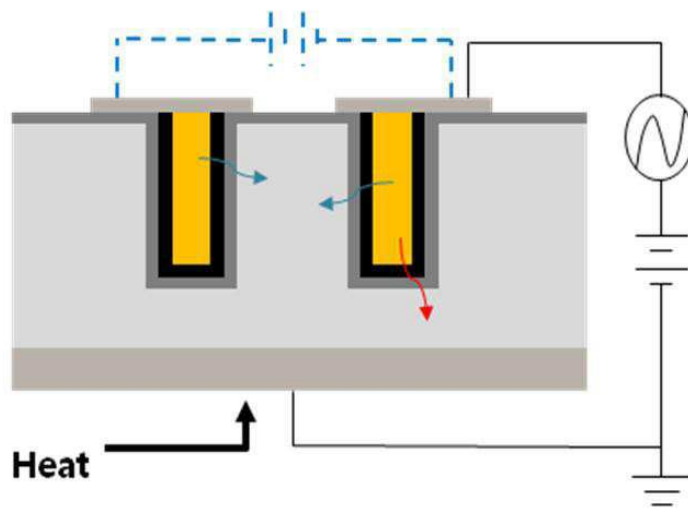
도면2b



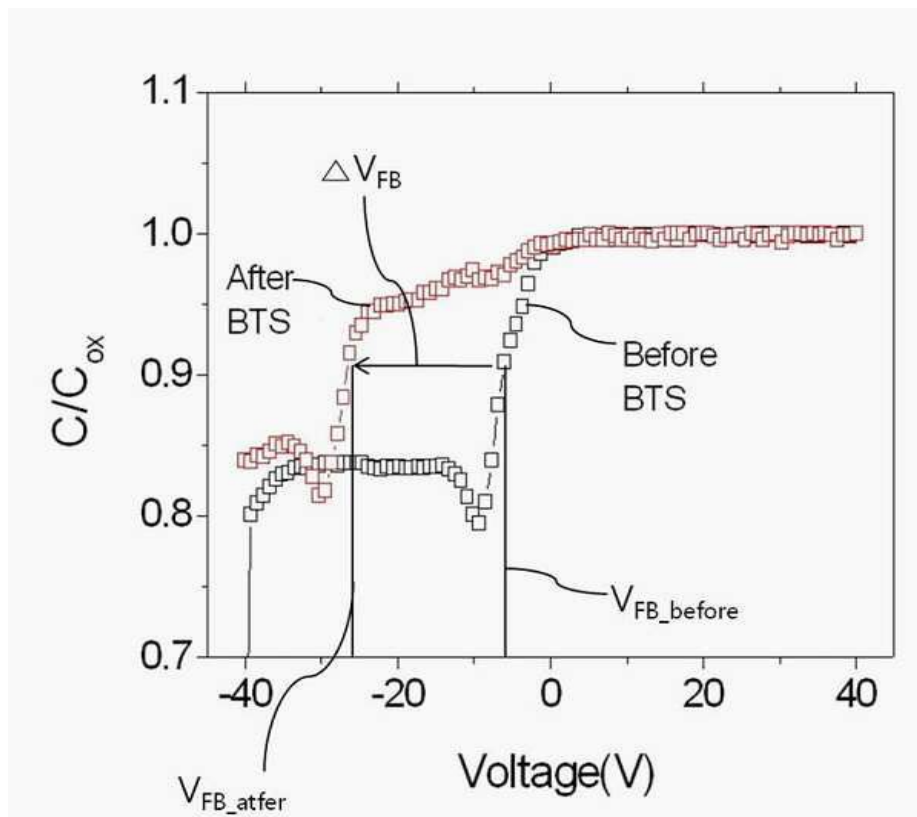
도면2c



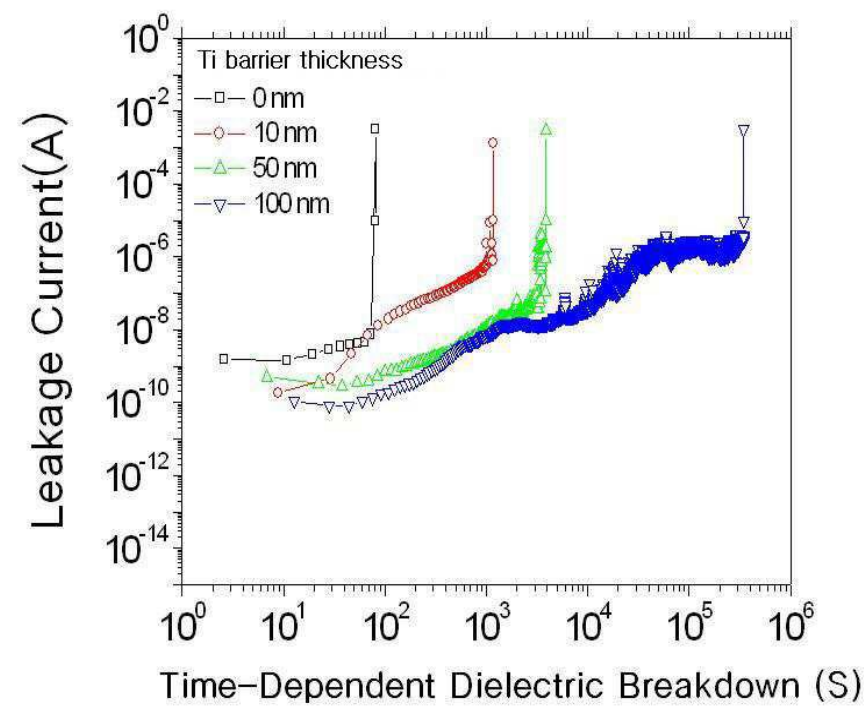
도면3



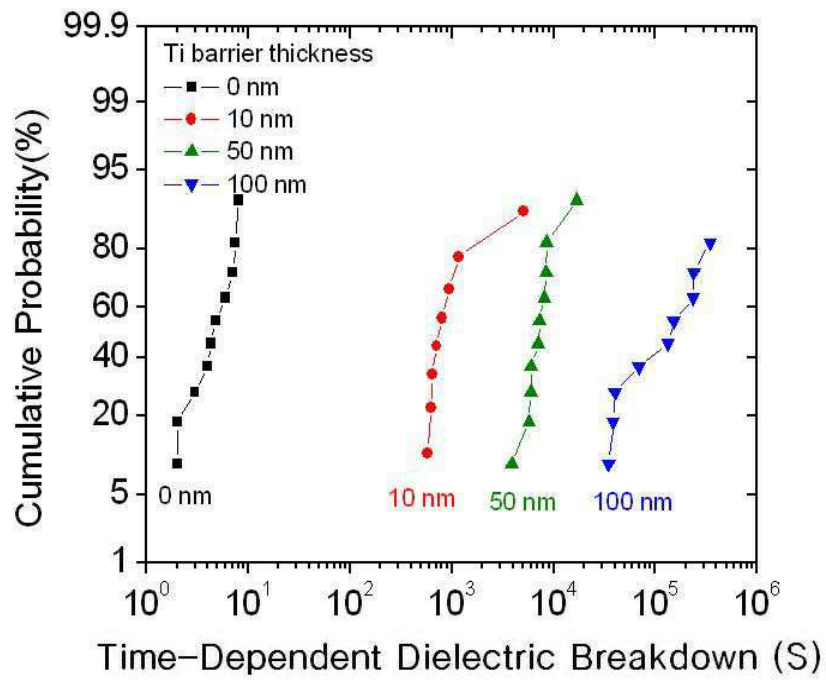
도면4



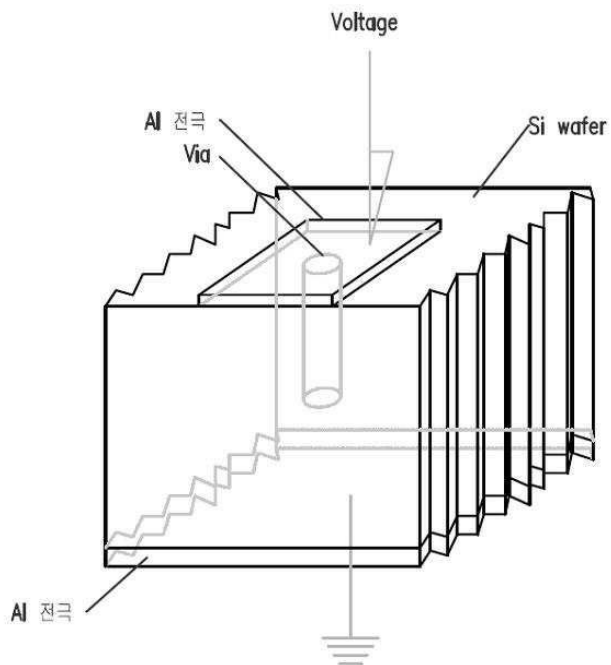
도면5



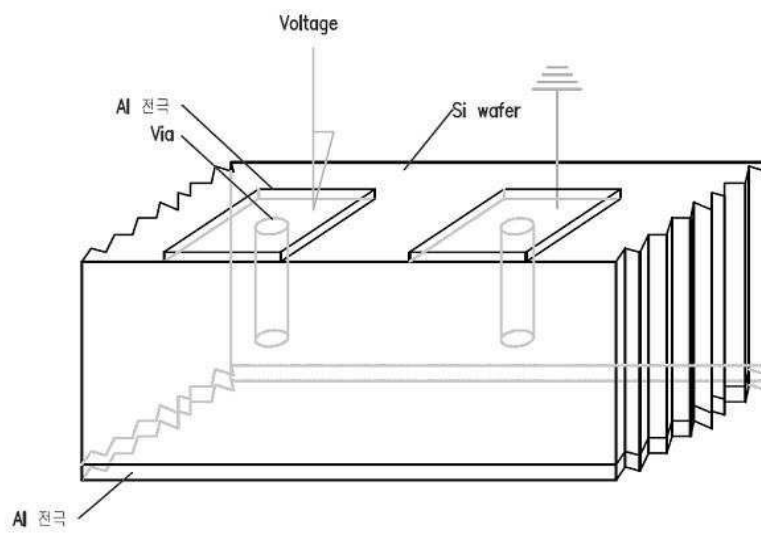
도면6



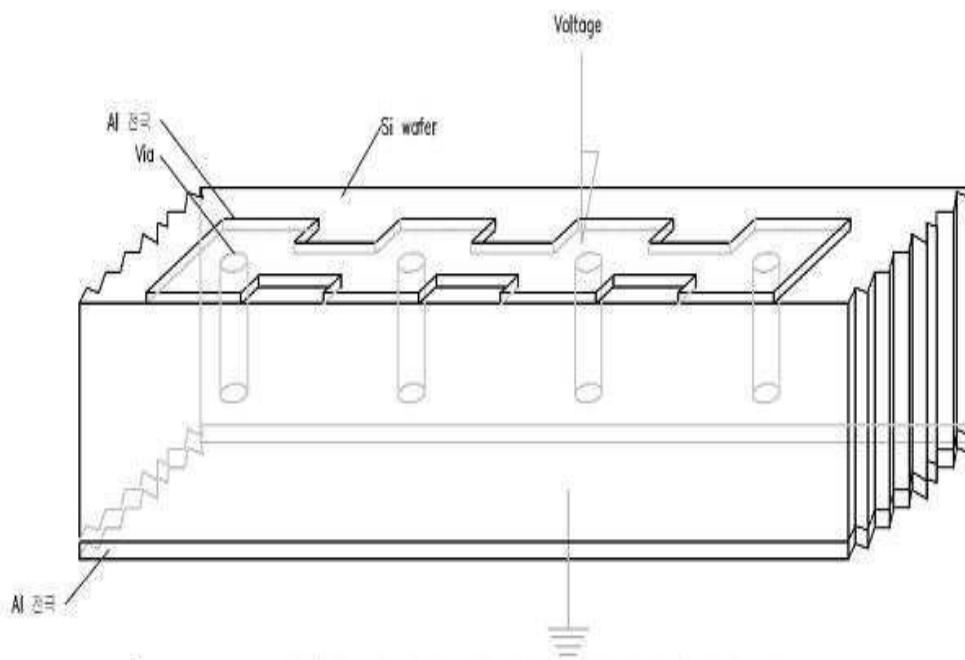
도면7



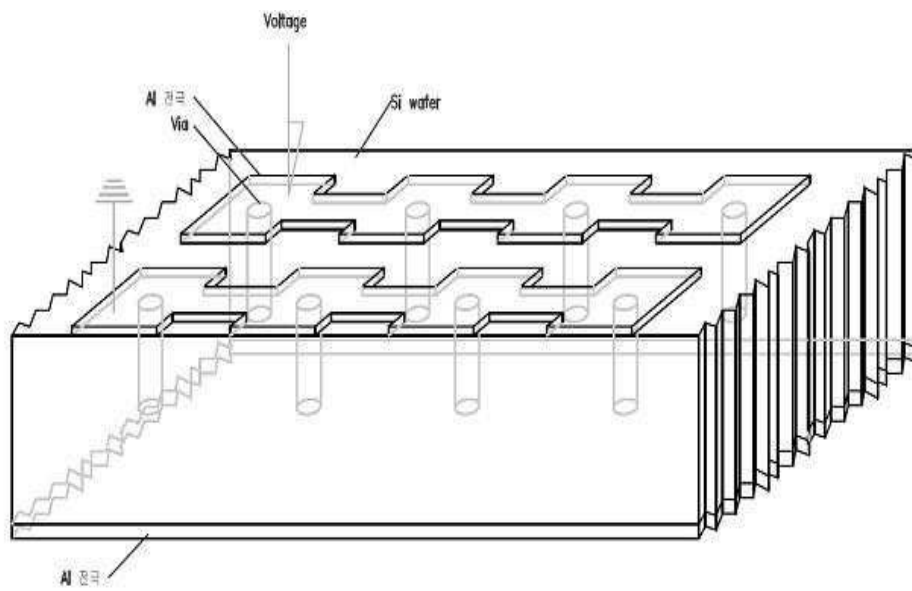
도면8



도면9



도면10



도면11

