公告本

爲第 88108528 號中文說明書首頁修正頁　　修正日期:2001.6.13

申請日期	88.5.25
案號	88108528
類別	G11C 8/00

90 06 13 年 月 日 修正 A4 補充 C4

452801

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之可程式方法及抹除方法
	英文	
二、發明創作人	姓名	1 黃盛敦 2 金明載
	國籍	大韓民國
	住、居所	1 大韓民國漢城市龍產區西冰庫洞新東亞社區 6-1107 2 大韓民國京畿道水原市八達區梅灘 1 洞梅灘住公 4 團地社區 420-501
三、申請人	姓名（名稱）	三星電子股份有限公司
	國籍	大韓民國
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代表人姓名	尹鍾龍

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　☑無主張優先權

韓國　　1998/8/13　98-32937

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀下面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

90 06 13 修正
年 月 日 補充

五、發明說明(1)

本發明是有關於一種電腦系統，且特別是有關於一種電腦系統所提供之同步快閃記憶體元件**可程式方法及抹除**方法，而電腦系統中所包含的之同步隨機存取記憶體元件與同步快閃記憶體元件共享一系統匯流排。

電性可程式化唯讀記憶體(EEPROM)以及電性可抹除與可程式化唯讀記憶體通常於微電腦與爲控制器中當作非揮發性記憶體。於 EPROM 中，對特定區域發出紫外光時，則原本之資料被抹除，新資料被程式化。爲了對 EPROM 重新寫入資料，EPROM 必須與主機板相隔離。此係因爲紫外光會影響電路板上的其他元件。然而，關於 EEPROM，對 EEPROM 提供電子訊號，則所儲存的資料被抹除而新資料被程式化。因而，寫入資造的程序區分爲程式化步驟和抹除步驟。

因爲在 EEPROM 中提供特定電晶體，EEPROM 胞的尺寸比 EPROM 胞大，以致 EEPROM 胞不易達到高積集度。爲了解決此一問題，提出一種快閃記憶體元件，其中每一 EEPROM 僅以單一電晶體構成。在以快閃記憶體元件當作微電腦內的非揮發性元件的狀況中，需要快閃記憶體元件由外界(例如微電腦、同步隨機存取記憶體元件等)快速接收訊號或傳送訊號。因此提出一種與時脈訊號同步操作的快閃記憶體元件。此種快閃記憶體元件揭露於美國專利第 5,586,081 號"SYNCHRONOUS ADDRESS LATCHING FOR MEMORY ARRAYS"，其於此處併入參考。

藉由微處理器的控制，同步快閃記憶體元件與同步

(請先閱讀背面之注意事項再填寫本頁)
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

修正補充

五、發明說明（2）

隨機存取記憶體元件得以共享一系統匯流排。然而，同步快閃記憶體元件的程式化/抹除過程中會影響同步隨機存取記憶體元件中儲存之資料或其之操作。因此，同步快閃記憶體元件必須有新的程式化和抹除方法，該同步快閃記憶體元件和同步隨機存取記憶體元件得以共享一系統匯流排。

因此本發明之目的在於提供一種同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之**可程式方法及抹除**方法。

爲了達到本發明之上述目的，本發明之一方面爲對一系統提供一種程式化方法，系統包含有與同步動態隨機存取記憶體(SDRAM)元件共享一系統匯流排之同步快閃記憶體元件，其中同步隨機存取記憶體元件包含有更新模式與資料儲存記憶胞陣列，及連結到系統匯流排並可控制元件操作的微處理器。同步快閃記憶體元件之程式化方法包括將 SDRAM 元件由一般模式設定爲更新模式；當一程式化指令輸入同步快閃記憶體元件時，對同步快閃記憶體元件之陣列中由外部傳來的資料進行程式化；當程式化步驟完成時，將 SDRAM 元件由更新模式設定爲一般模式。

本發明之另一方面爲對一系統提供另一種程式化方法，系統包含有與同步動態隨機存取記憶體(SDRAM)元件共享一系統匯流排之同步快閃記憶體元件，其中同步隨機存取記憶體元件包含有更新模式與資料儲存記憶胞陣列，及連結到系統匯流排並可控制元件操作的微處理器。同步

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格(210×297 公釐)

五、發明說明（ ）

快閃記憶體元件之程式化方法包含讀取 SDRAM 元件中預定於同步快閃記憶體元件中程式化的資料；將資料閉鎖於同步快閃記憶體元件中的閉鎖裝置；將 SDRAM 元件由一般模式設定爲更新模式；將資料於同步快閃記憶體元件內的記憶胞陣列中程式化。

本發明之另一方面爲對一系統提供一種抹除方法，系統包含有與同步動態隨機存取記憶體(SDRAM)元件共享一系統匯流排之同步快閃記憶體元件，其中同步隨機存取記憶體元件包含有更新模式與資料儲存記憶胞陣列，及連結到系統匯流排並可控制元件操作的微處理器。同步快閃記憶體元件之抹除方法包含將 SDRAM 元件由一般模式設定爲更新模式，於接收到抹除指令之外部訊號後，對同步快閃記憶體元件進行抹除步驟，將 SDRAM 元件由更新模式設定爲一般模式。

圖式之簡單說明：

本發明由實施例描述，但非用以限定之，並參考所附圖式說明，其中相似之標號代表相似的元件，其中：

第 1 圖係繪示本發明之系統的方塊圖；以及

第 2 圖係第 1 圖中所繪示的同步快閃記憶體元件之一較佳實施例；

第 3 圖係繪示本發明第一實施例之程式化步驟流程圖；

第 4 圖係繪示第一實施例之程式化步驟的同步快閃

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（4）

記憶體元件與 SDRAM 元件的控制訊號時序圖；

第 5 圖係繪示本發明第二實施例之程式化步驟流程圖；

第 6 圖係繪示第二實施例之程式化步驟的同步快閃記憶體元件與 SDRAM 元件的控制訊號時序圖；以及

第 7 圖係繪示本發明第二實施例之**抹除**步驟流程圖。

圖式之標記說明：

12：系統匯流排

100：同步快閃記憶體元件

110：記憶胞陣列

120：列解碼電路

130：行解碼電路

140：輸入/輸出介面

150：閉鎖與控制區段

160：程式控制器

170：高電壓產生器

180：抹除控制器

200：同步隨機存取記憶體元件

300：微處理器

1000：系統

實施例

本發明同時配合圖式作詳細說明。

第 1 圖係繪示本發明之系統的區塊示意圖，請參照

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210×297 公釐）

五、發明說明（ 5 ）

第 1 圖，本發明之系統 1000 包含有一個同步快閃記憶體元件 100，一個同步隨機存取記憶體元件 200，例如爲一個同步動態隨機存取記憶體(SDRAM)元件，與一個微處理器 300。同步快閃記憶體元件 100 與同步隨機存取記憶體元件 200 共享一個系統匯流排 12。於微處理器 300 的控制下，同步快閃記憶體元件 100 接收同步隨機存取記憶體元件 200 所傳來的資料或傳送資料到同步隨機存取記憶體元件 200，或者是同步快閃記憶體元件 100 接收微處理器 300 傳來的資料或同步快閃記憶體元件 100 傳送資料到微處理器 300。系統匯流排 12 包含有複數條位址線、複數條資料線與複數條控制線。根據本發明之系統結構，抹除和程式化步驟，亦即對同步快閃記憶體元件的寫入程序會於 SDRAM 元件 200 進入更新(refresh)模式於底下作詳細說明。

第 2 圖係第 1 圖中所繪示的較佳的同步快閃記憶體元件示意圖，請參照第 2 圖，同步快閃記憶體元件 100 包含有 NOR 結構的 EEPROM 胞(或快閃記憶胞)之陣列 110，其複數條字元線與複數條位元線相互交錯，一個 EEPROM 胞依照習知的方式由列解碼電路(row decoder circuit)120 和行解碼電路(column decoder circuit)130 選擇出，選擇出的記憶胞所儲存的資料被閉鎖於閉鎖與控制區段(latch and control section)150，然後透過輸入/輸出介面 140 傳送到系統匯流排 12，或將被程式化的資料透過輸入/輸出介面 140 暫時儲存於閉鎖與控制區段(latch and control

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 6 ）

section)150，然後藉由程式控制器(program controller)160控制高電壓產生器 170 所產生的程式化電壓(或高電壓)對所選擇的記憶胞進行程式化。

抹除、程式化和讀取之操作揭露於美國專利 5,696,717 號 "NONVOLATILE INTEGRATED CIRCUIT MEMORY DEVICES HAVING ADJUSTABLE ERASE/PROGRAM THRESHOLD VOLTAGE VERIFICATION CAPABILITY"，美國專利 5448712 號"CIRCUITRY AND METHOD FOR PROGRAMMING AND EASING A NON-VOLATILE SEMICONDUCTOR MEMORY"，美國專利 5,745,417 號 "ELECTRICALLY PROGRAMMABLE ERASABLE NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND OPERATION METHOD THEREOF"，美國專利 5,297,096 號 "NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATE ERASING METHOD THEREOF"，其等於此處併入參考。

輸入/輸出介面 140 所含有之暫存器和閉鎖電路(第 2 圖未顯示)用以暫時儲存經由第 1 圖之微處理器 300 之控制而經由 SDRAM 元件 200 或其他元件透過系統匯流排 12 所傳來的資料。爲了與 SDRAM 元件 200 於高電壓下同時接收和傳送資料，同步快閃記憶體元件 100 與 SDRAM 元件 200 共享一系統匯流排 12。

於實施例中，資料儲存於 SDRAM 元件 200 之操作過程不受同步快閃記憶體元件 100 之程式化或抹除的方法影

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（7）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

響。第一、第二與第三實施例將如下依序說明。

實施例一

第 3 圖係繪示本發明第一實施例之程式化步驟流程圖，第 4 圖係繪示第一實施例之程式化步驟的同步快閃記憶體元件與 SDRAM 元件的控制訊號時序圖。

爲了對同步快閃記憶體元件 100 進行程式化步驟，首先將共享同一系統匯流排 12 的 SDRAM 元件 200 設爲更新模式，特別是 SDRAM 元件 200 設爲自我更新(self refresh)模式，此一操作係第 3 圖中的步驟 S10。當時脈致能訊號(clock enable signal)CKE、晶片選擇訊號(chip select signal)CS、列位址選通訊號(row address strobe signal)RAS 和行位址選通訊號(column address strobe signal)CAS 同時由高準位轉移到低準位時，其係與時脈訊號(clock signal)CLK 之上升邊際(rising edge)同步，並表示 SDRAM 元件 200 進入更新模式。其後，一直到時脈致能訊號 CKE 由低準位轉移到高準位之前，SDRAM 元件 200 繼續保持在此不接受外界指令的狀態，當 SDRAM 元件 200 於上述之狀態時，同步快閃記憶體元件 100 進行下述的程式化步驟。

於步驟 S12 中，判斷是否有寫入指令輸入同步快閃記憶體元件 100。如果寫入指令沒有輸入同步快閃記憶體元件 100，則重複進行步驟 S12。如果寫入指令輸入同步快閃記憶體元件 100，則進行步驟 S13，將外部傳來的資料暫時儲存於輸入/輸出介面 140 的暫存器或閉鎖與控制

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210×297 公釐)

五、發明說明（ 9 ）

區段 150。接著於步驟 S14 中，使用和上述參考資料之相同或類似的方法將暫時儲存之資料於已定址的 EEPROM 胞中程式化。

於下一個步驟 S15 中，判斷步驟 S14 的程式化步驟是否完成，如果尚未完成，則重覆進行步驟 S14 與步驟 S15，直到完成程式化步驟，完成程式化步驟後便進行步驟 S16，將 SDRAM 元件 200 由更新模式設定回一般模式，如第 4 圖所示，當時脈致能訊號 CKE 由低準位轉移到高準位，則對 SDRAM 元件 200 提供一時脈訊號 CLK，使 SDRAM 元件 200 可正常操作。

根據本發明之第一實施例，於外部傳來之資料於同步快閃記憶體元件 100 中程式化之前，SDRAM 元件 200 會於微處理器 300 的控制下進入更新模式。因此，當同步快閃記憶體元件 100 進行程式化步驟時，SDRAM 元件 200 不會被同步快閃記憶體元件 100 的程式化步驟影響。

實施例二

第 5 圖係繪示本發明第二實施例之程式化步驟流程圖，第 6 圖係繪示第二實施例之程式化步驟中的同步快閃記憶體元件與 SDRAM 元件的控制訊號時序圖。於第二實施例中，程式化步驟與 SDRAM 元件 200 讀出的資料於同步快閃記憶體元件 100 有中程式化有關，第二實施例的程式化步驟將配合圖式作說明。

請參照第 5 圖，於步驟 S20 中，儲存於 SDRAM 元件 200 的資料被讀出然後傳送到系統匯流排 12 的資料線，再

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明(9)

進行步驟 S21，經由資料線傳送的資料被鎖在同步快閃記憶體元件 100 中輸入/輸出介面 140 的暫存器(或閉鎖電路)。其中暫存器(或閉鎖電路)的儲存容量由同步快閃記憶體元件 100 的儲存容量、其資料輸入/輸出組織和其寫入方法決定。

接著於步驟 S22 中，SDRAM 元件 200 以第一實施例之相同方式進入更新模式(特別是自我更新模式)，即如第 6 圖所繪示，當時脈致能訊號(clock enable signal)CKE、晶片選擇訊號(chip select signal)CS、列位址選通訊號(row address strobe signal)RAS 和行位址選通訊號(column address strobe signal)CAS 同時由高準位轉移到低準位時，其係與時脈訊號(clock signal)CLK 之上升邊際(rising edge)同步，並表示 SDRAM 元件 200 進入更新模式。其後，一直到於時脈致能訊號 CKE 由低準位轉移到高準位之前，SDRAM 元件 200 繼續保持在此不接受外界指令的狀態，當 SDRAM 元件 200 於上述之狀態時，同步快閃記憶體元件 100 進行下述的程式化步驟。

於步驟 S23 中，使用和上述參考資料之相同或類似方式將暫時儲存於輸入/輸出介面 140 之資料於已定址的 EEPROM 胞中程式化。

接著於步驟 S24 中，判斷步驟 S23 的程式化步驟是否完成，如果尚未完成，則重覆進行步驟 S23 與步驟 S24，直到完成程式化步驟，完成程式化步驟後便進行步驟 S25，將 SDRAM 元件 200 由更新模式設定回一般模式，如第 6

經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4 規格(210×297 公釐)
(請先閱讀背面之注意事項再填寫本頁)
裝 訂 線

五、發明說明（10）

圖所示，當時脈致能訊號 CKE 由低準位轉移到高準位，則對 SDRAM 元件 200 提供一時脈訊號 CLK，使 SDRAM 元件 200 可正常操作。

根據本發明之第一實施例，由 SDRAM 元件 200 讀出的之資料於同步快閃記憶體元件 100 中程式化之前，SDRAM 元件 200 會於微處理器 300 的控制下進入更新模式。因此，當同步快閃記憶體元件 100 進行程式化步驟時，SDRAM 元件 200 不會被同步快閃記憶體元件 100 的程式化步驟影響。

實施例三

本發明之第三實施例有關於同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之抹除方式，第 7 圖係繪示本發明第二實施例之**抹除**步驟流程圖。

爲了進行同步快閃記憶體元件 100 的抹除步驟，首先將共享同一系統匯流排 12 的 SDRAM 元件 200 設爲更新模式，此一步驟係第 7 圖中的步驟 S30，特別是 SDRAM 元件 200 設爲自我更新(self refresh)模式。當時脈致能訊號(clock enable signal)CKE、晶片選擇訊號(chip select signal)CS、列位址選通訊號(row address strobe signal)RAS 和行位址選通訊號(column address strobe signal)CAS 同時由高準位轉移到低準位時，其係與時脈訊號(clock signal)CLK 之上升邊際(rising edge)同步，並表示 SDRAM 元件 200 進入更新模式。其後，一直到時脈致能訊號 CKE 由高準位轉移到低準位之前，SDRAM 元件 200 繼續保持

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（1）

在此不接受外界指令的狀態。

接著於步驟 S31，SDRAM 元件 200 於上述狀態時，當抹除之指令輸入後，同步快閃記憶體元件 100 進行抹除步驟，而抹除的步驟係以上述之參考資料相同或類似的方式來進行。

於步驟 S32 中，判斷步驟 S31 的抹除步驟是否完成，如果尚未完成，則重覆進行步驟 S31 與步驟 S32，直到完成程式化步驟，完成抹除步驟後便進行步驟 S25，將 SDRAM 元件 200 由更新模式設定回一般模式。與第一與第二實施例相同，當時脈致能訊號 CKE 由低準位轉移到高準位，則對 SDRAM 元件 200 提供一時脈訊號 CLK，使 SDRAM 元件 200 可正常操作。

根據本發明之第三實施例，在同步快閃記憶體元件 100 進行抹除動作之前，SDRAM 元件 200 會於微處理器 300 的控制下進入更新模式。因此，當同步快閃記憶體元件 100 進行抹除步驟時，SDRAM 元件 200 不會被同步快閃記憶體元件 100 的抹除步驟影響。

雖然本發明已以較佳實施例揭露如上。然而，需瞭解本發明並未受限於所揭露之實施例。相反的，其係用用涵蓋不同的潤飾及相似的配置。因而，申請專利範圍應依最廣的解釋以涵蓋所有不同的潤飾及相似的配置。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

第 88108528 號中文發明摘要修正頁　　修正日期:2001.6.13

四、中文發明摘要（發明之名稱：　　）

同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之**可程式方法及抹除**方法

一種同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之**可程式方法及抹除**方法。根據本發明之寫入方法，於同步快閃記憶體元件寫入資料之前，SDRAM 元件於微處理器的控制下進入更新模式，如此得以寫入資料並確保 SDRAM 正常運作。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

六、申請專利範圍

1.一種同步快閃記憶體元作之程式化方法，其係在一系統包含有與一同步動態隨機存取記憶體(SDRAM)元件共享一系統匯流排之一同步快閃記憶體元件，其中該同步隨機存取記憶體元件包含有一更新模式與複數個資料儲存記憶胞之陣列，該系統更包括複數條連接到該系統匯流排並可接收外部控制訊號的導線，及連結到該系統匯流排並可控制元件之操作的控制器，該程式化方法包括下列步驟：

將該 SDRAM 元件由一一般模式設定爲該更新模式；

當一程式化指令輸入該同步快閃記憶體元件時，對該同步快閃記憶體元件之該陣列中由外部傳來的資料進行程式化；以及

當該程式化步驟完成時，將該 SDRAM 元件由該更新模式設定爲該一般模式。

2.如申請專利範圍第 1 項所述之程式化方法，其中該同步快閃記憶體元件之該些記憶胞包括複數個 NOR-型之電性可抹除和可程式化 ROM。

3.如申請專利範圍第 2 項所述之程式化方法，其中該同步快閃記憶體元件包含用以接收一時脈致能訊號、一晶片選擇訊號、一列位址選通訊號和一行位址選通訊號之外部時脈訊號之裝置。

4.如申請專利範圍第 3 項所述之程式化方法，其中該 SDRAM 元件進入該更新模式之情況爲當該列位址選通訊號、該行位址選通訊號和該晶片選擇訊號之外部控制訊號同時被啓動時，以及當該時脈致能訊號之外部時脈訊號未

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

六、申請專利範圍

被啓動時。

5. 一種同步快閃記憶體元作之程式化方法，其係在一系統包含有與一同步動態隨機存取記憶體(SDRAM)元件共享一系統匯流排之一同步快閃記憶體元件，其中該同步隨機存取記憶體元件包含有一更新模式與儲存資料之一記憶胞陣列，該系統更包括複數條連接到該系統匯流排並可接收外部控制訊號的導線，及連結到該系統匯流排並可控制元件之操作的控制器，該程式化方法包括下列步驟：

讀取該 SDRAM 元件中預定於該同步快閃記憶體元件中程式化的一資料；

將該資料閉鎖於該同步快閃記憶體元件中的一閉鎖裝置；

將該 SDRAM 元件由一一般模式設定爲該更新模式；以及

將該資料於該同步快閃記憶體元件內的該記憶胞陣列中程式化。

6.如申請專利範圍第 5 項所述之程式化方法，其中該同步快閃記憶體元件之該記憶胞陣列包括複數個 NOR-型之電性可抹除和可程式化 ROM。

7.如申請專利範圍第 6 項所述之程式化方法，其中該同步快閃記憶體元件包含有用以接收一時脈致能訊號、一晶片選擇訊號、一列位址選通訊號和一行位址選通訊號之外部時脈訊號之裝置。

8.如申請專利範圍第 5 項所述之程式化方法，更包括

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

六、申請專利範圍

於程式化步驟完成後將該 SDRAM 元件由該更新模式設訂爲該一般模式。

9.如申請專利範圍第 8 項所述之程式化方法，其中該 SDRAM 元件進入該更新模式之情況爲當該列位址選通訊號、該晶片選擇訊號之外部控制訊號同時被啓動時，以及當該時脈致能訊號之外部時脈訊號未被啓動時。

10. 一種同步快閃記憶體元作之**抹除**方法，其係在一系統包含有與一同步動態隨機存取記憶體(SDRAM)元件共享一系統匯流排之一同步快閃記憶體元件，其中該同步隨機存取記憶體元件包含有一更新模式與儲存資料之一記憶胞陣列，該系統更包括複數條連接到該系統匯流排並可接收外部控制訊號的導線，及連結到該系統匯流排並可控制元件之操作的控制器，該程式化方法包括下列步驟：

將該 SDRAM 元件由一一般模式設定爲該更新模式；

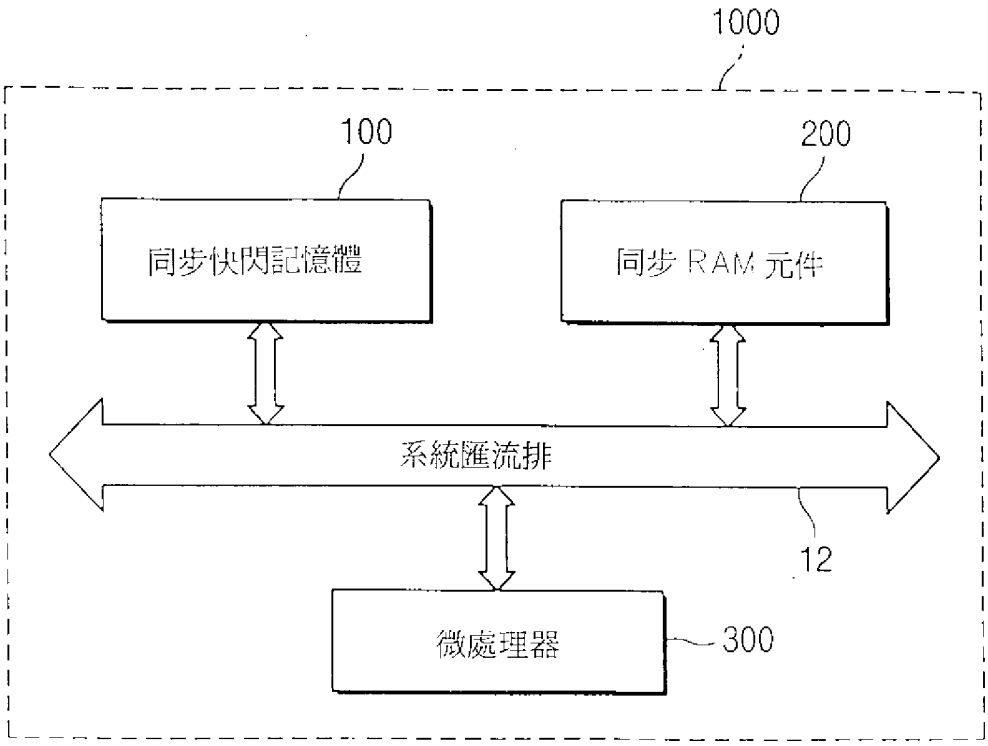
於接收到抹除指令之外部訊號後，對該同步快閃記憶體元件進行一抹除步驟；以及

將該 SDRAM 元件由該更新模式設定爲該一般模式。

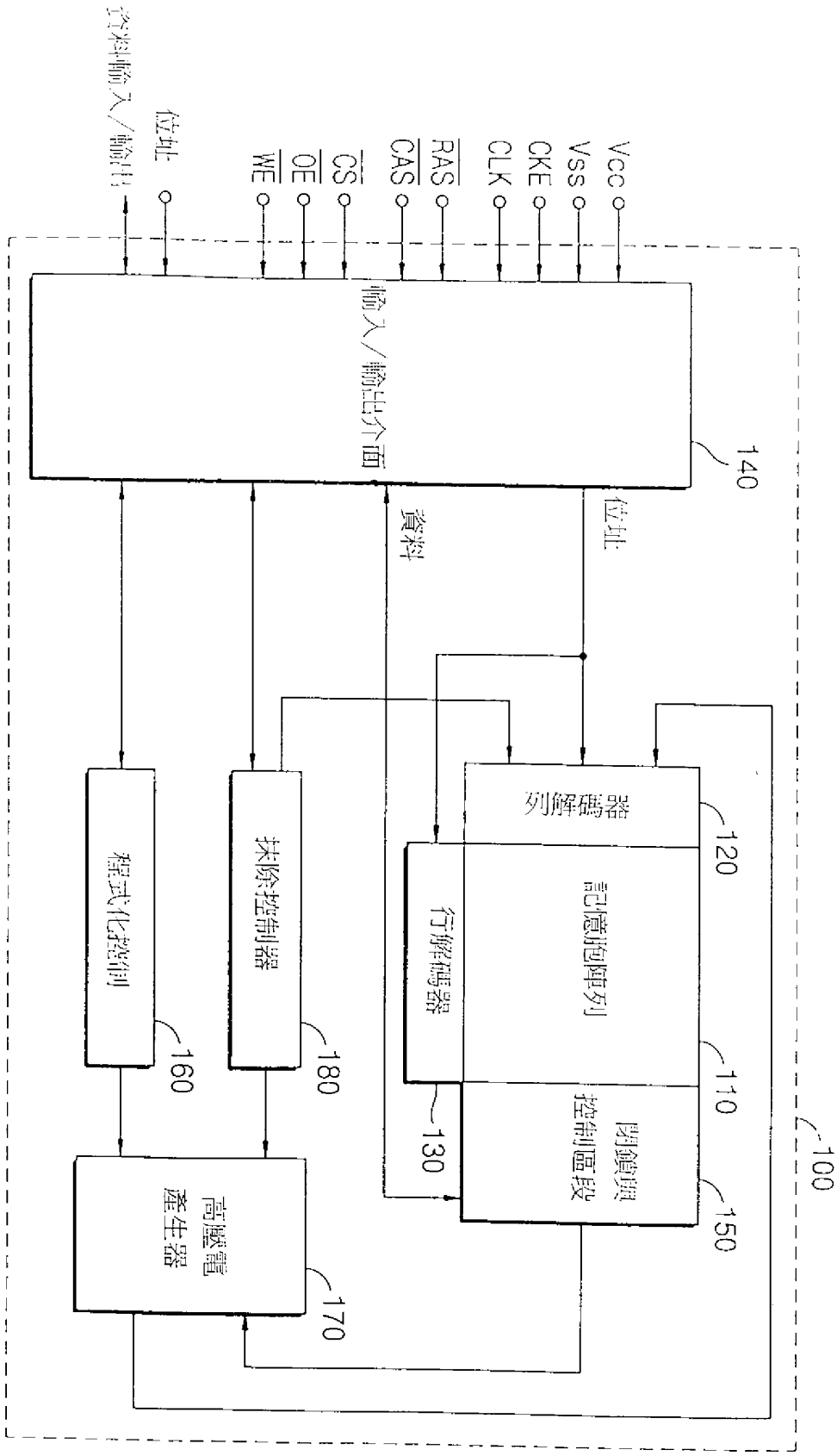
11.如申請專利範圍第 10 項所述之**抹除**方法，其中該同步快閃記憶體元件之該些記憶胞包括複數個 NOR-型之電性可抹除和可程式化 ROM。

12.如申請專利範圍第 10 項所述之**抹除**方法，其中該同步快閃記憶體元件包含用以接收一時脈致能訊號、一晶片選擇訊號、一列位址選通訊號和一行位址選通訊號之外部時脈訊號的裝置。

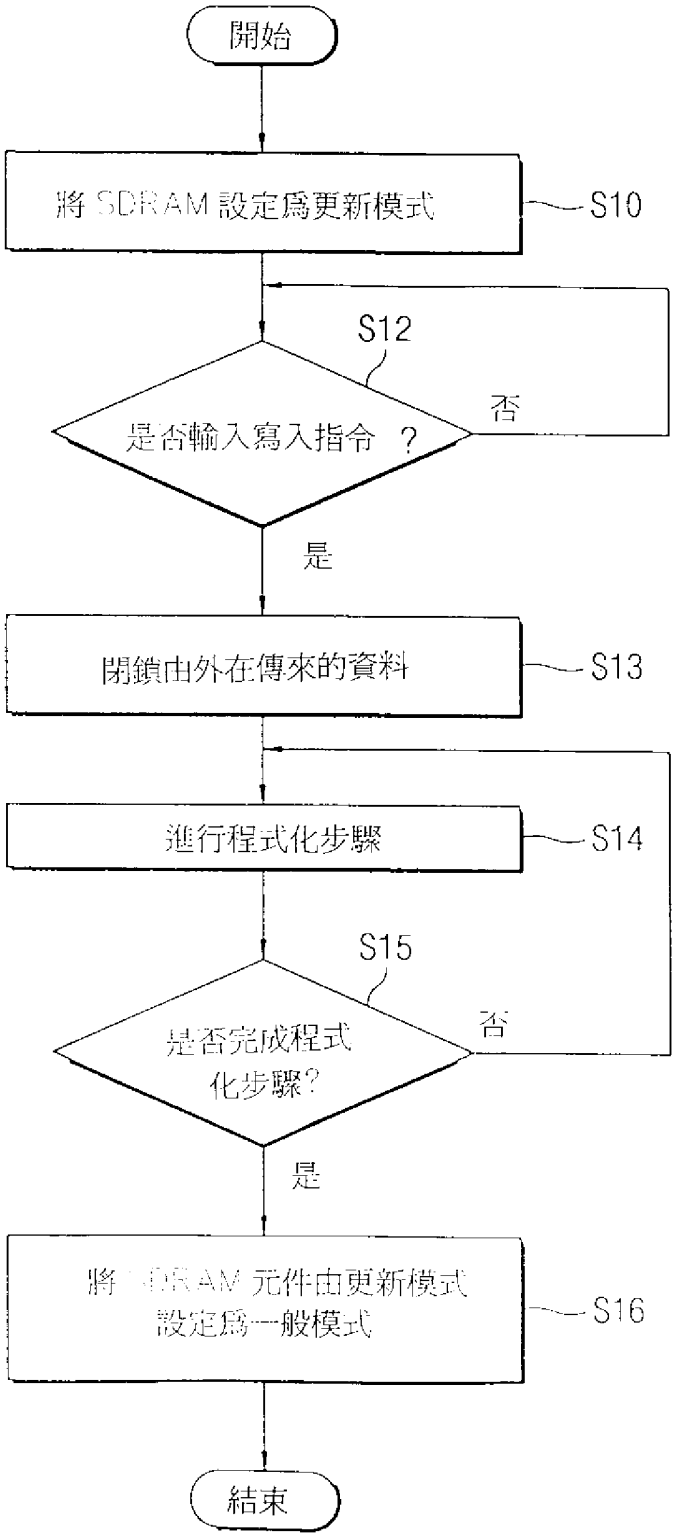
（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4 規格(210×297 公釐)



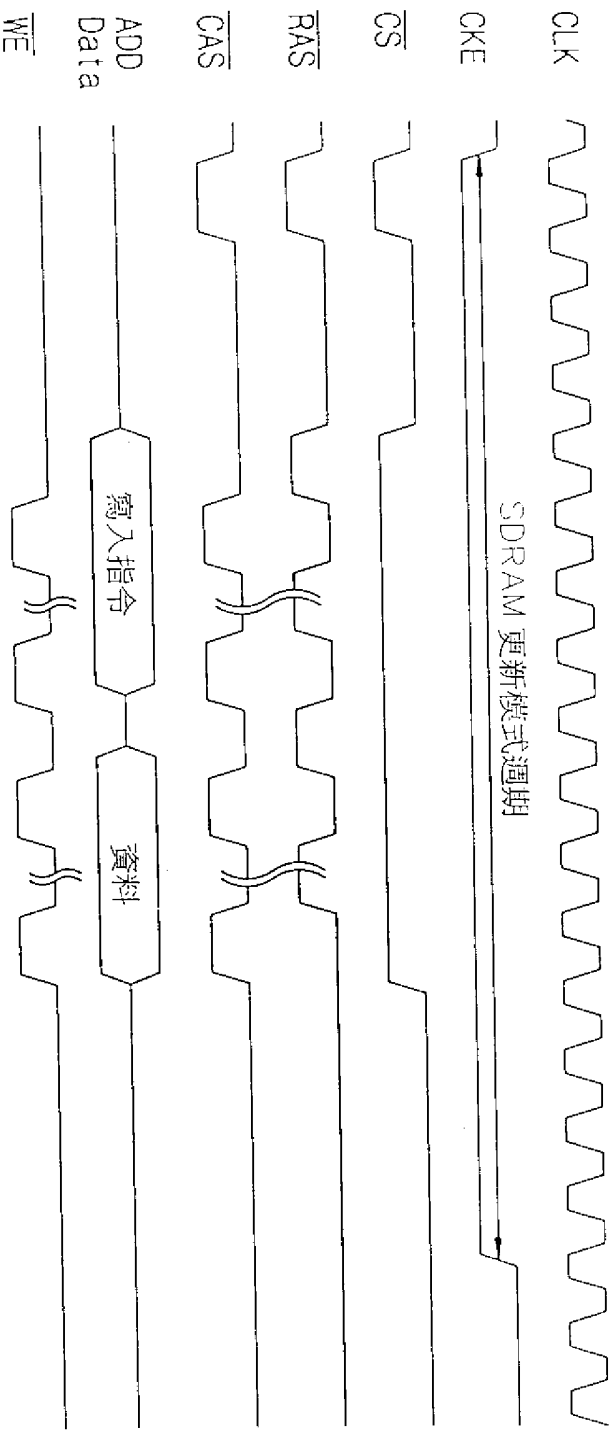
第 1 圖


資料輸入/輸出
位址
WE
OE
CS
CAS
RAS
CLK
CKE
Vss
Vcc
輸入/輸出介面
140
資料
位址
列解碼器
120
記憶胞陣列
行解碼器
110
閉鎖與
控制區段
130
150
100
程式化控制
160
抹除控制器
180
高壓電
產生器
170

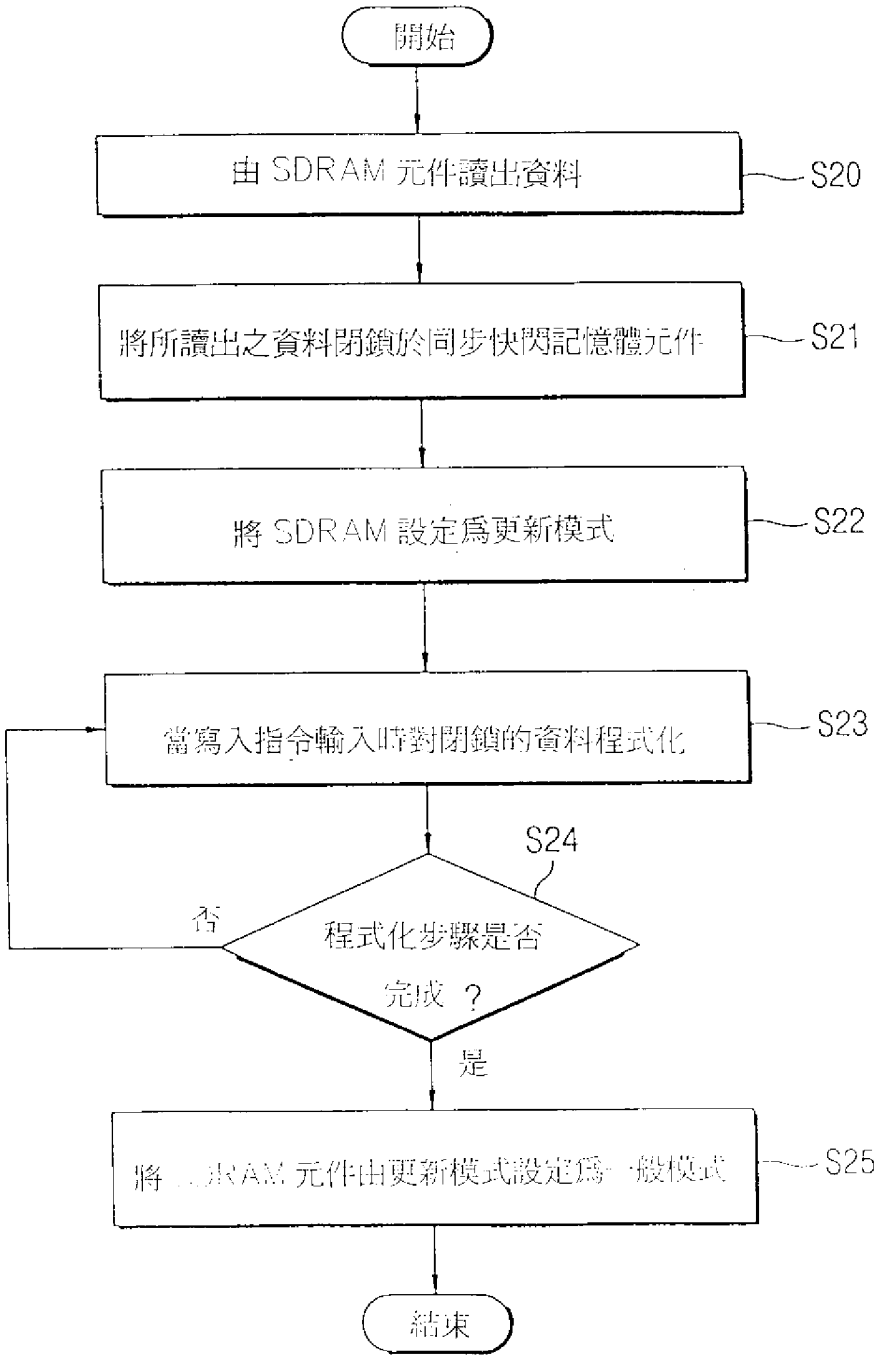
第 2 圖


開始
將 SDRAM 設定爲更新模式
S10
S12
是否輸入寫入指令 ?
否
是
閉鎖由外在傳來的資料
S13
進行程式化步驟
S14
S15
是否完成程式
化步驟?
否
是
將 SDRAM 元件由更新模式
設定爲一般模式
S16
結束

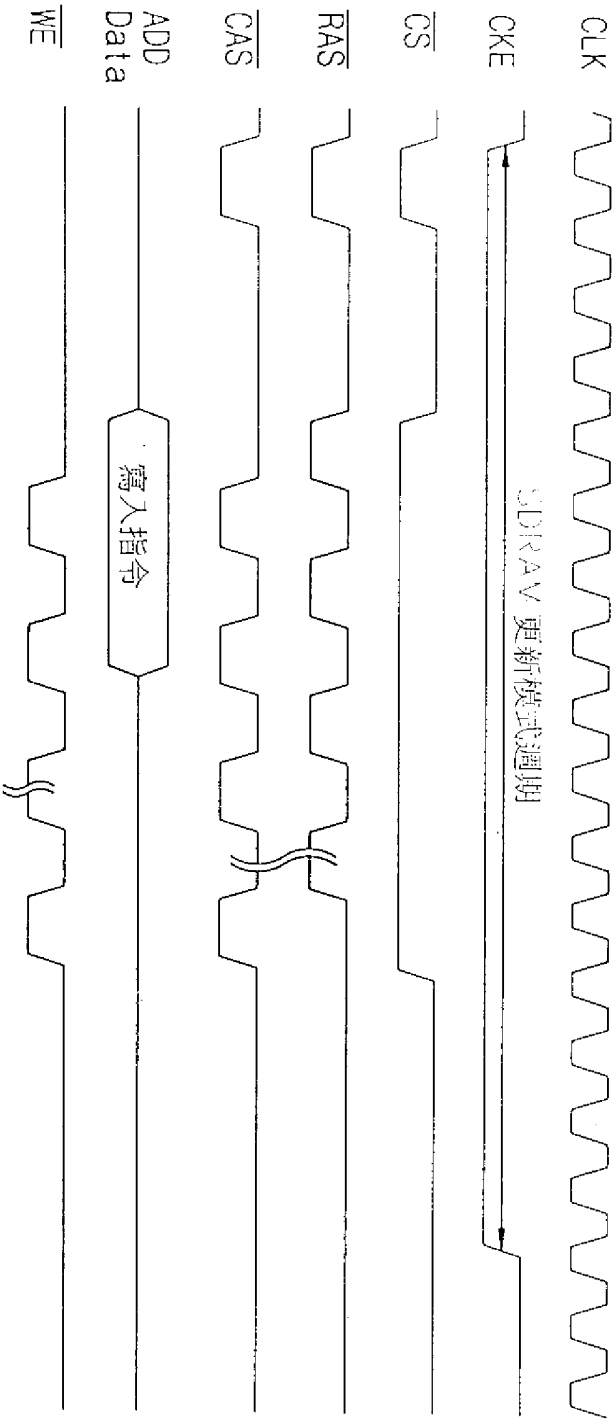
第 3 圖



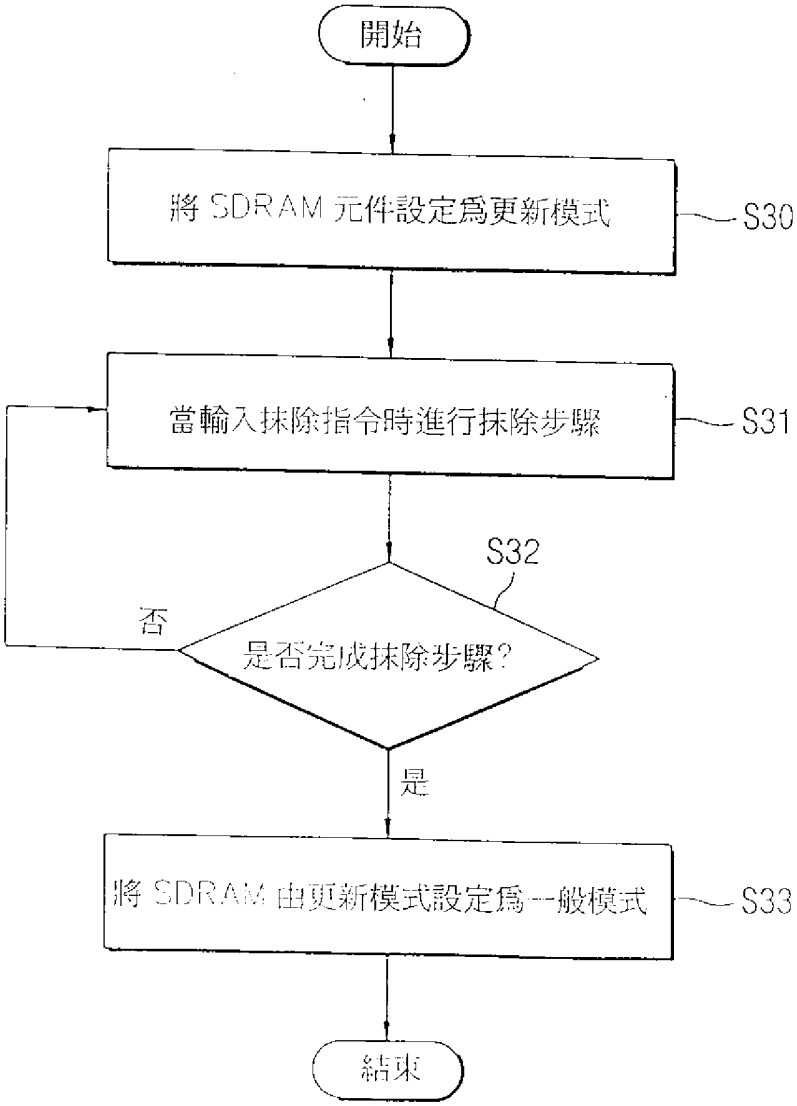
第 4 圖


開始
由 SDRAM 元件讀出資料
S20
將所讀出之資料閉鎖於同步快閃記憶體元件
S21
將 SDRAM 設定爲更新模式
S22
當寫入指令輸入時對閉鎖的資料程式化
S23
S24
程式化步驟是否
完成 ？
否
是
將 SDRAM 元件由更新模式設定爲一般模式
S25
結束

第 5 圖



第 6 圖


開始
將 SDRAM 元件設定爲更新模式
S30
當輸入抹除指令時進行抹除步驟
S31
S32
否
是否完成抹除步驟?
是
將 SDRAM 由更新模式設定爲一般模式
S33
結束

第 7 圖

公告本

爲第 88108528 號中文說明書首頁修正頁　　修正日期:2001.6.13

申請日期	88.5.25
案號	88108528
類別	G11C 8/00

90 06 13 年 月 日 修正 A4 補充 C4

452801

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之可程式方法及抹除方法
	英文	
二、發明創作人	姓名	1 黃盛敦 2 金明載
	國籍	大韓民國
	住、居所	1 大韓民國漢城市龍產區西冰庫洞新東亞社區 6-1107 2 大韓民國京畿道水原市八達區梅灘 1 洞梅灘住公 4 團地社區 420-501
三、申請人	姓名（名稱）	三星電子股份有限公司
	國籍	大韓民國
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代表人姓名	尹鍾龍

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

90 06 13 修正
年 月 日 補充

五、發明說明(1)

本發明是有關於一種電腦系統，且特別是有關於一種電腦系統所提供之同步快閃記憶體元件**可程式方法及抹除**方法，而電腦系統中所包含的之同步隨機存取記憶體元件與同步快閃記憶體元件共享一系統匯流排。

電性可程式化唯讀記憶體(EEPROM)以及電性可抹除與可程式化唯讀記憶體通常於微電腦與爲控制器中當作非揮發性記憶體。於 EPROM 中，對特定區域發出紫外光時，則原本之資料被抹除，新資料被程式化。爲了對 EPROM 重新寫入資料，EPROM 必須與主機板相隔離。此係因爲紫外光會影響電路板上的其他元件。然而，關於 EEPROM，對 EEPROM 提供電子訊號，則所儲存的資料被抹除而新資料被程式化。因而，寫入資造的程序區分爲程式化步驟和抹除步驟。

因爲在 EEPROM 中提供特定電晶體，EEPROM 胞的尺寸比 EPROM 胞大，以致 EEPROM 胞不易達到高積集度。爲了解決此一問題，提出一種快閃記憶體元件，其中每一 EEPROM 僅以單一電晶體構成。在以快閃記憶體元件當作微電腦內的非揮發性元件的狀況中，需要快閃記憶體元件由外界(例如微電腦、同步隨機存取記憶體元件等)快速接收訊號或傳送訊號。因此提出一種與時脈訊號同步操作的快閃記憶體元件。此種快閃記憶體元件揭露於美國專利第 5,586,081 號"SYNCHRONOUS ADDRESS LATCHING FOR MEMORY ARRAYS"，其於此處併入參考。

藉由微處理器的控制，同步快閃記憶體元件與同步

(請先閱讀背面之注意事項再填寫本頁)
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

修正補充

五、發明說明（2）

隨機存取記憶體元件得以共享一系統匯流排。然而，同步快閃記憶體元件的程式化/抹除過程中會影響同步隨機存取記憶體元件中儲存之資料或其之操作。因此，同步快閃記憶體元件必須有新的程式化和抹除方法，該同步快閃記憶體元件和同步隨機存取記憶體元件得以共享一系統匯流排。

因此本發明之目的在於提供一種同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之**可程式方法及抹除**方法。

爲了達到本發明之上述目的，本發明之一方面爲對一系統提供一種程式化方法，系統包含有與同步動態隨機存取記憶體(SDRAM)元件共享一系統匯流排之同步快閃記憶體元件，其中同步隨機存取記憶體元件包含有更新模式與資料儲存記憶胞陣列，及連結到系統匯流排並可控制元件操作的微處理器。同步快閃記憶體元件之程式化方法包括將 SDRAM 元件由一般模式設定爲更新模式；當一程式化指令輸入同步快閃記憶體元件時，對同步快閃記憶體元件之陣列中由外部傳來的資料進行程式化；當程式化步驟完成時，將 SDRAM 元件由更新模式設定爲一般模式。

本發明之另一方面爲對一系統提供另一種程式化方法，系統包含有與同步動態隨機存取記憶體(SDRAM)元件共享一系統匯流排之同步快閃記憶體元件，其中同步隨機存取記憶體元件包含有更新模式與資料儲存記憶胞陣列，及連結到系統匯流排並可控制元件操作的微處理器。同步

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4 規格(210×297 公釐)

五、發明說明（4）

記憶體元件與 SDRAM 元件的控制訊號時序圖；

第 5 圖係繪示本發明第二實施例之程式化步驟流程圖；

第 6 圖係繪示第二實施例之程式化步驟的同步快閃記憶體元件與 SDRAM 元件的控制訊號時序圖；以及

第 7 圖係繪示本發明第二實施例之**抹除**步驟流程圖。

圖式之標記說明：

12：系統匯流排

100：同步快閃記憶體元件

110：記憶胞陣列

120：列解碼電路

130：行解碼電路

140：輸入/輸出介面

150：閉鎖與控制區段

160：程式控制器

170：高電壓產生器

180：抹除控制器

200：同步隨機存取記憶體元件

300：微處理器

1000：系統

實施例

本發明同時配合圖式作詳細說明。

第 1 圖係繪示本發明之系統的區塊示意圖，請參照

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210×297 公釐）

五、發明說明（10）

圖所示，當時脈致能訊號 CKE 由低準位轉移到高準位，則對 SDRAM 元件 200 提供一時脈訊號 CLK，使 SDRAM 元件 200 可正常操作。

根據本發明之第一實施例，由 SDRAM 元件 200 讀出的之資料於同步快閃記憶體元件 100 中程式化之前，SDRAM 元件 200 會於微處理器 300 的控制下進入更新模式。因此，當同步快閃記憶體元件 100 進行程式化步驟時，SDRAM 元件 200 不會被同步快閃記憶體元件 100 的程式化步驟影響。

實施例三

本發明之第三實施例有關於同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之抹除方式，第 7 圖係繪示本發明第二實施例之**抹除**步驟流程圖。

爲了進行同步快閃記憶體元件 100 的抹除步驟，首先將共享同一系統匯流排 12 的 SDRAM 元件 200 設爲更新模式，此一步驟係第 7 圖中的步驟 S30，特別是 SDRAM 元件 200 設爲自我更新(self refresh)模式。當時脈致能訊號(clock enable signal)CKE、晶片選擇訊號(chip select signal)CS、列位址選通訊號(row address strobe signal)RAS 和行位址選通訊號(column address strobe signal)CAS 同時由高準位轉移到低準位時，其係與時脈訊號(clock signal)CLK 之上升邊際(rising edge)同步，並表示 SDRAM 元件 200 進入更新模式。其後，一直到時脈致能訊號 CKE 由高準位轉移到低準位之前，SDRAM 元件 200 繼續保持

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

第 88108528 號中文發明摘要修正頁　　修正日期:2001.6.13

四、中文發明摘要（發明之名稱：　　）

同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之**可程式方法及抹除**方法

一種同步快閃記憶體元件與同步隨機存取記憶體元件共享一系統匯流排之**可程式方法及抹除**方法。根據本發明之寫入方法，於同步快閃記憶體元件寫入資料之前，SDRAM 元件於微處理器的控制下進入更新模式，如此得以寫入資料並確保 SDRAM 正常運作。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

六、申請專利範圍

於程式化步驟完成後將該 SDRAM 元件由該更新模式設訂爲該一般模式。

9.如申請專利範圍第 8 項所述之程式化方法，其中該 SDRAM 元件進入該更新模式之情況爲當該列位址選通訊號、該晶片選擇訊號之外部控制訊號同時被啓動時，以及當該時脈致能訊號之外部時脈訊號未被啓動時。

10. 一種同步快閃記憶體元作之**抹除**方法，其係在一系統包含有與一同步動態隨機存取記憶體(SDRAM)元件共享一系統匯流排之一同步快閃記憶體元件，其中該同步隨機存取記憶體元件包含有一更新模式與儲存資料之一記憶胞陣列，該系統更包括複數條連接到該系統匯流排並可接收外部控制訊號的導線，及連結到該系統匯流排並可控制元件之操作的控制器，該程式化方法包括下列步驟：

將該 SDRAM 元件由一一般模式設定爲該更新模式；

於接收到抹除指令之外部訊號後，對該同步快閃記憶體元件進行一抹除步驟；以及

將該 SDRAM 元件由該更新模式設定爲該一般模式。

11.如申請專利範圍第 10 項所述之**抹除**方法，其中該同步快閃記憶體元件之該些記憶胞包括複數個 NOR-型之電性可抹除和可程式化 ROM。

12.如申請專利範圍第 10 項所述之**抹除**方法，其中該同步快閃記憶體元件包含用以接收一時脈致能訊號、一晶片選擇訊號、一列位址選通訊號和一行位址選通訊號之外部時脈訊號的裝置。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4 規格(210×297 公釐)