

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 18 年 1 月 5 日 (2006.1.5)

【公表番号】特表 2002-511173(P2002-511173A)

【公表日】平成 14 年 4 月 9 日 (2002.4.9)

【出願番号】特願平 11-505878

【国際特許分類】

**G 0 6 F 15/78 (2006.01)**

**G 0 6 F 13/14 (2006.01)**

【 F I 】

G 0 6 F 15/78 5 1 0 G

G 0 6 F 13/14 3 3 0 E

【手続補正書】

【提出日】平成 17 年 6 月 28 日 (2005.6.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

## 手続補正書

平成17年6月28日

特許庁長官 殿

## 1. 事件の表示

平成11年特許願第505878号



## 2. 補正をする者

カメレオン・システムズ・インコーポレーテッド

## 3. 代理人

東京都中央区八重洲2丁目3番1号

電話 東京 03-5288-5811 (代表)

弁理士 (6490) 志 賀 正



## 4. 補正対象書類名

明細書

## 5. 補正対象項目名

(1) 特許請求の範囲

## 6. 補正の内容

(1) 特許請求の範囲を別紙の通り補正する。

方  
審  
査

#### 特許請求の範囲

1. 微粒の再構成可能な制御論理回路と、  
粗粒の再構成可能なデータパス論理回路と、  
前記再構成可能な論理回路と前記データパス論理回路とに結合され、前記再構成可能な論理回路と前記データパス論理回路との多数の構成を定義する記憶手段と  
を備えることを特徴とする集積回路。
2. さらに再構成可能なメモリを備え、前記記憶手段は前記再構成可能なメモリに結合され、前記再構成可能なメモリの多数の構成を定義することを特徴とする請求項1記載の装置。
3. さらに前記再構成可能な制御論理回路と前記再構成可能なデータパス論理回路と前記再構成可能なメモリの少なくとも一つに結合されたマイクロプロセッサを備えることを特徴とする請求項2記載の装置。
4. 上記マイクロプロセッサは、前記再構成可能な制御論理回路と前記再構成可能なデータパス論理回路と前記再構成可能なメモリの複수에結合されたマイクロプロセッサを備えることを特徴とする請求項3記載の装置。
5. さらに前記再構成可能な制御論理回路と前記再構成可能なデータパス論理回路との間の相互接続を備えることを特徴とする前出の請求項のいずれかに記載の装置。
6. 前記記憶手段は、多数の論理メモリ平面を備えることを特徴とする前出の請求項のいずれかに記載の装置。
7. さらに、論理メモリ平面の間で、ハードウェアで制御されたデータ転送を実行する手段を備えることを特徴とする請求項6記載の装置。
8. 前記データ転送は、平面間の直接転送であることを特徴とする請求項7記載の装置。
9. 前記平面間の直接転送は、マイクロプロセッサの一つのサイクルの内に終了することを特徴とする請求項8記載の装置。
10. 前記記憶手段は、同一のデータを多数のメモリ位置に書く際の、異なるメモリの行と異なるメモリの列とに位置する多数のメモリ位置に同時にアドレス

し、それによって前記再構成可能な制御論理回路と前記再構成可能なデータパス論理回路の内の少なくとも一つを完全に構成するのに必要なデータの量が実質的に軽減される手段を備えることを特徴とする請求項 1 記載の装置。

1 1. 前記再構成可能な制御論理回路と前記再構成可能なデータパス論理回路の内の少なくとも一つは、多数のセルを備え、各セルは前記セルを構成する構成情報の予め定められたビット数を必要とし、前記記憶手段の少なくとも一つの部分は、前記予め定められたビット数に等しいワード長を持つデータ・ワードへと体系化されることを特徴とする請求項 1 0 記載の装置。

1 2. さらに、前記マイクロプロセッサに結合され、前記バスに結合されるバスと、外部バスを制御する少なくとも一つのバス制御器と、外部メモリを制御するメモリ制御器とを備えることを特徴とする請求項 3 記載の装置。

1 3. マイクロプロセッサとメモリと再構成可能な論理素子の配列とを含む適応計算エンジンを用いた再構成可能な計算方法であって、

マイクロプロセッサ上で命令を実行する段階と、

一つあるいは二つ以上の命令に応じて、多数の組の構成データを前記メモリの中にロードする段階と

を備えることを特徴とする方法。

1 4. 前記多数の組の構成データは、前記再構成可能な論理素子に当てられる効果的な構成データの少なくとも一つの組と、前記再構成可能な論理素子に当てられない他の構成データの少なくとも一つの組とを備え、予め定められた命令に応答して前記効果的な構成データと前記他の構成データとを物理的に交換する段階をさらに備えることを特徴とする請求項 1 3 記載の方法。

1 5. 一つあるいは二つ以上の命令に応答して、データと制御情報とを前記マイクロプロセッサと前記再構成可能な論理素子の配列の間で受け渡す段階をさらに備えることを特徴とする請求項 1 3 記載の方法。

1 6. 一つあるいは二つ以上の命令に応答して、

外部メモリから効果的な構成データになる一組の構成データをロードするか、効果的な構成データにさせるような構成データの一組を物理的に交換するかの少なくとも一方を実行する段階と、

前記再構成可能な論理素子の配列をして、前記効果的な構成データに従ってデータ処理を実行させる段階と

をさらに備えることを特徴とする請求項 15 記載の方法。

17. 微粒の再構成可能な制御論理回路と、粗粒の再構成可能なデータバス論理回路と、

前記再構成可能な論理回路とデータバス論理回路とに結合され、前記再構成可能な論理回路と前記データバス論理回路との多数の構成を定義する記憶システムと

を備え、

前記記憶システムは、同一のデータを多数のメモリ位置に書く際の、異なるメモリの行と異なるメモリの列とに位置する多数のメモリ位置に概ね同時にアドレスし、それによって前記再構成可能な制御論理回路と前記再構成可能なデータバス論理回路の内の少なくとも一つを構成するのに必要なデータの量が軽減される回路を備えることを特徴とする集積回路。

18. さらに、再構成可能なメモリを備え、前記記憶システムは、前記再構成可能なメモリに結合され、前記再構成可能なメモリの多数の構成を定義することを特徴とする請求項 17 記載の集積回路。

19. さらに前記再構成可能な制御論理回路と前記再構成可能なデータバス論理回路と前記再構成可能なメモリの少なくとも一つに結合されたマイクロプロセッサを備えることを特徴とする請求項 18 記載の集積回路。

20. 前記記憶システムは、多数の論理メモリ平面を備えることを特徴とする請求項 17 記載の集積回路。

21. さらに、論理メモリ平面の少なくとも一つの部分集合の間で、ハードウェアで制御されたデータ転送を実行する論理回路を備えることを特徴とする請求項 20 記載の集積回路。

22. 前記ハードウェアで制御されたデータ転送は、平面間の直接転送であることを特徴とする請求項 21 記載の集積回路。

23. 前記平面間の直接転送は、マイクロプロセッサの一つのサイクルの内に終了することを特徴とする請求項 22 記載の集積回路。

24. フラッシュメモリ素子と、

フラッシュメモリ素子に結合することを選択できる再構成可能な素子と

を備え、前記再構成可能な素子は、

微粒の再構成可能な制御論理回路と、

粗粒の再構成可能なデータパス論理回路と、

前記再構成可能な論理回路とデータパス論理回路とに結合され、前記再構成可能な論理回路と前記データパス論理回路との多数の構成を定義する記憶システムと

を含むことを特徴とするコンピュータシステム。

25. 前記コンピュータシステムは、デスクトップコンピュータ、ラップトップコンピュータ、個人情報端末（PDA）等の内の一つあるいは二つ以上であることを特徴とする請求項24記載のコンピュータシステム。

26. 前記コンピュータシステムは、無線通信機器、携帯通信機器等の内の一つあるいは二つ以上であることを特徴とする請求項24記載のコンピュータシステム。