(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0033516
(43) 공개일자 2025년03월10일

(51) 국제특허분류(Int. Cl.)
H10D 30/67 (2025.01) *H10D 64/23* (2025.01)
(52) CPC특허분류
H10D 30/675 (2025.01)
H10D 30/6729 (2025.01)
(21) 출원번호 10-2023-0115128
(22) 출원일자 2023년08월31일
심사청구일자 2023년08월31일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
김현석
대전광역시 서구 둔산남로 127 목련아파트 303동 807호
이승민
대전광역시 유성구 상대로 17 도안신도시한라비발디아파트 308-2402
(뒷면에 계속)
(74) 대리인
특허법인더웨이브

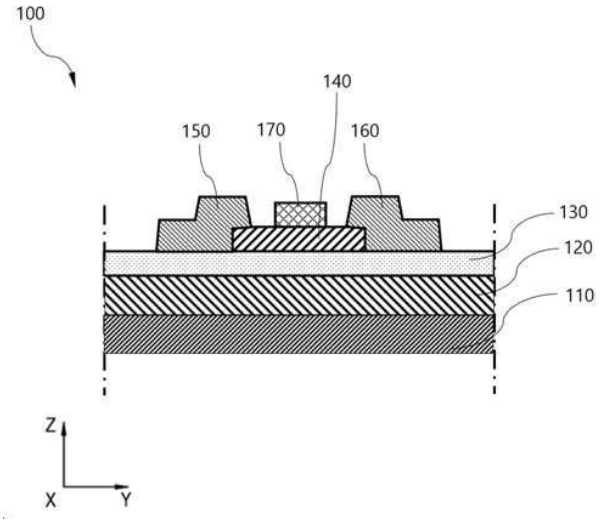
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **박막 트랜지스터**

(57) 요 약

본 발명의 일 실시예는, 기판, 상기 기판 상의 게이트 전극, 상기 게이트 전극상의 절연층, 상기 절연층 상의 활성층, 상기 절연층 상에 위치하고, 상기 활성층의 양측에 각각 접하는 소스 전극과 드레인 전극 및 상기 활성층 상에 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 인듐 보조을 포함하고, 상기 인듐 보조층은 상기 활성층상에 직접 위치하여 상기 활성층과 접하는 박막 트랜지스터를 개시한다.

대 표 도 - 도1



(52) CPC특허분류
H10D 30/6757 (2025.01)
(72) 발명자
장성철
대전광역시 서구 대덕대로 415 상아아파트 108동 1105호
박지민
대전광역시 유성구 유성대로822번길 18, 303호 (장대동, 무지개빌라)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711186956
과제번호	2021M3F3A2A03017873
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(소자)
연구과제명	유연 3차원 집적 CMOS 디지털 논리 회로 어레이 개발
기 여 율	1/1
과제수행기관명	충남대학교
연구기간	2023.03.04 ~ 2024.01.31

명 세 서

청구범위

청구항 1

기판;

상기 기판 상의 게이트 전극;

상기 게이트 전극상의 절연층;

상기 절연층 상의 활성층;

상기 절연층 상에 위치하고, 상기 활성층의 양측에 각각 접하는 소스 전극과 드레인 전극; 및

상기 활성층 상에 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 인듐 보조층;을 포함하고,

상기 인듐 보조층은 상기 활성층상에 직접 위치하여 상기 활성층과 접하는 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 소스 전극과 상기 드레인 전극을 잇는 방향과 나란한 제1 방향을 따른 상기 인듐 보조층의 폭은 상기 제1 방향 따른 소스 전극과 드레인 전극 사이에 형성되는 채널길이의 40% 내지 60%인 유기 박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 소스 전극과 상기 드레인 전극을 잇는 방향과 수직한 제2 방향을 따른 상기 인듐 보조층의 길이는 상기 제2 방향을 따른 상기 소스 전극 폭의 100% 내지 160%인 박막 트랜지스터.

청구항 4

제1항에 있어서,

상기 활성층은 p형 반도체를 포함하고, 상기 활성층은 상기 인듐 보조층과 쇼트키 접합 또는 오믹 접합하는 박막 트랜지스터.

청구항 5

제4항에 있어서,

상기 p형 반도체는 텔루륨(Te)을 포함하고, 상기 텔루륨과 상기 인듐 보조층의 접합 표면에 인듐 텔루라이드(InTe)가 형성되는 박막 트랜지스터.

청구항 6

제5항에 있어서,

상기 인듐 텔루라이드(InTe)는 상기 인듐 보조층과 오믹 접합하는 박막 트랜지스터.

청구항 7

제5항에 있어서,

상기 인듐 텔루라이드의 일함수는 3 내지 4eV인 박막 트랜지스터.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시예들은 박막 트랜지스터에 관한 것이다.

배 경 기 술

[0002] 일반적으로 박막 트랜지스터(Thin Film Transister, TFT)는 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층(active layer), 활성층과 전기적으로 연결된 소스 전극과 드레인 전극 그리고 절연층에 의해 활성층과 전기적으로 절연되는 게이트 전극을 포함할 수 있고, 게이트 전극의 위치에 따라 하부 게이트(Bottom gate)와 상부 게이트(Top Gate) 방식, 활성층에 소스 전극과 드레인 전극이 접하는 방식에 따라 스태거드 형(Staggered type)과 코플래너 형(Coplanar type)으로 구분될 수 있다.

[0003] 한편, 활성층은 n형 반도체 또는 p형 반도체로 형성될 수 있는데, 활성층이 p형 반도체로 형성될 경우, n형 반도체에 비해 전력소모가 낮아 박막 트랜지스터의 저전력화를 달성하는데 도움이 될 수 있다. 그러나 활성층이 p형 반도체로 형성될 경우, 이동도와 전류점멸비 등의 전기적 특성이 n형 반도체에 비해 낮은 문제가 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예들은, 전기적 특성이 향상된 박막 트랜지스터를 제공한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예는, 기판, 상기 기판 상의 게이트 전극, 상기 게이트 전극상의 절연층, 상기 절연층 상의 활성층, 상기 절연층 상에 위치하고, 상기 활성층의 양측에 각각 접하는 소스 전극과 드레인 전극 및 상기 활성층 상에 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 인듐 보조을 포함하고, 상기 인듐 보조층은 상기 활성층상에 직접 위치하여 상기 활성층과 접하는 박막 트랜지스터를 개시한다.

[0006] 본 실시예에 있어서, 상기 소스 전극과 상기 드레인 전극을 잇는 방향과 나란한 제1 방향을 따른 상기 인듐 보조층의 폭은 상기 제1 방향 따른 소스 전극과 드레인 전극 사이에 형성되는 채널길이의 40% 내지 60%일 수 있다.

[0007] 본 실시예에 있어서, 상기 소스 전극과 상기 드레인 전극을 잇는 방향과 수직한 제2 방향을 따른 상기 인듐 보조층의 길이는 상기 제2 방향을 따른 상기 소스 전극 폭의 100% 내지 160%일 수 있다.

[0008] 본 실시예에 있어서, 상기 활성층은 p형 반도체를 포함하고, 상기 활성층은 상기 인듐 보조층과 쇼트키 접합 또는 오믹 접합할 수 있다.

[0009] 본 실시예에 있어서, 상기 p형 반도체는 텔루륨(Te)을 포함하고, 상기 텔루륨과 상기 인듐 보조층의 접합 표면에 인듐 텔루라이드(InTe)가 형성될 수 있다.

[0010] 본 실시예에 있어서, 상기 인듐 텔루라이드(InTe)는 상기 인듐 보조층과 오믹 접합할 수 있다.

[0011] 본 실시예에 있어서, 상기 인듐 텔루라이드의 일함수는 3 내지 4eV일 수 있다.

발명의 효과

[0012] 본 발명의 실시예들에 의하면, 소스 전극과 드레인 전극 사이에 반도층과 접하는 인듐(In) 보조층을 위치시킴으로써 홀의 이동도가 증가하여, 박막 트랜지스터는 높은 점멸비 특성과 함께 전기적 특성이 향상될 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 일 예를 개략적으로 도시한 단면도이다.

도 2는 도 1의 박막 트랜지스터의 일 예를 개략적으로 표시한 평면도이다.

도 3은 도 1의 박막 트랜지스터의 전달 특성을 도시한 그래프이다.

도 4는 도 1의 박막 트랜지스터의 출력 특성을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0015] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0016] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0017] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0018] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

[0019] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0020] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하기로 한다.

[0021] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 일 예를 개략적으로 도시한 단면도이고, 도 2는 도 1의 박막 트랜지스터의 일 예를 개략적으로 표시한 평면도이다.

[0022] 먼저, 도 1을 참조하면, 본 발명의 일 실시예에 따른 박막 트랜지스터(100)는 기판(110), 기판(110)상의 게이트 전극(120), 게이트 전극(120)상의 절연층(130), 절연층(130)상의 활성층(140), 절연층(130) 상에 위치하고, 활성층(140)의 양측에 각각 접하는 소스 전극(150)과 드레인 전극(160) 및 인듐 보조층(170)을 포함할 수 있다.

[0023] 기판(110)은 고분자재질 또는 유리를 포함할 수 있다. 기판(110)이 고분자재질을 포함하는 경우, 기판(110)은 폴리에테르설폰 (polyethersulphone; PES), 폴리에틸렌테레프탈레이트 (polyethyleneterephthalate; PET), 폴리카보네이트 (polycarbonate; PC), 폴리이미드 (polyimide; PI), 및 폴리에틸렌나프탈레이트 (polyethylenenaphthelate; PEN), 폴리아크릴레이트 (polyacrylate; PAR) 등을 포함할 수 있다.

[0024] 게이트 전극(120)은 기판(110)상에 위치하고, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디움(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 선택되는 하나 이상의 물질을 포함할 수 있으며, 단층 또는 다층 구조를 가질 수 있다.

[0025] 일 예로, 게이트 전극(120)은 PVD, Ion Plating, PLD(Pulsed Laser Deposition), MBE(Molecular Beam Epitaxy), E-beam, 열증착, 스퍼터링, CVD, PECVD(Plasma Enhanced Chemical Vapor Deposition), MOCVD(MetalOorganic Chemical Vapor Deposition), APCVD(Atomspheric Chemical Vapor Deposition) 및 LPCVD(Low Pressure Chemical Vapor Deposition) 등의 방법으로 형성될 수 있고, 바람직 하게는 MOCVD와 스퍼터링에 의해 다층 구조로 형성될 수 있다.

[0026] 절연층(130)은 게이트 전극(120)상에 위치하고, 산화막(Silicon oxide film, SiO_x), 질화막(Silicon niteride film, SiN_x)및 유기물질을 포함할 수 있다. 구체적 예로, 유기물질은 파릴렌(parylene), 폴리메틸메타크릴레이트(PMMA, polymethylmethacrylate), 폴리스타이렌(PS, polystyrene), 페놀계 고분자, 아크릴계 고분자, 폴리이미드와 같은 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자이리렌계 고분자, 비닐알콜계 고분자 중에서 선택되는 어느 하나 또는 다수 개를 사용할 수 있으나, 이에 한정되는 것은 아니다.

[0027] 일 예로, 절연층(130)은 PVD, Ion Plating, PLD(Pulsed Laser Deposition), MBE(Molecular Beam Epitaxy), E-beam, 열증착, 스퍼터링, CVD, PECVD(Plasma Enhanced Chemical Vapor Deposition), MOCVD(MetalOorganic Chemical Vapor Deposition), APCVD(Atomspheric Chemical Vapor Deposition) 및 LPCVD(Low Pressure Chemical Vapor Deposition), 스크린 프린팅 등의 방법으로 형성될 수 있다.

[0028] 활성층(140)은 절연층(130)상에 위치하고, p형 반도체를 포함할 수 있으며, 구체적 예로, 텔루륨(Te)을 포함할 수 있다.

[0029] 일 예로, 활성층(140)은 PVD, Ion Plating, PLD(Pulsed Laser Deposition), MBE(Molecular Beam Epitaxy), E-beam, 열증착, 스퍼터링, CVD, PECVD(Plasma Enhanced Chemical Vapor Deposition), MOCVD(MetalOorganic Chemical Vapor Deposition), APCVD(Atomspheric Chemical Vapor Deposition) 및 LPCVD(Low Pressure Chemical Vapor Deposition), 스크린 프린팅, 스핀 코팅 등의 방법으로 형성될 수 있다.

[0030] 소스 전극(150) 및 드레인 전극(160)은 활성층(140)의 양측에 각각 접하게 절연층(130)상에 위치할 수 있고, 도전성 물질로 이루어질 수 있다. 일 예로, 소스 전극(150) 및 드레인 전극(160)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu), 인듐(In), 중 하나 이상의 물질을 포함할 수 있고, 구체적 예로, ITO 전극을 포함할 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 일 예로, 소스 전극(160)과 드레인 전극(170)은 열증착 등의 방법으로 형성될 수 있다.

[0031] 인듐 보조층(170)은 활성층(140)상에 위치하고, 활성층(140)에 접하여 형성된다. 일 예로, 인듐 보조층(170)은 스퍼터링 방법을 통해 활성층(140)표면에 형성될 수 있는데, 이때, 활성층(140)과 인듐 보조층(170)사이에 합금(alloy)이 형성될 수 있다. 구체적 예로, 활성층(140)이 텔루륨(Te)으로 형성된 경우, 인듐(In)을 텔루륨(Te) 표면에 스퍼터링을 하여 인듐 보조층(170)을 형성할 수 있다. 이때, 텔루륨(Te)과 인듐 보조층(170)의 접합 표면에는 텔루륨(Te)과 인듐(In)의 합금인 인듐 텔루라이드(InTe)가 박막 형태로 형성될 수 있다.

[0032] 한편, 활성층(140)과 인듐 보조층(170)은 쇼트키 접합(Schottky junction) 또는 오믹 접합(Ohmic Junction)할 수 있는데, 활성층(140)이 p형 반도체인 경우, 인듐 보조층(170)의 일함수가 활성층(140)의 일함수보다 작은 경우 인듐 보조층(170)과 활성층(140)은 쇼트키 접합(Shottkey junction)할 수 있고, 인듐 보조층(170)의 일함수가 활성층(140)의 일함수보다 큰 경우 인듐 보조층(170)과 활성층(140)은 오믹 접합(Ohmic junction)할 수 있다.

[0033] 인듐 보조층(170)과 활성층(140)간의 쇼트키 접합(Shottkey junction) 또는 오믹 접합(Ohmic junction)에 따라 활성층(140)과 인듐 보조층(170)의 접합부의 반도체 물질이 공핍(depletion) 상태 또는 축적(accumulation) 상태가 될 수 있다.

[0034] 한편, p형 반도체는 보조층의 금속과 오믹 접합(Ohmic junction)을 함으로써, 캐핑(capping)효과를 얻을 수 있는데, 선택적 실시예로서, p형 반도체 층이 텔루륨(Te)를 포함하고, 보조층이 인듐(In)으로 형성될 경우, 텔루륨(Te)의 일함수(work function)는 4.95eV로 인듐(In)의 일함수(work function) 4.09eV보다 크기 때문에, 텔루륨(Te)과 인듐(In) 사이에는 오믹 접합(Ohmic junction)이 이루어질 수 없다. 하지만 스퍼터링을 통해 인듐(In)을 텔루륨(Te) 표면에 증착시키게 되면, 텔루륨(Te) 표면에 인듐텔루라이드(InTe) 합금이 박막형태로 형성될 수 있고, 이때 인듐텔루라이드(InTe)의 일함수(work function)는 3.47eV로 인듐(In)의 일함수(work function) 4.09eV 보다 작아지게 될 수 있다.

[0035] 따라서, 인듐텔루라이드(InTe) 합금과 인듐(In)이 서로 오믹 접합을 이룰수 있고, 그 결과, 채널 영역에서 인듐 보조층(170)근처의 밴드갭을 낮춰주어 전자가 전도대(conduction band)로 더 쉽게 이동하여, 채널 영역의 홀을 증가시킴으로써, alloy capping효과를 얻을 수 있다.

[0036] 도 2는 소스 전극(150), 드레인 전극(160) 및 인듐 보조층(170)만을 도시한 평면도로서, 도 2를 참조하면, 제1 방향(Y)을 따른 인듐 보조층(170)의 폭(W2)은 채널길이의 40% 내지 60%일 수 있다. 이에 의해, 인듐 보조층(170)에 의한 소스 전극(150)과 드레인전극(160) 간의 단락을 방지하면서, 인듐텔루라이드(InTe) 박막의 면적이 넓어져 채널 영역의 홀을 증가시킴으로써, 이동 효율을 향상시킬 수 있다.

[0037] 또한, 제2 방향(X)을 따른 인듐 보조층(170)의 길이(L)는 제2 방향(X)을 따른 소스 전극(150)과 드레인 전극(160)의 폭(W)보다 클 수 있다.

[0038] 일 예로, 제2 방향(X)을 따른 인듐 보조층(170)의 길이(L)는 제2 방향(X)을 따른 소스 전극(150)과 드레인전극(160)의 폭(W)의 100% 내지 160%일 수 있다. 이에 의해, 채널 영역의 전자들이 인듐 보조층(170)을 경유하여 이동하는 확률을 높일 수 있고, 홀의 생성을 용하게 함으로써, 이동도(Mobility)와 전류량이 효과적으로 증가할 수 있다.

[0039] 도 3은 도 1의 박막 트랜지스터의 전달 특성을 도시한 그래프이다.

[0040] 도 3을 참조하면, (A)는 인듐 보조층이 형성되지 않은 박막 트랜지스터의 경우이고, (B)는 소스 전극과 드레인 전극 사이에 인듐 보조층이 형성된 박막 트랜지스터의 경우이다. 구체적으로, (B)는 소스 전극과 드레인 전극 사이에 소스 전극과 드레인 전극과 이격되게 위치하도록 텔루륨(Te)으로 형성된 활성층상에 스퍼터링을 실시하여 인듐(In)을 증착시켜 형성되었다.

[0041] 그 외에, (A), (B)에서 활성층은 텔루륨(Te) 10nm 두께로 형성되고, 게이트 전극은 p++형으로 도핑된 실리콘(Si)으로 형성되며, 절연층은 SiO_2 100nm 두께로 형성되고, 소스전극과 드레인전극은 ITO (Indium tin Oxide)를 100nm 두께로 형성된 점은 모두 동일하다.

[0042] 한편, 하기 표 1은 (A), (B)의 박막 트랜지스터의 ON/OFF 상태에서의 드레인 전류비(Ion/Ioff), 이동도(μFE), 서브 스레숄드 스윙(S.S) 및 문턱접압(Vth)을 측정한 결과이다.

표 1

[0043]

	I_{on}/I_{off}	μ_{FE} ($Cm^{2}V^{-1}s^{-1}$)	S.S.($V \cdot dec^{-1}$)	V_{th}(V)
(A)	10^{3}	4.26	11.77	15.93
(B)	10^{3}	9.88	13.42	15.98

[0045] 상기 표1에서 알 수 있는 바와 같이, 인듐 보조층이 형성된(B)의 경우 이동도(μ_{FE})가 9.88로, 인듐 보조층이 형성되지 않은 (A)의 이동도(μ_{FE}) 4.26보다 약 2배 증가함에도 불구하고 서브 스레숄드 스윙(S.S)과 문턱전압(V_{th})에는 큰 변화가 없음을 알 수 있다. 이는, 인듐 보조층이 형성된 (B)의 경우 이동도(μ_{FE})가 2배 가까이 증가함과 동시에 추가적인 저항을 가지지 않는 다는 것을 의미할 수 있다.

[0046] 도 4는 도 1의 박막 트랜지스터의 출력 특성을 도시한 그래프이다.

[0047] 도 4를 참조하면, 박막 트랜지스터는 -10V 내지 -50V에서 Saturation 되지 않고 Linear 한 output curve를 나타냄으로써, 안정적이고 우수한 전기적 특성을 나타내는 것을 확인할 수 있다.

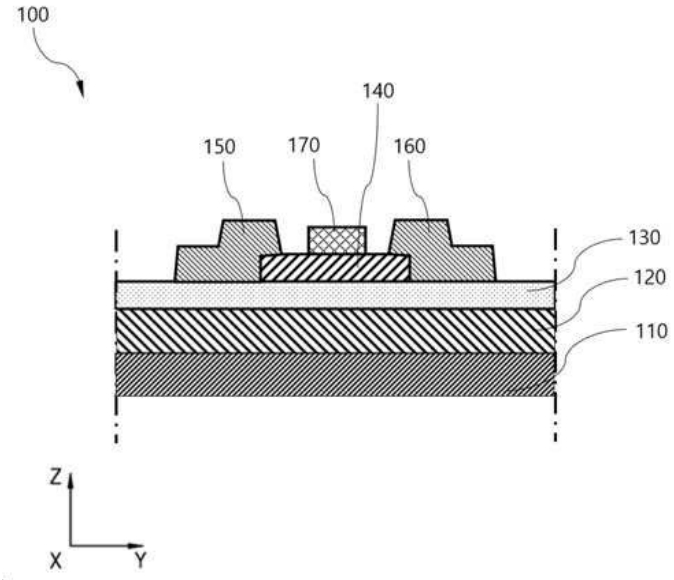
[0048] 즉, 활성층이 텔루륨(Te)으로 형성된 박막 트랜지스터에 인듐 보조층을 도입함으로써, 박막 트랜지스터의 이동도(μFE) 및 ON/OFF 전환 특성이 안정적으로 향상됨을 알 수 있다.

[0049] 따라서, 본 발명에 의하면, 소스전극과 드레이전극 사이에서 텔루륨(Te)으로 형성된 활성층에 접하는 인듐 보조층을 형성함으로써, 박막 트랜지스터의 안정성이나 신뢰성의 저하 없이, 전하의 이동도가 상승하고, ON/OFF 전환 특성이 큰 폭으로 향상될 수 있는바, 박막 트랜지스터의 성능이 향상될 수 있다.

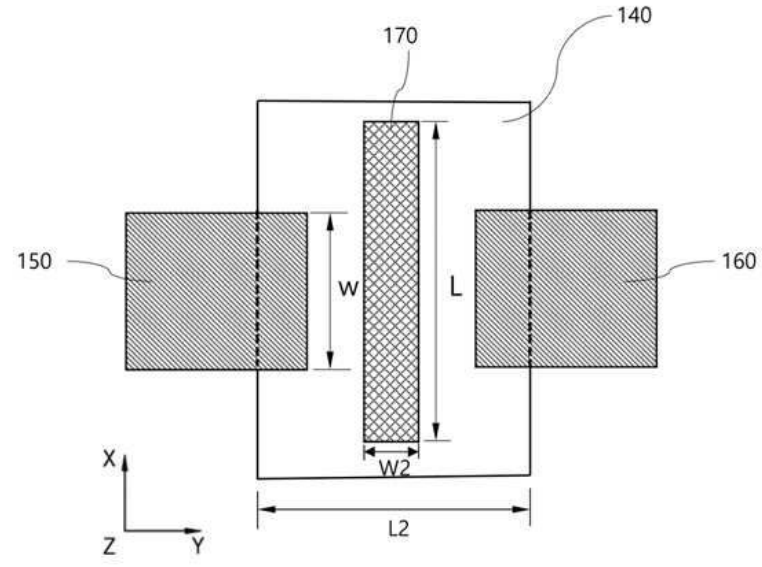
[0050] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

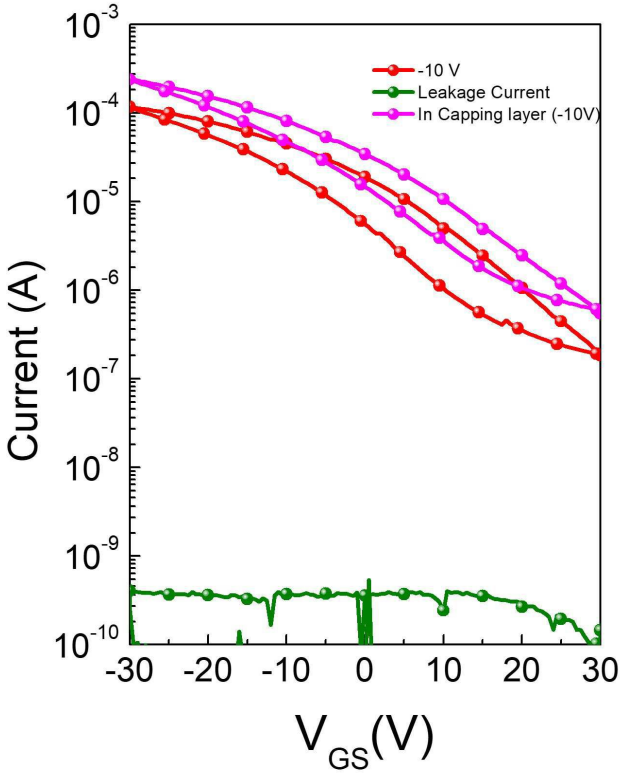
도면1



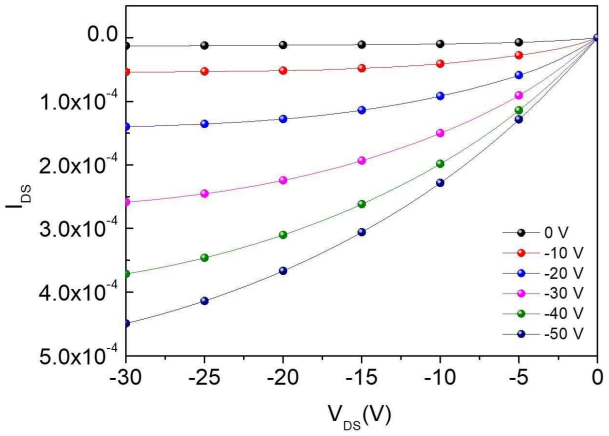
도면2



도면3


-10 V
Leakage Current
In Capping layer (-10V)
Current (A)
10^{-3}
10^{-4}
10^{-5}
10^{-6}
10^{-7}
10^{-8}
10^{-9}
10^{-10}
-30 -20 -10 0 10 20 30
V_{GS}(V)

도면4


0.0
1.0x10^{-4}
2.0x10^{-4}
3.0x10^{-4}
4.0x10^{-4}
5.0x10^{-4}
I_{DS}
-30 -25 -20 -15 -10 -5 0
V_{DS}(V)
0 V
-10 V
-20 V
-30 V
-40 V
-50 V