



(12)发明专利

(10)授权公告号 CN 104919595 B

(45)授权公告日 2019.06.07

(21)申请号 201480004623.4

(22)申请日 2014.06.24

(65)同一申请的已公布的文献号
申请公布号 CN 104919595 A

(43)申请公布日 2015.09.16

(30)优先权数据

61/838,578 2013.06.24 US

61/841,624 2013.07.01 US

61/914,491 2013.12.11 US

61/914,538 2013.12.11 US

61/924,884 2014.01.08 US

61/925,311 2014.01.09 US

61/928,133 2014.01.16 US

61/928,644 2014.01.17 US

61/929,731 2014.01.21 US

61/929,874 2014.01.21 US

61/933,442 2014.01.30 US

62/007,004 2014.06.03 US

62/008,275 2014.06.05 US

(85)PCT国际申请进入国家阶段日
2015.07.13

(86)PCT国际申请的申请数据

PCT/US2014/043962 2014.06.24

(87)PCT国际申请的公布数据

W02014/210072 EN 2014.12.31

(73)专利权人 理想能量有限公司

地址 美国德克萨斯州

(72)发明人 理查德·A·布兰查德

威廉·C·亚历山大

(74)专利代理机构 上海脱颖律师事务所 31259

代理人 脱颖

(51)Int.Cl.

H01L 29/747(2006.01)

H01L 29/73(2006.01)

H01L 27/102(2006.01)

(56)对比文件

US 2008217699 A1,2008.09.11,

US 2012268975 A1,2012.10.25,

JP 2002026320 A,2002.01.25,

US 5608237 A,1997.03.04,

审查员 李海龙

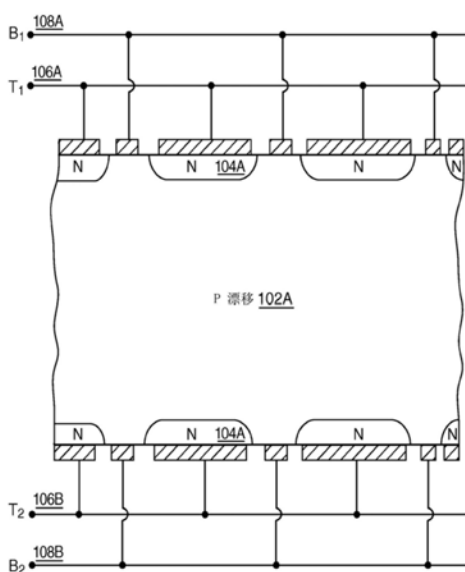
权利要求书15页 说明书17页 附图25页

(54)发明名称

具有双向双极晶体管的系统、电路、器件和方法

(57)摘要

使用双向双极晶体管(BTRAN)进行开关的用于功率分组开关功率转换器的方法、系统和电路和器件。四个端子的三层BTRAN在任一方向上都以小于二极管压降的正向电压提供基本相同的操作。BTRAN是完全对称融合的双基极双向双极相反面对的器件,所述器件在高非平衡载流子浓度条件下操作并且在用作用于功率分组开关功率转换器的双向开关时能够具有令人惊奇的协同效应。BTRAN被驱动到高载流子浓度状态,从而使得导通状态电压降非常低。



1. 一种功率分组开关功率转换器,包括:

多个相支脚,所述多个相支脚均包括两个双向开关,所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧,每个所述双向开关都包括:

位于第二导电型半导体基质的相对设置的面上的第一和第二第一导电型发射极区;和
分别接近所述第一和第二第一导电型发射极区的第一和第二第二导电型基极触点区;

控制电路,所述控制电路反复地:接通所述双向开关中的所选的一个或两个双向开关以将能量从一个或多个输入线路驱动到所述电感器,然后将全部所述双向开关断开以断开所述电感器,并且然后接通所述双向开关中的所选的一个或两个双向开关以将能量从所述电感器驱动到一个或两个输出线路;以及

驱动电路,所述驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时以不同的方式驱动所述双向开关的第一和第二基极触点区,以由此允许电流以预定的方向在相应的半导体基质的相对设置的面上的第一和第二发射极区之间流动;

其中所述驱动电路在所选的基极触点区和至少一个所述发射极区之间施加足够的电流,以在所述半导体基质的内部产生是所述半导体基质中的截止状态下平衡多数载流子浓度的三十倍以上的非平衡载流子浓度,以由此降低所述双向开关两端的电压降。

2. 根据权利要求1所述的功率分组开关功率转换器,其中,当一个所述双向开关从一个面在第一方向上导电时,位于相对面上的发射极区用作集电极区。

3. 根据权利要求1所述的功率分组开关功率转换器,其中,所述双向开关在高载流子密度状态下被驱动。

4. 根据权利要求1所述的功率分组开关功率转换器,其中,所述双向开关中的所述第二导电型基极触点区比相应的第二导电型半导体基质更高度地掺杂。

5. 根据权利要求1所述的功率分组开关功率转换器,所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的第二导电型半导体基质之间的薄层隧道氧化物。

6. 根据权利要求1所述的功率分组开关功率转换器,所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的发射极金属化部之间的薄层隧道氧化物。

7. 根据权利要求1所述的功率分组开关功率转换器,其中,所述双向开关的发射极-基极结是异质结。

8. 根据权利要求1所述的功率分组开关功率转换器,其中,所述双向开关的所述第一导电型发射极区是非晶硅,并且相应的第二导电型半导体基质为单晶硅。

9. 根据权利要求1所述的功率分组开关功率转换器,其中,所述双向开关的所述第一导电型发射极区为多晶硅,并且相应的第二导电型半导体基质为单晶硅。

10. 根据权利要求1所述的功率分组开关功率转换器,所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的相邻第二导电型基极触点区之间的氧化物填充沟道。

11. 根据权利要求1所述的功率分组开关功率转换器,每个所述双向开关进一步包括相应的边缘终端结构,所述边缘终端结构包括位于第二导电型区中的第一导电型区。

12. 一种功率分组开关功率转换器,包括:

多个相支脚,所述多个相支脚均包括两个双向开关,所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧,每个所述双向开关都包括:

位于第二导电型半导体基质的相对设置的面上的第一和第二第一导电型发射极区;和

分别接近所述第一和第二第一导电型发射极区的第一和第二第二导电型基极触点区；

控制电路，所述控制电路反复地：接通所述双向开关中的所选的一个或两个双向开关以将能量从一个或多个输入线路驱动到所述电感器，然后将全部所述双向开关断开以断开所述电感器，并且然后接通所述双向开关中的所选的一个或两个双向开关以将能量从所述电感器驱动到一个或两个输出线路；以及

驱动电路，所述驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时以不同的方式驱动所述双向开关的第一和第二基极触点区，以由此允许电流以预定的方向在相应的半导体基质的相对设置的面上的第一和第二发射极区之间流动；

其中所述驱动电路在所选的基极触点区和至少一个所述发射极区之间施加足够的电流，以将贝塔向下驱动到小于其小信号值的四分之一。

13. 根据权利要求12所述的功率分组开关功率转换器，其中，当一个所述双向开关从一个面在第一方向上导电时，位于相对面上的发射极区用作集电极区。

14. 根据权利要求12所述的功率分组开关功率转换器，其中，所述双向开关在高载流子密度状态下被驱动。

15. 根据权利要求12所述的功率分组开关功率转换器，其中，所述双向开关中的所述第二导电型基极触点区比相应的第二导电型半导体基质更高度地掺杂。

16. 根据权利要求12所述的功率分组开关功率转换器，所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的第二导电型半导体基质之间的薄层隧道氧化物。

17. 根据权利要求12所述的功率分组开关功率转换器，所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的发射极金属化部之间的薄层隧道氧化物。

18. 根据权利要求12所述的功率分组开关功率转换器，其中，所述双向开关的发射极-基极结是异质结。

19. 根据权利要求12所述的功率分组开关功率转换器，其中，所述双向开关的第一导电型发射极区是非晶硅，以及相应的第二导电型半导体基质为单晶硅。

20. 一种功率分组开关功率转换器，包括：

多个相支脚，所述多个相支脚均包括两个双向开关，所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧，每个所述双向开关都包括：

位于第二导电型半导体基质的相对设置的面上的第一和第二第一导电型发射极区；和

分别接近所述第一和第二第一导电型发射极区的第一和第二第二导电型基极触点区；

控制电路，所述控制电路反复地：接通所述双向开关中的所选的一个或两个双向开关以将能量从一个或多个输入线路驱动到所述电感器，然后将全部所述双向开关断开以断开所述电感器，并且然后接通所述双向开关中的所选的一个或两个双向开关以将能量从所述电感器驱动到一个或两个输出线路；以及

驱动电路，所述驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时以不同的方式驱动所述双向开关的第一和第二基极触点区，以由此允许电流以预定的方向在半导体基质的相对设置的面上的第一和第二发射极区之间流动；

其中所述驱动电路在所选的基极触点区和至少一个所述发射极区之间施加足够的电流，以在所述半导体基质的内部产生是截止状态下平衡多数载流子浓度的三十倍以上的非平衡载流子浓度，以由此将所述双向开关两端的电压降降低到小于二极管压降的一半。

21. 一种功率分组开关功率转换器, 包括:

多个相支脚, 所述多个相支脚均包括两个双向开关, 所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧, 每个所述双向开关都包括:

位于第二导电型半导体基质的相对设置的面上的第一和第二第一导电型发射极区;

分别接近所述第一和第二第一导电型发射极区的第一和第二第二导电型基极触点区; 以及

位于每个所述第一导电型发射极区和相应的相邻第二导电型基极触点区之间的氧化物填充沟道;

控制电路, 所述控制电路反复地: 接通所述双向开关中的所选的一个或两个双向开关以将能量从一个或多个输入线路驱动到所述电感器, 然后将全部所述双向开关断开以断开所述电感器, 并且然后接通所述双向开关中的所选的一个或两个双向开关以将能量从所述电感器驱动到一个或两个输出线路; 以及

驱动电路, 所述驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时驱动所述双向开关的基极触点区, 以将相关的发射极-基极结正向偏压, 并允许多数载流子流到位于相对表面上的另一个发射极区;

其中所述驱动电路将足够的电流驱动通过所选的基极触点区, 以在所述半导体基质的内部产生是截止状态下平衡多数载流子浓度的三十倍以上的总的非平衡载流子浓度, 以由此将所述双向开关两端的电压降降低到小于二极管压降的一半;

其中当一个所述双向开关从一个面在第一方向上导电时, 位于相对面上的发射极区用作集电极区。

22. 根据权利要求21所述的功率分组开关功率转换器, 其中, 所述双向开关在高载流子密度状态下被驱动。

23. 根据权利要求21所述的功率分组开关功率转换器, 其中, 所述双向开关中的所述第二导电型基极触点区比相应的第二导电型半导体基质更高度地掺杂。

24. 根据权利要求21所述的功率分组开关功率转换器, 所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的第二导电型半导体基质之间的薄层隧道氧化物。

25. 根据权利要求21所述的功率分组开关功率转换器, 所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的发射极金属化部之间的薄层隧道氧化物。

26. 根据权利要求21所述的功率分组开关功率转换器, 其中, 所述双向开关的发射极-基极结是异质结。

27. 根据权利要求21所述的功率分组开关功率转换器, 其中, 所述双向开关的所述第一导电型发射极区是非晶硅, 并且相应的第二导电型半导体基质为单晶硅。

28. 根据权利要求21所述的功率分组开关功率转换器, 其中, 所述双向开关的所述第一导电型发射极区为多晶硅, 并且相应的第二导电型半导体基质为单晶硅。

29. 根据权利要求21所述的功率分组开关功率转换器, 每个所述双向开关进一步包括相应的边缘终端结构, 所述边缘终端结构包括位于第二导电型区中的第一导电型区。

30. 一种功率分组开关功率转换器, 包括:

多个相支脚, 所述多个相支脚均包括两个双向开关, 所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧, 每个所述双向开关都包括:

位于第二导电型半导体基质的相对设置的面上的第一导电型发射极区；和
接近相应的第一导电型发射极区的第二导电型基极触点区；

控制电路，所述控制电路接通所述双向开关中的两个双向开关以将能量从一个或多个输入线路驱动到所述电感器，然后将全部所述双向开关断开以断开所述电感器，并且然后接通所述双向开关中的不同的两个双向开关以将能量从所述电感器驱动到一个或两个输出线路；以及

驱动电路，所述驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时：

通过将所述双向开关的所述基极触点区中的第一基极触点区短接至相应的发射极区，同时使得所述双向开关的相对面上的基极触点区浮动而开始接通；

驱动所述基极触点区中的所述第一基极触点区，以将相关的发射极-基极结正向偏压，并允许多数载流子流到位于相对表面上的另一个发射极区，由此进入饱和模式；

将所述基极触点区中的所述第一基极触点区短接至相应的发射极区，由此退出饱和模式；

通过将所述相对表面上的基极触点区短接至相应的发射极区而开始断开；以及

通过使所述基极触点区的所述第一基极触点区浮动而完成断开；

其中，当所述驱动电路驱动所述基极触点区的所述第一基极触点区时，所述驱动电路将足够的电流驱动通过所选的基极触点区，以在所述半导体基质中产生总的非平衡载流子浓度，以由此降低所述双向开关两端的电压降。

31. 根据权利要求30所述的功率分组开关功率转换器，其中，当一个所述双向开关从一个面在第一方向上导电时，位于相对面上的发射极区用作集电极区。

32. 根据权利要求30所述的功率分组开关功率转换器，其中，所述双向开关在高载流子密度状态下被驱动。

33. 根据权利要求30所述的功率分组开关功率转换器，其中，所述双向开关中的所述第二导电型基极触点区比相应的第二导电型半导体基质更高度地掺杂。

34. 根据权利要求30所述的功率分组开关功率转换器，所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的第二导电型半导体基质之间的薄层隧道氧化物。

35. 根据权利要求30所述的功率分组开关功率转换器，所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的发射极金属化部之间的薄层隧道氧化物。

36. 根据权利要求30所述的功率分组开关功率转换器，其中，所述双向开关的所述第一导电型发射极区是非晶硅，并且相应的第二导电型半导体基质为单晶硅。

37. 根据权利要求30所述的功率分组开关功率转换器，其中，所述双向开关的所述第一导电型发射极区为多晶硅，并且相应的第二导电型半导体基质为单晶硅。

38. 根据权利要求30所述的功率分组开关功率转换器，所述双向开关进一步包括位于每个所述第一导电型发射极区和相应的相邻第二导电型基极触点区之间的氧化物填充沟道。

39. 一种功率分组开关功率转换器，包括：

多个相支脚，所述多个相支脚均包括两个双向开关，所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧，每个所述双向开关都包括：

位于第二导电型半导体基质的相对设置的面上的第一导电型发射极区；和
接近相应的第一导电型发射极区的第二导电型基极触点区；

控制电路，所述控制电路接通所述双向开关中的两个双向开关以将能量从一个或多个输入线路驱动到所述电感器，然后将全部所述双向开关断开以断开所述电感器，并且然后接通所述双向开关中的不同的两个双向开关以将能量从所述电感器驱动到一个或两个输出线路；以及

驱动电路，所述驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时：

通过将所述双向开关的所述基极触点区中的第一基极触点区短接至相应的发射极区，同时使得所述双向开关的相对面上的基极触点区浮动而开始接通；

驱动所述基极触点区中的所述第一基极触点区，以将相关的发射极-基极结正向偏压，并允许多数载流子流到位于相对表面上的另一个发射极区，由此进入饱和模式；

将所述基极触点区中的所述第一基极触点区短接至相应的发射极区，由此退出饱和模式；

通过将所述相对表面上的基极触点区短接至相应的发射极区而开始断开；以及

通过使所述基极触点区的所述第一基极触点区浮动而完成断开；

其中，当所述驱动电路驱动所述基极触点区的所述第一基极触点区时，所述驱动电路将足够的电流驱动通过所选的基极触点区，以在所述半导体基质中产生总的非平衡载流子浓度，以由此降低所述双向开关两端的电压降；

其中所述双向开关的发射极-基极结是异质结。

40. 一种双向功率开关装置，包括：

双向开关，包括：

位于第二导电型半导体基质的相对面上的第一和第二第一导电型发射极区；和

分别接近所述第一和第二第一导电型发射极区的第一和第二第二导电型基极触点区；
以及

驱动电路，所述驱动电路在控制电路接通所述双向开关时以不同的方式驱动所述双向开关的第一和第二基极触点区，以将相关的发射极-基极结正向偏压，并允许多数载流子从位于相对表面上的发射极区流到相关的发射极区；

其中所述驱动电路向所选的基极触点区施加足够的电流，以在所述半导体基质的内部产生是截止状态下平衡多数载流子浓度的三十倍以上的非平衡载流子浓度，以由此降低所述第二导电型半导体基质两端的电压降。

41. 根据权利要求40所述的双向功率开关装置，其中，当位于一个面上的发射极区用作发射极时，位于相对面上的发射极区用作集电极。

42. 根据权利要求40所述的双向功率开关装置，其中，所述第二导电型基极触点区比所述第二导电型半导体基质更高度地掺杂。

43. 根据权利要求40所述的双向功率开关装置，所述双向功率开关装置进一步包括位于所述第一导电型发射极区和所述第二导电型半导体基质之间的薄层隧道氧化物。

44. 根据权利要求40所述的双向功率开关装置，所述双向功率开关装置进一步包括位于所述第一导电型发射极区和相应的发射极金属化部之间的薄层隧道氧化物。

45. 根据权利要求40所述的双向功率开关装置,其中,所述发射极-基极结是异质结。

46. 根据权利要求40所述的双向功率开关装置,其中,所述第一导电型发射极区是非晶硅,并且所述第二导电型半导体基质为单晶硅。

47. 根据权利要求40所述的双向功率开关装置,其中,所述第一导电型发射极区为多晶硅,并且所述第二导电型半导体基质为单晶硅。

48. 一种双向功率开关装置,包括:

双向开关,包括:

位于第二导电型半导体基质的相对设置的面上的第一和第二第一导电型发射极区;和
分别接近所述第一和第二第一导电型发射极区的第一和第二第二导电型基极触点区;
以及

驱动电路,所述驱动电路在控制电路接通所述双向开关时驱动所述双向开关的基极触点区,以将相关的发射极-基极结正向偏压,并允许多数载流子流到位于相对表面上的发射极区;

其中所述驱动电路向所选的基极触点区施加足够的电流,以在所述半导体基质的内部产生是截止状态下平衡多数载流子浓度的三十倍以上的非平衡载流子浓度,以由此降低所述第二导电型半导体基质两端的电压降;和

所述双向功率开关装置进一步包括位于每个所述第一导电型发射极区和相应的相邻第二导电型基极触点区之间的氧化物填充沟道。

49. 一种双向功率开关装置,包括:

双向开关,包括:

位于第二导电型半导体基质的相对设置的面上的第一和第二第一导电型发射极区;和
分别接近所述第一和第二第一导电型发射极区的第一和第二第二导电型基极触点区;
以及

驱动电路,所述驱动电路在控制电路接通所述双向开关时以不同的方式驱动所述双向开关的第一和第二基极触点区,以允许电流以预定的方向在相应的半导体基质的相对设置的面上的第一和第二发射极区之间流动;

其中所述驱动电路向所选的基极触点区施加足够的电流,以在所述半导体基质的内部产生是截止状态下平衡多数载流子浓度的三十倍以上的非平衡载流子浓度,以由此降低所述第二导电型半导体基质两端的电压降;和

所述双向功率开关装置进一步包括边缘终端结构,所述边缘终端结构包括位于第二导电型区中的第一导电型区。

50. 一种操作功率分组开关功率转换器的方法,包括:

驱动第一阵列的双向开关,以将功率驱动到与电容器并联的链结电感器内;

驱动第二阵列的双向开关,以将功率从所述电感器抽取到输出线路上;

其中每个所述双向开关都包括:位于p型基极区的相对设置的面上的n型发射极区;和
位于所述p型基极区的所述相对设置的面上的p型基极触点区;

其中驱动每个所述双向开关包括:

当期望一个所述双向开关的一个面处于被动断开模式中时,将相应的基极触点区的电压钳位至小于或等于相应的发射极区的电压加上肖特基二极管压降;

当期望一个所述双向开关的一个面处于主动断开模式中或二极管模式中时,将相应的基极触点区短接至相应的发射极区;以及

当期望一个所述双向开关的一个面处于主动接通模式中时,将少数电荷载流子注射到相应的基极触点区内。

51.根据权利要求50所述的操作功率分组开关功率转换器的方法,其中,驱动每个所述双向开关进一步包括将所述双向开关驱动到贝塔减小的模式。

52.根据权利要求50所述的操作功率分组开关功率转换器的方法,其中,所述双向开关中的相应的p型基极触点区比相应的p型基极区的其余部分更高度地掺杂。

53.根据权利要求50所述的操作功率分组开关功率转换器的方法,其中,每个所述双向开关进一步包括位于每个所述n型发射极区和相应的p型基极区之间的薄层隧道氧化物。

54.根据权利要求50所述的操作功率分组开关功率转换器的方法,每个所述双向开关进一步包括位于每个所述n型发射极区和相应的发射极金属化部之间的薄层隧道氧化物。

55.根据权利要求50所述的操作功率分组开关功率转换器的方法,其中,每个所述双向开关中的所述n型发射极区和相应的p型基极区都是异质结。

56.根据权利要求50所述的操作功率分组开关功率转换器的方法,其中,每个所述双向开关的所述n型发射极区是非晶硅,并且相应的p型基极区为单晶硅。

57.根据权利要求50所述的操作功率分组开关功率转换器的方法,其中,每个所述双向开关的所述n型发射极区为多晶硅,并且相应的p型基极区为单晶硅。

58.根据权利要求50所述的操作功率分组开关功率转换器的方法,每个所述双向开关进一步包括位于每个所述n型发射极区和相应的相邻p型基极触点区之间的氧化物填充沟道。

59.根据权利要求50所述的操作功率分组开关功率转换器的方法,所述双向开关进一步包括相应的边缘终端结构,所述边缘终端结构包括位于p型区中的n型区。

60.根据权利要求50所述的操作功率分组开关功率转换器的方法,其中,当一个所述双向开关的一个面上的发射极区用作发射极时,相对面上的发射极区用作集电极。

61.一种操作功率分组开关功率转换器的方法,包括:

驱动第一阵列的双向开关,以将功率驱动到与电容器并联的链结电感器内;

驱动第二阵列的双向开关,以将功率从所述电感器抽取到输出线路上;

其中每个所述双向开关都包括:位于p型基极区的相对设置的面上的n型发射极区;和位于所述p型基极区的所述相对设置的面上的p型基极触点区;

其中驱动每个所述双向开关包括:

当期望一个所述双向开关的一个面处于被动断开模式中时,将相应的基极触点区的电压钳位至小于或等于相应的发射极区的电压加上肖特基二极管压降;

当期望一个所述双向开关的一个面处于主动断开模式中或二极管模式中时,将相应的基极触点区短接至相应的发射极区;以及

当期望一个所述双向开关的一个面处于主动接通模式中时,将少数电荷载流子注射到相应的基极触点区内;

其中驱动每个所述双向开关进一步包括将所述双向开关驱动到具有高载流子密度的状态。

62. 一种操作功率分组开关功率转换器的方法, 包括:

驱动第一阵列的双向开关, 以将功率驱动到与电容器并联的链结电感器内;

驱动第二阵列的双向开关, 以将功率从所述电感器抽取到输出线路上;

其中每个所述双向开关都包括: 位于p型基极区的相对面上的n型发射极区; 和位于所述p型基极区的所述相对面上的p型基极触点区;

其中驱动每个所述双向开关包括:

当期望一个所述双向开关的一个面处于被动断开模式中时, 将相应的基极触点区的电压钳位至小于或等于相应的发射极区的电压加上肖特基二极管压降;

当期望一个所述双向开关的一个面处于主动断开模式中或二极管模式中时, 将相应的基极触点区短接至相应的发射极区; 以及

当期望一个所述双向开关的一个面处于主动接通模式中时, 将少数电荷载流子注射到相应的基极触点区内;

其中驱动所选的双向开关将足够的电流驱动通过所选的基极触点区, 以在所述p型基极区的内部产生是截止状态下平衡多数载流子浓度的三十倍以上的总的非平衡载流子浓度, 以由此降低所述双向开关两端的电压降。

63. 一种半导体器件, 包括:

位于第二导电型半导体基质的相对设置的面上的第一导电型发射极区;

位于所述第二导电型半导体基质的所述相对设置的面上的第二导电型基极触点区;

位于每个所述第一导电型发射极区和所述第二导电型半导体基质之间的薄层隧道氧化物, 所述薄层隧道氧化物形成了空穴和电子之间的区别;

驱动电路, 所述驱动电路向所选的基极触点区施加足够的电流, 以在所述半导体基质的内部产生是截止状态下平衡多数载流子浓度的三十倍以上的非平衡载流子浓度, 以由此降低所述第二导电型半导体基质两端的电压降; 和

位于每个所述第一导电型发射极区和相应的相邻第二导电型基极触点区之间的氧化物填充沟道。

64. 根据权利要求63所述的半导体器件, 其中, 当位于一个面上的所述第一导电型区用作发射极时, 相对面上的第一导电型区用作集电极。

65. 根据权利要求63所述的半导体器件, 所述半导体器件进一步包括边缘终端结构, 其中所述边缘终端结构包括第二导电型区, 所述第二导电型区包括第一导电型区。

66. 根据权利要求63所述的半导体器件, 其中, 所述半导体器件在贝塔减小的模式中被驱动。

67. 一种半导体器件, 包括:

位于第二导电型半导体基质的相对设置的面上的第一导电型发射极区;

位于所述第二导电型半导体基质的所述相对设置的面上的第二导电型基极触点区;

位于每个所述第一导电型发射极区和所述第二导电型半导体基质之间的薄层隧道氧化物, 所述薄层隧道氧化物形成了空穴和电子之间的区别;

驱动电路, 所述驱动电路以不同的方式向所选的位于半导体基质的相对设置的面上的第一和第二基极触点区施加足够的电流, 以由此允许电流在半导体基质的相对设置的面上的第一和第二发射极区之间流动, 并且在所述半导体基质的内部产生是截止状态下平衡多

数载流子浓度的三十倍以上的非平衡载流子浓度,以由此降低第二导电型半导体基质两端的电压降;

其中所述半导体器件在高载流子密度的状态下被驱动。

68. 一种半导体器件,包括:

位于第二导电型半导体基质的相对设置的面上的第一导电型发射极区;

位于所述第二导电型半导体基质的所述相对设置的面上的第二导电型基极触点区;

位于每个所述第一导电型发射极区和所述第二导电型半导体基质之间的薄层隧道氧化物,所述薄层隧道氧化物形成了空穴和电子之间的区别;

驱动电路,所述驱动电路以不同的方式向所选的位于半导体基质的相对设置的面上的第一和第二基极触点区施加足够的电流,以由此允许电流在所述半导体基质的相对设置的面上的第一和第二发射极区之间流动,并且在所述半导体基质的内部产生是截止状态下平衡多数载流子浓度的三十倍以上的非平衡载流子浓度,以由此降低所述第二导电型半导体基质两端的电压降;

其中所述第二导电型基极触点区比所述第二导电型基极区的其余部分更高度地掺杂。

69. 一种用于开关功率半导体器件的方法,所述功率半导体器件包括位于第二导电型半导体晶片的第一表面和第二表面的每一个表面上的第一导电型发射极区/集电极区以及第二导电型基极触点区,所述方法包括以下步骤:

a) 使用控制电路控制电流在所述第一表面和所述第二表面上的发射极区/集电极区之间的流动;和

b) 当启用第一电压限制电路和第二电压限制电路时,所述第一电压限制电路将所述第一表面上的基极触点区和发射极区/集电极区之间的结两端的正向偏压限制为小于所述第一表面上的结的正向二极管电压降特性,所述第二电压限制电路将所述第二表面上的基极触点区和发射极区/集电极区之间的结两端的正向偏压限制为小于所述第二表面上的结的正向二极管电压降特性;

从而击穿电压不因泄露电流的放大而降低。

70. 根据权利要求69所述的方法,其中,所述半导体晶片的两个表面是相对的面。

71. 根据权利要求69所述的方法,其中,所述半导体晶片的两个表面是相对的面,并且所述两个表面上的发射极区/集电极区彼此相对地竖向对齐。

72. 根据权利要求69所述的方法,其中,所述半导体晶片的两个表面是相对的面,并且在所述两个表面上的发射极区/集电极区彼此相对地竖向对齐,并且在所述两个表面上的基极区也彼此相对地竖向对齐。

73. 根据权利要求69所述的方法,其中,所述第一导电型是n型。

74. 根据权利要求69所述的方法,其中,常通开关与电压限制元件串联。

75. 根据权利要求69所述的方法,其中,常通开关与肖特基二极管串联。

76. 根据权利要求69所述的方法,其中,所述半导体晶片是硅片,并且常通开关与电压限制元件串联。

77. 一种开关电路,包括:

功率半导体器件,所述功率半导体器件具有导通状态和截止状态,所述功率半导体器件包括:

在第二导电型半导体晶片的各个表面上的第一和第二第一导电型发射极区/集电极区,所述第一和第二第一导电型发射极区/集电极区分别限定第一发射极结和第二发射极结,和

在第一发射极区/集电极区的同一表面上的第一基极触点区,和在第二发射极区/集电极区的同一表面上的第二基极触点区,所述第一基极触点区和所述第二基极触点区都分别与所述半导体晶片欧姆接触;

第一电压限制电路,所述第一电压限制电路通过第一常通开关将第一电压限制元件跨接在所述第一发射极结两端,和

第二电压限制电路,所述第二电压限制电路通过第二常通开关将第二电压限制元件跨接在所述第二发射极结两端;和

控制电路,所述控制电路在导通状态期间独立驱动所述第一基极触点区和所述第二基极触点区以实现传导,并且所述控制电路还在截止状态期间独立驱动所述第一基极触点区和所述第二基极触点区以阻断传导;

其中,所述第一电压限制元件将所述第一发射极结的正向电压限制为小于所述第一发射极结的正向二极管电压降特性,并且所述第二电压限制元件将所述第二发射极结的正向电压限制为小于所述第二发射极结的正向二极管电压降特性;

从而泄露电流在所述控制电路不工作时不被放大,并且击穿电压不因泄露电流的放大而降低。

78. 根据权利要求77所述的开关电路,其中,所述半导体晶片的两个表面是相对的面。

79. 根据权利要求77所述的开关电路,其中,所述半导体晶片的两个表面是相对的面,并且所述两个表面上的发射极区/集电极区彼此相对地竖向对齐。

80. 根据权利要求77所述的开关电路,其中,所述半导体晶片的两个表面是相对的面,并且所述两个表面上的发射极区/集电极区彼此相对地竖向对齐,并且所述两个表面上的基极区也彼此相对地竖向对齐。

81. 根据权利要求77所述的开关电路,其中,所述电压限制元件的每一个是肖特基二极管。

82. 根据权利要求77所述的开关电路,其中,所述电压限制元件的每一个是与对应的发射极结阳极对阳极、阴极对阴极地并联连接的二极管。

83. 一种开关电路,包括:

功率半导体器件,所述功率半导体器件具有在第二导电型半导体晶片的各个的表面上的、分别限定第一发射极结和第二发射极结的第一和第二第一导电型发射极区/集电极区,以及在所述第一发射极区/集电极区的同一表面上的第一基极触点区和在所述第二发射极区/集电极区的同一表面上的第二基极触点区,所述第一基极触点区和所述第二基极触点区都分别与半导体晶片欧姆接触;

第一电压限制电路,所述第一电压限制电路通过第一常通开关将第一电压限制元件连接在所述第一发射极结两端,和

第二电压限制电路,所述第二电压限制电路通过第二常通开关将第二电压限制元件连接在所述第二发射极结两端;和

控制电路,所述控制电路独立驱动所述第一基极触点区和所述第二基极触点区以控制

传导的开启和停止；

其中，所述第一电压限制元件将所述第一发射极结的正向电压限制为小于所述第一发射极结的正向二极管电压降特性，并且所述第二电压限制元件将所述第二发射极结的正向电压限制为小于所述第二发射极结的正向二极管电压降特性；

从而泄露电流在控制电路不工作时不被放大，并且击穿电压不因泄露电流的放大而降低。

84. 根据权利要求83所述的开关电路，其中，所述半导体晶片的两个表面是相对的面。

85. 根据权利要求83所述的开关电路，其中，所述半导体晶片的两个表面是相对的面，并且所述两个表面上的发射极区/集电极区彼此相对地竖向对齐。

86. 根据权利要求83所述的开关电路，其中，所述半导体晶片的两个表面是相对的面，并且所述两个表面上的发射极区/集电极区彼此相对地竖向对齐，并且所述两个表面上的基极区也彼此相对地竖向对齐。

87. 根据权利要求83所述的开关电路，其中，所述电压限制元件的每一个是肖特基二极管。

88. 根据权利要求83所述的开关电路，其中，所述电压限制元件的每一个是与对应的发射极结阳极对阳极、阴极对阴极地并联连接的二极管。

89. 一种开关电路，包括：

功率半导体器件，所述功率半导体器件具有在第二导电型半导体晶片的各个的表面上的、分别限定第一发射极结和第二发射极结的第一和第二第一导电型发射极区/集电极区，以及在所述第一发射极区/集电极区的同一表面上的第一基极触点区和在所述第二发射极区/集电极区的同一表面上的第二基极触点区，所述第一和第二基极触点区都分别与半导体晶片欧姆接触；

第一电压限制电路，除非所述第一电压限制电路不能工作，否则所述第一电压限制电路将第一电压限制元件跨接在所述第一发射极结两端，和

第二电压限制电路，除非所述第二电压限制电路不能工作，否则所述第二电压限制电路将第二电压限制元件跨接在所述第二发射极结两端；和

控制电路，所述控制电路独立驱动所述第一基极触点区和所述第二基极触点区以控制传导的开启和停止；

其中，所述第一电压限制元件将所述第一发射极结上的正向电压限制为小于所述第一发射极结的正向二极管电压降特性，并且所述第二电压限制元件将所述第二发射极结上的正向电压限制为小于所述第二发射极结的正向二极管电压降特性；

从而泄露电流在控制电路不工作时不被放大，并且击穿电压不因泄露电流的放大而降低。

90. 根据权利要求89所述的开关电路，其中，所述电压限制元件的每一个是肖特基二极管。

91. 根据权利要求89所述的开关电路，其中，所述电压限制元件的每一个是与各自的发射极结阳极对阳极、阴极对阴极地并联连接的二极管。

92. 根据权利要求89所述的开关电路，其中，所述半导体晶片的两个表面是相对的面。

93. 一种用于开关功率半导体器件的方法，所述功率半导体器件包括在p型半导体晶片

的相对的第一表面和第二表面中的每一个上的n型发射极区/集电极区和p型基极发射极区,所述方法包括:

在导通状态,当外部电压差施加在发射极区/集电极区之间时,使基极电流流动通过更靠近发射极区/集电极区中的电势较高的发射极区/集电极区的基极触点区,而不使基极电流流动通过另一个基极触点区;

其中,除了通过半导体晶片自身,所述第一表面上的基极触点区不电连接到所述第二表面上的基极触点区;和

其中,如果不考虑所施加的外部电压差,除了通过半导体晶片自身,所述第一表面上的发射极区/集电极区不电连接到所述第二表面上的发射极区/集电极区;

从而通过小于二极管压降的导通电压降实现双向开关。

94. 根据权利要求93所述的方法,其中,所述半导体晶片是硅片。

95. 根据权利要求93所述的方法,进一步包括,在截止状态,浮动基极触点区中的一个。

96. 一种用于开关功率半导体器件的方法,所述功率半导体器件包括在n型半导体晶片的相对的第一表面和第二表面中的每一个上的p型发射极区/集电极区和n型基极触点区,所述方法包括:

在导通状态,当外部电压差施加在发射极区/集电极区之间时,使基极电流流动通过更靠近发射极区/集电极区中的电势较低的发射极区/集电极区的基极触点区,而不使基极电流流动通过另一个基极触点区;

其中,除了通过半导体晶片自身,在所述第一表面上的基极触点区不电连接到所述第二表面上的基极触点区;和

其中,如果不考虑所施加的外部电压差,除了通过半导体晶片自身,所述第一表面上的发射极区/集电极区不电连接到所述第二表面上的发射极区/集电极区;

从而通过小于二极管压降的导通电压降实现双向开关。

97. 根据权利要求96所述的方法,其中,所述半导体晶片是硅片。

98. 根据权利要求96所述的方法,进一步包括,在截止状态,浮动基极触点区中的一个。

99. 一种开关电路,包括:

双基极的双向nnp半导体开关器件,所述双基极的双向nnp半导体开关器件包括在p型单片式半导体晶片的相对的第一表面和第二表面的每个表面上的n型发射极区/集电极区和p型基极触点区;

驱动电路,所述驱动电路控制所述开关器件,所述驱动电路包括:

控制电路,所述控制电路分别连接到相对的所述第一表面和所述第二表面上的基极触点区;和

不同的第一和第二电压限制电路,每个电压限制电路包括串联的低压二极管和常通开关,每个电压限制电路连接到相对的所述第一表面和所述第二表面中的一个,使得当所述常通开关开启时,所述低压二极管的阳极连接到p型基极触点区,并且所述低压二极管的阴极连接到n型发射极区/集电极区;

其中,所述低压二极管以比发射极区/集电极区和半导体晶片之间的p-n结的二极管压降小的正向电压导通;

从而,在所述常通开关开启时,发射极区/集电极区和半导体晶片之间的p-n结不能够

在正向偏压下运行。

100. 根据权利要求99所述的开关电路,其中,所述常通开关连接到所述控制电路。

101. 根据权利要求99所述的开关电路,其中,所述常通开关是JFET。

102. 根据权利要求99所述的开关电路,其中,所述常通开关是具有连接到所述控制电路的栅极的JFET。

103. 根据权利要求99所述的开关电路,其中,所述半导体晶片是硅片。

104. 根据权利要求99所述的开关电路,其中,所述低压二极管是肖特基势垒二极管。

105. 根据权利要求99所述的开关电路,其中,所述半导体晶片是硅片,并且所述低压二极管是肖特基势垒二极管。

106. 根据权利要求99所述的开关电路,其中,除了通过所述半导体晶片自身,所述第一表面上的发射极区/集电极区不直接电连接到所述第二表面上的发射极区/集电极区。

107. 根据权利要求99所述的开关电路,其中,除了通过所述半导体晶片自身,所述第一表面上的基极触点区不直接电连接到所述第二表面上的基极触点区。

108. 一种开关电路,包括:

双基极双极型晶体管,所述双基极双极型晶体管具有在p型半导体晶片的相对的第一表面和第二表面的每个表面上的不同的n型发射极区/集电极区,每个发射极区/集电极区相对于晶片限定p-n发射极结;

连接到相对的所述第一表面和所述第二表面的第一和第二电压限制电路,其中每个电压限制电路包括串联的二极管和常通开关,每个二极管的阳极操作地连接到对应的发射极结的p侧,并且阴极操作地连接到对应的发射极结的n侧;

其中电压限制电路中的二极管具有各自的正向二极管电压降,所述正向二极管电压降小于对应的p-n发射极结的正向二极管电压降特性。

109. 根据权利要求108所述的开关电路,其中,所述常通开关是JFET。

110. 根据权利要求108所述的开关电路,其中,所述晶片是硅片。

111. 根据权利要求108所述的开关电路,其中,所述二极管是肖特基势垒二极管。

112. 根据权利要求108所述的开关电路,其中,所述晶片是硅片,并且所述二极管是肖特基势垒二极管。

113. 根据权利要求108所述的开关电路,其中,所述第一表面上的发射极区/集电极区不直接电连接到所述第二表面上的发射极区/集电极区。

114. 一种开关电路,包括:

双基极双极型晶体管,所述双基极双极型晶体管具有在n型半导体晶片的相对的第一表面和第二表面的每个表面上的不同的p型发射极区/集电极区,每个发射极区/集电极区相对于晶片限定p-n发射极结;

连接到所述第一表面和所述第二表面的第一和第二电压限制电路,其中每个电压限制电路包括串联的二极管和常通开关,所述二极管的阳极操作地连接到对应的发射极结的p侧,并且阴极操作地连接到对应的发射极结的n侧;

其中电压限制电路中的二极管具有各自的正向二极管电压降,所述正向二极管电压降小于对应的p-n发射极结的正向二极管电压降特性。

115. 根据权利要求114所述的开关电路,其中,所述常通开关是JFET。

116. 根据权利要求114所述的开关电路,其中,所述晶片是硅片。

117. 根据权利要求114所述的开关电路,其中,所述二极管是肖特基势垒二极管。

118. 根据权利要求114所述的开关电路,其中,所述晶片是硅片,并且所述二极管是肖特基势垒二极管。

119. 一种用于开关功率半导体器件的方法,所述功率半导体器件包括在p型半导体晶片的相对的第一表面和第二表面的每一表面上的n型发射极区/集电极区和p型基极触点区,并且所述功率半导体器件具有导通状态和截止状态,所述方法包括以下步骤:

在导通时,当外部电压差施加在发射极区/集电极区之间时,将发射极区/集电极区中的电势较高的发射极区/集电极区与在同一表面上的基极触点区短接,以由此通过发射极区/集电极区和半导体晶片之间的p-n结的二极管电压降特性来传导电流;并且随后

在导通状态,使基极电流流动通过基极触点区中的至少一个,从而如同双极型晶体管那样以小于二极管电压降启动传导;

其中,除了通过半导体晶片其自身,所述第一表面上的基极触点区不电连接到所述第二表面上的基极触点区;

从而通过小于二极管压降的导通压降获得双向开关。

120. 根据权利要求119所述的方法,从而所述短接允许电流在一个表面上的短接的基极触点和在相对的表面上的发射极区/集电极区之间流动,如同通过二极管那样。

121. 根据权利要求119所述的方法,其中,使基极电流流动的步骤供给电流到所述基极触点区。

122. 一种用于开关功率半导体器件的方法,所述功率半导体器件包括在n型半导体晶片的相对的第一表面和第二表面的每一表面上的p型发射极区/集电极区和n型基极触点区,并且所述功率半导体器件具有导通状态和截止状态,所述方法包括以下步骤:

在导通时,当外部电压差施加在发射极区/集电极区之间时,将发射极区/集电极区中的电势较低的一个发射极区/集电极区和在同一表面上的基极触点区短接,以从而通过发射极区/集电极区和半导体晶片之间的p-n结的二极管压降特性来传导电流;并且随后

在导通状态,使基极电流流动通过基极触点区中的至少一个,从而如同双极型晶体管那样以小于二极管电压降启动传导;

其中,除了通过半导体晶片自身,所述第一表面上的基极触点区不电连接到所述第二表面上的基极触点区;

从而通过小于二极管压降的导通压降获得双向开关。

123. 根据权利要求122所述的方法,短接允许电流在一个表面上的短接的基极触点和在另一表面上的发射极区/集电极区之间流动,如同通过二极管那样。

124. 根据权利要求122所述的方法,其中,使基极电流流动的步骤从基极触点区的吸取电流。

125. 一种用于开关功率双极半导体器件的方法,所述功率双极半导体器件包括在p型半导体晶片的相对的第一表面和第二表面的每一表面上的n型发射极区/集电极区和p型基极触点区,并且所述功率双极半导体器件具有导通状态和截止状态,所述方法包括以下步骤:

在导通状态期间,将基极电流驱动进入基极触点区中的一个;

在转换到截止状态期间,将所述第一表面上的基极触点区短接到所述第一表面上的发射极区/集电极区,同时也将所述第二表面上的基极触点区短接到所述第二表面上的发射极区/集电极区,并且

随后,至少浮动所述第一表面上的基极触点区;

其中,除了通过半导体晶片自身,所述第一表面上的基极触点区不连接到所述第二表面上的基极触点区;

从而,不管电流的方向如何,相对的所述第一表面和所述第二表面上的发射极区/集电极区之间的外源电流可因此可控制地开关。

126. 根据权利要求125所述的方法,其中,所述半导体晶片是硅片。

127. 一种用于开关功率双极半导体器件的方法,所述功率双极半导体器件在n型半导体晶片的相对的第一表面和第二表面的每一表面上包括p型发射极区/集电极区和n型基极触点区,并且所述功率双极半导体器件具有导通状态和截止状态,所述方法包括以下步骤:

在导通状态期间,将基极电流驱动进入基极触点区中的一个;

在转换到截止状态期间,将所述第一表面上的基极触点区短接到所述第一表面上的发射极区/集电极区,同时也将所述第二表面上的基极触点区短接到所述第二表面上的发射极区/集电极区,并且

随后,至少浮动所述第一表面上的基极触点区;

其中,除了通过半导体晶片自身,所述第一表面上的基极触点区不连接到所述第二表面上的基极触点区;

从而,不管电流的方向如何,相对的所述第一表面和所述第二表面上的发射极区/集电极区之间的外源电流可因此可控制地开关。

128. 根据权利要求127所述的方法,其中,所述半导体晶片是硅片。

具有双向双极晶体管的系统、电路、器件和方法

[0001] 交叉参考

[0002] 要求如下申请的优先权:2013年6月24日提交的美国申请61/838,578(代理人案号No. IPC-036P);2013年7月1日提交的美国申请61/841,624(代理人案号No. IPC-039P);2013年12月11日提交的美国申请61/914,491(代理人案号No. IPC-201P);2013年12月11日提交的美国申请61/914,538(代理人案号No. IPC-202P);2014年1月8日提交的美国申请61/924,884(代理人案号No. IPC-203P);2014年1月9日提交的美国申请61/925,311(代理人案号No. IPC-204P);2014年1月16日提交的美国申请61/928,133(代理人案号No. IPC-207P);2014年1月17日提交的美国申请61/928,644(代理人案号No. IPC-208P);2014年1月21日提交的美国申请61/929,731(代理人案号No. IPC-209.P);2014年1月21日提交的美国申请61/929,874(代理人案号No. IPC-205.P);2014年1月30提交的美国申请61/933,442(代理人案号No. IPC-211.P);2014年6月3日提交的美国申请62/007,004(代理人案号No. IPC-212.P);和2014年6月5日提交的美国申请62/008,275(代理人案号No. IPC-212.P2),在此通过参考将每个申请都结合在本文中。

背景技术

[0003] 本申请涉及双向双极晶体管,更具体而言,涉及结合有双向双极晶体管的功率转换器,并且还涉及相关的方法。

[0004] 注意,下面讨论的要点可能反映了从所公开的发明获得的事后认识,但是并非必然承认是现有技术。

[0005] 功率分组开关转换器

[0006] 在名称为“Universal power conversion methods(通用功率转换方法)”的美国专利No.7,599,196中公开一种新的功率转换器,通过参考将该专利全部结合在本申请中。该专利描述了一种双向(或多向)功率转换器,该功率转换器将功率泵送到由电容器分流的链结电感器或将功率从该电感器泵送出。

[0007] 操作端口处的开关阵列,以在期望改变链结电感器-电容器组合的电压时通过将链结电感器-电容器组合完全隔离来实现零电压开关。(在此时将电感器-电容器组合隔离时,就像在共振电路中一样,电感器的电流将改变电容器的电压。这甚至能够没有能量损失地改变电压符号。)这种架构现在被称为“电流调制”或“功率分组开关”架构。使用双向功率开关提供从多个线路中的每个线路(位于每个端口处)到电轨即内部线路的全双极(可逆)连接,跨接该内部线路,链结电感器及其电容器被连接。

[0008] 传统的外延基极NPN晶体管具有位于整个后表面上的N⁺区。这必然会在结构作为双向晶体管操作时妨碍结构在每个方向上都具有相同的电气特性。因此,这些结构不能很好地适合于充当功率分组开关功率转换器架构中的双向开关。

[0009] 在高电平非平衡载流子密度下的半导体统计可能与低电平载流子密度非常不同。传统的重组对于高电平载流子密度来说比低电平载流子密度一般还不相关。载流子寿命的典型限定一般也不太相关。载流子经常能够通过奥格尔(Auger)相互作用而在高电平条件下

直接相互作用。因此贝塔(发射极电流与基极电流的比)在双极晶体管被驱动到高电平非平衡载流子密度中时通常减小。这些密度能够例如大于固有载流子密度的两个数量级大小以上。

[0010] 即使小电流下的电阻率较大,高电平非平衡载流子浓度条件下的电压降也将较低。因而,可以将器件优化以承受高电压(例如,1200V或更大),同时仍然实现小于一伏的正向电压降。

[0011] 具有双向双极晶体管的系统、电路、器件和方法

[0012] 除了其他创新外,本申请教导了其中使用双向双极晶体管作为开关的功率分组开关功率转换器。

[0013] 除了其他创新外,本申请还教导了使用双向双极晶体管操作功率分组开关功率转换器进行完全双向开关的方法。

[0014] 除了其他创新外,本申请还教导了功率分组开关功率转换器,其中驱动电路操作双向双极晶体管进行双向开关。

[0015] 除了其他创新外,本申请还教导了使用驱动电路控制双向双极晶体管来操作功率分组开关功率转换器进行双向开关的方法。

[0016] 除了其他创新外,本申请还教导了制造用于功率分组开关功率转换器的双向双极晶体管的方法。

[0017] 除了其他创新外,本申请还教导了具有双向双极晶体管的功率分组开关功率转换系统,其中功率分组开关功率转换器使用双向双极晶体管进行开关。

[0018] 除了其他创新外,本申请还教导了操作功率分组开关功率转换系统的方法,其中使用双向双极晶体管进行双向开关。

[0019] 在所公开的各种实施方式中,通过使用合并的双基极双向相反面向的器件实现上述创新,所述器件在高非平衡载流子浓度条件下操作并且避免二极管压降。为了使功率最大化,优选的是使用在每个方向上都提供小于二极管压降(在硅中为近似1V)的双向传导而不管有效增益是否减小的器件。

附图说明

[0020] 将参照附图描述所公开的发明,这些附图示出了重要的示例实施方式并由此通过参考而被结合在该说明书中,其中:

[0021] 图1A和1B示出了根据本发明的BTRAN的示例实施方式。

[0022] 图2示出了根据本发明的用于驱动BTRAN基极驱动电路的一个示例实施方式。

[0023] 图3A、3B、3C、3D、3E和3F示出了处于各种操作阶段的用于示例性器件的示例等价电路。

[0024] 图4A示出了根据本发明的BTRAN的示例实施方式。

[0025] 图4B示出了传统的示例晶体管。

[0026] 图5A示出了所提出的示例电路符号。

[0027] 图5B示出了用于传统晶体管的电路符号。

[0028] 图6示出了本发明的另一个示例实施方式。

[0029] 图7A示出了传统的示例晶体管的俯视图。

- [0030] 图7B示出了本发明的一个示例实施方式的俯视图。
- [0031] 图8A、8B、8C和8D示出了本发明的若干示例实施方式。
- [0032] 图9示出了根据本发明的BTRAN的基极驱动电路的一个示例实施方式。
- [0033] 图10示出了用于本发明的一个示例实施方式的示例电流和电压。
- [0034] 图11示出了BTRAN基极驱动电路的另一个示例实施方式。
- [0035] 图12示出了BTRAN基极驱动电路的另一个示例实施方式。
- [0036] 图13A、13B和13C示出了根据本发明的BTRAN的又一个示例实施方式。
- [0037] 图14A-14B示出了根据本发明的BTRAN的另一个示例实施方式。
- [0038] 图15示出了根据本发明的BTRAN的另一个示例实施方式。
- [0039] 图16A、16B、16C、16D和16E示出了用于制造根据本发明的BTRAN的一个示例过程。
- [0040] 图17示出了用于制造根据本发明的BTRAN的示例焊盘掩膜。
- [0041] 图18A-18B示出了用于制造根据本发明的BTRAN的焊盘掩膜的另一个示例实施方式。
- [0042] 图19示出了用于根据本发明的用于BTRAN的终端结构的一个示例实施方式。
- [0043] 图20A、20B、20C和20D示出了根据本发明的焊盘布置的示例实施方式。

具体实施方式

[0044] 将具体参照当前优选的实施方式(以示例方式而非限制方式)描述本申请的许多创新教导。本发明描述了若干发明,以下任何陈述都不应该被认为在总体上限制权利要求。

[0045] 这里公开的各种创造性实施方式的一般重要原理在于,在功率分组开关功率转换器中,通过使用在高非平衡载流子浓度的条件下操作的合并双基极双向相反面向的器件来协同地实现开关。为了使效率最大化,优选的是使用在每个方向上都提供具有小于二极管压降(在硅中近似为1V)的双向传导。

[0046] 功率分组开关(PPS)转换器由于独特的架构而需要完全双向的驱动器件。在PPS转换器设计中效率是关键的标准,甚至比在其他转换器设计中也还关键,这是因为PPS转换器已经实现了这种高效率。(在以例如85%的效率操作的设计中效率另外降低1%不太重要,但是在实现98%的设计中这会带来显著不同)。

[0047] 效率的一个因素是开关器件中的损失。IGBT器件固有地容易由于正向“二极管压降”电压引起的导通电压差(除了任何电阻损失之外)。尽管FET通常不会受到二极管压降,但是它们必定涉及缺少电导调制的问题:它们的导通电阻无法低于基极半导体的固有电阻。

[0048] 本发明的创新器件克服了IGBT的二极管压降问题,同时还从电导调制实现非常低的导通电阻。至少部分由于从两侧具有基极触点主动断开而使得开关损失较低。IGBT固有地具有缓慢断开,这是因为它们断开开路基极,这迫使这些器件必须以非常短的载流子寿命制造,这又增加了正向电压降。

[0049] 本申请教导了用于PPS转换器的开关器件设计的新颖方案。通过将完全对称的双基极双极驱动到高载流子浓度状态,使得导通状态电压降非常低。这与传统观点不同,因为这种大驱动电流给基极驱动电路提出了更大要求,因此降低了器件的有效增益(贝塔)。

[0050] 完全对称的双基极双极被实现为“无集电极”结构,其中发射极和基极结构形成在

半导体晶片(一般是薄的晶片)的正面和背面二者上。根据瞬时电流方向,两个相对的发射极扩散部中的一个扩散部将作为集电极操作。大的基极电流被施加至没有用作集电极的发射极,以实现高非平衡载流子浓度,并因此实现低导通状态电压降。

[0051] 公开了许多可选和改进的器件结构,这些器件结构单独地或组合地降低所需的基极驱动(对于给定功率电平)。这些例如包括异质结发射极、隧道氧化层、位于基极触点下面的场成形区、以及发射极深度和基极深度之间的竖直关系。

[0052] 本发明尤其教导了双向双极晶体管(BTRAN)是竖直对称的四端子三层竖直电流流动半导体器件。BTRAN最优选形成成为NPN器件,但是也可以形成成为例如PNP器件。

[0053] BTRAN是高电平注射器件,因而与低电平注射器件中非常不同的方式进行重组。当前优选的示例实施方式将高电平载流子注射与厚基极区相组合。在一个示例实施方式中,基极区可以例如为60 μm 。

[0054] 一个重要的实现是高电平非平衡载流子浓度条件下的电压降即使在小电流下的电阻率较大时也将较低。因而,器件可以被优化而承受高电压(例如,1200V或更大),同时仍然实现小于一个二极管压降的正向电压降。

[0055] 所公开的器件通过提供具有比二极管压降小的压降、高电压电阻和高耐用性的完全双向开关来与功率分组开关(PPS)功率转换器架构协同组合。所公开的器件可以是100%双向的,并且在全电流时导通电阻较低。

[0056] 为了参考,在这种开关双向双极中,瞬间用作发射极的一侧可以被称为阳极,而另一侧可以被称为阴极。

[0057] 基本实现

[0058] 将首先描述简单的NPN和PNP实现。对这一代简单实施方式的如下所述的改进是更优选的,但是该版本有助于更清楚地示出基本概念和原理。

[0059] 在图1A的NPN示例实施方式中,p型半导体基极层102A具有位于上表面和下表面上的N⁺发射区/集电区104A。发射极/集电极端子106A和106B在BTRAN的相反侧上连接至相应的N⁺发射区/集电区104A。类似地,基极端子108A和108B在BTRAN的相反侧上连接至P型基区/漂移区102A的相应外部部分。基极端子108A和108B中的每个都可以保持“断开”(例如,没有连接至任何地方)、短接至相应的端子106A或106B(例如108A至106A或108B至106B)或连接至电源。

[0060] 图1B的PNP示例实施方式类似于图1A的NPN示例实施方式,不过N型发射区/集电区104A变成P型发射区/集电区104B,而P型漂移区102A变成N型漂移区102B。

[0061] 操作方法

[0062] 图2示出了基极驱动电路的一个实现的简化示意图,该图可以与图3A至3F一起使用来示出BTRAN 210的基本操作。

[0063] 图3A示出了用于一个示例性NPN BTRAN的示例等价电路。本体二极管312A和312B可以例如分别相当于上P-N结和下P-N结。在例如图1A的示例实施方式中,本体二极管312A和312B可以相当于发射区/集电区104A和基区102A之间的结。开关314A和314B可以将相应的基极端子108A和108B短接至相应的发射极/集电极端子106A和106B。

[0064] 在一个示例实施方式中,BTRAN在每个方向上都可以具有如下的六个操作阶段。

[0065] 1) 初始时,如图3B所示,发射极/集电极端子T1上的电压相对于发射极/集电极端

子T2为正。开关314A和314B断开,从而留下基极端子B1断开。开关314B闭合,从而将基极端子B2短接至发射极/集电极端子T2。这又在功能上将本体二极管312B旁路。在该状态下,该器件被关闭。在该状态下,由于位于器件的上侧的反向偏置的P-N结(由本体二极管312A表示),将没有任何电流流过。

[0066] 2) 如在图3C中所见,发射极/集电极端子T1上的电压相对于发射极/集电极端子T2为负。P-N二极管结312A现在被正向偏压,并且现在开始向漂移区注射电子。对于正向偏压的二极管来说,电流流动。

[0067] 在短时间之后,例如若干微秒之后,漂移层被很好上电。正向电压降较低,但是大小大于0.7V(典型的硅二极管电压降)。在一个示例实施方式中,在例如 $200\text{A}/\text{cm}^2$ 的典型电流密度时典型的正向电压降(V_f)可以具有例如1.0V的大小。

[0068] 3) 为了进一步降低正向电压降 V_f ,增加漂移区的导电率,如例如在图3D中一样。为了将更多的电荷载流子(这里是空穴)注射到漂移区,由此增加其导电率并降低正向电压降 V_f ,通过将开关314B打开而将基极端子B2从端子T2断开。基极端子B2然后通过开关316B连接至正电荷源。在一个示例实施方式中,该正电荷源例如可以为被充电到+1.5VDC的电容器。结果,浪涌电流将流入到漂移区内,因而注射空穴。这又将致使上P-N二极管结312A向漂移区注射甚至更多的电子。这显著地增加了漂移区的导电率,并且将正向电压降 V_f 减小到例如0.1至0.2V,从而将器件置于饱和。

[0069] 4) 继续在图3D的示例实施方式中,电流继续通过基极端子B2流入漂移区内,以维持较低的正向电压降 V_f 。必要的电流大小例如通过等价NPN晶体管318的增益来确定。由于器件是在高电平注射状态中被驱动,因此该增益是通过高电平重组因素诸如例如表面重组速率而不是通过低电平状态因素诸如基区/漂移区的厚度以及基区/漂移区的载流子寿命来确定的。

[0070] 5) 为了将器件关闭,如例如在图3E中一样,将基极端子B2从正电源断开并转而连接至发射极端子T2,从而打开开关316B并闭合开关314B。这导致大电流从漂移区流出,这又使器件快速脱离饱和。将开关314A闭合将基极端子B1连接至集电极端子T1,从而停止上P-N结312A处的电子注射。这两个动作都将电荷载流子从漂移区快速移除,同时仅仅略微增加正向电压降 V_f 。由于两个基极端子都通过开关314A和314B短接至相应的发射极/集电极端子,本体二极管312A和312B在功能上均被旁路。

[0071] 6) 最后,在最佳时间(例如,对于1200V的器件来说,该最佳时间例如可以是名义上 $2\mu\text{s}$),可以进行完全关闭,如在例如图3F中看到的。完全关闭可以通过打开开关314B,从而将基极端子B2从对应的端子T2断开来开始。这致使在低P-N二极管结312B进入反向偏压时由低P-N二极管结312B形成耗尽区。任何剩余电荷载流子重组或被收集在上基极处。器件停止导电并阻挡正向电压。

[0072] 当进行适当修改时,步骤1至6的过程可以用来在相反方向上操作器件。步骤1至6还可以被修改以操作PNP BTRAN(例如,通过将所有相关极性反向)。

[0073] 在两个面上具有深发射极的BTRAN

[0074] 图4A示出了根据本发明的外延基极BTRAN(其电路符号可以在图5A中看到)的另一个示例实施方式。相比之下,图4B示出了传统的外延基极双极晶体管(其电路符号可以在图5B中看到)。这两个器件在结构上显著不同,甚至超过了在BTRAN的底表面上存在的第二基

极触点区。

[0075] 在图6的示例实施方式中,基极触点区636并没有连接相邻的重掺杂N⁺发射区/集电区604,并且横跨发射区/集电区604和基极602之间的近似反向偏压的集电极-基极结施加相对高的反向偏压。反向偏压的集电极-基极结的耗尽区将会电隔离下部基极触点区636与基极602的其余部分。

[0076] 可以例如通过如下参数的组合来实现该条件,即当横跨相关的反向偏压基极-集电极结存在足够高的反向电压时器件一侧的基极触点区域636与基极602的其余部分被电隔离。

[0077] 1) 具有足够的轻掺杂基区。该要求容易满足,这是因为基区的掺杂浓度有助于确定基极-集电极结的击穿电压,并且因为N⁺发射区/集电是更重地掺杂的(如在例如图4A中看到的)。

[0078] 2) 使N⁺区比P⁺基极触点区更深入地延伸,从而使得反向偏压基极-集电极结的耗尽横跨基极触点区下面的整个区域扩展。该条件可以例如通过在N⁺掺杂物质引入之后足够长地引入P⁺掺杂物质来满足,或者通过使用比N⁺掺杂物质更缓慢地扩散的P⁺掺杂物质来满足,或者通过上述两种技术的组合来实现。

[0079] 3) 利用电解槽几何形状,其中反向偏压基极-集电极结的耗尽区将所有相关的基极触点区隔离。该要求在传统的外延基极NPN晶体管中没有得到满足,在图7A中可以看到该传统的外延基极NPN晶体管。为了得到最大的电流密度,在图7A的器件中在每个发射区两侧都将存在基极触点区。然而,图7B的示例性BTRAN具有位于N⁺发射区中的开口,在该开口中形成P⁺基极触点区。重掺杂N⁺发射区利用能够形成所需的耗尽区的结包围每个P⁺基极触点区,如例如在图8A-8D中看到的。

[0080] 在图8A中,横跨端子B2和E2/C2存在低的反向偏压。围绕每个反向偏压的N⁺区804已经形成分开的耗尽区。随着反向偏压的增加,耗尽区开始融合,如例如在图8B中看到的。随着反向偏压的继续增加,耗尽区加宽,如例如在图8C中看到的。在图8D中,发射极/集电极端子E2/C2和基极端子B2之间的反向偏压电压已经继续增加,直到其接近击穿电压。

[0081] 沟道隔离

[0082] 注意,图13A示出了在每个表面上都填充有氧化物的沟道,该沟道将发射区(用于NPN的N⁺)与相邻的基极触点区横向分离。在如下章节中将进一步描述该结构及其优点。

[0083] 隧道氧化物

[0084] 由于高电平非平衡载流子密度,在NPN BTRAN中,通常期望使从发射极到基极的电子注射最大化,而从基极到发射极的空穴注射最小化。在一些示例实施方式中,从发射极到基极的高电子注射和从基极到发射极的低空穴注射能够使用隧道氧化物实现,隧道氧化物可以例如近似10Å(1nm)。电子通常将比空穴具有更多的可能性以隧道方式贯穿薄隧道氧化物。

[0085] 在一个示例实施方式中,这可以通过在发射区和发射极触点之间设置薄层隧道氧化物来实现。在图13A所示的示例实施方式中,在N⁺发射区1304和多晶硅1322之间存在薄层隧道氧化物1324。多晶硅层1322又接触发射极金属化部1326。除了将金属化部1326和多晶硅1322与基极多晶硅层1332和金属化部1334分离之外,氧化物138还填充沟道1330。沟道1330中的氧化物1328进一步使得发射区1304和其他相邻的基极触点区1336之间的不需要

的同侧载流子重组最小化。

[0086] 在图13B所示的示例实施方式中,N+发射区1304B显著小于例如图13A的示例实施方式中的N+发射区。这与隧道氧化层1324相组合能够减少发射区1304中的不期望的空穴注射和重组的机会。

[0087] 还可以完全不存在N+发射区,如在图13C的示例实施方式中一样。多晶硅区1322B可以转而用作发射极,并且通过基区102A和发射极1322B之间的隧道氧化层124而防止受到不期望的空穴注射和重组。(当然,将理解的是,图13B-13C的示例实施方式仅仅示出了每个器件的一侧,一般来说,所述器件在两个表面上都相同的制造)。

[0088] 由于金属触点处的重组,主要是由于发射极触点上的重组,表面重组速率可能会成为问题,表面重组速率可能是高电电平状态电流增益中的因素。在一些示例实施方式中,可以使用隧道氧化物通过阻挡空穴到达发射极触点来几乎消除NPN BTRAN中的这种重组。在图14A的示例实施方式中,隧道氧化物布置在发射区1404和基极102A之间。如在图13A中一样,填充氧化物的沟道1330布置在N+发射区1404和P+基极触点区1336之间。由于N+发射区1404布置在隧道氧化物1424A上面,所以N+区1404可以为例如多晶硅,而不是形成非多晶硅基板的一部分。

[0089] 在图14B所示的示例实施方式中,隧道氧化物1424B沿着多晶硅N+发射区1404的边缘继续到器件的表面。在没有例如图14A的填充氧化物的沟道的情况下,P+基极触点区1436从发射区1404偏移,以便不接触N+发射区1404周围的隧道氧化物1424B。这种分离通过使基极触点区1436和发射区1404之间的不期望的直接电接触最小化而实现类似于图14A的填充氧化物的沟道的作用。这能够帮助使发射区和基极触点区之间的不需要的同侧载流子流动和重组最小化。

[0090] 然而,图14B的示例实施方式相比于图14A的示例实施方式不太优选。在图14A的示例实施方式中,具有侧壁1330的结构可能更紧凑,并且隧道氧化物1424A仅位于N+区1404的底部上。在图14B的示例实施方式中,N+区1404和P+区1436之间的必要分离增加了单元尺寸。隧道氧化物1424B也必须形成在比图14A中的表面面积更大的表面面积上,从而增加了制造复杂性。

[0091] 具有异质结发射极的器件

[0092] 在其他示例实施方式中,可以利用异质结发射区实现电子空穴识别。在图15的示例实施方式中,发射区1504可以为例如位于晶体基板上的非晶硅。由于相比于用于多晶硅的1.1V的带隙,非晶硅具有1.4V的带隙,从发射极1504注射到基极102A的电子相对高能,因此与从基极102A到发射极1504的空穴相比,更多的电子被从发射极1504注射到基极102A。

[0093] 基极驱动

[0094] 根据本发明的基极驱动电路优选应用于BTRAN的两个基极端子中的每个端子,以允许如这里描述的那样进行操作。在一个示例实施方式中,示例BTRAN基极驱动电路优选允许BTRAN作为二极管来开启;在初始开启之后过渡到非常低的正向电压饱和模式;向回过渡到不再饱和但是仍然导通状态;在关闭之前实现存储电荷减少以降低尾流;以及随后实现完全关闭和阻挡正向电压。

[0095] 在一个示例NPN实施方式中,类似于图9的基极驱动电路可以应用于基极B1和基极B2二者,并且可以例如按照如下方式操作。

[0096] a. 打开基极B1:基极端子B1自由浮动,并且阻止来自相对端子T2的负电压。预期的浮动基极电压可以例如在0.7V到小于20V的范围内。在该状态下,将相对基极端子B2短接到相应的相对端子T2。在图9的示例实施方式中,可以通过将MOSFET开关S1和S2关闭而保留基极B1浮动。

[0097] b. 短接至端子T1的基极B1:例如通过将开关S1断开并将开关S1接通而将基极端子B1短接至相应的端子T1。相对的基极端子B2打开,并且阻挡来自相对端子T2的正电压。另选的是,基极驱动可以处于该状态下,同时BTRAN在相反端子T2为负时以正向偏压二极管模式导电。在该稍后状态下,对于硅二极管来说,名义正向电压降 V_f 可以例如在1V和3V之间。

[0098] c. 连接至正偏压的基极B1:例如通过将开关S1接通而将开关S2断开而将基极端子B1连接至正电荷源。在该状态下,相对的基极B2打开,同时BTRAN在正向偏压饱和NPN双极晶体管模式中导电。名义正向电压降可以例如为近似0.2V。在连接之后大电流立即从正偏压流到基极B1。随后的电流流动较低。

[0099] d. 步骤(c)之后紧接着例如通过将开关S1打开而将开关S2闭合,同时相对的基极端子B2打开将基极端子B1连接至相应的端子T1。大电流主要从基极端子B1流动到端子T1。这将漂移区中的电荷载流子快速耗尽。该器件从饱和脱离并返回到正向偏压二极管模式。

[0100] e. 步骤(d)之后紧接着例如通过将开关S1断开并将开关S2接通而将基极端子B1连接至相应的端子T1,并且通过类似机构将相对的基极端子B2短接至相应的相反端子T2。小电流从相应的端子T1流到基极端子B1,并且电荷载流子被从漂移区清除,从而增加正向电压降 V_f 。

[0101] f. 步骤(e)之后紧接着例如通过将开关S1和S2断开而将基极端子B1打开,同时相对的基极端子B2保持短接至相应的相对端子T2。当基极端子B1和相应的端子T1之间的PN结变成反向偏压时,BTRAN断开。

[0102] 在一个示例实施方式中,开关S2可以为例如GaN MOSFET。由于开关S1在两个方向上都传导或阻挡电压,并且最大正电压开关S2看到的是+1.5V,因此对于开关S2来说GaN MOSFET可能是优选的,这是因为GaN MOSFET的本体二极管不会以1.5V或以下的电压传导电流。

[0103] 图10示出了在针对类似于图11的PNP示例实施方式修改的根据本发明的过程(例如,类似于以上的步骤(a)至(f)的过程)期间一些示例电流和电压的曲线图。

[0104] 图11示出了PNP BTRAN基极驱动电路的一个示例实施方式,该基极驱动电路能够包括用于基极-发射极短接的公共源MOSFET对。与相应的电容器C1和C2并联地包括隔离的电源P1和P2。在一个示例实施方式中,隔离的电源P1相对于发射极E1可以例如为-0.7V,而隔离的电源P2相对于发射极E2可以例如为-0.7V。

[0105] 公共源MOSFET对(Q11,Q21)和(Q22,Q12)优选用于相应的发射极-基极对(E1,B1)和(E2,B2)之间的基极-发射极短接。

[0106] JFET Q31和Q32优选用于启动以增加阻断电压,然后优选在转换器运行的同时断开。

[0107] MOSFET Q41和Q42优选在器件启动之后使用以减小正向电压降 V_f 。

[0108] 图12示出了用于NPN BTRAN 1210的基极驱动电路的当前优选的示例实施方式。示出了两个公共地。公共地1222将发射极/集电极端子T1和驱动基极B1的基极驱动电路108A

连接在一起。公共地1220将发射极/集电极端子T2和驱动基极B2的基极驱动电路108B连接在一起。

[0109] 在一个示例实施方式中,该基极驱动电路可以以三个模式中的一种模式驱动基极端子B2。在被动断开模式中,基极端子B2108B优选被钳位(例如通过肖特基二极管D₂₂)成相对于发射极106B不高于例如大约0.3V,并且被允许电压低于发射极106B的电压。在被动断开模式中,只有常通的JFET S₅₂是接通的。这可以允许基极B2108B浮动,如例如在图3F中一样。

[0110] 在基极-发射极短接模式中,只有MOSFET开关S₄₂和S₃₂接通,由此将基极B2108B短接到发射极T2106B。在一个示例实施方式中,这可以允许BTRAN在主动断开模式中或在二极管模式中操作。

[0111] 当器件处于主动接通模式中时,用于NPN BTRAN的注射模式将电流注射到相应的基极端子中。这能够将BTRAN的正向电压降降低到小于二极管压降(例如0.7V)。在一些示例实施方式中,该步骤能够将正向电压降V_f降低到例如0.1至0.2V。开关S₄₂接通,而开关S₃₂和S₅₂断开。MOSFET开关S₁₂和S₂₂被控制接通和断开以在开关模式电源配置中向基极端子B2产生适当电流。电流摆动可以通过电感器L₁来控制,并且可以通过电阻器R₁来感测电流。适当的控制系统(未示出)控制开关、电感器和电阻,以便控制基极电流,以由此产生低正向电压降V_f。

[0112] 制造

[0113] 在一个示例实施方式中,可以有利地使用氢化非晶硅(a-Si:H)或氢化非晶碳化硅(a-SiC:H)的沉积来制造具有如这里描述的异质结发射极的BTRAN。可以喷溅该材料,但是优选使用化学气相沉积(CVD)或等离子增强CVD来沉积该材料。因为这些材料由于高温处理而发生改变,因此需要在高温处理步骤已经完成之后沉积发射极材料。

[0114] 在一个示例实施方式中,可以在如这里描述的基区和发射区之间制造隧道氧化物。可以将基区的裸露表面足够长地暴露于氧化环境,以生长薄电介质层,该电介质层主要例如是二氧化硅。在一个示例实施方式中,该薄的隧道氧化物层例如可以在10Å至30Å的范围内。在这种氧化步骤之后,可以例如使用第一化学气相沉积(LPCVD)沉积一层非晶硅或多晶硅。在一些示例实施方式中,可以在该步骤之后引入诸如砷之类的掺杂剂,以对多晶硅进行掺杂。

[0115] 本发明人已经意识到,可以使得物理和电气性能在BTRAN半导体晶元的两侧近似同等。所有掺杂物质均被引入晶片的每侧,然后优选执行长的单个高温扩散步骤。

[0116] 在一个示例实施方式中,该长的高温扩散步骤可以例如以1100至1150℃的温度进行。长的高温扩散过程可以最优选地与下面描述的两操作晶片过程结合使用,但是也可以与该两操作晶片处理独立地使用。

[0117] 制造根据本发明的BTRAN的当前优选的处理步骤包括掩膜操作、热氧化、蚀刻、杂质引入、化学气相沉积(CVD)和物理气相沉积(PVD)。

[0118] 根据本发明的示例制造序列最优选地既包括高温处理晶片结合步骤和中间温度操作晶片结合步骤。这两个操作晶片优选在制造序列中的不同点处并且优选在不同的温度范围内附装至同一晶片的不同侧。

[0119] 在本发明的创新过程的上下文中,“高温”可以例如指高于铝或铝合金的合金/退

火温度的任意温度。在一个示例实施方式中，“高温”可以例如指代高于近似450℃的任意温度。

[0120] 在本发明的创新过程的上下文中，“中间温度”可以例如指铝或铝合金的合金温度和焊料的融化温度之间的任意温度(包含该合金温度和融化温度)。在一个示例实施方式中，“中间温度”可以例如指代在近似240℃和近似450℃之间的任意温度(包括该450℃和240℃)。

[0121] 在本发明的创新过程的上下文中，“低温”可以例如指近似室温和焊料的融化温度之间的任意温度。在一个示例实施方式中，“低温”可以例如指代近似25℃和240℃之间的任意温度。

[0122] 在一个示例实施方式中,根据本发明的创新过程的BTRAN制造序列可以例如按照如下方式进行:

[0123] 步骤1至步骤M:在晶片的一侧上执行所有高温步骤,诸如热氧化、一些化学气相沉积(CVD)操作和高温退火,直到触点掩膜步骤。这正好在高温、相对长的扩散步骤之前停止,该相对长的扩散步骤被设计成将杂质扩散到晶片两侧上的期望的结深度。

[0124] 步骤M+1:将保护层(例如,CVD二氧化硅)或保护层的三明治结构(例如,CVD二氧化硅、CVD碳化硅和CVD二氧化硅)沉积在器件晶片的第一侧上。所述保护层能够防止第一侧发生不需要的改变。该保护层也可以用作阻止点,该阻止点用于稍后用来从第一侧移除材料的薄化操作。可以执行化学机械平坦化(CMP)以将沉积的保护层(或沉积的保护层的三明治结构)的顶表面平坦化。例如在图16A中可以看到此时器件的一个示例。

[0125] 步骤M+2:在高温下将操作晶片1附装至器件晶片的第一侧。可以使用任何可接收的高温材料用于操作晶片1,例如硅、二氧化硅、碳化硅或蓝宝石。操作晶片1必须结合至器件晶片的第一侧。如果使用硅作为操作晶片,则在高温下将硅操作晶片的表面直接结合至保护层或保护层的三明治结构的顶部,如图16B所示。

[0126] 步骤M+3:从与第一侧相反的第二侧,将器件晶片薄化至期望厚度。这可以例如通过磨削、研磨和抛光的组合来进行。

[0127] 步骤M+4至步骤N:在器件晶片的第二侧上执行步骤1至M。

[0128] 步骤N+1:执行相对长的高温扩散步骤以在器件晶片的两侧上获得期望的掺杂剂结深度和掺杂剂分布。

[0129] 步骤N+2至步骤P:在器件晶片的第二侧上执行从触点掩膜到钝化层沉积和焊盘蚀刻步骤的步骤。

[0130] 步骤P+1:在中间温度下将操作晶片2附装至器件晶片的第二侧。操作晶片2可以为任何可接收的中间温度材料,诸如石英、玻璃、硅、碳化硅和蓝宝石。在一个示例实施方式中,此时的器件可以类似于在例如图16C中看到的那样。

[0131] 步骤P+2:移除操作晶片1。这可以例如通过磨削、掩膜、化学机械平坦化(CMP)来进行,并且最优选的是继续进行(移除)直到但是不贯穿在例如步骤M+1中沉积的“停止点”层。由于该步骤,器件晶片可以类似于在例如图16D中看到的那样。

[0132] 步骤P+3:移除停止层(例如,通过蚀刻或化学机械平坦化(CMP))。

[0133] 步骤P+4至步骤Q:在器件晶片的第一侧上执行触点掩膜到钝化沉积和焊盘蚀刻步骤。此时,已经对晶片完成了传统的晶片处理。

[0134] 步骤Q+1:什么都不做,将带施加至晶片的一侧,或者将晶片安装在基板上。

[0135] 步骤Q+2:从器件晶片的第二侧移除操作晶片2,从而得到类似于例如图16E的结构。

[0136] 步骤Q+3至结束:对器件的一侧或两侧进行电镀。通过切割(芯片分离)和测试(如果适当的话)继续进行最终处理。

[0137] 在一个示例实施方式中,在将操作晶片2从器件晶片的第二侧移除之前,可以对器件的第一侧进行电镀。

[0138] 在一个示例实施方式中,可以利用双侧抛光开始晶片开始对BTRAN的制造。在高温结合步骤之后,可以利用对准算法将对准标记放置在结合的晶片堆叠的两个暴露表面上。在另一个示例实施方式中,前表面与后表面的对准可以例如通过红外线对准来实现,这使得在对准过程中可以通过晶片“看到”一个晶片表面上的特征。在又一个示例实施方式中,前后对准可以通过机械装置来实现,例如通过在第二表面上存在掩膜的同时对准到晶片的第一表面来实现。这些前后对准技术中的每一种技术都具有优点和缺点,包括相关的设备成本。

[0139] 在一个示例BTRAN制造实施方式中,BTRAN的双侧电镀可以在每个表面上使用同一金属和焊盘图案。然后可以利用图案层进行到每个表面上的期望区域的连接。在一个示例实施方式中,可以利用例如陶瓷上的图案金属化部进行到底表面的接触,并且利用例如图案化铜引线框架进行到顶表面的接触。在两个表面上使用同一焊盘掩膜的能力能够极大地简化制造。

[0140] 在一个示例实施方式中,优选通过一层焊料实现到晶片的底部和顶部二者的连接。焊料通常被沉积在也已经被电镀并且在晶片的每个表面上都存在的图案区域上。

[0141] 然而,从制造角度来看,使用焊料将BTRAN晶片的底部附装至金属化陶瓷并且在晶片的顶部上将大直径引线结合至所述金属化区域也可能是有利的。

[0142] 然而,一个复杂化因素是电镀材料例如镍的较大区域具有残余应力,残余应力会使薄片断裂或以其他方式损坏薄片。

[0143] 本申请尤其教导了可以在BTRAN的顶表面和低表面二者上使用同一金属和焊盘掩膜,并满足如下条件:

[0144] 1) 在晶片的顶表面上有足够的适当尺寸的结合焊盘,以容纳所需的必要数量的大直径引线结合。

[0145] 2) 在晶片的底表面上有足够的电镀区域,以允许形成低电阻触点。

[0146] 3) 开放电镀区的图案不会导致大到足以损坏晶片的应力。

[0147] 因而,提出了用于BTRAN制造的焊盘掩膜,该焊盘掩膜具有既适合于引线结合又适合于电镀层的开放区(一般相对较大)和能够电镀但是通常不能结合的较小的开放区的混合。

[0148] 根据本发明的用于BTRAN制造的焊盘掩膜的一个示例实施方式可以在例如图17中看到。在图17中,大结合焊盘1740能够例如用于电镀或引线结合。在一个示例实施方式中,大结合焊盘1740可以例如为80mil乘以30mil,并且可以间隔开例如12mil。小结合焊盘1738可以填充在没有被大结合焊盘1740占据的周围区域中,并且可以用来例如电镀。在一个示例实施方式中,左侧芯片区域1742中的大结合焊盘1740可从右侧芯片区域17中的大结合焊

盘1740偏移以适应所有焊盘上的大直径引线。

[0149] 图18A-18B示出了根据本发明的BTRAN制造的另一个示例实施方式。在图18A中,示出了叠置在示例金属化部上的示例BTRAN焊盘掩膜,而在图18B中,仅示出了该示例掩膜焊盘。

[0150] 诸如BTRAN之类的高电压半导体器件的边缘终端结构的设计对于其长期操作来说至关重要。被设计在给定一组条件下操作的终端结构在终端结构的表面处或表面附近存在不需要的正电荷或负电荷的情况下在电压操作能力方面会表现出极大降低。在终端结构中存在正电荷或负电荷的情况下击穿电压会发生相当大的下降(如在T.trajkovic等人的“The Effect of Static and Dynamic Parasitic Charge in the Termination Area of High Voltage Devices and Possible Solutions(高电压器件的终端区域中的静态和动态寄生电荷的影响及可能的解决方案)”中所证明的,通过参考将该文献结合在本文中)。

[0151] 本发明的创新的BTRAN制造方法也(特别)教导了使用新颖和创新的结构来防止器件的击穿电压由于在终端区域中存在电荷而降低。如例如在图19中看到的,这种创新结构的一个示例实施方式可以由含有一个或多个n型区的P+区构成。

[0152] 这种两个掺杂区的组合(一个位于另一个内)类似于DMOS晶体管的本体和源极,或者类似于双极晶体管的基极和发射极。

[0153] 在一个示例实施方式中,根据本发明的BTRAN终端结构可以通过使用两个掩膜(每个掩膜用于一个类型的掺杂剂)来制造。在另一个示例实施方式中,根据本发明的BTRAN终端结构可以通过使用单个掩膜(其中两种类型的掺杂剂都通过同一个开口引入)来制造。在这些情况中每种情况下,都可以将所需要的开口添加至预先存在的掩膜层,且利用现有的掺杂剂引入和扩散步骤获得最终的掺杂剂分布。

[0154] 在一些示例实施方式中,本发明的创新的双向器件可以具有在器件的前部和后部之间不对称的焊盘金属化部,如例如在图20A中一样。图20B示出了示出了偏移接触焊盘如何通过显著地减小晶片中的任意点与具有低热阻的区域之间的距离来显著地提高热消散。在一个示例实施方式中,每侧上的接触焊盘例如可以间隔开1270 μm (在x方向上),并且晶片可以例如100至200 μm 厚(在z方向上)。在一个示例实施方式中,晶片每测上的接触焊盘可以向具有低热阻的区域偏移最小距离。图20C至20D示出了焊盘金属化部分的另选实施方式。

[0155] 优点

[0156] 在各种实施方式中所公开的创新提供了至少如下优点中的一个或多个优点。然而,并不是从所公开的每一个创新都能获得全部这些优点,并且该优点列表并不限制所要求保护的各种发明。

- [0157] • 导通状态电压降低于二极管压降
- [0158] • 以在任一方向上都相同的电气特征实现双向操作。
- [0159] • 提供完全平坦的平面器件。
- [0160] • 双向双极晶体管在高非平衡载流子浓度条件下操作。
- [0161] • 耐高电压。
- [0162] • 高耐用性。
- [0163] • 创新制造技术使得能够进行双侧双向器件制造。
- [0164] • 在每个方向上都低于二极管压降地进行完全双向传导。

[0165] • 能够在功率分组开关功率转换器中进行完全双向开关。

[0166] • 无需双扩散基极。

[0167] 根据一些但是并不一定是全部的实施方式,提供了使用双向双极晶体管(BTRAN)进行开关的用于功率分组开关功率转换器的方法、系统、电路和器件。四个端子的三层BTRAN在任一方向上都以小于二极管压降的正向电压提供基本相同的操作。BTRAN是完全对称融合的双基极双向双极相反面对的器件,所述器件在高非平衡载流子浓度条件下操作并且在用作用于功率分组开关功率转换器的双向开关时能够具有令人惊奇的协同效应。BTRAN被驱动到高载流子浓度状态,从而使得导通状态电压降非常低。

[0168] 根据一些但是并不一定是全部的实施方式,提供了一种功率分组开关功率转换器,包括:多个相支脚,所述多个相支脚均包括两个双向开关,所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧,每个所述双向开关都包括:位于第二导电型半导体基质的相对面上的第一和第二第一导电型发射区;和分别接近所述第一和第二发射区的第一和第二导电型基极触点区;控制电路,该控制电路反复地:接通所述双向开关中的所选的一个或两个双向开关以将能量从一个或多个输入线路驱动到所述电感器,然后将全部所述开关断开以断开所述电感器,并且然后接通所述双向开关中的所选的一个或两个双向开关以将能量从所述电感器驱动到一个或两个输出线路;以及驱动电路,该驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时驱动该开关的基极触点区,以将相关的发射极-基极结正向偏压,并允许多数载流子流到位于相对表面上的另一个发射区;其中所述驱动电路向所选的基极触点区施加足够的电流以在所述半导体基质的内部产生非平衡载流子浓度,该载流子浓度比所述半导体基质中的截止状态下平衡多数载流子浓度大三十倍,以由此降低所述开关两端的电压降。

[0169] 根据一些但是并不一定是全部的实施方式,提供了一种功率分组开关功率转换器,包括:多个相支脚,所述多个相支脚均包括两个双向开关,所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧,每个所述双向开关都包括:位于第二导电型半导体基质的相对面上的第一和第二第一导电型发射区;和分别接近所述第一和第二发射区的第一和第二导电型基极触点区;控制电路,该控制电路反复地:接通所述双向开关中的所选的一个或两个双向开关以将能量从一个或多个输入线路驱动到所述电感器,然后将全部所述开关断开以断开所述电感器,并且然后接通所述双向开关中的所选的一个或两个双向开关以将能量从所述电感器驱动到一个或两个输出线路;以及驱动电路,该驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时驱动该开关的基极触点区,以将相关的发射极-基极结正向偏压,并允许多数载流子流到位于相对表面上的另一个发射区;其中所述驱动电路向所选的基极触点区施加足够的电流,以将贝塔向下驱动到小于其小信号值的四分之一。

[0170] 根据一些但是并不一定是全部的实施方式,提供了一种功率分组开关功率转换器,包括:多个相支脚,所述多个相支脚均包括两个双向开关,所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧,每个所述双向开关都包括:位于第二导电型半导体基质的相对面上的第一和第二第一导电型发射区;和分别接近所述第一和第二发射区的第一和第二导电型基极触点区;控制电路,该控制电路反复地:接通所述双向开关中的所选的一个或两个双向开关以将能量从一个或多个输入线路驱动到所述电感器,

然后将全部所述开关断开以断开所述电感器,并且然后接通所述双向开关中的所选的一个或两个双向开关以将能量从所述电感器驱动到一个或两个输出线路;以及驱动电路,该驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时驱动该开关的基极触点区,以将相关的发射极-基极结正向偏压,并允许多数载流子流到位于相对表面上的另一个发射区;其中所述驱动电路向所选的基极触点区施加足够的电流以在所述半导体基质的内部产生非平衡载流子浓度,该载流子浓度比截止状态下平衡多数载流子浓度大三十倍,以由此将所述开关两端的电压降低到小于二极管压接的一半。

[0171] 根据一些但是并不一定是全部的实施方式,提供了一种功率分组开关功率转换器,包括:多个相支脚,所述多个相支脚均包括两个双向开关,所述双向开关能够将相应的外部线路连接至与电容器并联的链结电感器的任一侧,每个所述双向开关都包括:位于第二导电型半导体基质的相对面上的第一导电型发射区;和接近相应的发射区的第二导电型基极触点区;控制电路,该控制电路接通所述双向开关中的两个双向开关以将能量从一个或多个输入线路驱动到所述电感器,然后将全部所述开关断开以断开所述电感器,并且然后接通所述双向开关中的不同的两个双向开关以将能量从所述电感器驱动到一个或两个输出线路;以及驱动电路,该驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时:通过将该开关的所述基极触点区中的第一基极触点区短接至相应的发射区而开始接通,同时留下该开关的相对面上的基极触点区浮动;驱动所述基极触点区中的所述第一基极触点区,以将相关的发射极-基极结正向偏压,并允许多数载流子流到位于相对表面上的另一个发射区,由此进入饱和模式;将所述基极触点区中的所述第一基极触点区短接至相应的发射区,由此退出饱和模式;通过将所述相对表面上的基极触点区短接至相应的发射区而开始断开;以及通过使所述基极触点区的所述第一基极触点区浮动而完成断开;其中所述驱动电路向所选的基极触点区施加足够的电流以在所述半导体基质中产生非平衡载流子浓度,以由此降低所述开关两端的电压降。

[0172] 根据一些但是并不一定是全部的实施方式,提供了一种双向功率开关电路,包括:位于第二导电型半导体基质的相对面上的第一和第二第一导电型发射区;和分别接近所述第一和第二发射区的第一和第二导电型基极触点区;以及驱动电路,该驱动电路在所述控制电路选择所述双向开关中的一个双向开关进行接通时驱动该开关的基极触点区,以将相关的发射极-基极结正向偏压,并允许多数载流子流到位于相对表面上的另一个发射区;其中所述驱动电路向所选的基极触点区施加足够的电流以在所述半导体基质的内部产生非平衡载流子浓度,该载流子浓度比截止状态下平衡多数载流子浓度大三十倍,以由此降低所述开关两端的电压降。

[0173] 根据一些但是并不一定是全部的实施方式,提供了一种操作功率分组开关功率转换器的方法,包括:驱动第一阵列的双向开关,以将功率驱动到与电容器并联的链结电感器内;驱动第二阵列的双向开关以将功率从所述电感器抽取到输出线路上;其中每个所述双向开关都包括:位于第二导电型基区的相对面上的第一导电型发射区;和位于所述第二导电型基区的所述相对面上的第二导电型基极触点区;其中驱动每个所述双向开关包括:当期望一个所述双向开关的一个所述面处于被动断开模式中时,将相应的基极触点区的电压钳位至小于或等于相应的发射区电压加上肖特基二极管压降;当期望一个所述双向开关的一个所述面处于主动断开模式中或二极管模式中时,将相应的基极触点区短接至相应的发

射区;以及当期望一个所述双向开关的一个所述面处于主动接通模式中时,将少数电荷载流子注射到相应的基极触点区内。

[0174] 根据一些但是并不一定是全部的实施方式,提供了一种半导体器件,包括:位于第二导电型半导体基质的相对面上的第一导电型发射区;位于所述第二导电型半导体基质的所述相对面上的第二导电型基极触点区;其中所述第一导电型发射区和所述第二导电型半导体基质在它们之间形成异质结;驱动电路,该驱动电路向所选的基极触点区施加足够的电流以在所述半导体基质的内部产生非平衡载流子浓度,该载流子浓度比截止状态下平衡多数载流子浓度大三十倍,以由此降低电压降。

[0175] 根据一些但是并不一定是全部的实施方式,提供了一种半导体器件,包括:位于第二导电型半导体基质的相对面上的第一导电型发射区;位于所述第二导电型半导体基质的所述相对面上的第二导电型基极触点区;位于每个所述第一导电型发射区和所述第二导电型半导体基质之间的薄层隧道氧化物,该薄层隧道氧化物形成了空穴和电子之间的区别;驱动电路,该驱动电路向所选的基极触点区施加足够的电流以在所述半导体基质的内部产生非平衡载流子浓度,该载流子浓度比截止状态下平衡多数载流子浓度大三十倍,以由此降低电压降。

[0176] 根据一些但是并不一定是全部的实施方式,提供了一种半导体器件,包括:位于第二导电型半导体基质的相对面上的第一导电型发射区;位于所述第二导电型半导体基质的所述相对面上的第二导电型基极触点区;位于每个所述第一导电型发射区和相应的发射极金属化部之间的薄层隧道氧化物,该薄层隧道氧化物形成了空穴和电子之间的区别;驱动电路,该驱动电路向所选的基极触点区施加足够的电流以在所述半导体基质的内部产生非平衡载流子浓度,该载流子浓度比截止状态下平衡多数载流子浓度大三十倍,以由此降低电压降。

[0177] 修改和变型

[0178] 如本领域技术人员将认识到的,可以在巨大的应用范围上对在本申请中描述的创新构思进行修改和改变,因而授予专利的主题内容的范围并不受到这里给出的任何具体示例性教导的限制。目的是包括落入所附权利要求的精神和宽广范围内的所有这种替换、修改和变型。

[0179] 在一些实施方式中,氧化物沟道1330可以存在于源极区和相邻的基极触点区之间。在其他实施方式中,这可以是不同的。

[0180] 在一些异质结的实施方式中,发射区/集电区可以是位于晶体硅基板上的非晶硅。在其他实施方式中,异质结可以不同地形成。

[0181] 在当前最优选的实施方式中,基极触点区比基极的大部分更重地掺杂。然而,在其他实施方式中,这可以是不同的。

[0182] 在一些异质结的示例实施方式中,异质结可以由例如非晶硅和晶体硅之间的结来提供。在其他实施方式中,异质结例如可以由不同材料来提供。在另外其他实施方式中,异质结可以例如由位于例如晶体硅和不同的晶体半导体之间的晶体-晶体结提供,只要例如所得到的结电位足够尖锐以增加注射效率即可。

[0183] 在一个构想的另选实施方式中,较小的发射极金属化部分可以用来减少空穴重组并由此增加注射效率。

[0184] 在异质结BTRAN的一些示例实施方式中,异质结发射区/集电区可以为例如非晶硅。在其他示例实施方式中,异质结发射区/集电区可以为例如多晶硅。在另外其他实施方式中,这可以是不同的。

[0185] 在一些实施方式中,一个基极可以比其他基极更多地驱动。

[0186] 在一些实施方式中,可以与这里描述的创新技术组合地使用或单独使用用于增加高电平非平衡载流子密度的注射效率的其他方法。

[0187] 在一些另选实施方式中,这里描述的创新BTRAN制造技术可以应用于其他双向器件,诸如双向IGBT。

[0188] 在一些另选实施方式中,本发明的创新器件可以有利地应用于不同种类的功率转换器。在一些另选实施方式中,本发明的创新器件可以用于例如矩阵转换器。在其他另选实施方式中,本发明的创新器件可以应用于例如压降调节器,如用于感应电机效率优化和软起动。

[0189] 在一些另选实施方式中,发射区可以是位于沟道中的凹入发射极。在其他另选实施方式中,基极触点区可以是位于沟道中的凹入基极触点区。

[0190] 在一些另选实施方式中,在基极触点区或发射区或二者下面可以存在场整形区。

[0191] 可以在如下公告中发现有助于示出变型和实现方案的附加的一般背景知识: T.Trajkovic等人的“The Effect of Static and Dynamic Parasitic Charge in the Termination Area of High Voltage Devices and Possible Solutions (高电压器件的终端区域中的静态和动态寄生电荷的影响及可能的解决方案)”,所有这些公告都通过参考结合在本文中。

[0192] 在如下美国专利申请中可以发现有助于示出变型和实现方案的附加的一般背景知识以及可以与下面所要求保护的发明协同地实现的一些特征。所有这些申请与本申请具有至少一些共同所有权、共同未决性或发明人,所有这些申请以及直接或间接地结合在这些申请中的任何材料都通过参考而结合在本文中:US 8,406,265、US 8,400,800、US 8,395,910、US 8,391,033、US 8,345,452、US8,300,426、US 8,295,069、US 7,778,045、US 7,599,196、US2012-0279567A1、US2012-0268975A1、US2012-0274138A1、US 2013-0038129A1、US 2012-0051100A1、PCT/US 14/16740、PCT/US 14/26822、PCT/US14/35954、PCT/US14/35960、14/182,243、14/182,236、14/182,245、14/182,246、14/183,403、14/182,249、14/182,250、14/182,251、14/182,256、14/182,268、14/183,259、14/182,265、14/183,415、14/182,280、14/183,422、14/182,252、14/183,245、14/183,274、14/183,289、14/183,309、14/183,335、14/183,371、14/182,270、14/182,277、14/207,039、14/209,885、14/260,120、14/265,300、14/265,312、14/265,315;美国临时申请61/765,098、61/765,099、61/765,100、61/765,102、61/765,104、61/765,107、61/765,110、61/765,112、61/765,114、61/765,116、61/765,118、61/765,119、61/765,122、61/765,123、61/765,126、61/765,129、61/765,131、61/765,132、61/765,137、61/765,139、61/765,144、61/765,146 (都在2013年2月15日提交);61/778,648、61/778,661、61/778,680、61/784,001 (都在2013年3月13日提交);2013年4月22日提交的61/814,993;2013年4月29日提交的61/817,012、61/817,019、61/817,092;2013年6月24日提交的61/838,578;2013年7月1日提交的61/841,618、61/841,621、61/841,624;2013年12月11日提交的61/914,491和61/914,538;2014年1月8日提交的61/924,884;

2014年1月9日提交的61/925,311;2014年1月6日提交的61/928,133;2014年1月17日提交的61/928,644;2014年1月21日提交的61/929,731和61/929,874;2014年1月27日提交的61/931,785;2014年1月28日提交的61/932,422;2014年1月30日提交的61/933,4422014年6月3日提交的62/007,004;以及上述申请的所有优先权申请,通过参考将上述每一个申请都结合在本文中。

[0193] 本申请中的任何描述都不应该被解读为暗示任何具体元件、步骤或功能是在权利要求范围内必须包括的必要元件:专利的主题内容的范围仅由授权的权利要求来限定。而且,没有任何一个权利要求是为了援引35USC第112节的第六段,除非在精确的措辞“用于…的装置”中的用于后面跟随分词。

[0194] 所提交的权利要求旨在尽可能广泛,没有任何主题内容是有意地作罢、贡献出或放弃的。

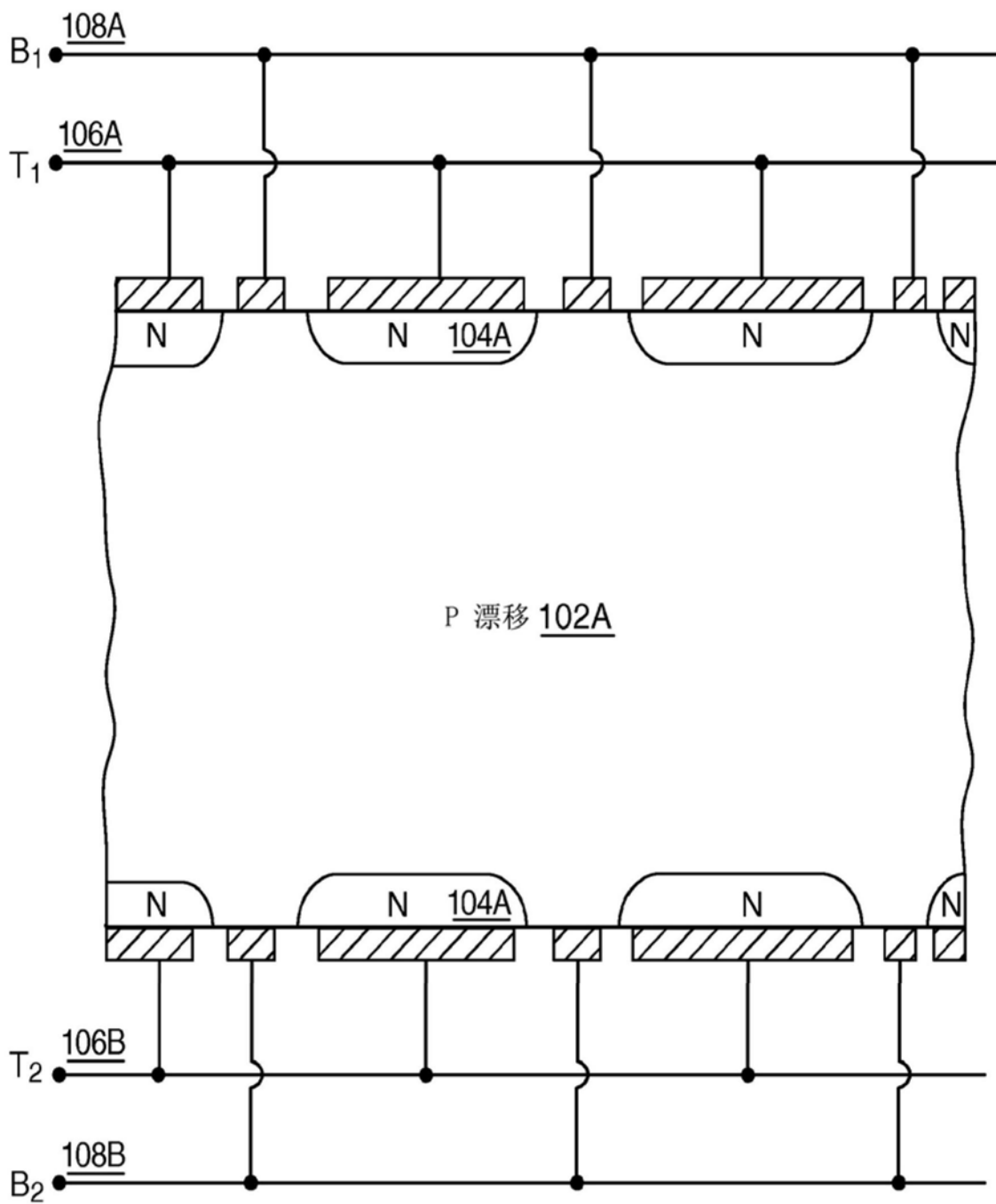


图1A

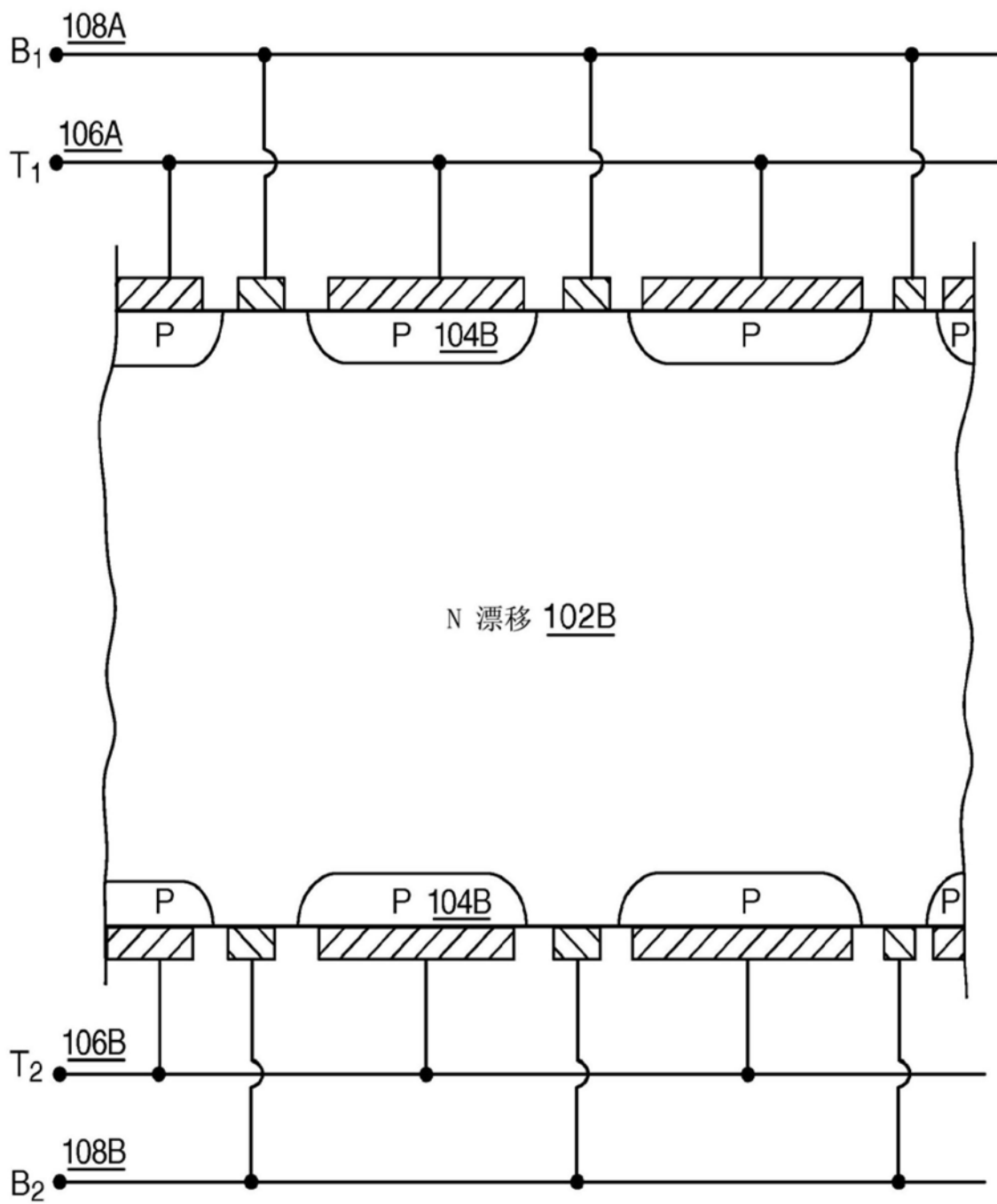


图1B

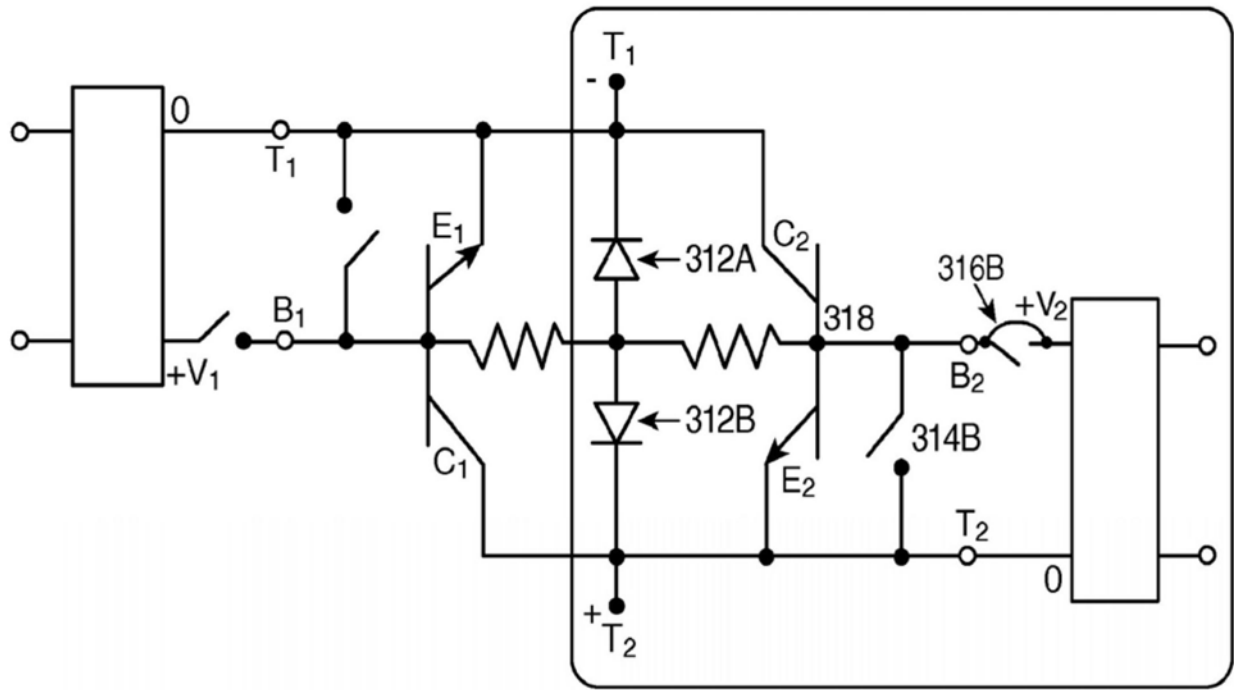


图3D

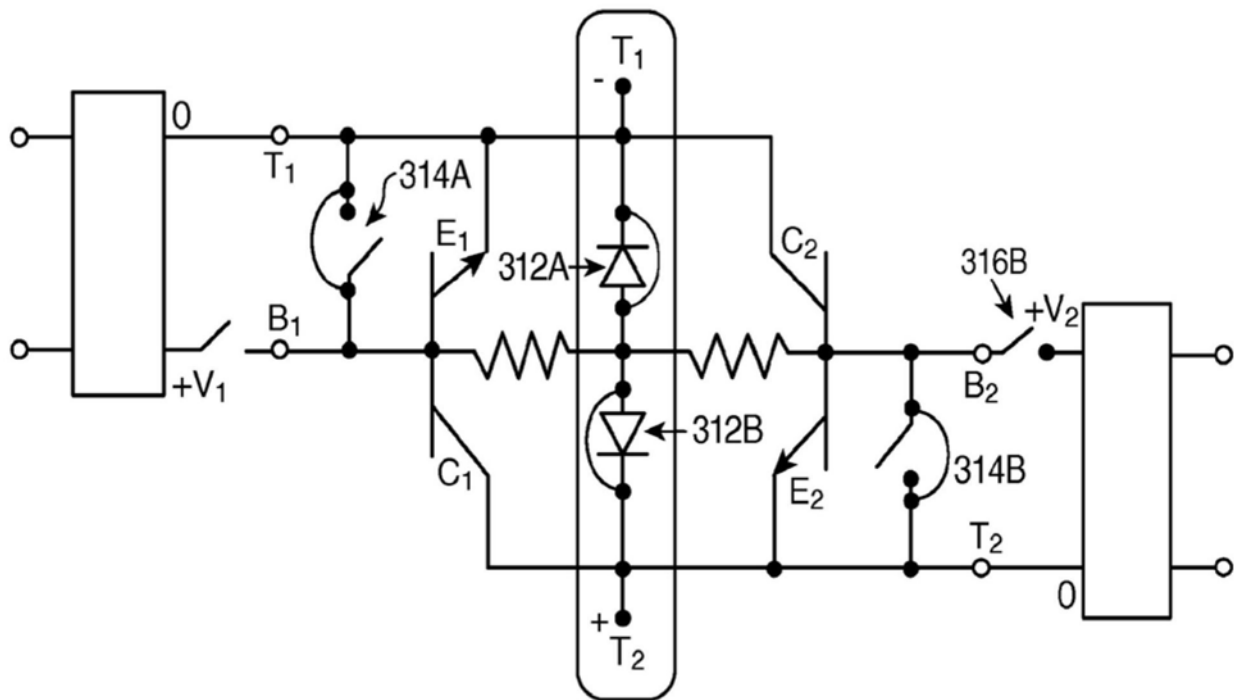


图3E

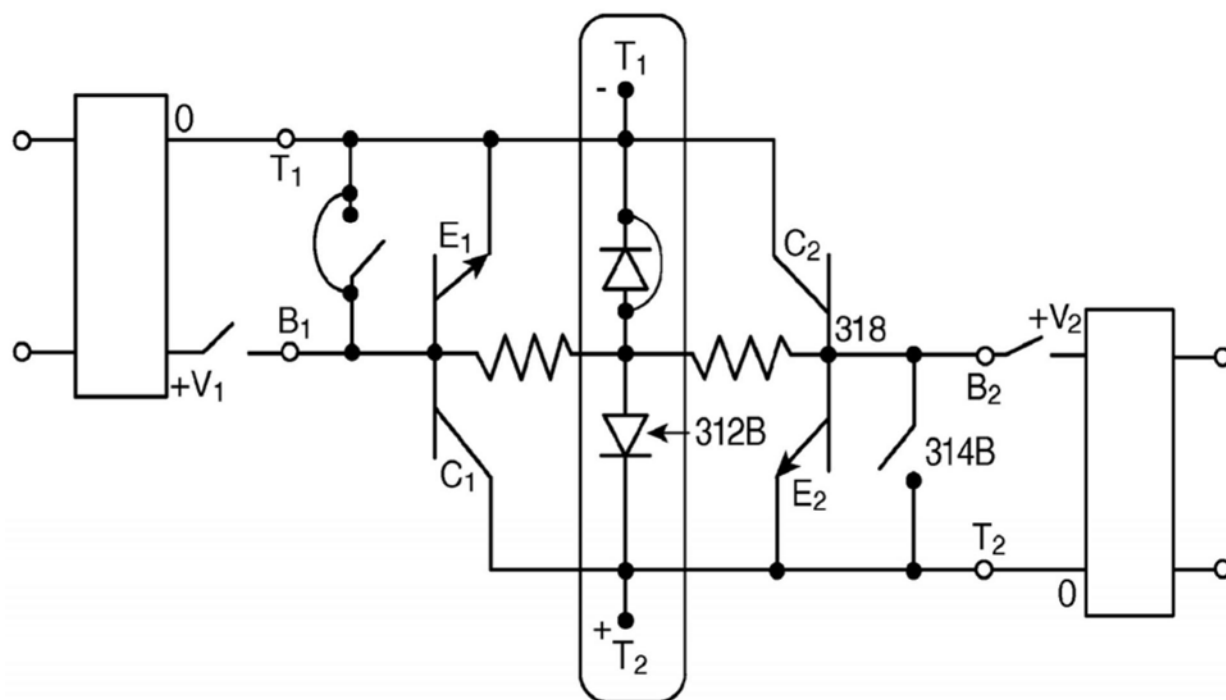


图3F

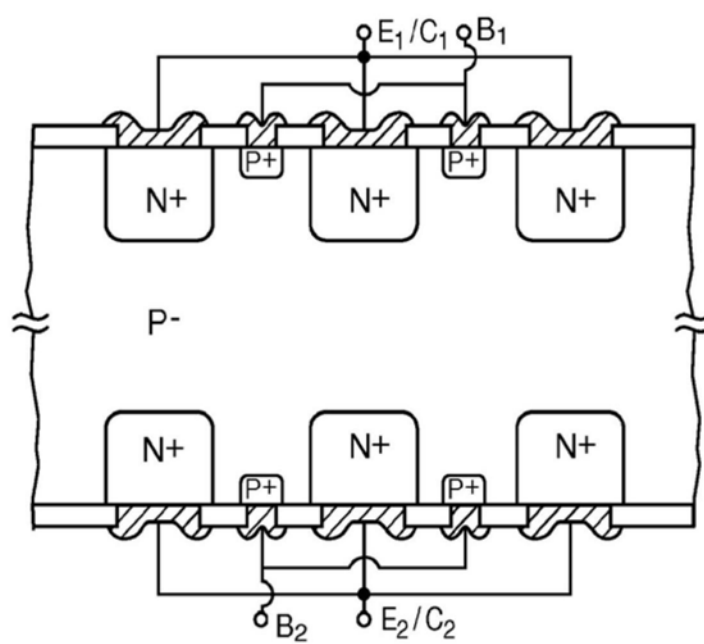


图4A

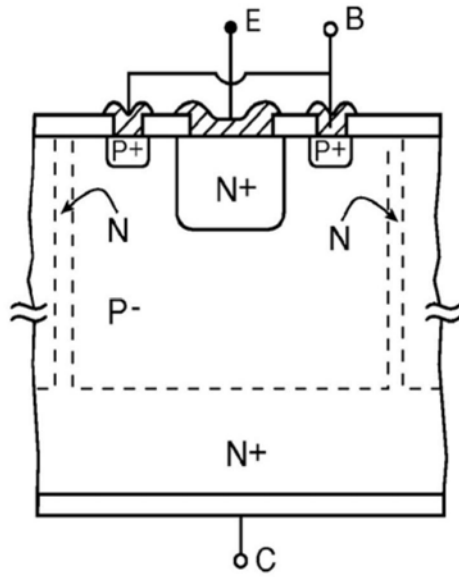


图4B

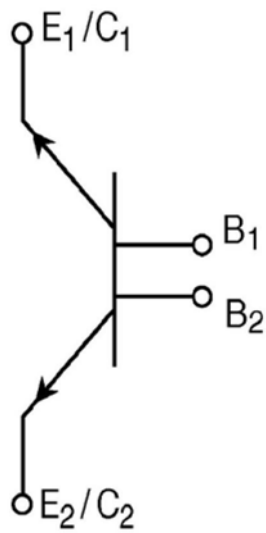


图5A

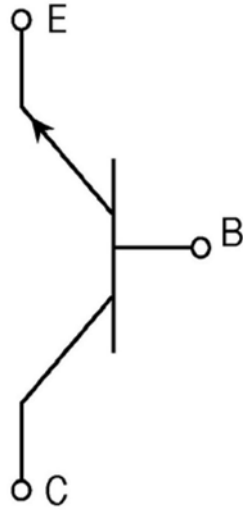


图5B

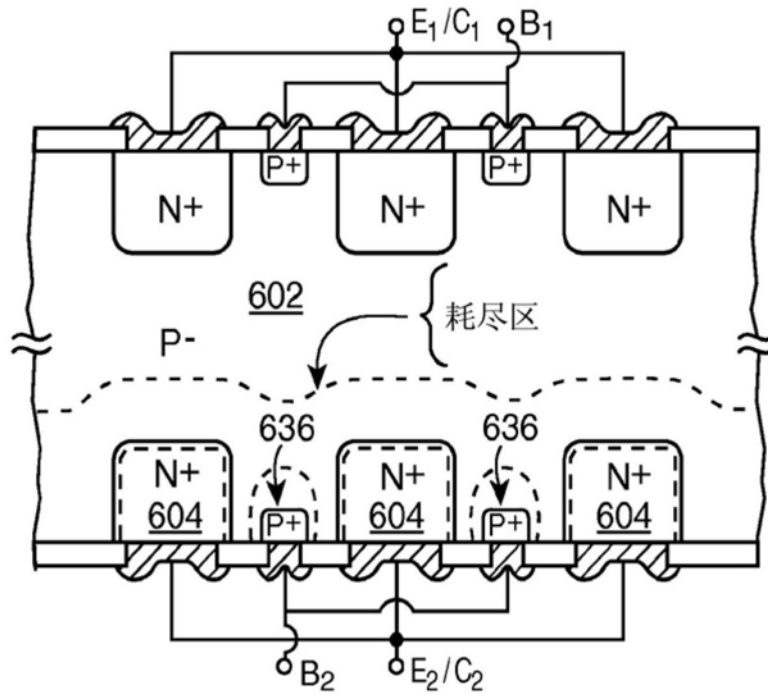


图6

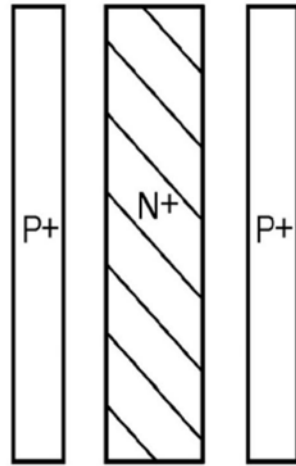


图7A

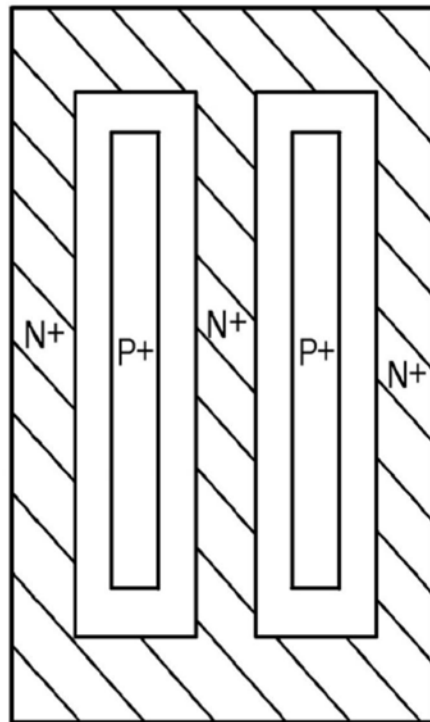


图7B

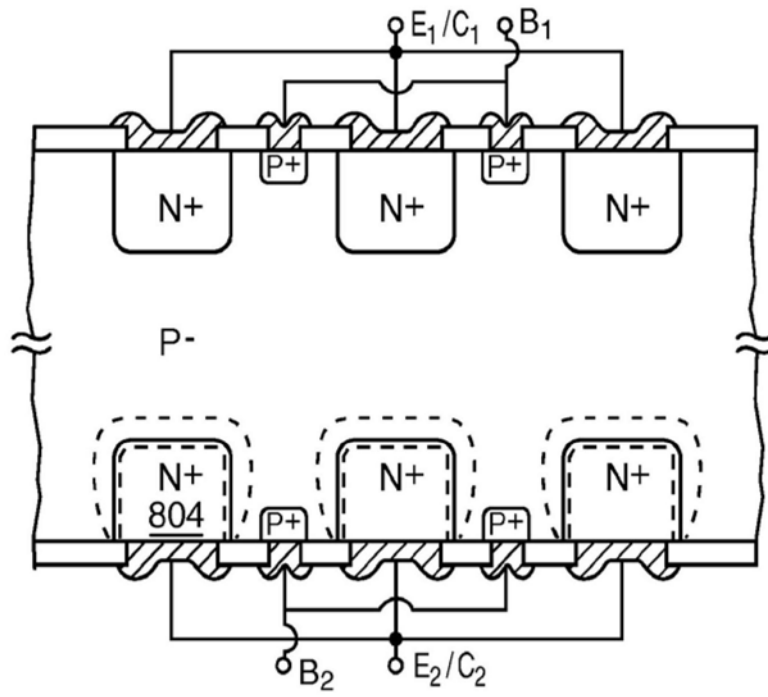


图8A

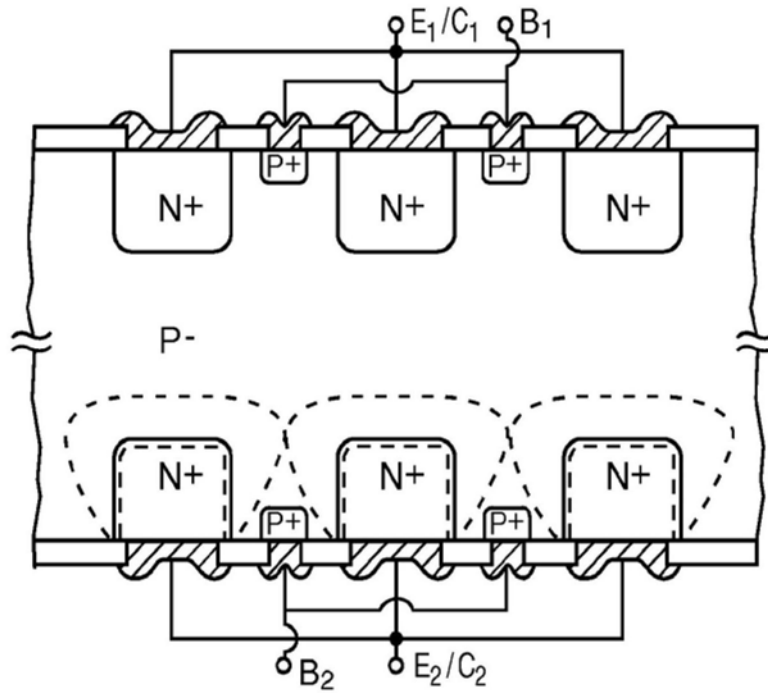


图8B

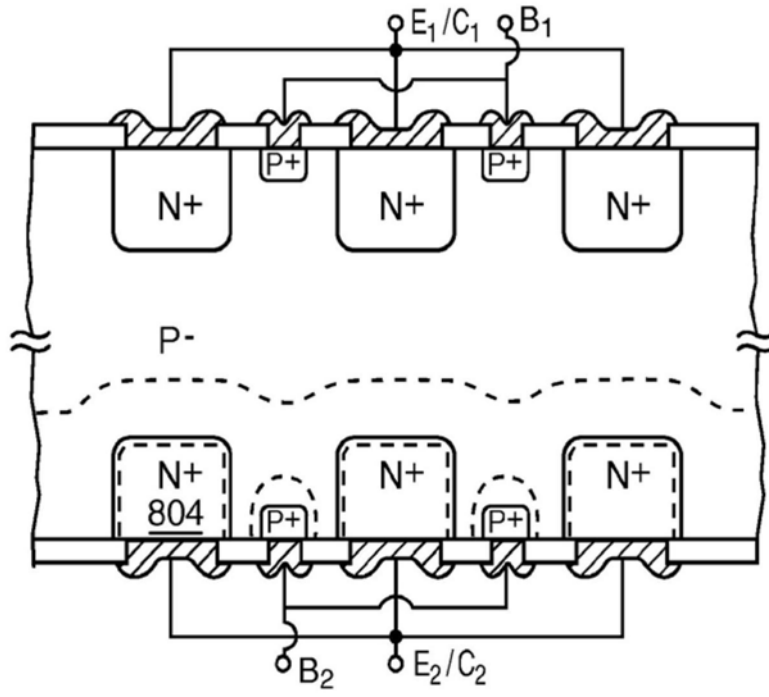


图8C

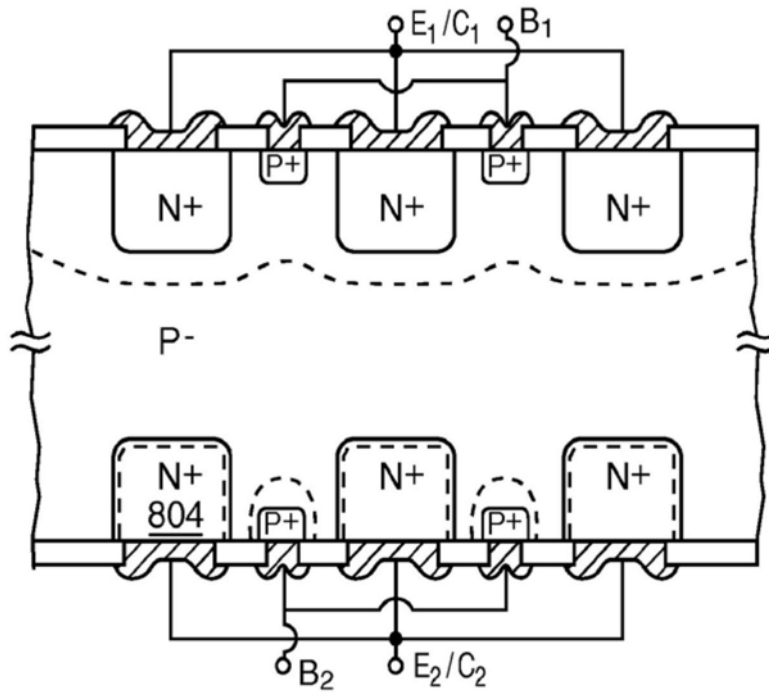


图8D

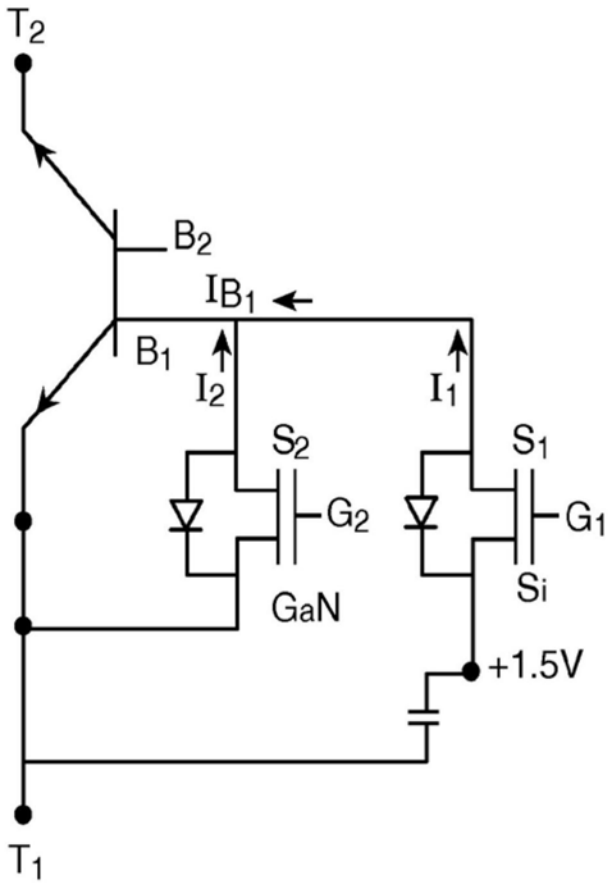


图9

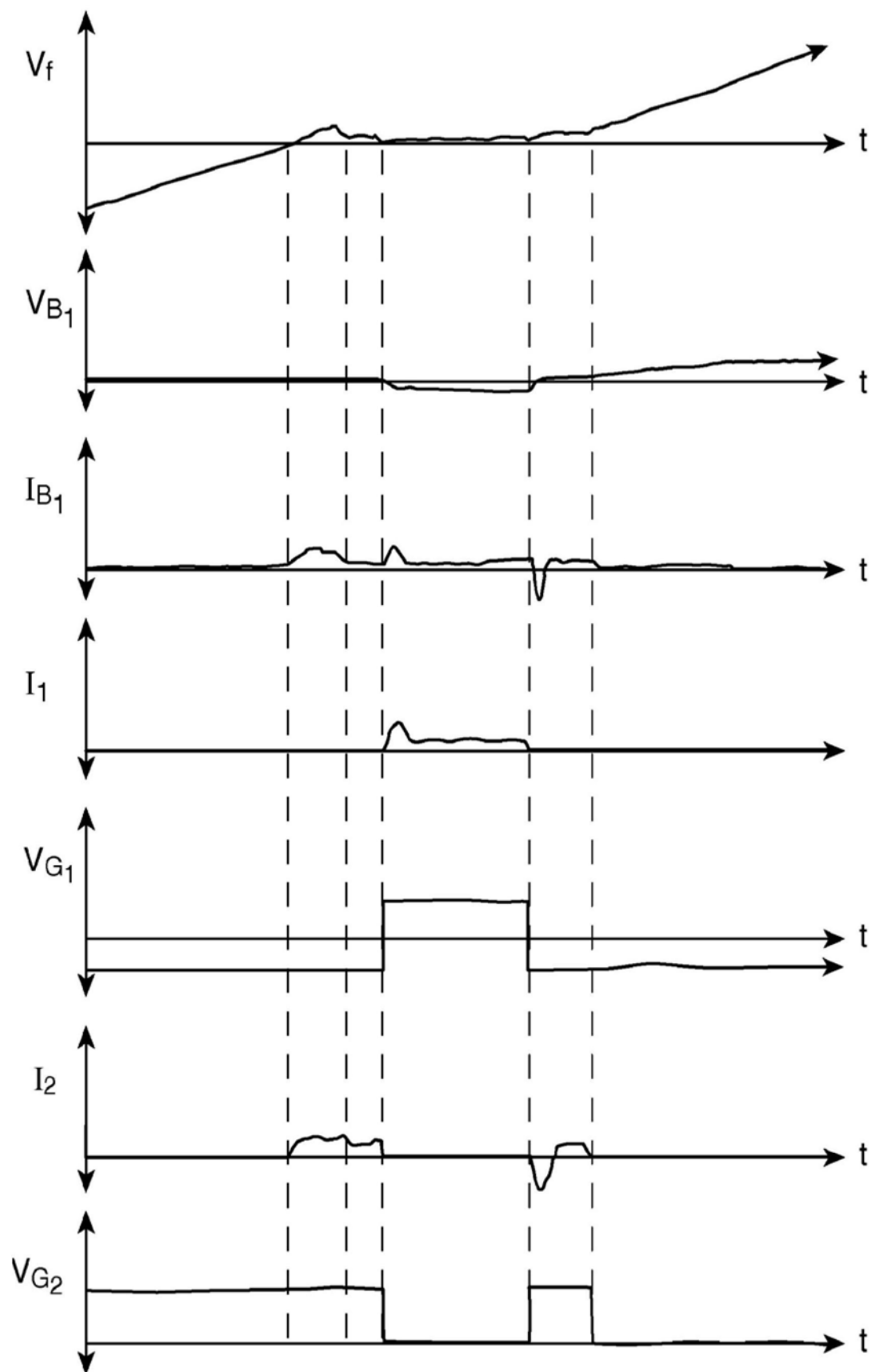


图10

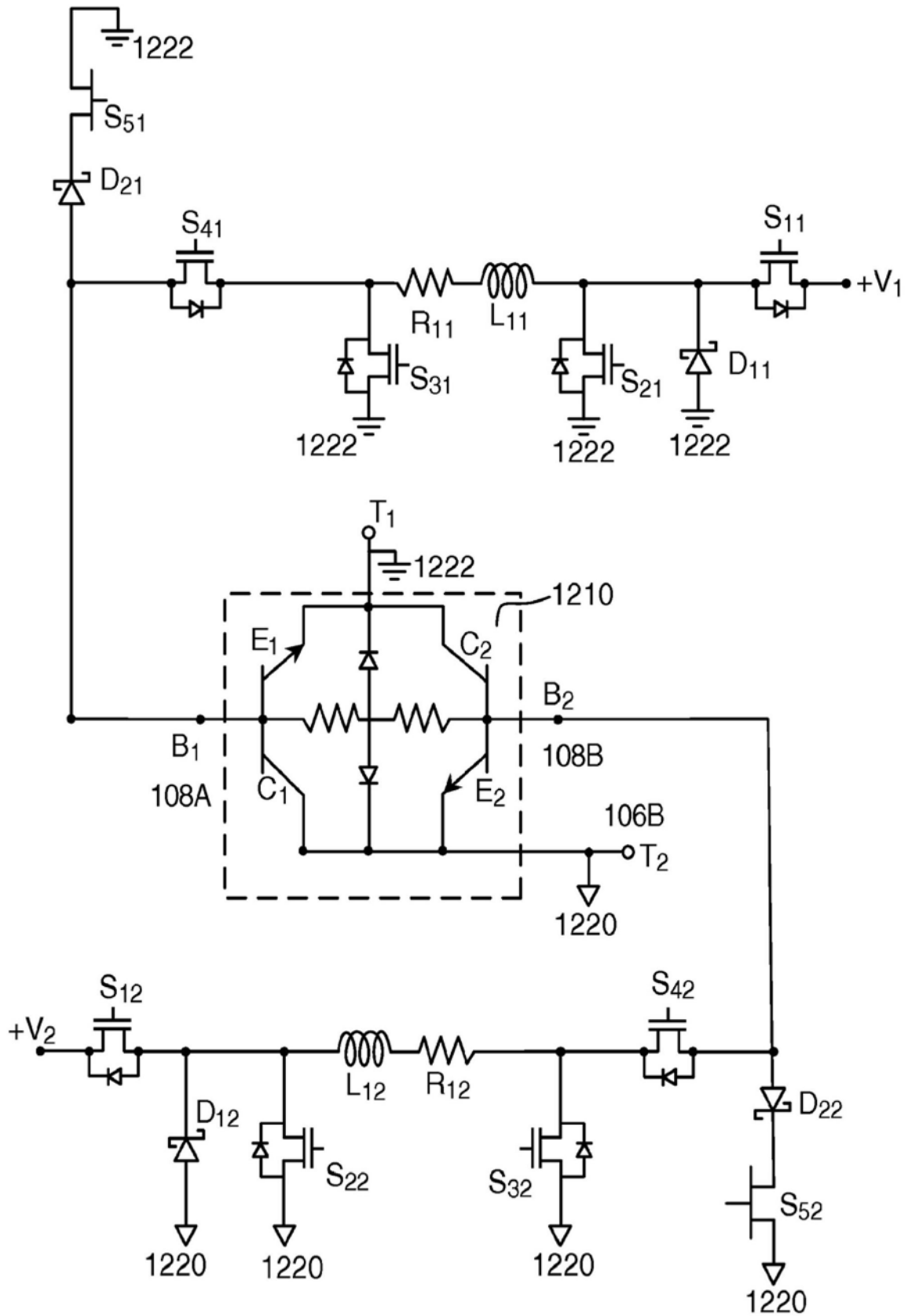


图12

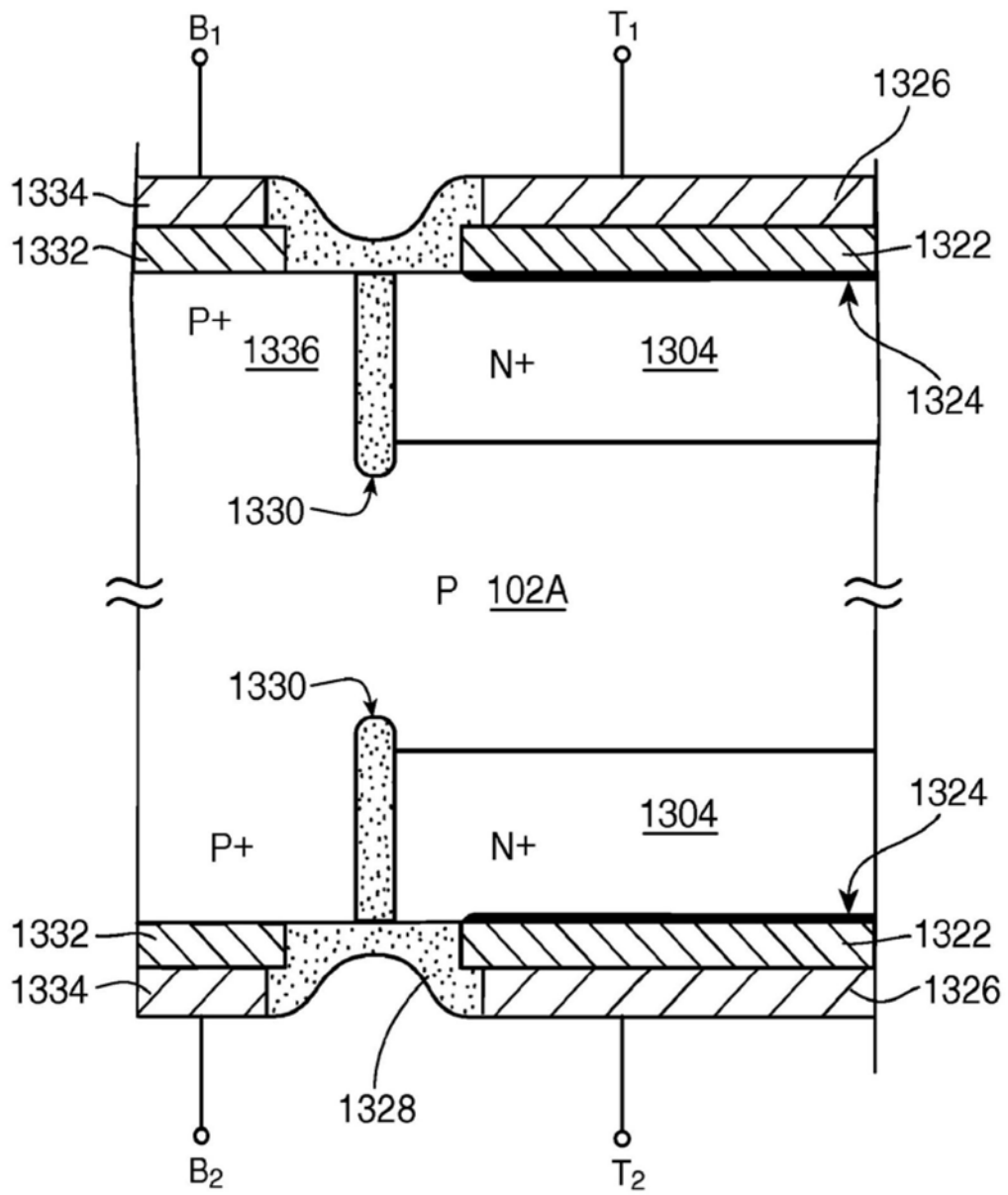


图13A

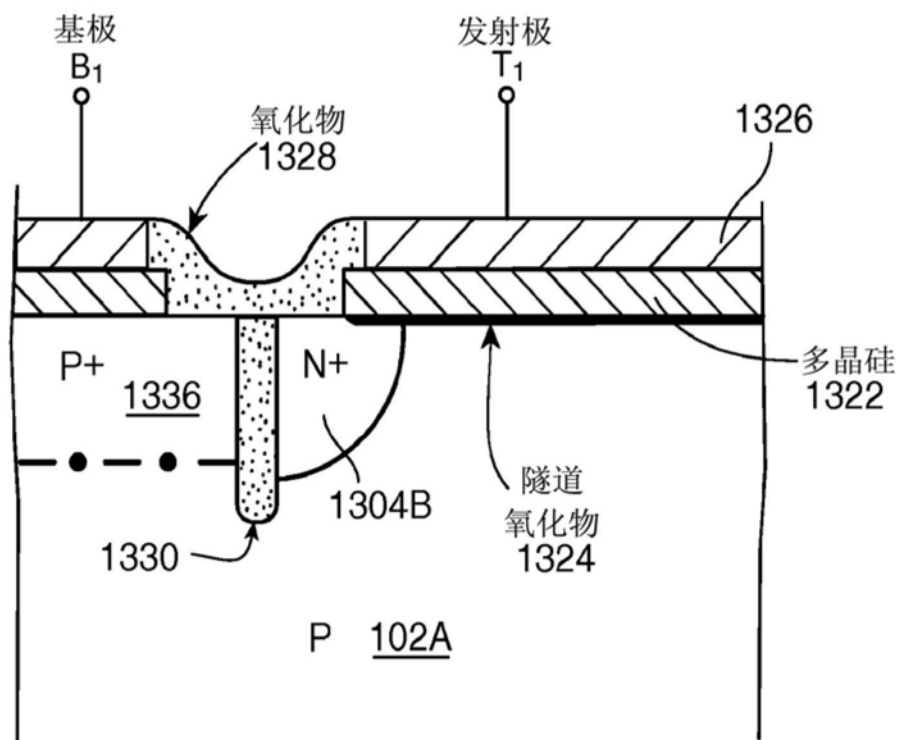


图13B

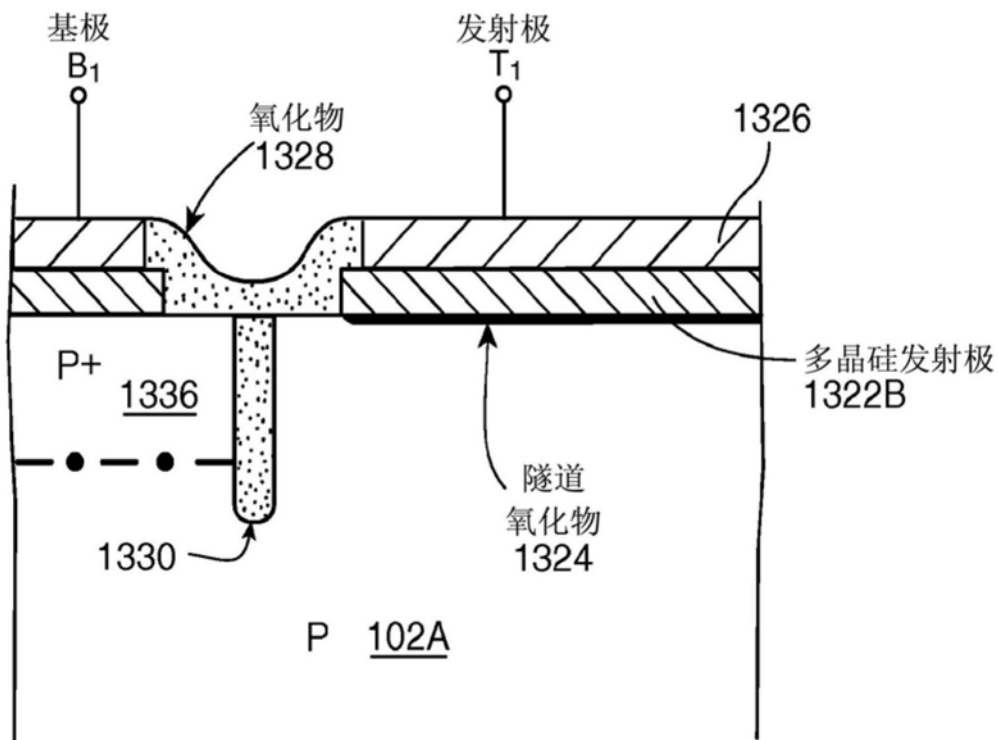


图13C

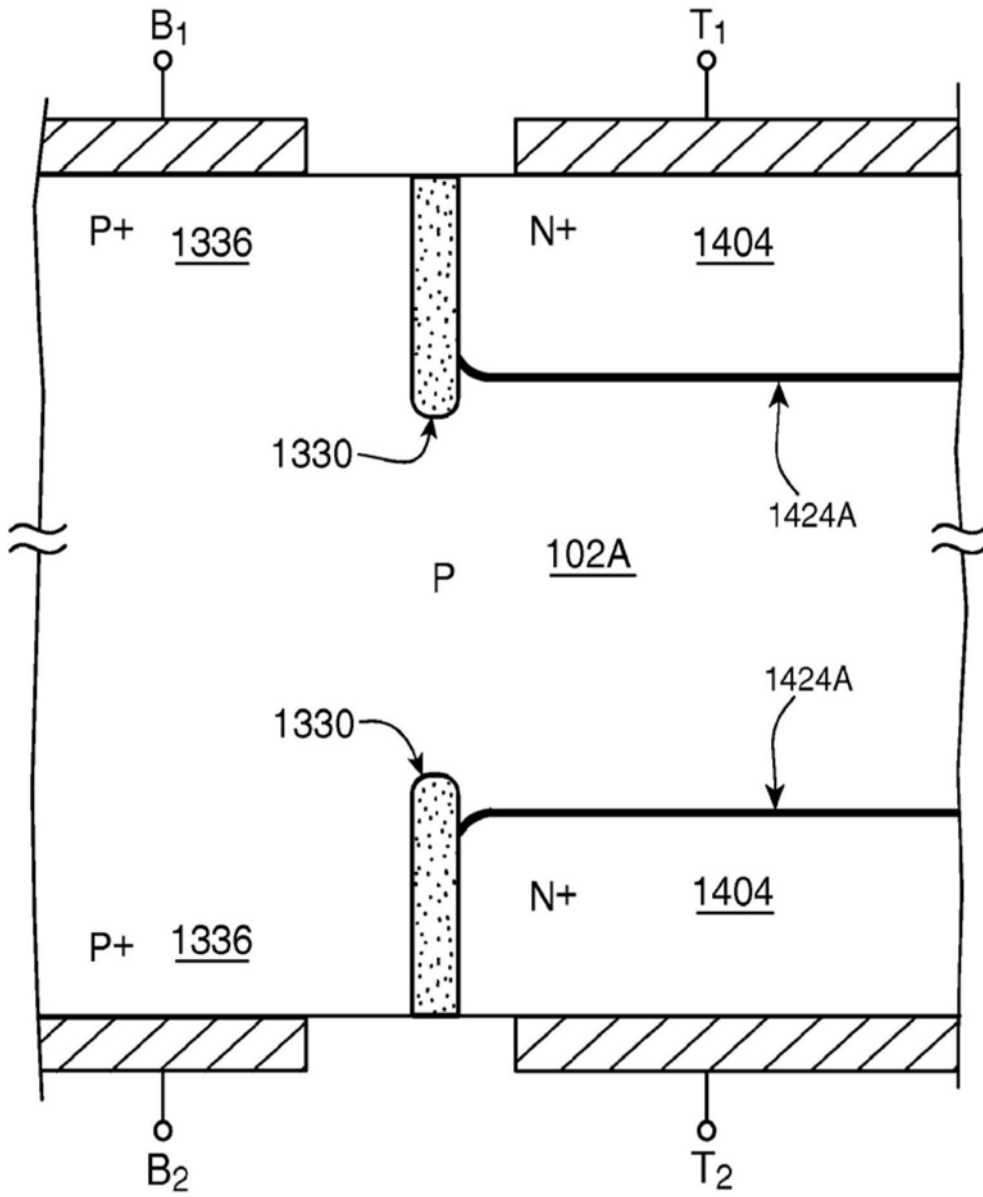


图14A

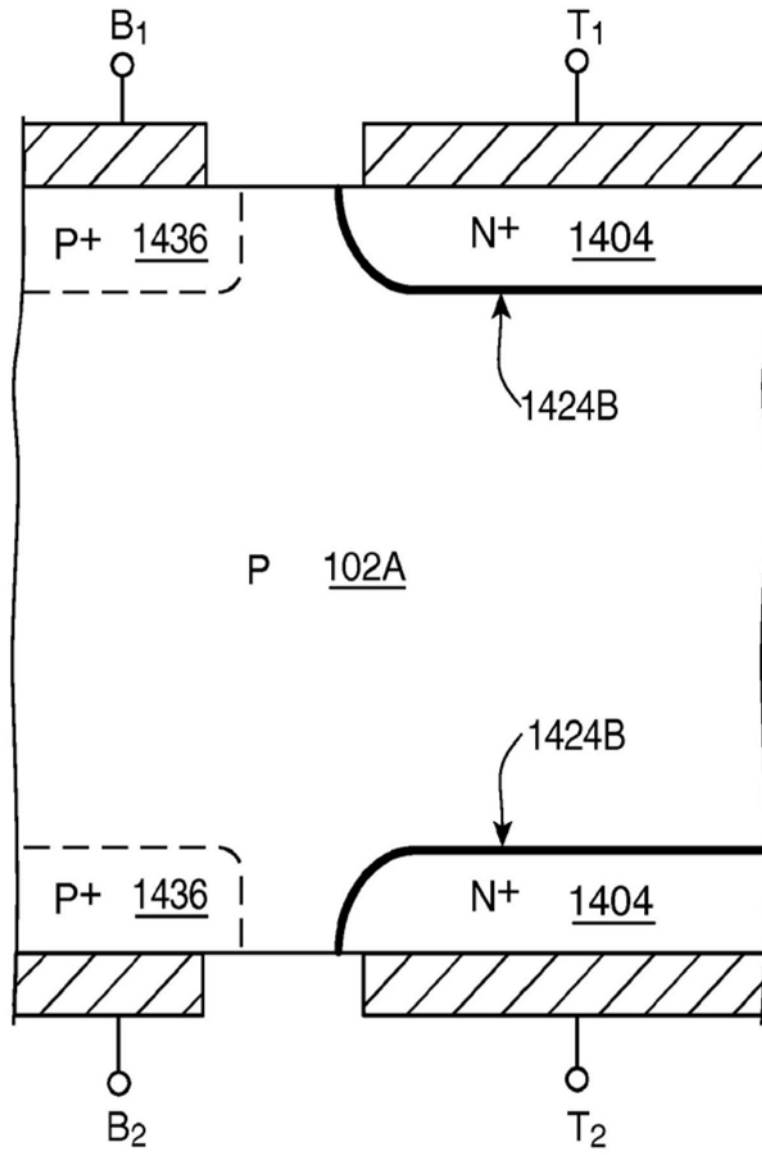


图14B

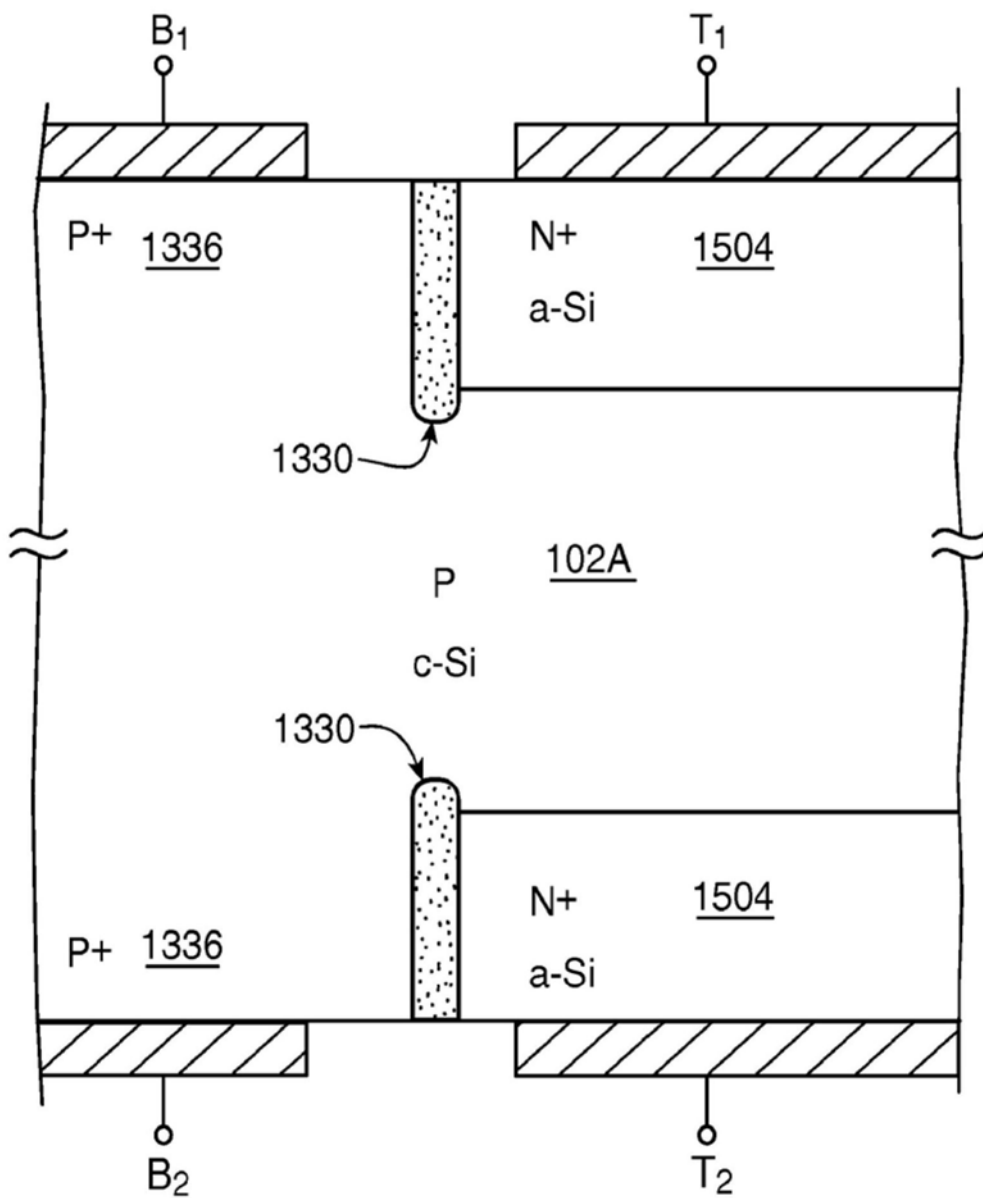


图15



图16A



图16B

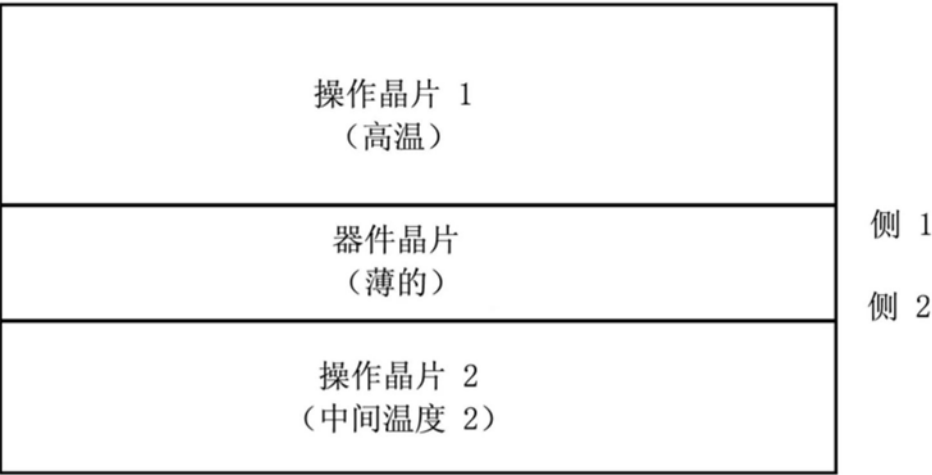


图16C



图16D

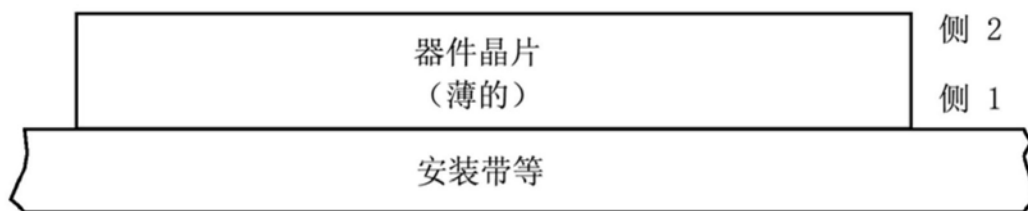


图16E

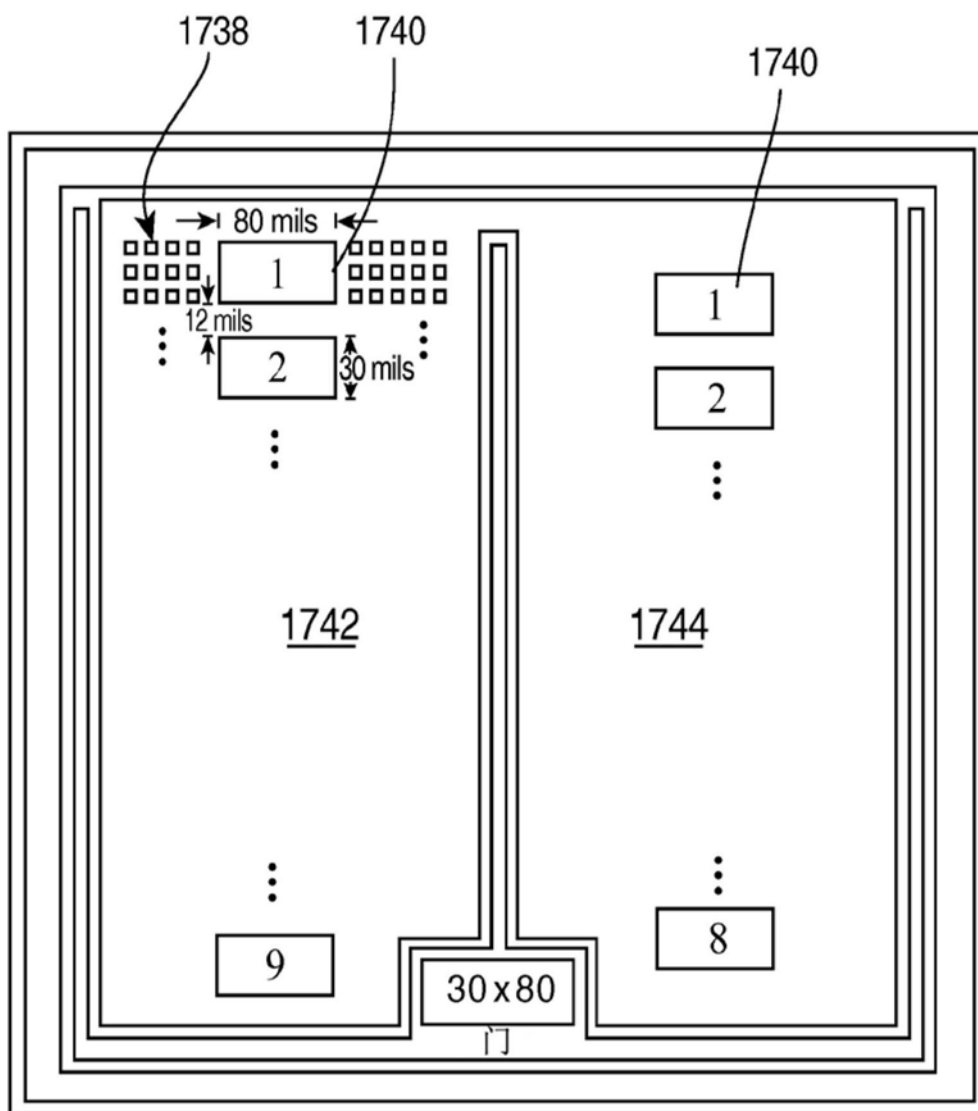


图17

IPC IPC1 金属和焊盘

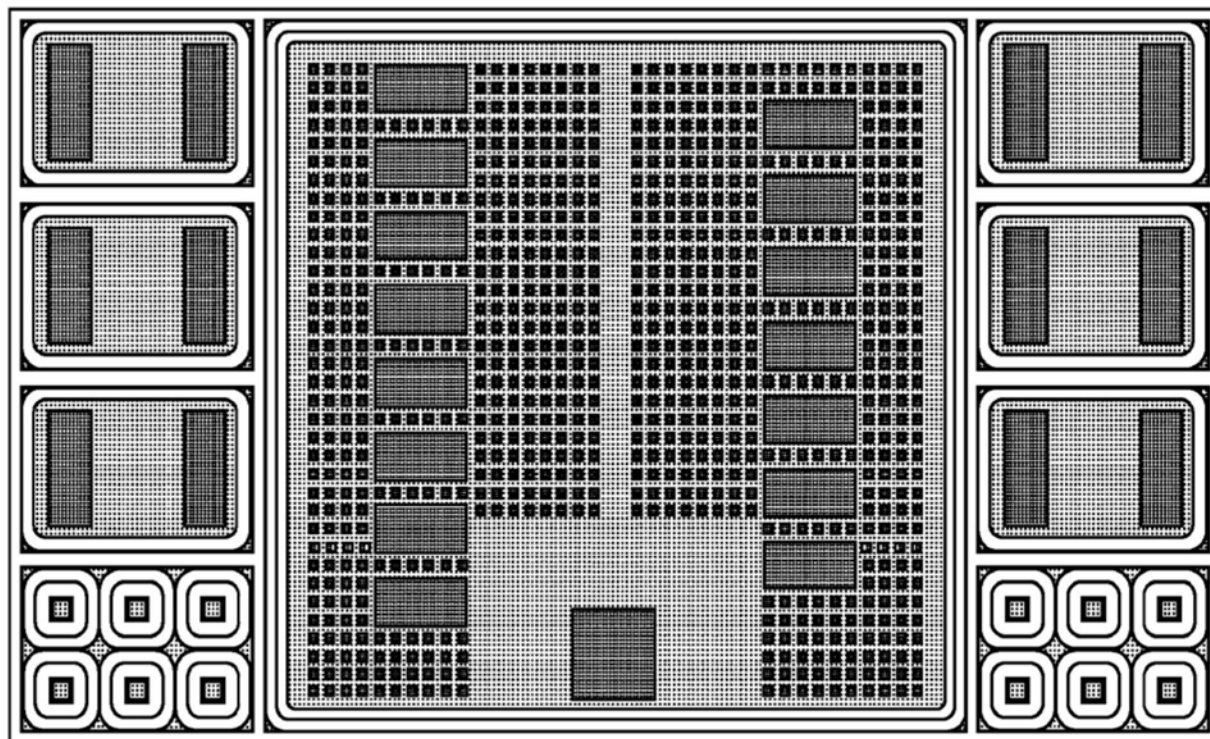


图18A

IPC IPC1 焊盘

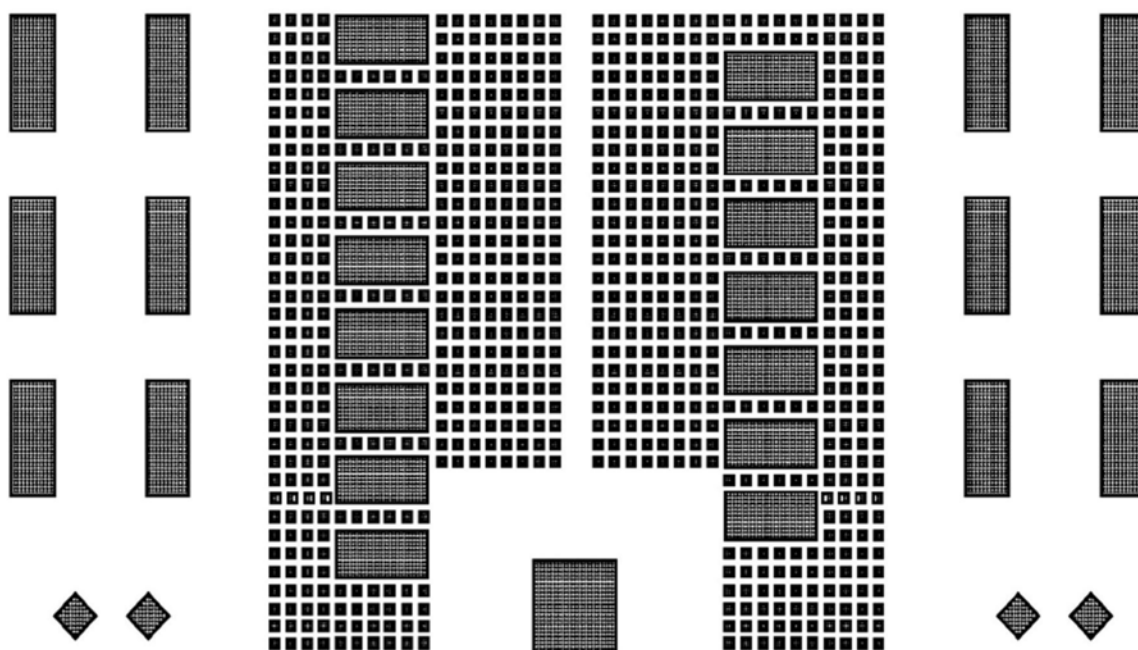


图18B

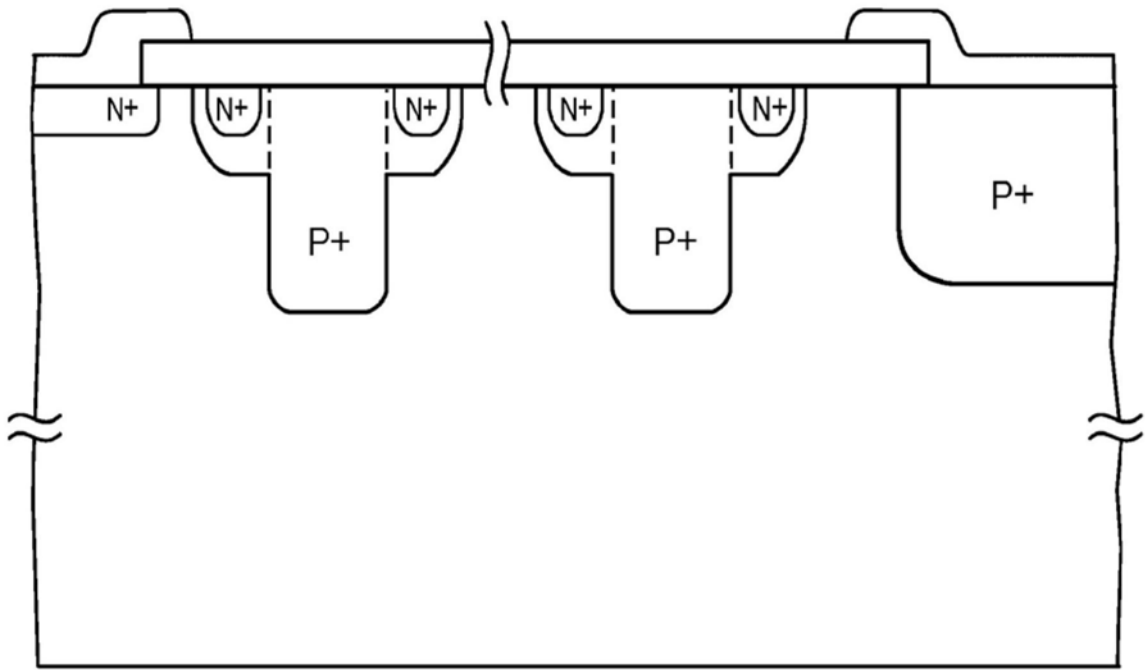


图19

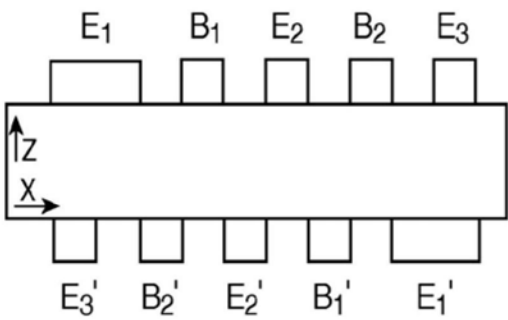


图 20A
焊盘位置和间距侧视图显示

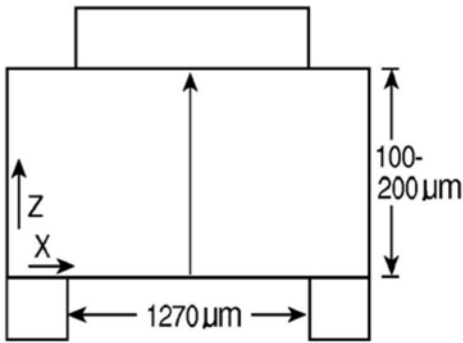


图 20B
与低热阻区域的距离

在两个表面有不对称焊盘的晶元

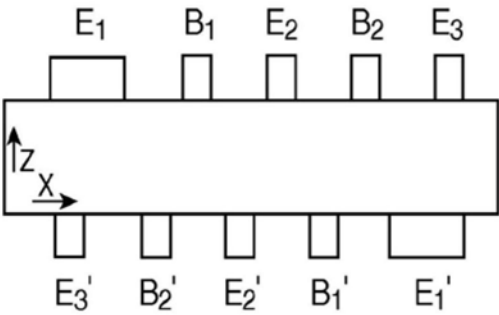


图 20C

焊盘间距比焊盘宽度更大的不对称金属图案

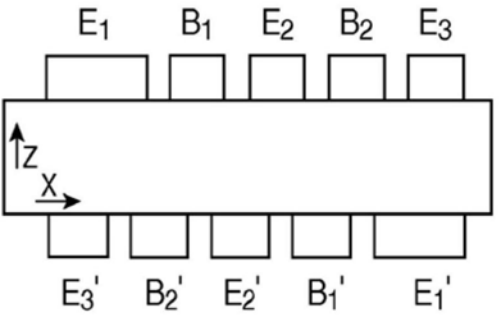


图 20D

焊盘间距比焊盘宽度更小的不对称金属图案

具有不同焊盘宽度到焊盘间距值的不对称焊盘的晶元