

申請日期	91.4.3
案 號	91106759
類 別	G11C 15.00

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書
~~新 型~~

一、發明 新 型 名 稱	中 文	內容可定址記憶單元
	英 文	CONTENT ADDRESSABLE MEMORY CELL
二、發明人 創 作	姓 名	理查 佛斯 RICHARD FOSS
	國 籍	英國 UNITED KINGDOM
	住、居所	英國蘇格蘭省柯卡迪費夫市雷斯花園路28號 28 RAITH GARDENS, KIRKALDY FIFE, SCOTLAND, KY2 5NJ
三、申請人	姓 名 (名 稱)	加拿大商睦塞科技公司 MOSAID TECHNOLOGIES INCORPORATED
	國 籍	加拿大 CANADA
	住、居所 (事 務 所)	加拿大安大略省卡那達市海恩路11號 11 HINES ROAD, KANATA, ONTARIO, K2K 2X1, CANADA
	代 表 人 姓 名	彼德 吉林翰 PETER GILLINGHAM

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期：^{次案優先權} 案號：，有 無主張優先權
 加拿大 2001年04月03日 2,342,575 有 無 主張優先權

准予受理

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝訂線

五、發明說明 (1)

發明背景

習知內容可定址記憶體(CAM)已主要利用靜態隨機存取記憶體(SRAM)單元實現之。由於SRAM記憶體單元之高存取速度以及該單元之靜態天性，已廣為接受採用以SRAM為基之CAMs。此外，可利用一般使用於非記憶體電路方塊之純邏輯型製程製造SRAM單元。

除寫入與儲存資料之隨機存取記憶體(RAM)功能外，CAM亦搜尋與比較所儲存資料，決定資料是否與施於記憶體之搜尋資料相符。當新施加之搜尋資料與已儲存於記憶體中資料相符時，即指示一相符結果，然如此搜尋與儲存資料不相符，則指示不相符結果。CAMs尤其適用於全相關性記憶體，諸如查詢表與記憶體管理單元。

諸多現行應用採用可儲存三種邏輯狀態之三元CAMs。例如該三種邏輯狀態為邏輯‘0’、邏輯‘1’與“隨意(don't care)”。因此，此類CAM單元需要兩記憶體單元以儲存邏輯狀態，以及一比較電路供儲存資料與供至CAM之搜尋資料比較之用。

在三元型式中，各習知以SRAM為基之CAM記憶體單元包括一規律六電晶體(6T)SRAM單元。因此，典型以SRAM為基之CAM單元利用12個電晶體實現雙6T SRAM單元。亦即各SRAM單元需要呈交叉耦合反相器關係之2 p-通道電晶體與2 n-通道電晶體，以及另一2 n-通道電晶體做為自字元線之存取裝置。

此外，為實現用以比較搜尋資料與儲存資料之互斥NOR

五、發明說明 (2)

功能，各三元CAM記憶體單元需要四個附加電晶體。對三元CAM而言，n通道裝置一般係用於比較電路。

在此技藝之先前考量中，係將資料儲存於一主記憶體單元中，並將資料罩於一罩記憶體單元中。接著利用罩記憶體單元內容致動或關閉比較電路。實現此考量之記憶體單元示例示如Nataraj等人提出之美國專利第6,154,384號以及Voelkel提出之美國專利第6,108,227號。雖然此考量係自電路功能觀點考量，在嘗試佈局此CAM單元構件時即發生問題。主要問題在於CAM單元之非最佳化佈局，其需佔據超乎所期之矽面積。

自此技藝中亦提出以DRAM為基之CAMs。DRAM單元典型實體小於SRAM單元。因此，就一給定面積而言，相較於以SRAM為基之CAMs，以DRAM為基之CAMs因其CAM單元尺寸小得許多，故具有可儲存較多資料的優點。但由於用以實現以DRAM為基之CAM單元之DRAM單元動態天性，此類單元需要定期更新操作，俾維持資料。

Ong提出之美國專利第6,188,594號描述一僅採用n通道電晶體之CAM單元。此CAM單元僅採用n通道電晶體。由於p通道電晶體之去除，故單元尺寸顯著降低。在CAM單元中利用動態儲存而非靜態儲存，進一步降低單元尺寸。所述之動態CAM單元已減少至六個電晶體，並可增進緊密佈局。但如前述，段態單元需要定期更新操作以維持資料，此類更新電路系統需要額外的矽面積。

因此對可實現較有效率空間佈局之以SRAM為基之CAM

五、發明說明 (3)

單元，同時得以維持以SRAM為基之CAM之靜態特性確有所需。

圖式簡述

圖1係依本發明具體實施例之三元CAM半單元電路圖；

圖2係依本發明第一實施例之全三元以SRAM為基之CAM單元電路圖；

圖3係依本發明第二實施例之全三元以SRAM為基之CAM單元電路圖；

圖4係與圖1中電路對應之半單元佈局平面圖；以及

圖5係一先前技藝之全三元以SRAM為基之CAM單元電路圖。

發明概要

依本發明之一態樣，提供一種三元內容可定址記憶體(CAM)半單元。CAM半單元包括一靜態隨機存取記憶體(SRAM)單元，其包括一對交互耦合、用以儲存資料值之反相器；以及一對存取裝置，用以存取一對互補位元線。存取裝置係耦合於各對交叉耦合反相器之一與該對互補位元線間。CAM半單元更包括一比較電路，用以比較儲存於SRAM單元之資料值與在一搜尋線上之搜尋資料值。CAM半單元包括數量相等之n通道與p通道裝置。

依本發明之另一態樣，提供一種CAM單元，其包括一對SRAM單元，其各包括一對交互耦合、用以儲存資料值之反相器；以及一對存取裝置，用以存取一對互補位元線。CAM單元更包括一對比較電路，用以比較儲存於該SRAM

五、發明說明 (4)

單元之一之該資料值與在一對應搜尋線上之搜尋資料值。
CAM單元具數量相等之n通道與p通道裝置。

依本發明之另一態樣，CAM單元僅具一p+區至n+區隔離。

三元以SRAM為基之CAM採用p通道電晶體做為至SRAM單元之存取電晶體，俾改善單元陣列之佈局效率。此施行可確保每一單元之n-通道與p-通道裝置平衡數，同時仍具優秀之功能特性。

較佳具體實施例細部描述

參閱圖5，自此技藝中標準以SRAM為基之CAM概以500表之。此CAM單元包括兩6T SRAM單元502。各SRAM單元502包括呈交叉耦合反相器關係506之兩p-通道電晶體與兩n-通道電晶體，以及另一兩n通道電晶體508，做為自一對位元線510之存取裝置。CAM單元更包括一比較電路512，其具四個附加n通道電晶體508，俾實現用以比較搜尋資料與儲存資料之互斥NOR功能。

圖5所示施行之主要問題在於電晶體型態間之不平衡，導致CAM單元之非最佳化佈局。尤其是在總共16個電晶體中，僅有四個係p-通道電晶體。此外，所有在單元中之n-通道裝置均需位於一共用p擴散區中。此區包含n-通道存取裝置508、交叉耦合反相器506之n-通道及比較電路512之n通道。此必然結果係區中之不平衡佈局，在交叉耦合反相器電晶體504中供推高(pull-up)裝置之n-通道係高度擁擠，而兩其餘p通道周圍則有空間浪費。

在業界已知的設計佈局規則中，n+至p+間隔常於在其它

五、發明說明 (5)

典型CMOS製程中之設計規則大幅相關。n+至p+間隔中亦不能包含電間體。因此單元之方位比應更窄些。亦即在單元陣列中，典型單元之較小尺寸係在p井隔離n-通道與p-通道之線方向上。此舉可將在n+至p+間隔中的面積浪費降至最低。但亦不易以習知考量n型與p型裝置間之不平衡。

三元CAM單元面積之降低以及CAM單元佈局之最佳化係藉由以p通道存取裝置置換供SRAM單元使用之n-通道存取裝置，並以主動邏輯‘0’啟動字元線取代主動邏輯‘1’啟動字元線實現之。由於切換n-通道裝置之速度凌駕於p-通道裝置，故在習知物件或嵌入式SRAM應用中，一般均不採用具p-通道存取裝置之SRAM單元。在一規範SRAM記憶體中，切換速度與其它特性可容許此一結果。但在CAM單元中，讀/寫性能之臨限低於習知SRAM單元，此係因CAM記憶體之主要工作係在標準基礎下，施行搜尋與比較功能。

在全三元CAM單元中採用p通道存取裝置取代n-通道存取裝置，可造成其p-通道電晶體與n-通道電晶體數量更為均衡。此裝置之均衡使得佈局中使用8 n-通道裝置與8 p-通道裝置較佳。

參閱圖1，依本發明明具體實施例之CAM半單元係以100表之。半單元100包括一互補位元線對BL與BL、一字元線WL、一搜尋線SL、一相符線ML、交叉耦合反相器電晶體P1、N1、P2與N2以及p通道存取裝置P3與P4。

P2係耦合於正供電壓102與第一節點104間。N2係耦合於第一節點104與接地供電壓106間。P2與N2均為第二節點108

五、發明說明 (6)

所開。P1係耦合於正供電壓102與第二節點103間。N1係耦合於第二節點108與接地供電壓106間。P1與N1均為第一節點104所開。

第一節點104經存取電晶體P3耦合至位元線BL。P3係為字元線WL所開。第二節點108經存取電晶體P4耦合至位元線 \overline{BL} 。P4亦係為字元線WL所開。P-通道存取裝置P3與P4選擇性連結交叉耦合反相器至攜載讀/寫資料之互補位元線BL與 \overline{BL} 。

相符線ML經串聯耦合電晶體N3與N4耦合至接地。N4係為搜尋線SL所開，N3則係為第二節點108所開。如圖1所示，相對於先前技藝所述之2 p-通道電晶體與6 n-通道電晶體，半單元中包含4 p-通道電晶體與4 n-通道電晶體。

參閱圖2，依本發明具體實施例之全三元CAM單元係以200表之。全三元CAM單元包括8 p-通道電晶體與8 n-通道電晶體。為便利之故，全三元CAM單元之第一SRAM單元電晶體代碼與圖1中對應之電晶體類似。對CAM單元之第二SRAM單元部件而言，交叉耦合反相器電晶體標示如P12、N12、P11與N11，存取電晶體則標示為P13與P14，串聯耦合於相符線ML與接地間之電晶體分別標示為N14與N13。應注意對全三元CAM單元而言，有兩互補位元線對BL1、 $\overline{BL1}$ 與BL2、 $\overline{BL2}$ ，以及兩搜尋線SL1與SL2。

現將描述全三元CAM單元200之一般操作，示如圖2。為施行寫入操作，儲存於CAM單元之資料經載入位元線對BL1、 $\overline{BL1}$ 與BL2、 $\overline{BL2}$ 上。字元線WL經確立於主動邏輯

五、發明說明 (7)

‘0’，開啟p通道存取電晶體P3、P4、P13與P14。載於互補位元線對上之資料藉此可寫入兩SRAM單元中，並將字元線反確立。

對讀取操作而言，互補位元線對經預充電至VDD/2。字元線經確立於主動邏輯‘0’，來自SRAM單元之資料讀至位元線對上。接著將資料轉換至資料匯流排(未圖式)。

對搜尋與比較操作而言，相符線經預充電至邏輯‘1’，並將資料置於搜尋線SL1與SL2。典型在相符線狀態發生不相符變化的情況下，係以此方式提供搜尋資料與儲存之資料。因不常發生不相符狀況，故對一不相符而非相符改變相符線狀態較佳。因此，在相符線狀態之變化將不常發生，降低因將相符線放電而損耗之電力。相符線ML經預充電至邏輯“1”，不相符將相符線放電至接地，而在相符的情況下，相符線之狀態並未發生變化。或者在另一相符線感測考量中，相符線經預充電至邏輯“0”，由一裝置之推高做相符偵測，其較兩維持相符線於邏輯“0”之串聯裝置弱。

如CAM單元200儲存邏輯“1”於左SRAM單元中，以及邏輯“0”於右SRAM單元中，SL1具邏輯“1”，而SL2具邏輯“0”，則將造成如後述之不相符。左SRAM單元之輸出提供邏輯“1”至電晶體N3，將其開啟。搜尋線SL1提供邏輯“1”至電晶體N4，將其開啟。由於N3與N4均經開啟，故可提供將相符線ML放電至接地之路徑，進而指示一不相符。

如CAM單元儲存邏輯“0”於左SRAM單元中，以及邏輯“1”於右SRAM單元中，則將造成如後述之相符狀況。左SRAM

五、發明說明(8)

單元之輸出提供邏輯“0”至電晶體N3閘極，使其關閉。搜尋線SL1提供邏輯“1”至電晶體N4閘極，將其開啟。但由於N3與N4係屬串聯，故不存在將相符線ML放電至接地之路徑。類似地，右SRAM單元提供邏輯“1”至電晶體N13，使其開啟。搜尋線SL2提供邏輯“0”至電晶體N14，讓其關閉。因此，類似於左SRAM單元電晶體N13和N14不提供將相符線ML放電至接地之路徑。結果相符線為於預充電至邏輯“1”，指示一相符狀況。

如CAM單元儲存邏輯“0”於左右SRAM單元，則存在一“隨意”狀態。來自各SRAM單元之輸出產生邏輯“0”。邏輯“0”供至電晶體N3與N13閘極，確保相符狀況之偵測，與搜尋線SL1、SL2提供資料無關，而且相符線維持不變。

此基本操作敘述僅涵蓋一種可能的相符線偵測方案。但其它考量，包含在此技藝中常見者以及專利考量，均可在不悖離本發明之範疇下施行之。

參閱圖3，本發明之另一具體實施例，示如代碼300。在本具體實施例中，SRAM單元之存取裝置N23、N24、N33、N34係n通道裝置，而比較電路之電晶體P23、P24、P33、P34則係p-通道裝置。此操作與圖2所示具體實施例之操作類似，具因相異極性裝置而相反之適當電壓，係熟悉此技藝者所週知。例如：字元線WL經確立為主動邏輯“1”。此外，相符線ML係邏輯“0”，而一不相符將相符線ML改變為邏輯“1”。

五、發明說明(9)

參閱圖4，依本具體實施例之三元CAM半單元佈局一般係以代碼400示之。佈局400係對應於圖1所示電路100。為便利之故，來自圖1之電晶體標示，亦即P1、P2、P3、P4、N1、N2、N3與N4，用以指示在佈局400中之對應區域。在佈局400中，斷折線封閉區係表主動半導體區405(例如擴散或離子佈植區)。這些區域包含p型主動區405a與n型主動區405b。厚實心連續線封閉一多晶矽層410，而薄實心連續線則封閉一金屬1層420。金屬1層420提供複數個金屬接點404間之金屬接線。金屬接點404係以其中具X標示之正方形表之。特別注釋者係對由P2、N2與P1、N1構成之交叉耦合反相器之金屬1層420連接。為簡化之故，其它較高金屬層(典型具數個金屬層)並未示出。這些包含搜尋線SL、互補位元線BL與 \overline{BL} ，其係一金屬3 M3層。這些及其它層對熟悉此技藝者係顯而易見。

如圖4所示，p通道裝置P1、P2、P3與P4係群聚於圖頂端，共用單一n井，而n通道裝置N1、N2、N3與N4則係群聚於底部。共用單一p井。此群聚造成單元面積之良好平衡使用。再者，比較電路系統N3與N4為存取裝置P3與P4所空間隔離，造成具所欲窄方位比之良捆聚效率佈局。結果對整體單元而言，僅需一p+區至n+區隔離，不若先前技藝中之考量需要至少兩p+區至n+區隔離。上數佈局之進一步優點在於包含在對存取電晶體(P3、P4)連結之相反端具有對搜尋電晶體(N3、N4)之連結。此隔離易造成上層金屬之擁擠。

五、發明說明 (10)

此外，單元由電晶體、局部接線(金屬1)與上金屬同時設定於接近最低寬度。

最低寬度與改善之方位比平均較小面積以及降低相符線長度對增加速度與降低能量耗損具重要性。分析報告證明採用0.13 um純邏輯製程之先前技藝考量採用之單元尺寸大於利用依本發明之佈局實現之單元約40%。

雖然已參閱特殊具體實施例描述本發明，對熟悉此技藝者在不悖離本發明之精神下，將易於做各式改良。

四、中文發明摘要(發明之名稱：內容可定址記憶單元)

本發明揭示一種CAM單元，其包括一對SRAM單元，其各包括一對交互耦合、用以儲存資料值之反相器以及一對用以存取位元線之互補對之存取裝置。CAM單元更包括一對比較電路，各用以比較儲存於該SRAM單元之一中之該資料值與在一對應搜尋線上之搜尋資料值。CAM單元具數量相等之n通道與p通道裝置。CAM單元利用p通道電晶體做為至SRAM單元之存取電晶體，俾改善單元陣列之佈局效率。此施行可確保每一單元中之n通道與p通道裝置之平衡數，同時仍具優秀之功能特性。

英文發明摘要(發明之名稱：CONTENT ADDRESSABLE MEMORY CELL)

A CAM cell comprises a pair of SRAM cells, each of which comprise a pair of cross coupled inverters for storing a data value and a pair of access devices for accessing a complementary pair of bit lines. The CAM cell further comprises a pair of compare circuits, each for comparing said data value stored in one of said SRAM cells with a search data value provided on a corresponding search line. The CAM cell has an equivalent number of n-channel and p-channel devices. The CAM cell uses p-channel transistors as access transistors to the SRAM cells in order to improve the efficiency of the layout of the cell array. The implementation ensures a balanced number of p-channel and n-channel devices per cell while still providing excellent functional characteristics.

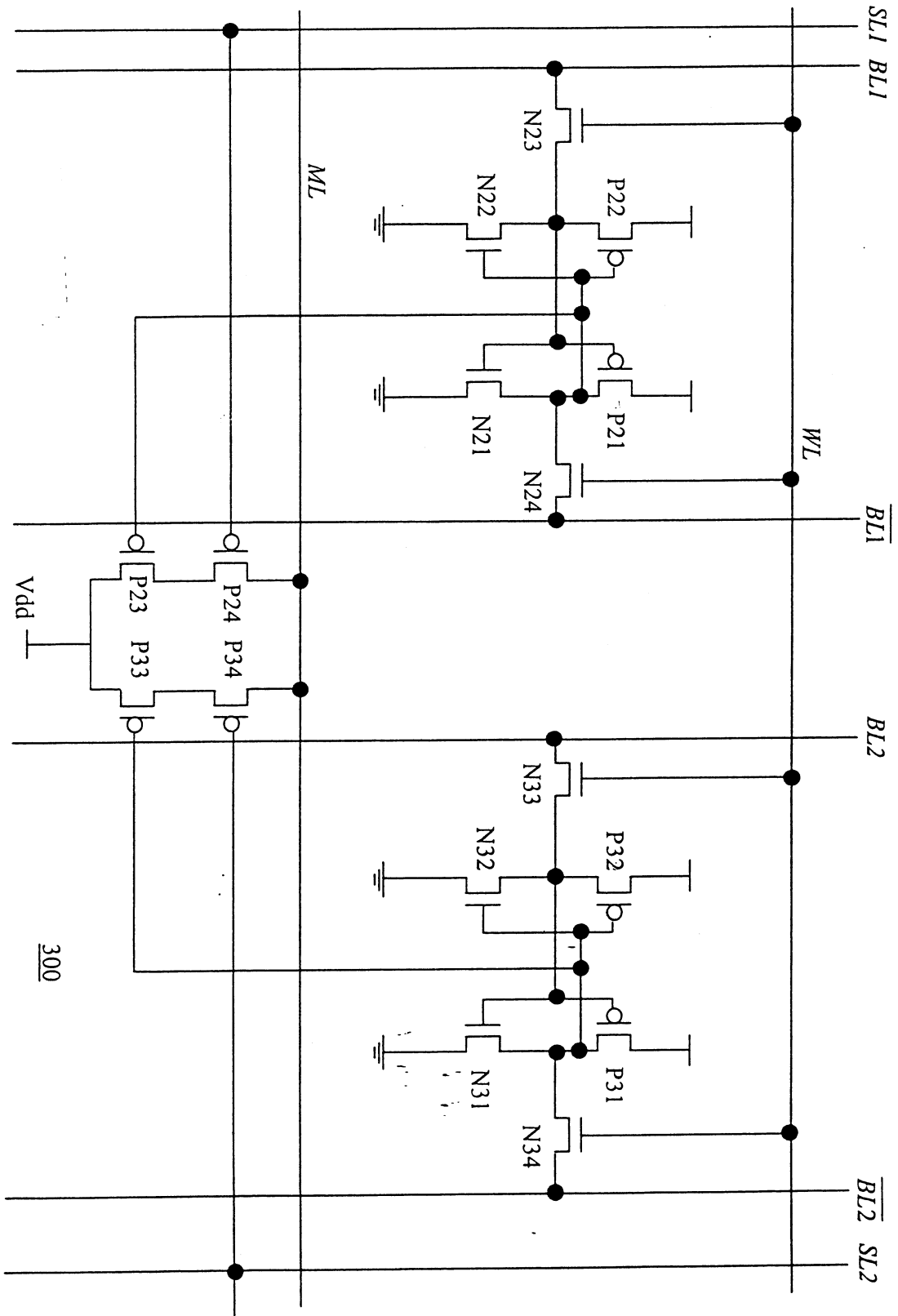


圖 3

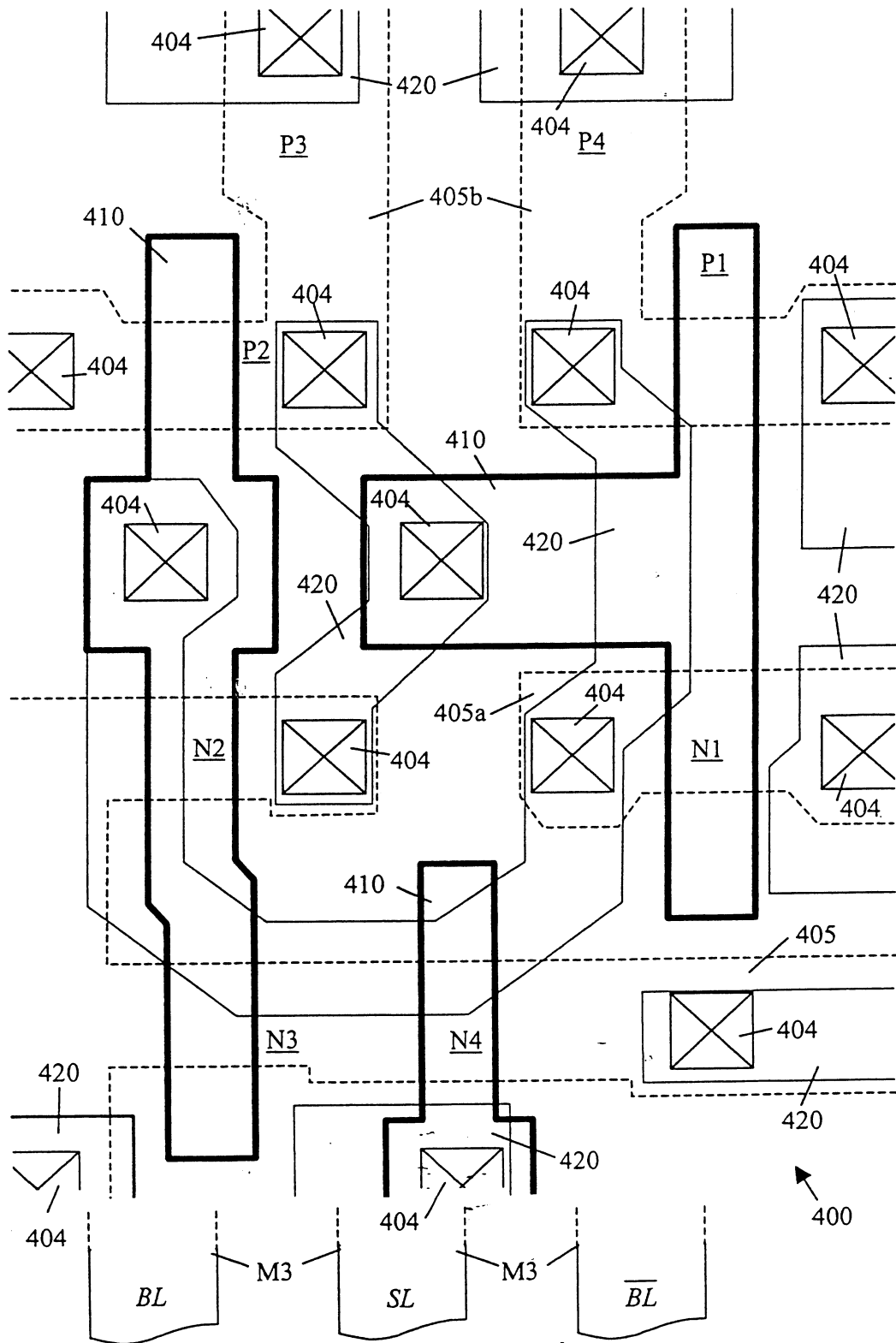


圖 4

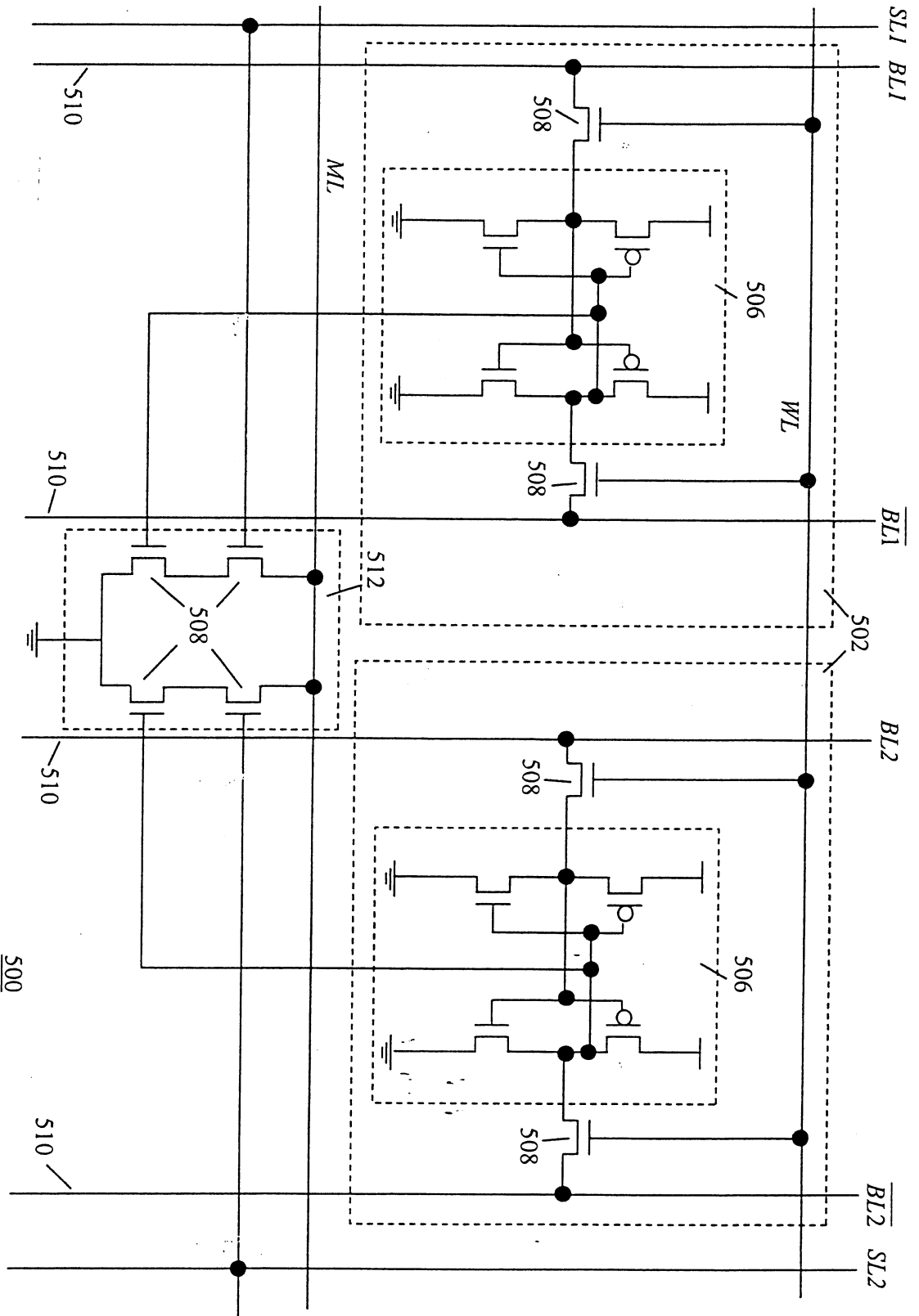


圖 5

500

六、申請專利範圍

1. 一種三位元內容可定址記憶體(CAM)半單元，其包括：
 - (a) 一靜態隨機存取記憶體(SRAM)單元，其具
 - i. 一對交互耦合、用以儲存資料值之反相器；以及
 - ii. 一對存取裝置，各耦合於該對交叉耦合反相器之一對應者與一對互補位元線間，用以存取該對互補位元線；
 - (b) 一比較電路，用以比較儲存於該SRAM單元之該資料值與在一搜尋線上之搜尋資料值，
該CAM半單元具數量相等之n-通道與p-通道裝置。
2. 如申請專利範圍第1項之CAM半單元，其中該交叉耦合反相器包括一對n-通道裝置與一對p-通道裝置。
3. 如申請專利範圍第2項之CAM半單元，其中該對存取裝置包括p-通道裝置，以及該比較電路包括n-通道裝置。
4. 如申請專利範圍第2項之CAM半單元，其中該對存取裝置包括n-通道裝置，以及該比較電路包括p-通道裝置。
5. 一種三位元內容可定址記憶體(CAM)單元，其包括：
 - (a) 一對靜態隨機存取記憶體(SRAM)單元，該SRAM單元各具
 - i. 一對交互耦合、用以儲存資料值之反相器；以及
 - ii. 一對存取裝置，各耦合於該對交叉耦合反相器之一對應者與一對互補位元線間，用以存取該對互補位元線；
 - (b) 一對比較電路，各用以比較儲存於該SRAM單元

六、申請專利範圍

之一之該資料值與一在相關搜尋線上之搜尋資料值，

該CAM單元具數量相等之n-通道與p-通道裝置。

6. 如申請專利範圍第5項之CAM單元，其中該交叉耦合反相器包括一對n-通道裝置與一對p-通道裝置。
7. 如申請專利範圍第6項之CAM單元，其中該對存取裝置包括p-通道裝置，以及該比較電路包括n-通道裝置。
8. 如申請專利範圍第6項之CAM單元，其中該對存取裝置包括n-通道裝置，以及該比較電路包括p-通道裝置。
9. 如申請專利範圍第1項之CAM單元，其中所有的p-通道裝置均係在一n井區中形成，以及所有的n-通道裝置均係在一p井區中形成。
10. 一種三元內容可定址記憶體(CAM)半單元，其包括：
 - (c) 一靜態隨機存取記憶體(SRAM)單元，其具
 - iii. 一對交互耦合、用以儲存資料值之反相器；
以及
 - iv. 一對存取裝置，各耦合於該對交叉耦合反相器之一對應者與一對互補位元線間，用以存取該對互補位元線；
 - (d) 一比較電路，用以比較儲存於該SRAM單元之該資料值與在一搜尋線上之搜尋資料值，

該CAM單元僅具一p+區至n+區隔離。

11. 一種內容可定址記憶體(CAM)，其包括：

一交越耦合反向器對形成自一第一導電型之第一對相鄰絕緣閘極電晶體，及耦合至一第二導電型之第二對相

六、申請專利範圍

鄰絕緣閘極電晶體；

一對互補位元線藉由一該第一導電型之第三對相鄰絕緣閘極電晶體耦合至該交越耦合反向器對；

一比較電路形成自該第二導電型之第四對相鄰絕緣閘極電晶體，及耦合至該交越耦合反向器對及一搜尋線，用以比較儲存於該交越耦合反向器對中之資料與一該搜尋線上提供之搜尋資料值；

其中，該第一對相鄰絕緣閘極電晶體係位於相鄰該第二對，及該第一及第二對係各自位於相鄰該第三及第四對，以形成一4乘2或2乘4之電晶體矩陣。

12. 如申請專利範圍第 11 項之 CAM，其中該第一導電型之第一及第三對相鄰絕緣閘極電晶體係形成於一第一井區域。
13. 如申請專利範圍第 12 項之 CAM，其中該第二導電型之第二及第四對相鄰絕緣閘極電晶體係形成於一第二井區域。
14. 如申請專利範圍第 11 項之 CAM，其中該第一及第二導電型係各自為 N 通道電晶體及 P 通道電晶體。
15. 如申請專利範圍第 11 項之 CAM，其中該第一及第二導電型係各自為 P 通道電晶體及 N 通道電晶體。
16. 如申請專利範圍第 13 項之 CAM，其中該第一及第二井區域係相隔一間隔區域。
17. 如申請專利範圍第 11 項之 CAM，其中該 CAM 單元係耦合至一第二 CAM 單元，以形成一三位元 CAM 單元。