



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I564906 B

(45)公告日：中華民國 106 (2017) 年 01 月 01 日

(21)申請案號：103113209

(22)申請日：中華民國 95 (2006) 年 09 月 29 日

(51)Int. Cl. : **G11C5/06 (2006.01)**
G11C16/06 (2006.01)**G11C7/10 (2006.01)**

(30)優先權：	2005/09/30	美國	60/722,368
	2005/12/30	美國	11/324,023
	2006/03/28	美國	60/787,710
	2006/07/31	美國	11/496,278

(71)申請人：考文森智財管理公司 (加拿大) CONVERSANT INTELLECTUAL PROPERTY MANAGEMENT INC. (CA)

加拿大

(72)發明人：潘弘柏 PYEON, HONG BEOM (CA)；金鎮祺 KIM, JIN-KI (CA)

(74)代理人：林志剛

(56)參考文獻：

EP	1049021A2	US	4796231
US	5617367	US	2002/0188781A1
US	2004/0148482A1	US	2004/0193821A1
US	2005/0073899A1	US	2005/0213421A1
WO	01/69411A2		

審查人員：蕭明椿

申請專利範圍項數：12 項 圖式數：15 共 49 頁

(54)名稱

菊鍊串接裝置

DAISY CHAIN CASCADING DEVICES

(57)摘要

一種用於以菊鍊串接配置的串聯式耦接裝置之技術。裝置以菊鍊串接配置加以耦接，使得於菊鍊串接中，第一裝置之輸出耦接至隨後之第二裝置之輸入，以便於從第一裝置將例如資料、位址以及命令資訊之資訊，以及控制信號傳送到第二裝置。以菊鍊耦接的裝置包含序列輸入(SI)以及序列輸出(SO)。透過 SI 輸入資訊至裝置。透過 SO 從裝置輸出資訊。以菊鍊串接之前一個裝置的 SO 耦接至以菊鍊串接之後一個裝置的 SI。透過裝置的 SI 輸入至前一個裝置之資訊係通過該裝置並透過該裝置的 SO 從該裝置輸出。此資訊接著透過前一個裝置之 SO 以及後一個裝置之 SI 的連結而傳送至下一個裝置的 SI。

A technique for serially coupling devices in a daisy chain cascading arrangement. Devices are coupled in a daisy chain cascade arrangement such that outputs of a first device are coupled to inputs of a second device later in the daisy chain to accommodate the transfer of information, such as data, address and command information, and control signals to the second device from the first device. The devices coupled in the daisy chain comprise a serial input (SI) and a serial output (SO). Information is input to a device via the SI. The information is output from the device via the SO. The SO of an earlier device in the daisy chain

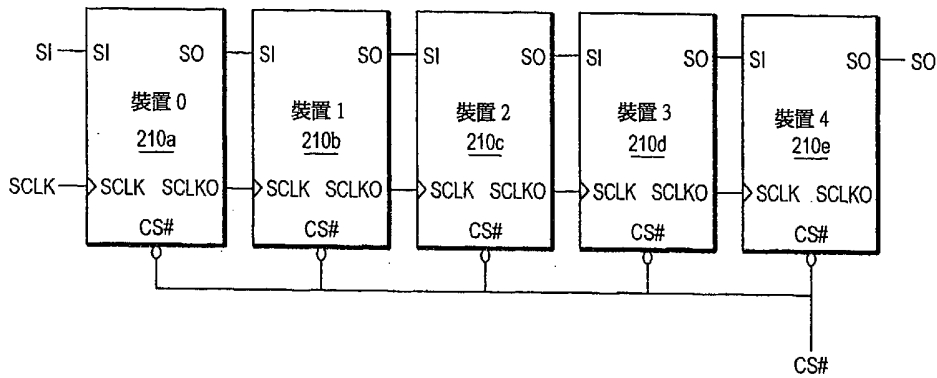
cascade is coupled to the SI of a device later in the daisy chain cascade. Information input to the earlier device via the device's SI is passed through the device and output from the device via the device's SO. The information is then transferred to the later device's SI via the connection from the earlier device's SO and the later device's SI.

指定代表圖：

第2圖

符號簡單說明：

210a-e . . . 裝置



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

菊鍊串接裝置

Daisy chain cascading devices

【技術領域】

本發明有關於菊鍊串接裝置。

【先前技術】

今日到處可見到電腦為基礎之系統並以成功地進入日常生活使用的許多裝置中，如手機、手提電腦、汽車、醫學裝置、個人電腦等等。普遍地，社會已大量倚賴以電腦為基礎之系統來處理日常生活的工作，如平衡支票簿的簡單工作到頗為如預測天氣之複雜的工作。隨著技術增進，越來越多工作遷移到以電腦為基礎之系統。這造成社會變得越來越倚賴這些系統。

典型的以電腦為基礎之系統包含系統板以及非必要的一或更多的周邊裝置，如顯示單元、儲存單元等等。系統板包含一或更多處理器、記憶體子系統以及其他邏輯，如序列裝置介面、網路裝置控制器、硬碟控制器等等。

於特定系統板上使用之處理器的種類通常取決於系統執行的工作類型。例如，執行限定的一組工作之系統，如監控汽車引擎產生的排放物並且調整空氣/燃料混合物以

確保引擎完全燃燒燃料，可使用簡單專門的處理器，特別用來執行這些工作。令一方面，執行許多不同工作的系統，如管理許多使用者並且進行許多不同的應用，可使用一或更多複雜的處理器，其本質上為一般目的者，組態成執行高速計算並且操縱資料以將服務使用者請求的回應時間降至最小。

記憶體子系統係保存處理器使用之資訊（如指令、資料值）的貯存。記憶體子系統典型包含控制器邏輯以及一或更多記憶體裝置。控制器邏輯典型組態成將記憶體裝置與處理器接介，並讓處理器儲存與擷取資訊至與自記憶體裝置。記憶體裝置保存真實的資訊。

與處理器類似，記憶體子系統中使用的裝置類型通常係由電腦系統所執行的工作類型驅使。例如，電腦系統可具有必須於沒有碟驅動器幫助下開機而以及執行不常改變的一組軟體例行程序之工作。此時，記憶體子系統可使用非依電性裝置，如快閃記憶體裝置，以儲存軟體例行程序。其他電腦系統可執行非常複雜的工作，需要大的高速資料貯存以保存大量的資訊。此時，記憶體子系統可使用高速高密度的動態隨機存取記憶體（DRAM）裝置以儲存大量的資訊。

目前，硬碟驅動器具有可儲存 20 至 40 Gigabytes 資料之高密度，但體積也相當大。然而，快閃記憶體，亦稱為固態驅動器，受到歡迎，因為其之高密度、非依電性以及相對於硬碟驅動器的小尺寸。快閃記憶體技術係根據

EPROM 以及 EEPROM 技術。選擇“快閃”一詞係因為可在一時間抹除大量的記憶體單元，有別於個別抹除每一個位元組之 EEPROM。相對於單層級單元，多層級單元（MLC）進一步增加快閃記憶體密度。熟悉該項技藝者可了解快閃記憶體可組態成 NOR 快閃或 NAND 快閃，其中 NAND 快閃具有每給定面積較高的密度，因為其較緊密之記憶體陣列的結構。為了後續說明，對快閃記憶體之參照應該理解為 NOR 或 NAND 或其他類型的快閃記憶體。

記憶體子系統中的裝置經常使用平行互連方案互連。此方案涉及將裝置互連使得位址與資料資訊以及控制信號以平行方式耦合至裝置。各裝置可包含多個輸入/輸出，以便於平行傳送資料與位址資訊以及控制信號至裝置。

【發明內容】

與在記憶體子系統中使用平行互連相關的一個缺點在於其通常需要大量的互連於裝置之間，以並行地將資訊以及信號傳送至裝置。這增加實施這些子系統的板子之複雜度。此外，與大量互連相關的不好的效果會傾向於限制這些子系統的性能，例如串擾。並且，包含於這些子系統中的裝置數量會受限於互連所載送之信號的傳播延遲。

此處所述之技術係藉由提供將裝置以菊鍊串接配置耦合之技術來克服上述缺點，其使用比平行互連實施較少以及較短的連結。將裝置以菊鍊配置組態可允許裝置比平行互連實施以更高速度操作，因使用了較少且較短的互連可使

整體實施更不受不好的效果影響，如傳播延遲以及串擾。此外，較少且較短的連結傾向於降低實施的複雜度。這降低的複雜度進一步使含有裝置的子系統能於更小的面積中實施，因此允許子系統佔用較小的面積。

根據於此所述之技術的態樣，裝置以菊鍊串接配置耦接，使得以菊鍊串接的前一個裝置之輸出耦接以菊鍊串接的下一個裝置之輸入，以便於將資訊（如資料、位址、以及命令資訊）以及控制信號（如致能信號）從前一個裝置傳送到下一個裝置。

於技術的一實施例中，以菊鍊串接的各裝置包含序列輸入（SI）以及序列輸出（SO）。透過裝置的 SI 將資訊輸入至裝置。類似地，從裝置透過其 SO 輸出資訊。以菊鍊串接的一裝置的 SO 耦接至以菊鍊串接之下一個裝置的 SI。於裝置中設置電路以使透過 SI 輸入至以菊鍊串接的前一個裝置之資訊通過裝置並透過 SO 從裝置輸出。此資訊接著透過前一個裝置之 SO 以及下一個裝置 SI 之間的連結傳送至以菊鍊串接之下一個裝置的 SI。被傳送的資訊可接著透過其 SI 被輸入至下一個裝置。

此外，時脈信號耦接至以菊鍊串接之裝置。由裝置使用時脈信號以便於從一裝置傳送資訊至以菊鍊串接的下一個裝置。

根據於此所述之技術的其他態樣，由裝置用來例如使資料透過 SI 輸入至裝置並且透過 SO 自裝置輸出之控制信號（如致能信號）係傳送於以菊鍊串接之裝置之間，如上

所述。在此，設置電路以使輸入至以菊鍊串接之前一個裝置的控制信號傳播通過裝置，並且自裝置透過一輸出傳送至以菊鍊串接之下一個裝置的輸入。傳送的控制信號接著透過該輸入而輸入至下一個裝置。

根據本發明之原理，快閃記憶體系統可具有複數個串聯連接之快閃記憶體裝置。系統之快閃記憶體裝置可包含具有序列輸入資料埠以及序列資料輸出埠之序列資料鏈結介面、用以接收第一輸入致能信號之控制輸入埠，以及用於發送第二輸入致能信號之控制輸出埠。輸入致能信號用於控制序列資料鏈結介面以及記憶體庫之間的資料傳輸之電路。快閃記憶體裝置組態成接收來自外部來源之序列輸入資料以及控制信號，並提供資料與控制信號至外部裝置。外部來源以及外部裝置可為系統內之其他快閃記憶體。於本發明之一實施例中，當於系統中序列地串接裝置時，裝置可進一步輸出“回響（echo）”接收到之 IPE 以及 OPE 信號之控制埠至外部裝置。這允許系統具有點對點連接之信號埠以形成菊鍊串接方法（相對於廣播/多分支串接方案）。

這些系統可使用獨特裝置識別符以及目標裝置選擇位址方法，而不使用有限之硬體實體裝置選擇接腳，因此整個系統以記憶體密度而言可很容易地擴張而不會犧牲掉整體性能。於本發明之一些實施例中，快閃記憶體裝置之每一個可包含獨特的裝置識別符。裝置可組態成剖析序列輸入資料中之目標裝置資訊欄位，以將目標裝置資訊與裝置

的獨特裝置識別碼作關聯。裝置可在處理任何接收到的額外輸入資料之前剖析目標裝置資訊欄位。若記憶體裝置並非目標裝置，其可忽略序列輸入資料，因此節省額外的處理時間與資源。

【圖式簡單說明】

從由附圖圖解的本發明之範例實施例的更詳細說明，使發明內容更加清楚。附圖中，類似符號係指遍及不同圖中之相同的部份。圖並非按比例繪製，而重點放在本發明之說明實施例上。

第 1 圖為包含組態為串聯菊鍊串接配置之複數個單埠裝置的範例裝置組態的方塊圖。

第 2 圖為包含組態為具有串接時脈之串聯菊鍊串接配置之複數個單埠裝置的範例裝置組態的方塊圖。

第 3 圖為包含組態為串聯菊鍊串接配置之複數個雙埠裝置的範例裝置組態的方塊圖。

第 4 圖為包含組態為具有各種致能信號之輸入以及輸出之串聯菊鍊串接配置之複數個單埠裝置的範例裝置組態的方塊圖。

第 5 圖為包含組態為具有各種致能信號之輸入以及輸出之串聯菊鍊串接配置之複數個雙埠裝置的範例裝置組態的方塊圖。

第 6 圖為包含組態為串聯菊鍊串接配置之具有多個平行輸入以及多個平行輸出之複數個雙埠裝置的範例裝置組

態的方塊圖。

第 7 圖為描述與執行於單一裝置以及組態為序列菊鍊串接配置之複數個裝置上之讀取操作相關的時序之時序圖。

第 8 圖為與描述在組態為串聯菊鍊串接配置之裝置之間傳送的資訊有關之時序之時序圖。

第 9 圖為針對單埠裝置之範例序列輸出控制邏輯的高度方塊圖。

第 10 圖為針對雙埠裝置之範例序列輸出控制邏輯之高度方塊圖。

第 11 圖為一裝置用之範例序列輸出控制邏輯的詳細方塊圖。

第 12 圖為包含範例序列輸出控制邏輯並且組態為串聯菊鍊串接配置之裝置的範例組態的方塊圖。

第 13 圖為描述與包含範例序列輸出控制邏輯之裝置的輸入與輸出相關之時序的範例時序圖。

第 14 圖為用來傳送包含以菊鍊串接之第一裝置的記憶體中之資料至以菊鍊串接之第二裝置之範例序列輸出控制邏輯方塊圖。

第 15 圖為描述與使用範例序列輸出控制邏輯傳送包含以菊鍊串接之第一裝置的記憶體中之資料至以菊鍊串接之第二裝置相關的時序之時序圖。

【實施方式】

於下描述本發明之較佳實施例。

第 1 圖為包含組態為串聯菊鍊串接配置之複數個單埠裝置 110a-e 的範例裝置組態的方塊圖。裝置 110a-e 例示性為記憶體裝置，各包含記憶體（未圖示），其可包含動態隨機存取記憶體（DRAM）單元、靜態隨機存取記憶體（SRAM）單元、快閃記憶體單元等等。各裝置 110 包含序列輸入（SI）、序列輸出（SO）、時脈（SCLK）輸入以及晶片選擇（CS#）輸入。

SI 係用來傳送資訊（如命令、位址以及資料資訊）進入裝置 110。SO 用來從裝置 110 傳送資訊。SCLK 輸入用來提供外部時脈信號至裝置 110 以及 CS#輸入用來提供晶片選擇信號至裝置 110。可與此處所述之技術一起使用之裝置的範例為描述於先前包含之美國專利申請案第 11/324,023 號中的多獨立序列鏈結（MISL）記憶體裝置。

以菊鍊串接配置之 SI 以及 SO 連接於裝置 110 之間，使得以菊鍊串接之較前面的裝置 110 之 SO 耦接至以菊鍊串接之下一個的裝置 110 之 SI。例如，裝置 110a 的 SO 耦接至裝置 110b 的 SI。各裝置 110 的 SCLK 輸入提供有來自記憶體控制器（未圖示）的時脈信號。時脈信號透過共同的鏈結分布至各裝置 110。將於下描述，SCLK 係尤其用來於裝置 110 中包含的各個暫存器門鎖輸入至裝置 110 之資訊。

可在提供至 SCLK 輸入之時脈信號的不同時間門鎖輸入至裝置 110 的資訊。例如。於單資料速率（SDR）實施

中，可在 SCLK 時脈信號的上升或下降緣門鎖在 SI 輸入至裝置 110 之資訊。替代地，於雙資料速率（DDR）實施中，SCLK 時脈信號的上升以及下降緣皆用於門鎖在 SI 輸入之資訊。

各裝置之 CS#輸入為傳統選擇裝置之晶片選擇。此輸入耦接至共同鏈結，其使所有裝置 110 的晶片選擇信號共同確立（assert）並且因而同時選擇所有裝置 110。

第 2 圖為包含組態為具有串接時脈之串聯菊鍊串接配置之複數個單埠裝置 210a-e 的範例裝置組態的方塊圖。各裝置 210 包含如上述之 SI、SO、SCLK 輸入以及 CS#輸入。此外，各裝置 210 包含時脈輸入（SCLKO）。SCLKO 為輸出 SCLK 信號輸入至裝置 210 的輸出。

參考第 2 圖，裝置 210 之 SI 以及 SO 如上述以串聯菊鍊串接配置耦接。另外，裝置的 SCLK 輸入以及 SCLKO 亦以串聯菊鍊串接配置耦接，使得以菊鍊串接之較前面的裝置 210 之 SCLKO 耦接至以菊鍊串接配置之下一個裝置 210 之 SCLK 輸入。因此，例如，裝置 210a 之 SCLKO 耦接至裝置 210b 之 SCLK 輸入。

注意到當時脈信號傳播經過以菊鍊串接的裝置時會產生延遲。可使用內部延遲補償電路，如鎖延遲迴路（DLL）電路，來排除此延遲。

第 3 圖為包含組態為串聯菊鍊串接配置之複數個雙埠裝置 310a-e 的範例裝置組態的方塊圖。各裝置 310 包含每一個埠之 SI 以及 SO、SCLK 輸入以及 CS#輸入，如上

所述。參照第 3 圖，裝置 310 上的第一埠的 SI 標示為“SI0”以及第二埠之 SI 標示為“SI1”。類似地，第一埠的 SO 標示為“SO0”以及第二埠標示為“SO1”。每一個埠的 SI 以及 SO 如上述般連接於裝置 310 之間。因此，例如，裝置 310a 上的埠 0 之 SO 提供至裝置 310b 上的埠 0 之 SI。類似地，裝置 310a 上的埠 1 之 SO 提供至裝置 310b 上的埠 1 之 SI。

第 4 圖為包含組態為具有各種致能信號之輸入以及輸出之串聯菊鍊串接配置之複數個單埠裝置的範例裝置組態的方塊圖。各裝置 410 包含 SI、SO、CS#輸入、SCLK 輸入，如上述。另外，各裝置 410 包含輸入埠致能（IPE）輸入、輸出埠致能（OPE）輸入、輸入埠致能輸出（IPEQ）以及輸出埠致能輸出（OPEQ）。IPE 輸出係用於輸入 IPE 信號至裝置。IPE 信號由裝置用來致能 SI，使得當 IPE 確立時，資訊透過 SI 序列地輸入至裝置 410。類似地，OPE 輸入係用來輸入 OPE 信號至裝置。OPE 信號由裝置用來致能 SO，使得當 OPE 確立時，資訊自裝置 410 透過 SO 序列地輸出。IPEQ 以及 OPEQ 為分別自裝置輸出 IPE 以及 OPE 信號之輸出。類似地，OPEQ 信號可為延遲的 OPE 信號，或 OPE 信號的某衍生物。如上述，CS#輸入以及 SCLK 輸入耦接至不同的鏈結，分別分配 CS#以及 SCLK 信號至裝置 410a-d。

如上述，SI 以及 SO 自一裝置以菊鍊串接配置耦接至下一裝置。此外，以菊鍊串接配置之前一裝置 410 的

IPEQ 以及 OPEQ 分別耦接至以菊鍊串接配置之下一個裝置 410 的 IPE 輸入以及 OPE 輸入。此配置允許 IPE 與 OPE 信號從一裝置 410 以串列菊鍊串接的方式傳送至下一裝置。

第 5 圖為包含組態為具有各種致能信號之輸入以及輸出之串聯菊鍊串接配置之複數個雙埠裝置 510a-d 的範例裝置組態的方塊圖。各裝置 510 包含如上述之 CS#輸入、SCLK 輸入以及各埠之 SI、SO、IPE、OPE、IPEQ 以及 OPEQ。埠 1 以及埠 2 之 SI、SO、IPE、OPE、IPEQ 以及 OPEQ 分別標示為 SI1、SO1、IPE1、OPE1、IPEQ1 以及 OPEQ1 以及 SI2、SO2、IPE2、OPE2、IPEQ2 以及 OPEQ2。

如上述般，各裝置 510 的 CS#輸入耦接至單一鏈節以同時選擇所有裝置 510。類似地，如上述般，各裝置 510 的 SCLK 耦接至單一鏈節，其組態成同時分配時脈信號至所有裝置 510。並且，如上述般，SI、SO、IPE、OPE、IPEQ 以及 OPEQ 耦接於裝置之間，使得以菊鍊串接之前一個裝置的 SO、IPEQ 以及 OPEQ 分別耦接至以菊鍊串接之後來的裝置的 SI、IPE 以及 OPE 以及 OPE 輸入。例如，裝置 510a 之 SO1、SO2、IPEQ1、IPEQ2、OPEQ1 以及 OPEQ2 分別耦接至裝置 510b 之 SI1、SI2、IPE1、IPE2、OPE1 以及 OPE2。

提供至裝置 510a 之 SI、IPE 以及 OPE 之 SI、IPE 以及 OPE 信號係來自例如記憶體控制器（未圖示）。裝置

510d 透過 SO、IPEQ 以及 OPEQ 提供資料以及控制信號回到記憶體控制器。

第 6 圖為包含組態為串聯菊鍊串接配置之具有多個序列輸入 (SI0 至 SIn) 以及多個序列輸出 (SO0 至 SOn) 之複數個雙埠裝置 610a-d 的範例裝置組態的方塊圖。另外，各裝置 610 具有 SCLK 輸入以及 CS#輸入，如上所述。

各裝置 610 使用之序列輸入 (SI0 至 SIn) 以及多個序列輸出 (SO0 至 SOn) 使資訊得以用序列方式分別輸入以及輸出自裝置 610。可分配特定任務給各輸入以輸入特定類型的資訊 (如位址、命令、資料) 及/或信號 (如致能信號) 至裝置 610。類似地，可分配特定任務給各輸出以從裝置 610 輸出特定類型的資訊及/或信號。例如，一或更多輸入可分配有致能將輸入至裝置 610 的位址資訊之任務。類似地，例如，一或更多輸出可分配有從裝置 610 輸出位址資訊之任務。

各裝置 610 的序列輸入以及序列輸出之數量典型取決於某些因素，如位址線的數量、命令大小以及資料寬度大小。這些因素會受到裝置係如何使用於特定系統應用中的影響。例如，與需要大量資訊之資料貯存的系統應用相比，需要用來儲存小量資訊之資料貯存的系統應用可使用有較少位址以及資料線的裝置，並且因此較少輸入/輸出。

第 7 圖為與描述與執行於單一裝置以及組態為序列菊

鍊串接配置之複數個裝置上之讀取操作相關的時序之時序圖。參考第 7 圖，確立 CS#以選擇所有的裝置。藉由透過 SI 確立 IPE 以及與讀取操作關聯之時脈資訊於裝置中開始讀取操作。例示地，此資訊包含指示將執行讀取操作之命令（CMD）以及指示哪裡讀取資料之記憶體中的起始位置之列位址（Col. ADD）以及行位址（Row ADD）。

於時間 “tR”，從記憶體讀取請求的資料並放至於包含於裝置中之特別內部資料緩衝器。tR 的長度典型由包含記憶體之單元的特性所決定。於時間 tR 之後，確立 OPE 以致能從內部資料緩衝器經由 SO 至以菊鍊串接之下一個裝置之資料序列傳輸。例示地，在 SCLK 的上升緣，從內部緩衝器在 SO 輸出序列地輸出資料。延遲從以菊鍊串接之裝置輸出的資料多達一個時脈週期以控制例如與傳播控制信號（如 IPE 以及 OPE）相關的潛時。將於後詳述，使用時脈同步化之閘鎖器執行該潛時控制。

快閃核心架構實施中之串接記憶體裝置的一些操作範例顯示於下列表 1 中。表 1 列出目標裝置位址（TDA）、可能的操作（OP）碼以及列位址、行/排位址之對應狀態以及輸入資料。

操作	目標裝置 位址 (1 位元組)	OP 碼 (1 位元組)	列位址 (2 位元組)	行/排位址 (3 位元組)	輸入資料 (1 位元組至 2112 位元組)
頁讀取	tda	00h	有效	有效	-
隨機資料讀取	tda	05h	有效	-	-
複製用之頁讀取	tda	35h	-	有效	-
複製用之目標位址輸入	tda	8Fh	-	有效	-
序列資料輸入	tda	80h	有效	有效	有效
隨機資料輸入	tda	85h	有效	-	有效
頁編程	tda	10h	-	-	-
區塊抹除	tda	60h	-	有效	-
讀取狀態	tda	70h	-	-	-
讀取識別碼(ID)	tda	90h	-	-	-
寫入組態暫存器	tda	A0h	-	-	有效(1 位元 組)
寫入裝置名字(DN)項目	00h	B0h	-	-	-
重設	tda	FFh	-	-	-
排選擇	tda	20h	-	有效(排)	-

表 1:命令集

於本發明之一些實施例中，顯示於第 1-6 圖中之系統的各裝置可具有獨特的裝置識別符，用來作為序列輸入資料中之目標裝置位址（tda）。當接收序列輸入資料時，快閃記憶體裝置剖析系列輸入資料中的目標位址欄位，並且藉由關聯目標裝置位址以及裝置的獨特識別碼來判斷是否裝置為目標裝置。

表 2 顯示根據本發明之較佳實施例之輸入資料流的較佳輸入順序，包含連同第 1-6 圖描述之系統。命令、位址以及資料從最大有效位元開始序列地位移進入以及離開各

記憶體裝置。

參考第 4 圖，裝置 410a-d 可以當輸入埠致能（IPE）為高位準（IPE）並在序列時脈（SCLK）之上升緣取樣之序列輸入信號（SIP）操作。命令順序以一位元組目標裝置位址（“tda”）以及一位元組的操作碼，亦可替換地稱為命令（表 1 中的“cmd”，開始。藉由以在最大有效位元之一位元目標裝置位址開始序列輸入信號，裝置可在處理接收到的任何額外的輸入資料之前剖析目標裝置位址欄位。若記憶體裝置非目標裝置，其則在處理前傳送序列輸入資料至另一資料，因此節省額外處理時間與資源。

操作	第 1 位 元 組	第 2 位 元 組	第 3 位 元 組	第 4 位 元 組	第 5 位 元 組	第 6 位 元 組	第 7 位 元 組	第 8 位 元 組	...	第 2116 位元 組	...	第 2119 位元 組
頁讀取	tda	cmd	ca	ca	ra	ra	ra	-	-	-	-	-
隨機資料讀取	tda	cmd	ca	ca	-	-	-	-	-	-	-	-
複製用之頁讀取	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
複製用之目標位址輸入	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
序列資料輸入	tda	cmd	ca	ca	ra	ra	ra	data	...	data	...	data
隨機資料輸入	tda	cmd	ca	ca	data	data	data	data	...	data	-	-
頁編程	tda	cmd	-	-	-	-	-	-	-	-	-	-
區塊抹除	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
讀取狀態	tda	cmd	-	-	-	-	-	-	-	-	-	-
讀取識別碼(ID)	tda	cmd	-	-	-	-	-	-	-	-	-	-
寫入組態暫存器	tda	cmd	data	-	-	-	-	-	-	-	-	-
寫入裝置名字 (DN) 項目	tda	cmd	-	-	-	-	-	-	-	-	-	-
重設	tda	cmd	-	-	-	-	-	-	-	-	-	-

表 2：以位元組模式之輸入順序

在 1 位元組的 cmd 碼之後，將 1 位元組的 TDA 位移^S

至裝置中。最大有效位元（MSB）從 SIP 開始並於序列時脈（SCLK）之上升緣閃鎖各位元。取決於命令，一位元組的命令碼之後可尾隨列位址位元組、行位址位元組、排位址位元組、資料位元組及/或組合或無。

第 8 圖為描述在組態為串聯菊鍊串接配置之裝置之間傳送的資訊有關之時序之時序圖。如上述，確立 CS#以選擇裝置。藉由於 SCLK 後續的上升緣確立 IPE 以及時脈資料至裝置中而將資訊輸入至以菊鍊串接之第一裝置。IPE 於不到一個週期中從第一裝置傳播至第二裝置。此致能資訊係在資訊時控進入第一裝置後的一個週期從第一裝置的 SO 時控進入第二裝置的 SI。針對以菊鍊串接的後續裝置重複此。因此，例如，在從於第一裝置之資料的閃鎖點算起 SCLK 之第三個上升緣時將資訊輸入至以串聯菊鍊串接的第三裝置。

第 9 圖為針對單埠裝置之範例序列輸出控制邏輯 900 的方塊圖。邏輯 900 包含 IPE 用之輸入緩衝器 902、SI（SIP）用之輸入緩衝器 904、OPE 用之輸入緩衝器 906、輸入閃鎖器控制 908、串聯至並聯暫存器 910、輸出閃鎖器控制 912、資料暫存器 914、位址暫存器 916、命令譯碼器 918、選擇器 920、頁緩衝器 924、邏輯 OR 閘 926、輸出緩衝器 928、選擇器 930 以及記憶體 950。

輸入緩衝器 902 為傳統低電壓電晶體至電晶體（LVTTTL）邏輯緩衝器，組態成緩衝在緩衝器之輸入提供至裝置之 IPE 信號的狀態。緩衝器 902 的輸出提供至輸入

門鎖器控制 908，其門鎖 IPE 信號的狀態並提供 IPE 信號之門鎖狀態至輸入緩衝器 904 以及選擇器 920。輸入緩衝器 904 為 LVTTL 緩衝器，組態成緩衝透過 SI 輸入提供至裝置之資訊。輸入緩衝器 904 由輸入門鎖器控制 908 的輸出致能。當被致能時，提供至 SI 輸入之資訊由緩衝器 908 提供至串聯至並聯暫存器 910 以及選擇器 930 之輸入。當從輸入門鎖器控制 908 提供之 IPE 信號的門鎖狀態指示 IPE 信號為確立時致能輸入緩衝器 904。提供至串聯至並聯暫存器 910 之資訊由暫存器 910 從串聯轉換成並連的形式。串聯至並聯暫存器 910 之輸出提供至資料暫存器 914、位址暫存器 916 以及命令譯碼器 918。

資料暫存器 914 以及位址暫存器 916 分別保存透過 SI 移供至裝置資料以及位址資訊。命令譯碼器 918 組態成解譯透過 SI 輸入至裝置之命令。這些命令進一步用來控制裝置之操作。例如，“寫入記憶體”命令可用來令裝置將包含於資料暫存器 914 之資料寫入至包含於裝置中在由位址暫存器 916 指定的位址之記憶體 950。

輸入緩衝器 916 為 LVTTL 緩衝器，組態成緩衝提供至裝置之 OPE 輸入的 OPE 信號。緩衝器 906 之輸出係傳送至輸出門鎖器控制 912，其門鎖 OPE 信號之狀態。輸出門鎖器控制輸出門鎖的 OPE 信號狀態至 OR 閘 926。OR 閘 926 為傳統的邏輯 OR 閘，其之輸出用來致能/取消輸出緩衝器 928 之輸出。

選擇器 920 為傳統的 2 至 1 多工器，其輸出由信號

DAISY_CHAIN 選擇的兩個輸入之一。如前述，這些輸入之一為來自輸入門鎖器控制 908 之 IPE 的門鎖狀態。另一輸入設定至邏輯低之狀況。信號 DAISY_CHAIN 指示裝置是否耦接至以串聯菊鍊串接配置之一或更多其他裝置。例如，若裝置耦接至以串聯菊鍊串接配置之一或更多其他裝置，則此信號為確立的。確立 DAISY_CHAIN 信號導致提供至選擇器 920 之 IPE 信號的門鎖狀態從選擇器 920 輸出。當未確立 DAISY_CHAIN 信號時，輸入至選擇器 920 之邏輯低狀況從選擇器 920 輸出。

頁緩衝器 924 為傳統的資料緩衝器，其組態成保存從記憶體 950 讀取之資訊。選擇器 930 為傳統的 2 至 1 多工器，其輸出由信號 ID_MATCH 選擇的兩個輸入之一。選擇器 930 之一輸入係從頁緩衝器 924 之輸出提供並且另依輸入係從 SI 輸入緩衝器 904 之輸出提供。選擇器 930 之輸出提供至輸出緩衝器 928。信號 ID_MATCH 指示透過 SI 發送至裝置之特定命令係定址給該裝置。若命令係定址給該裝置，確立 ID_MATCH，導致頁緩衝器 924 之輸出從選擇器 930 輸出。若無確立 ID_MATCH，SI 緩衝器 904 之輸出（亦即輸入至裝置的 SI 信號狀態）會從選擇器 930 輸出。

記憶體為組態成保存資料之傳統記憶體。記憶體 950 可為包含單元之隨機存取記憶體（RAM），如靜態 RAM（SRAM）、動態 RAM（DRAM）或快閃記憶體單元，其可使用透過 SI 輸入至裝置之位址定址。

操作上，確立之 IPE 信號由輸入緩衝器 902 緩衝並傳送至輸入門鎖器控制 908，其門鎖 IPE 之確立狀態。此門鎖狀態提供至選擇器 920 以及至輸入緩衝器 904 以致能此緩衝器 904。輸入至輸入緩衝器 904 之命令、位址以及資料資訊則傳送至串聯至並聯暫存器 910，其將資訊從串聯轉換成並聯形式並且將命令、位址以及資料資訊分別提供給命令解譯器、位址暫存器 916 以及資料暫存器 914。緩衝器 904 之輸出亦提供至選擇器 930。若 ID_MATCH 未確立，則緩衝器 904 之輸出會出現在選擇器 930 的輸出，其則會提供給輸出緩衝器 928 的輸入。若 DAISY_CHAIN 為確立，則 IPE 之門鎖狀態會出現在選擇器 920 之輸出並提供至 OR 閘 926 的第一輸入。OR 閘 926 遞送 IPE 的狀態至輸出緩衝器 928 以致能輸出緩衝器 928。這將允許輸入至 SI 輸入之資訊在 SO 從裝置輸出。

藉由確立 OPE 以及 ID_MATCH 將來自頁緩衝器 924 的資料自裝置輸出。詳言之，OPE 確立之狀態係提供至輸入緩衝器 906，其則將此狀態提供至輸出門鎖器控制 912，其門鎖此狀態。門鎖之確立狀態提供至 OR 閘 926 的第二輸入，其輸出一信號以致能輸出緩衝器 928。確立 ID_MATCH 致能頁緩衝器 924 之輸出出現在選擇器 930 的輸出。選擇器 930 的輸出提供至已致能的輸出緩衝器 928，其在裝置的 SO 輸出輸出來自裝置之資料。

注意到，若 DAISY_CHAIN 未確立，輸出緩衝器 928 僅由 OPE 致能。這允許裝置用於非菊鍊串聯串接配置

中。

第 10 圖為雙埠裝置之範例序列輸出控制邏輯 1000 之方塊圖。針對每一個埠，輸入以及控制路徑邏輯 1000 包含 IPE 輸入緩衝器 1002、SI 輸入緩衝器 1004、OPE 輸入緩衝器 1006、輸入門鎖器控制 1008、串聯至並聯暫存器 1010、輸出門鎖器控制 1012、資料暫存器 1014、位址暫存器 1016、命令譯碼器 1018、選擇器 1020、頁緩衝器 1024、邏輯 OR 閘 1026、輸出緩衝器 1028 以及選擇器 1030，其分別與上述 IPE 輸入緩衝器 902、SI 輸入緩衝器 904、OPE 輸入緩衝器 906、輸入門鎖器控制 908、串聯至並聯暫存器 910、輸出門鎖器控制 912、資料暫存器 914、位址暫存器 916、命令譯碼器 918、選擇器 920、頁緩衝器 924、邏輯 OR 閘 926、輸出緩衝器 928 以及選擇器 93 相同。

第 11 圖為可與此所述之技術一起使用之序列輸出控制邏輯 1100 之另一實施例的詳細方塊圖。邏輯 1100 包含 IPE 輸入緩衝器 1102、SI 輸入緩衝器 1104、OPE 輸入緩衝器 1106、SCLK 輸入緩衝器 1110、邏輯 AND 閘 1112 與 1114、門鎖器 1116、1118、1120 與 1122、選擇器 1124 與 1130、邏輯 OR 閘 1126 以及 SO 輸出緩衝器 1128。緩衝器 1104、1106、1108 與 1110 為傳統之 LVTTTL 緩衝器，分別組態成緩衝 SI、IPE、OPE 與 SCLK 信號。

AND 閘 1112 組態成當 IPE 為確立時輸出輸入至 SI 的

資訊至門鎖器 1116。門鎖器 1116 組態成當緩衝器 1110 提供時脈信號（SCLK）時門鎖該資訊。DATA_OUT 代表從包含於裝置中之記憶體（未圖示）讀取之資料的狀態。AND 閘 1114 組態成當 OPE 為確立時輸出 DATA_OUT 狀態。AND 閘 1114 的輸出提供給門鎖器 1118，其組態成當緩衝器 1110 提供時脈信號時門鎖 DATA_OUT 的狀態。緩衝器 1106 組態成緩衝提供至裝置的 IPE 信號。緩衝器 1106 的輸出係由門鎖器 1120 門鎖。類似地，緩衝器 1108 組態成緩衝提供至裝置之 OPE 信號。門鎖器 1122 組態成由緩衝器 1108 輸出之 OPE 的狀態。選擇器 1124 與 1130 為傳統的 2 至 1 多工器，各包含兩個輸入。選擇器 1124 之輸入由上述的 ID_MATCH 信號選擇作為選擇器 1124 的輸出。一輸出接收由門鎖器 1118 維持之 DATA_OUT 的門鎖狀態。當 ID_MATCH 為確立時，選擇此輸入作為從選擇器 1124 的輸出。另一輸出接收由門鎖器 1116 維持之 SI 的門鎖狀態。當 ID_MATCH 未確立時，選擇此輸入作為從選擇器 1124 的輸出。

由上述的 DAISY_CHAIN 信號選擇選擇器 1130 之輸入作為選擇器 1130 的輸出。至選擇器 1130 之一輸出接收由門鎖器 1120 維持之 IPE 的門鎖狀態並且另一輸入連接至邏輯零。當 DAISY_CHAIN 為確立時，選擇 IPE 之門鎖狀態作為從選擇器 1130 的輸出。類似地，當 DAISY_CHAIN 未確立時，選擇邏輯零作為從選擇器 1130 的輸出。

OR 閘 1126 為傳統的邏輯 OR 閘，其組態成提供致能/取消信號至輸出緩衝器 1128。OR 閘 1126 接收選擇器 1130 之輸出以及由閃鎖器 1122 維持之 OPE 之閃鎖狀態。這些輸出之一可用來提供致能信號給緩衝器 1128 以致能緩衝器的輸出。緩衝器 1128 為緩衝輸出信號 SO 之傳統的緩衝器。如上述，由 OR 閘 1126 的輸出致能/取消緩衝器 1128。

操作上，當 IPE 為確立時，透過 SI 輸入至裝置之資訊係提供給閃鎖器 1116。閃鎖器 1116 例示地在 IPE 確立後 SCLK 之第一向上轉變時閃鎖此資訊。類似地，閃鎖器 1120 在 SCLK 轉變時閃鎖 IPE 的狀態。假設 ID_MATCH 未確立，閃鎖器之 1116 輸出會經由選擇器 1124 提供至緩衝器 1128。類似地，確立之 IPE 係從緩衝器 1106 傳送至閃鎖器 1120，於該處亦例示地在 SCLK 之第一向上轉變時進行閃鎖。假設 DAISY_CHAIN 為確立，則 IPE 的閃鎖狀態係提供於選擇器 1130 之輸出並且傳送至 OR 閘 1126 以提供致能信號至緩衝器 1128。接著 SI 之閃鎖狀態從該裝置透過緩衝器 1128 作為 SO 輸出地傳送。

當 DAISY_CHAIN 未確立，選擇輸入至選擇器 1130 之邏輯零，以從選擇器 1130 輸出邏輯零。此有效地取消 IPE 而不致能緩衝器 1128。

例示地，在 OPE 確立後的下一個向上轉變時，OPE 的確立狀態閃鎖於 1122，並且 DATA_OUT 的狀態閃鎖於閃鎖器 1118。假設 ID_MATCH 為確立，則選擇器 1124 選

擇 DATA_OUT 之門鎖狀態並提供緩衝器 1128 的輸入。同時，來自門鎖器 1122 之 OPE 的門鎖確立狀態通過 OR 閘 1126 以致能緩衝器 1128，其令 DATA_OUT 的門鎖狀態自裝置作為輸出 SO 輸出。

第 12 圖為包含範例序列輸出控制邏輯並且組態為串聯菊鍊串接配置之裝置的範例組態的方塊圖。此配置包含三個裝置 1210，組態成以菊鍊串接之前一個裝置的輸出耦接至以菊鍊串接之下一個裝置的輸入，如上述。從一裝置至下一個裝置之資訊與資料的傳送參照下列第 13 圖描述。

第 13 圖為描述與顯示於第 12 圖中之裝置的輸入與輸出相關之時序的範例時序圖。詳言之，此圖描述各裝置中之序列輸出控制邏輯 1100 有關於將於各裝置 1210 之 SI 輸入所輸入之資訊送至裝置 1210 之 SO 輸出之操作。

參照第 11、12 以及 13 圖，假設 DAISY_CHAIN 為確立。當在裝置 1210a IPE 為確立時，在裝置之 SI 輸入的資訊係經由上述之裝置的序列輸出控制邏輯 1100 送至裝置 1210a 的輸出。詳言之，於 IPE 確立後的 SCLK 之各上升緣例示地時控資料進入裝置 1210a。資訊以及 IPE 的狀態經由上述之邏輯 1100 傳播並分別在裝置之 SO 以及 IPEQ 輸出自裝置 1210a 離開。這些輸出提供給裝置 1210b 之 SI 以及 IPE 輸入，經由上述之裝置 1210b 的序列輸出控制邏輯 1100，並於一時脈週期後在裝置的 SO 以及 IPEQ 輸出處自裝置 1210b 輸出。這些輸出分別於圖中由 S2 與 P2 代

表。類似地，裝置 1210b 之 SO 以及 IPEQ 輸出分別提供至裝置 1210c 之 SI 以及 IPE，經由上述之裝置 1210c 的序列輸出控制邏輯 1100，於一時脈週期後在裝置的 SO 以及 IPEQ 輸出處自裝置 1210c 輸出。這些輸出分別於圖中由 S3 與 P3 代表。

於上述菊鍊串接配置中，針對 SDR 操作，以菊鍊串接的信號之輸出潛時可用下列方公式決定：

$$\text{輸出_潛時} = N * \text{時脈_週期_時間}$$

其中：

“輸出_潛時”為資料之輸出潛時

“N”為以菊鍊串接配置的裝置數量，以及

“時脈_週期_時間”為時脈（如 SCLK）操作之時脈週期時間。

例如，假設第 12 圖中顯示之以菊鍊串接的時脈_週期_時間為 10 奈米秒。在裝置 1210c 之 SO 的資料總輸出潛時為 $3 * 10$ 奈米秒或 30 奈米秒。

於 DDR 操作的情況中，時脈的兩緣皆可作為輸入資料之閃鎖點以及輸出資料的改變點。因此，總潛時為 SDR 操作的一半。

注意到於上述說明中，輸入至裝置 1210 之資訊係針對 SDR 操作於一時脈週期之後輸出以及針對 DDR 操作於半時脈週期後輸出。引進此潛時以考量到啟動輸出緩衝器

1128 的時間。

第 14 圖為用來傳送包含以菊鍊串接之第一裝置 1450a 的記憶體中之資料至以菊鍊串接之第二裝置 1450b 之邏輯 1400 方塊圖。邏輯 1400 包含資料輸出暫存器 1402、OPE 輸入緩衝器 1404、SCLK 輸入緩衝器 1406、AND 閘 1408、資料輸出門鎖器 1410、OPE 狀態門鎖器 1412、選擇器 1414、SO 輸出緩衝器 1416 以及 OPEQ 輸出緩衝器 1418。

資料輸出暫存器 1402 為傳統的暫存器，其組態成儲存讀取自包含於裝置 1450 中之記憶體的資料。暫存器 1402 例示地為並聯至串聯資料暫存器，其載入來自記憶體之並聯的資料並串聯輸出資料至閘 1408 的輸入。SCLK 提供由暫存器 1402 用來傳送資料至閘 1408 的時脈。如所示，資料暫存器 1402 組態成保存包含位元 D0 至 D7 之一位元組的資料，其中 D0 為位元組的最小有效位元（LSB）以及 D7 為該位元組的最大有效位元（MSB）。從記憶體並聯載入一位元組之資料於暫存器 1402。接著從暫存器位移的資料係從 MSB 一位元一位元地提供至閘 1408 的輸出。

緩衝器 1404 以及 1406 分別為用來緩衝輸入信號 OPE 以及 SCLK 之傳統的 LVTTTL 緩衝器。OPE 信號從緩衝器 1404 之輸出（OPEI）傳送至閘 1408。SCLK 信號從緩衝器 1406 之輸出傳送至資料輸出暫存器 1402 以及門鎖器 1410 與 1412 以提供時脈至這些構件。

閘 1408 為傳統的邏輯 AND 閘，其組態成當 OPE 為確立時傳送資料輸出暫存器 1402 的輸出 (DATA_OUT) 至閘鎖器 1410。閘 1408 的輸出指定為 “DBIT”。閘鎖器 1410 與 1412 為組態成分別閘鎖 DBIT 以及 OPE 信號的狀態之傳統的閘鎖器。選擇器 1414 為由信號 ID_MATCH 控制之傳統的兩輸入 2 至 1 多工器。資料輸入之一接收 DBIT 的閘鎖狀態。此狀態係當 ID_MATCH 為確立時從選擇器 1414 輸出。另一輸入接收透過 SI 輸入至裝置 1450a 之序列資訊 (SI0)。此資訊係當 ID_MATCH 未確立時從選擇器 1414 輸出。

緩衝器 1416 與 1418 為組態成分別緩衝輸出選擇器 1414 以及閘鎖器 1406 的輸出之傳統的緩衝器。緩衝器 1416 的輸出作為 SO (SO0) 離開裝置 1450a 並且緩衝器 1418 的輸出作為 OPEQ (OPEQ0) 離開裝置 1450a。

第 15 圖為描述與使用邏輯 1400 傳送包含於裝置 1450a 中的記憶體中之一位元組的資料至裝置 1415b 相關的時序之時序圖。參考第 14 與 15 圖，在 OPE 於輸入緩衝器 1404 提供至裝置 1450a 之後沒多久 OPEI 為確立。OPEI 提供至閘 1408 以致使於資料輸出暫存器 1402 的 D7 中出現的資料在 SCLK 的下一個上升緣閘鎖於閘鎖器 1408。並且，此下一個上升緣令資料於資料輸出暫存器 1402 中右移，使 D6 中的資料位移至 D7、D5 中的資料位移至 D6 以及以此類推。閘鎖器 1410 之輸出係出現在選擇器 1414，其假設 ID_MATCH 確立，輸出資料之閘鎖狀態

至緩衝器 1416。緩衝器 1416 從裝置 1450a 作為 SO0 輸出此門鎖狀態，其提供至以菊鍊串接的下一個裝置 1450b 之 SI 輸入（SI1）。同時，亦在 OPE 確立後的第一時脈之上升緣，OPE 的狀態門鎖於門鎖器 1412。門鎖 1412 的輸出係傳送至緩衝器 1418，其從裝置 1450a 作為 OPEQ（OPEQ0）輸出 OPE 的門鎖狀態，其提供給以菊鍊串接的下一個裝置 1450b 之 OPE 輸入（OPE1）。針對位元 D6 至 D0 重複此程序。

雖然已參照本發明之較佳實施例特別顯示與描述本發明，熟悉該項技藝者應該了解到可作出各種形式與細節上的變化而不悖離由所附之申請專利範圍包含之本發明的範疇。

【符號說明】

110a-e：裝置

210a-e：裝置

310a-e：雙埠裝置

900、1000、1100、1400：邏輯

902、1002、1102：輸入緩衝器

904、1004、1104：輸入緩衝器

906、1006、1106：輸入緩衝器

908、1008：輸入門鎖器控制

910、1010：串聯至並聯暫存器

912、1012：輸出門鎖器控制

914、1014：資料暫存器
916、1016：位址暫存器
918、1018：命令譯碼器
920、1020、1120：選擇器
924、1024：頁緩衝器
926、1026、1126：邏輯 OR 閘
928、1028、1128：輸出緩衝器
930、1030、1130：選擇器
950：記憶體
1110：SCLK 輸入緩衝器
1112、1114：邏輯 AND 閘
1116、1118、1120、1122：閃鎖器
1210a-c：裝置
1450a-c：裝置
1402：資料輸出暫存器
1404：OPE 輸入緩衝器
1406：SCLK 輸入緩衝器
1408：AND 閘
1410：資料輸出閃鎖器
1412：OPE 狀態閃鎖器
1414：選擇器
1416：SO 輸出緩衝器
1418：OPEQ 輸出緩衝器

發明摘要

※申請案號：103113209 (由95136434分割)

※申請日：095 年 09 月 29 日

※IPC 分類：G11C 5/06 (2006.01)

G11C 7/10 (2006.01)

【發明名稱】(中文/英文)

G11C 15/06 (2006.01)

菊鍊串接裝置

Daisy chain cascading devices

【中文】

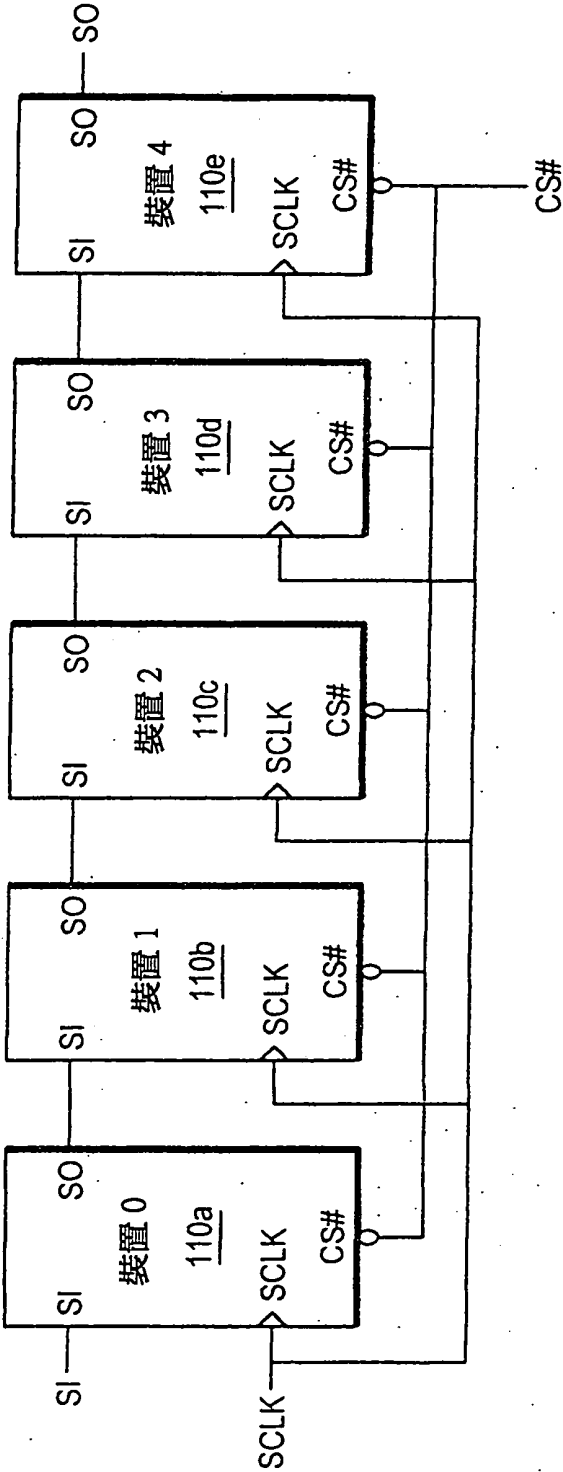
一種用於以菊鍊串接配置的串聯式耦接裝置之技術。裝置以菊鍊串接配置加以耦接，使得於菊鍊串接中，第一裝置之輸出耦接至隨後之第二裝置之輸入，以便於從第一裝置將例如資料、位址以及命令資訊之資訊，以及控制信號傳送到第二裝置。以菊鍊耦接的裝置包含序列輸入(SI)以及序列輸出(SO)。透過 SI 輸入資訊至裝置。透過 SO 從裝置輸出資訊。以菊鍊串接之前一個裝置的 SO 耦接至以菊鍊串接之後一個裝置的 SI。透過裝置的 SI 輸入至前一個裝置之資訊係通過該裝置並透過該裝置的 SO 從該裝置輸出。此資訊接著透過前一個裝置之 SO 以及後一個裝置之 SI 的連結而傳送至下一個裝置的 SI。

【英文】

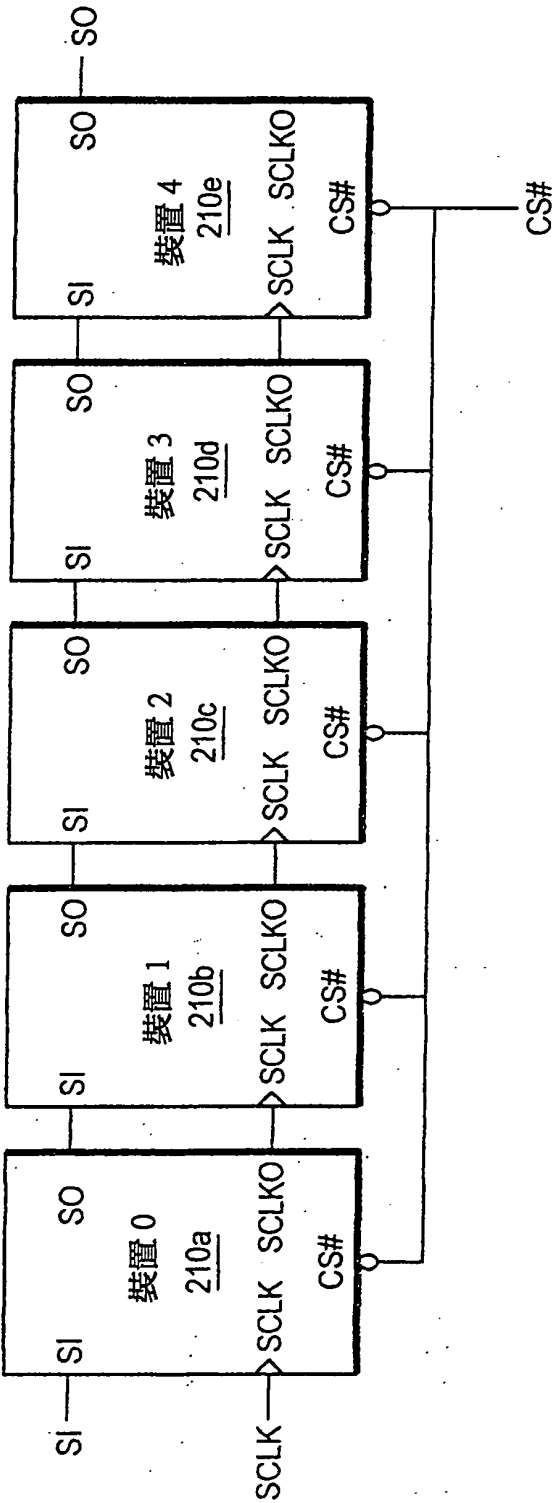
A technique for serially coupling devices in a daisy chain cascading arrangement. Devices are coupled in a daisy chain cascade arrangement such that outputs of a first device are coupled to inputs of a second device later in the daisy chain to accommodate the transfer of information, such as data, address and command information, and control signals to the second device from the first device. The devices coupled in the daisy chain comprise a serial input (SI) and a serial output (SO). Information is input to a device via the SI. The information is output from the device via the SO. The SO of an earlier device in the daisy chain cascade is coupled to the SI of a device later in the daisy chain cascade. Information input to the earlier device via the device's SI is passed through the device and output from the device via the device's SO. The information is then transferred to the later device's SI via the connection from the earlier device's SO and the later device's SI.

圖 式

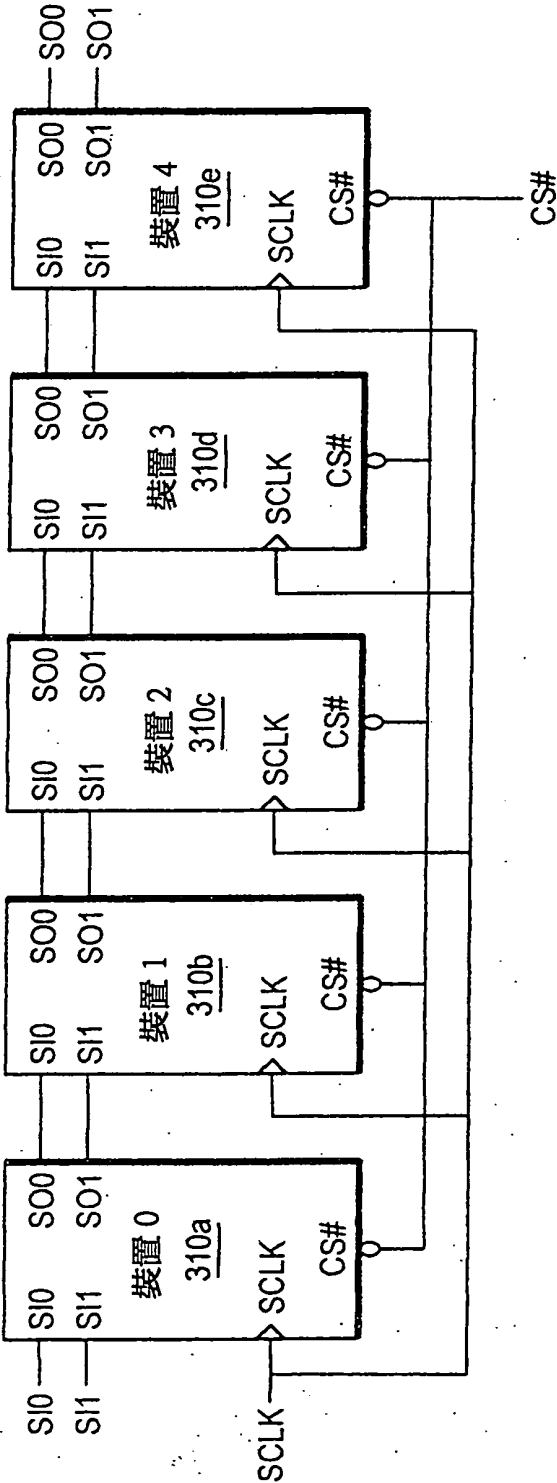
第1圖



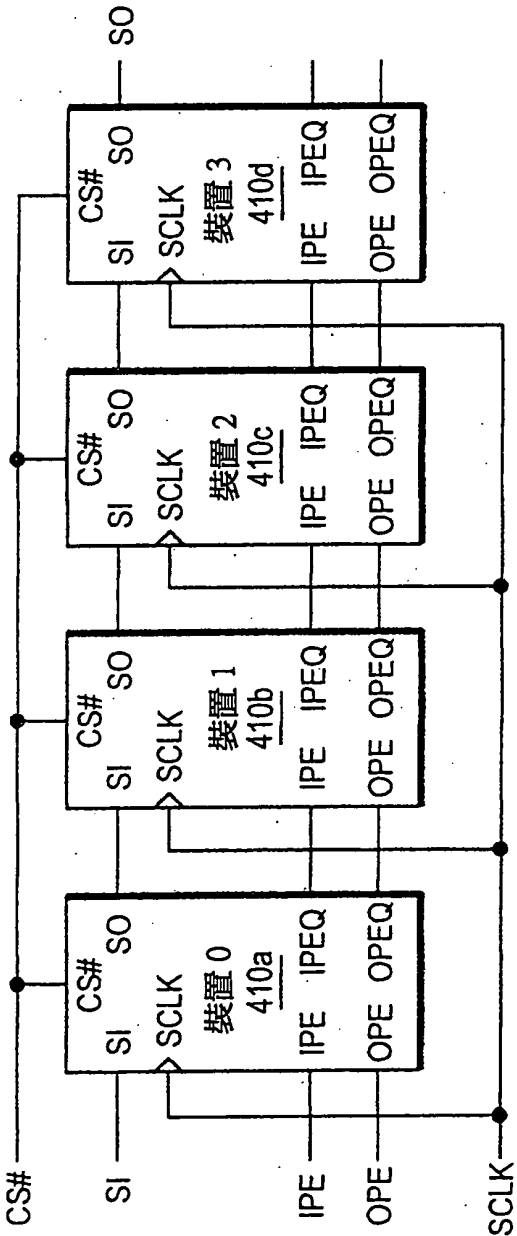
第2圖



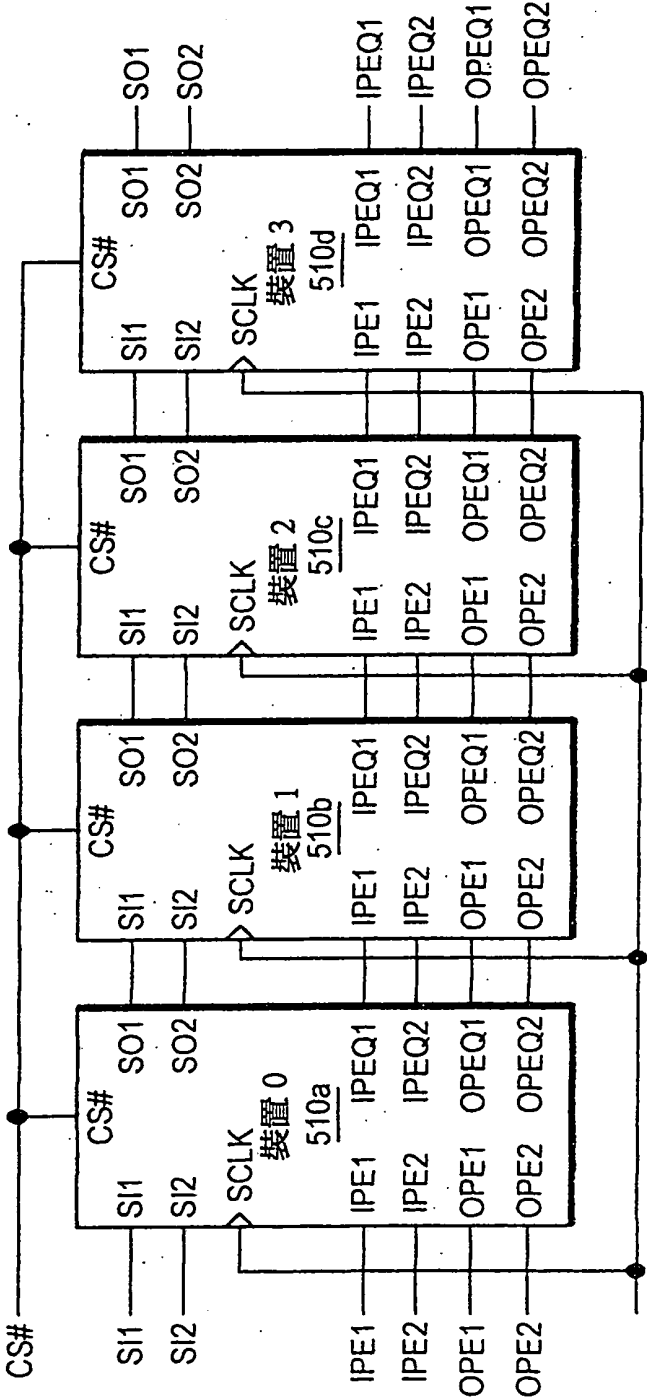
第3圖



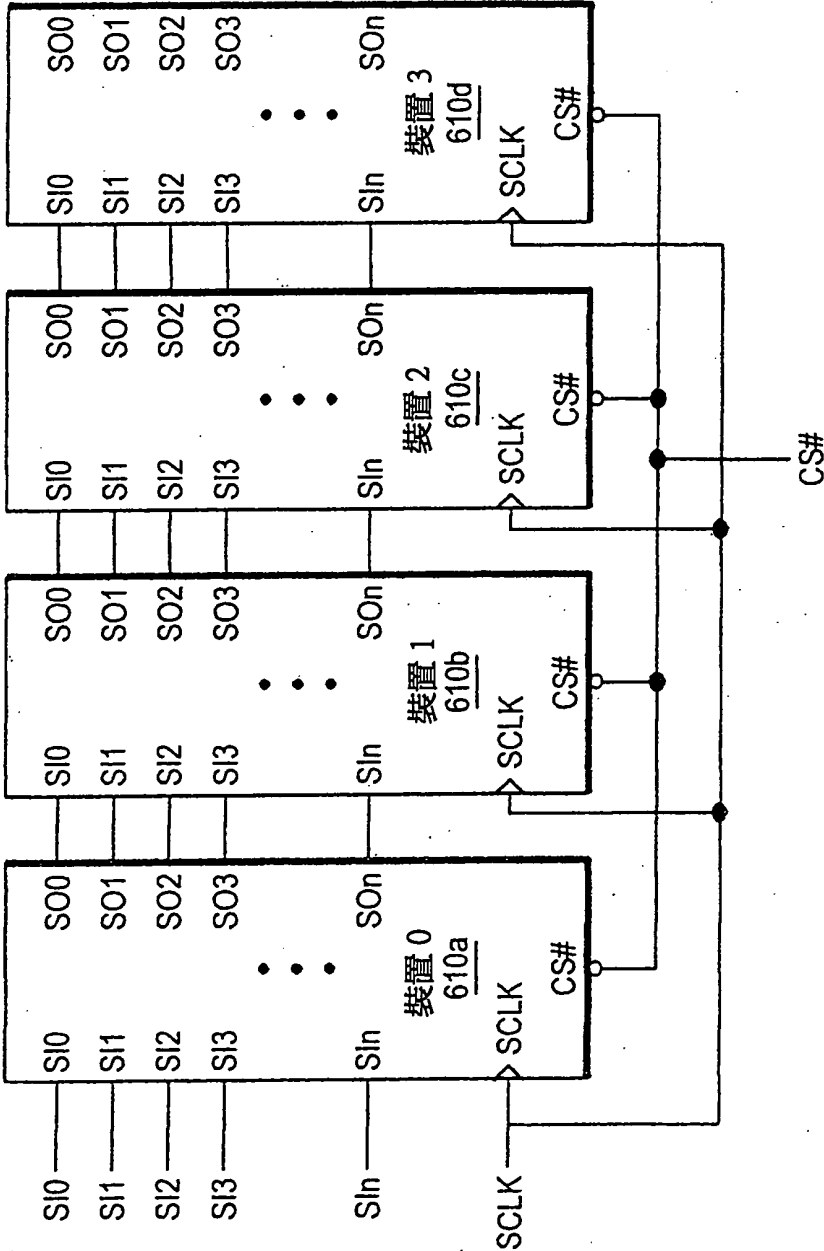
第4圖



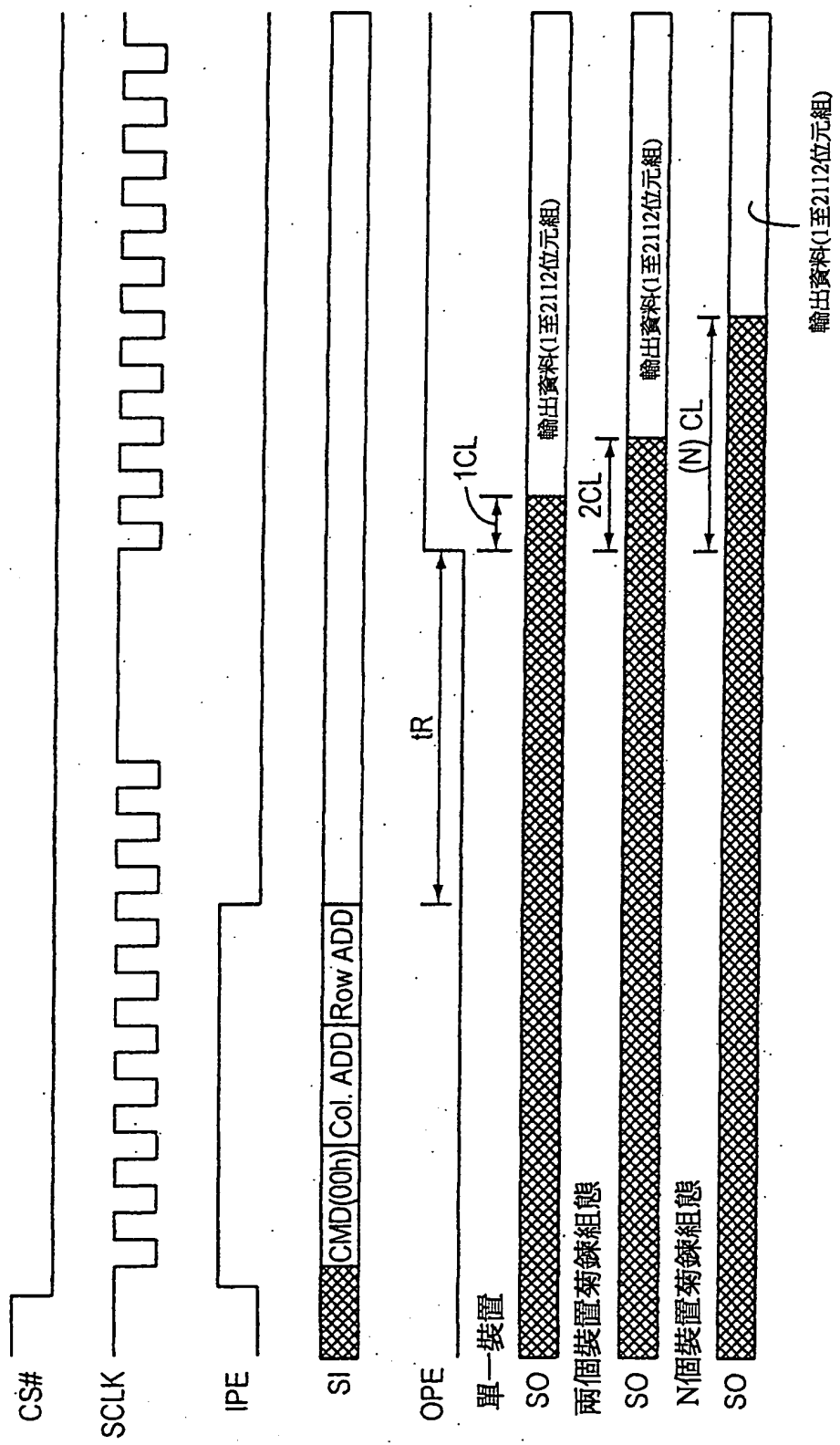
第5圖



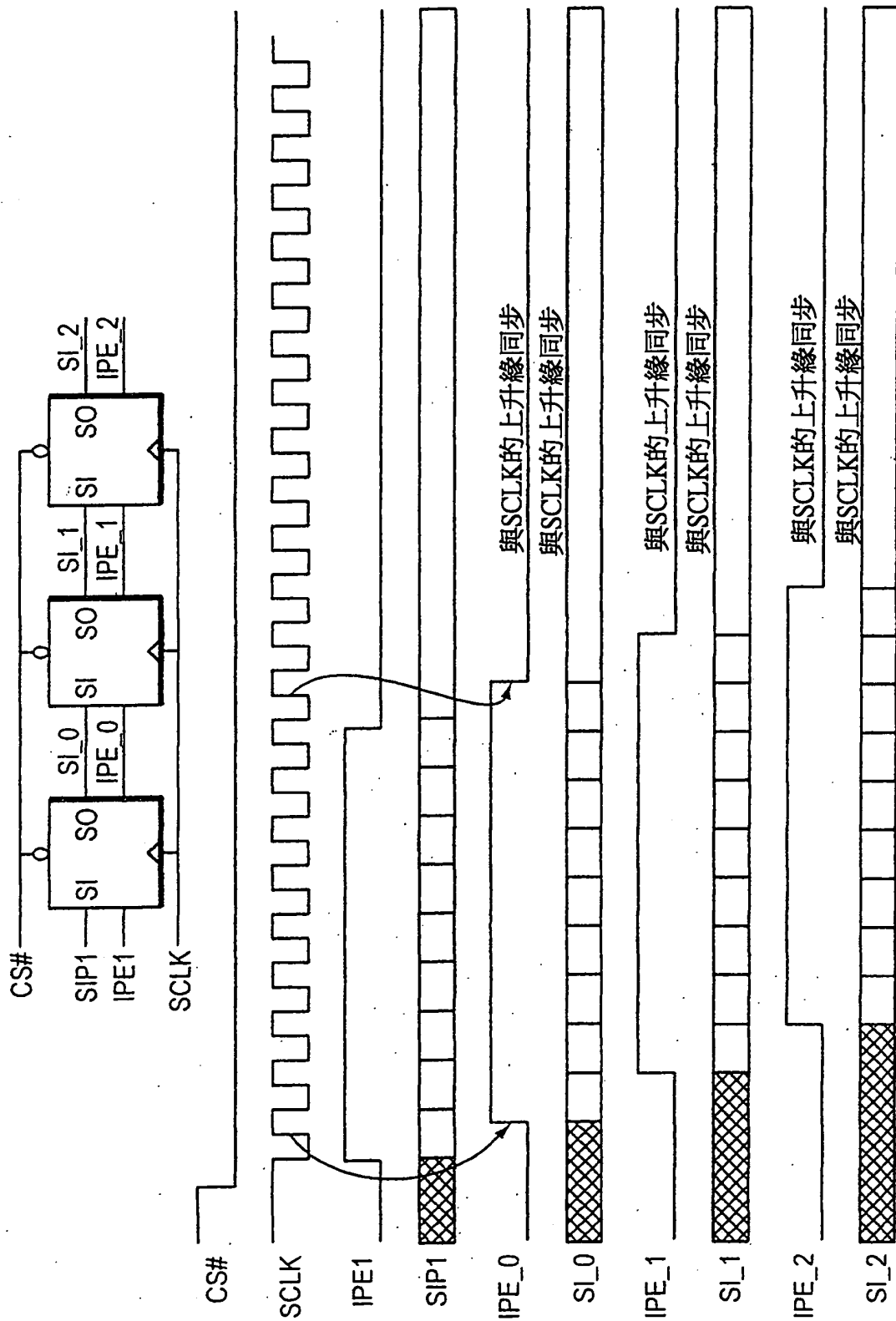
第6圖



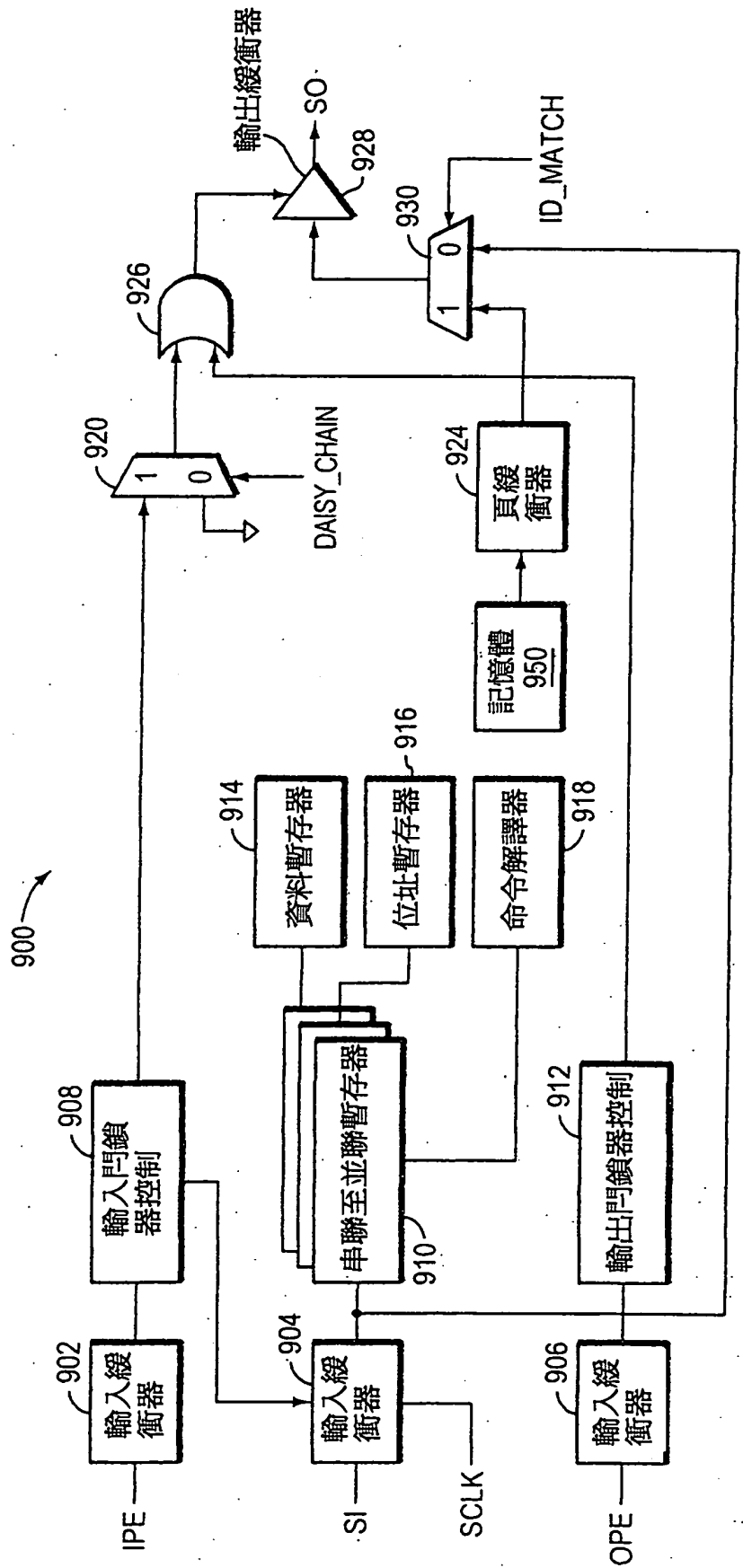
第7圖



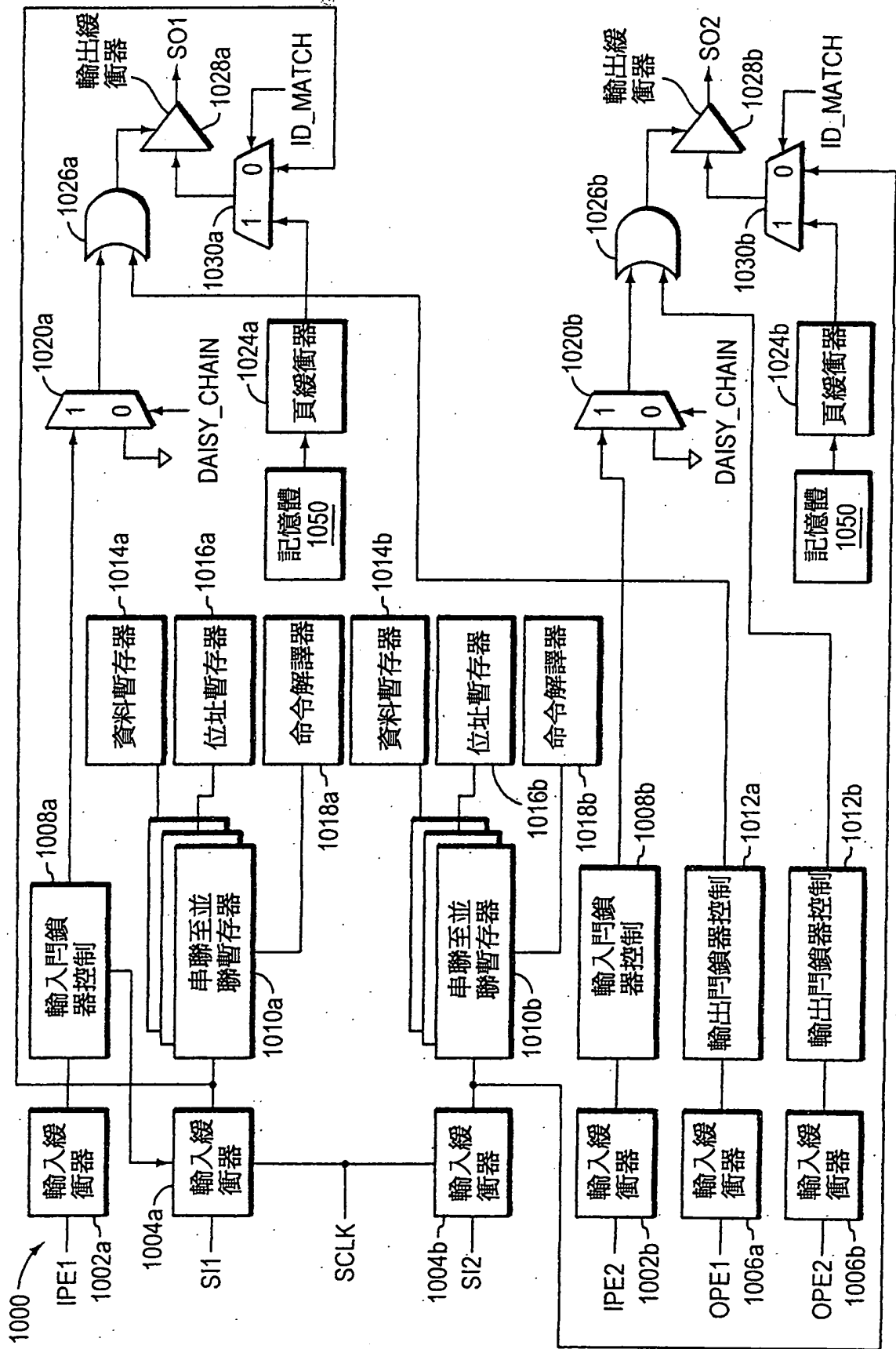
第8圖



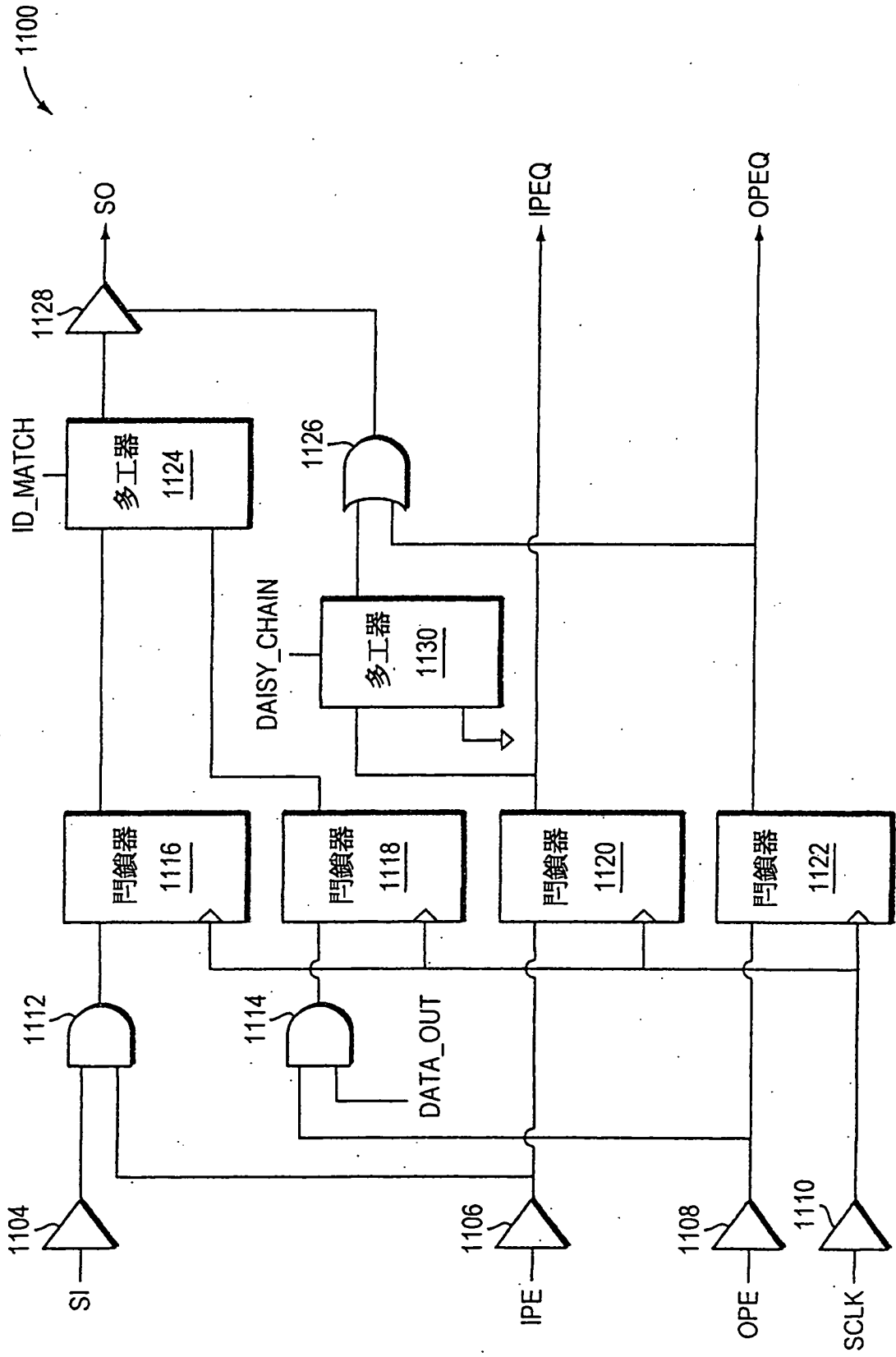
第9圖



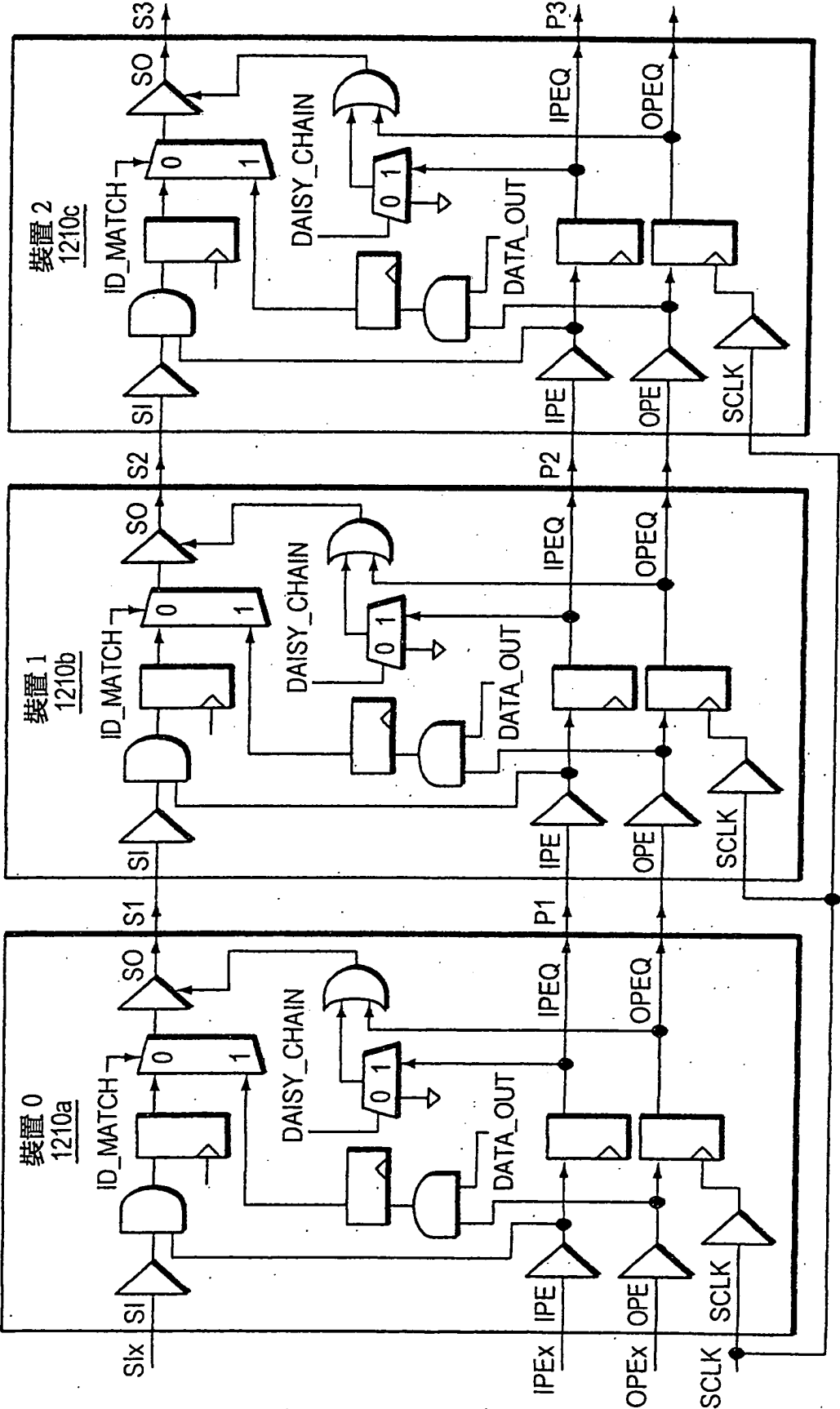
第10圖



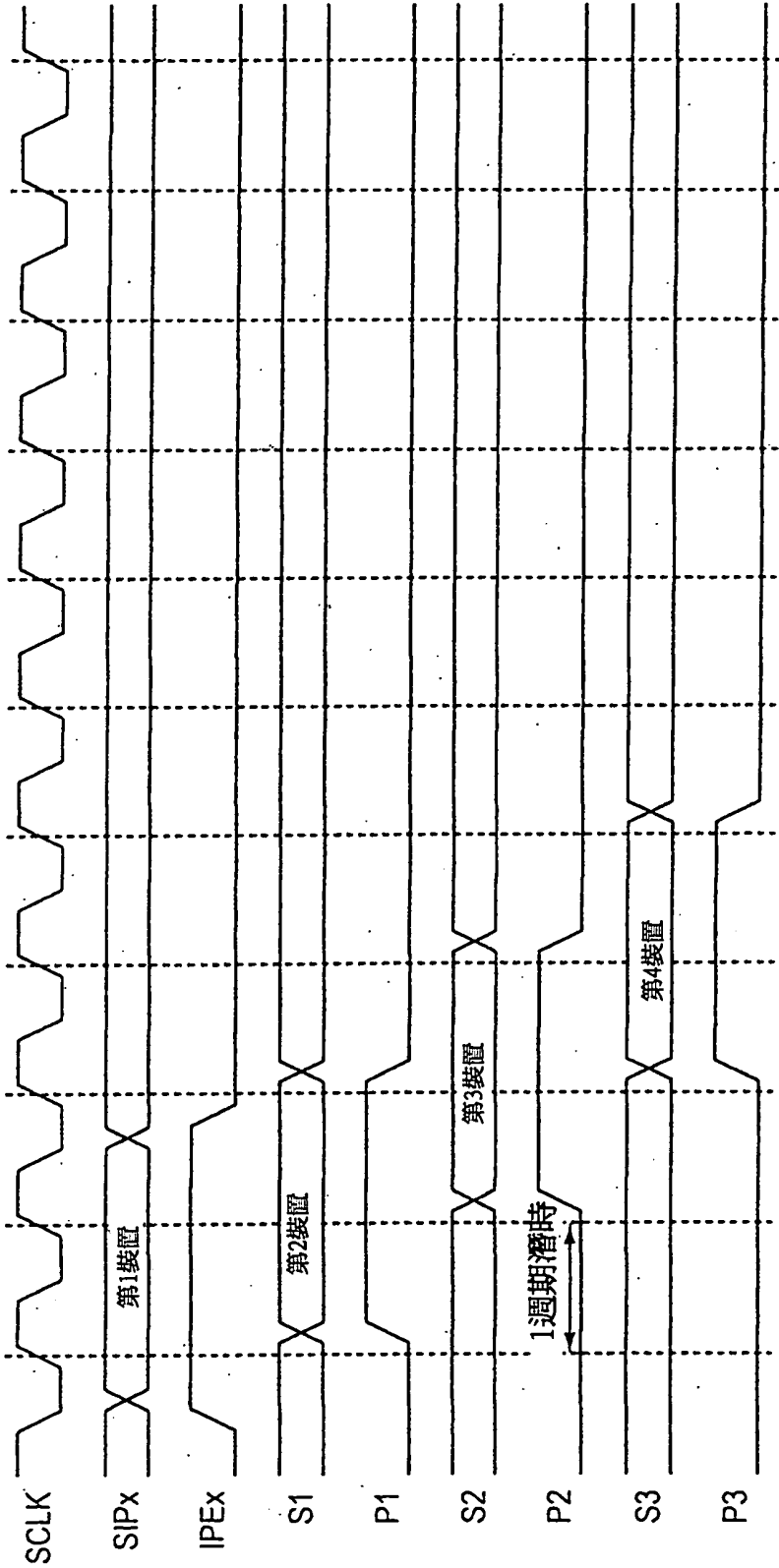
第11圖



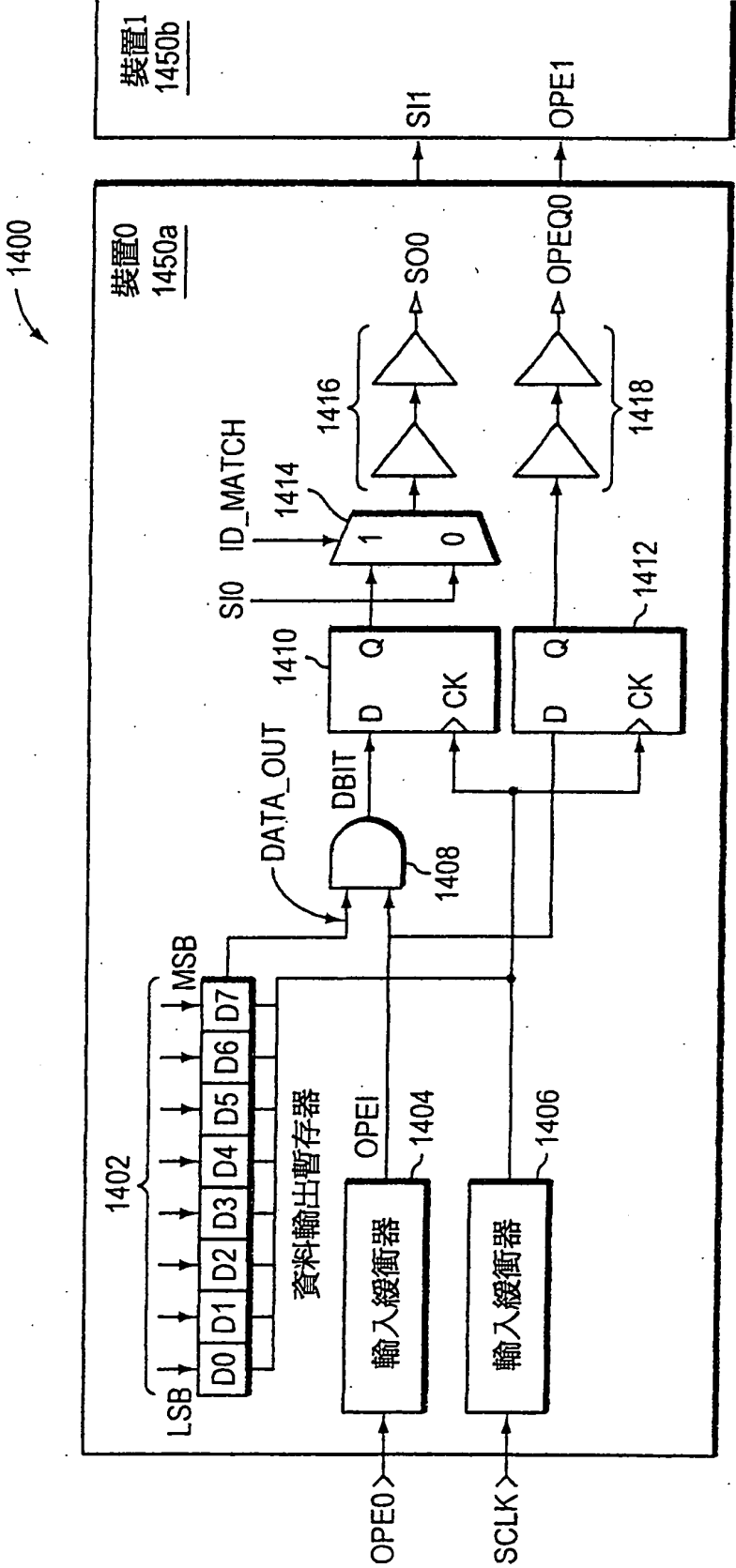
第12圖



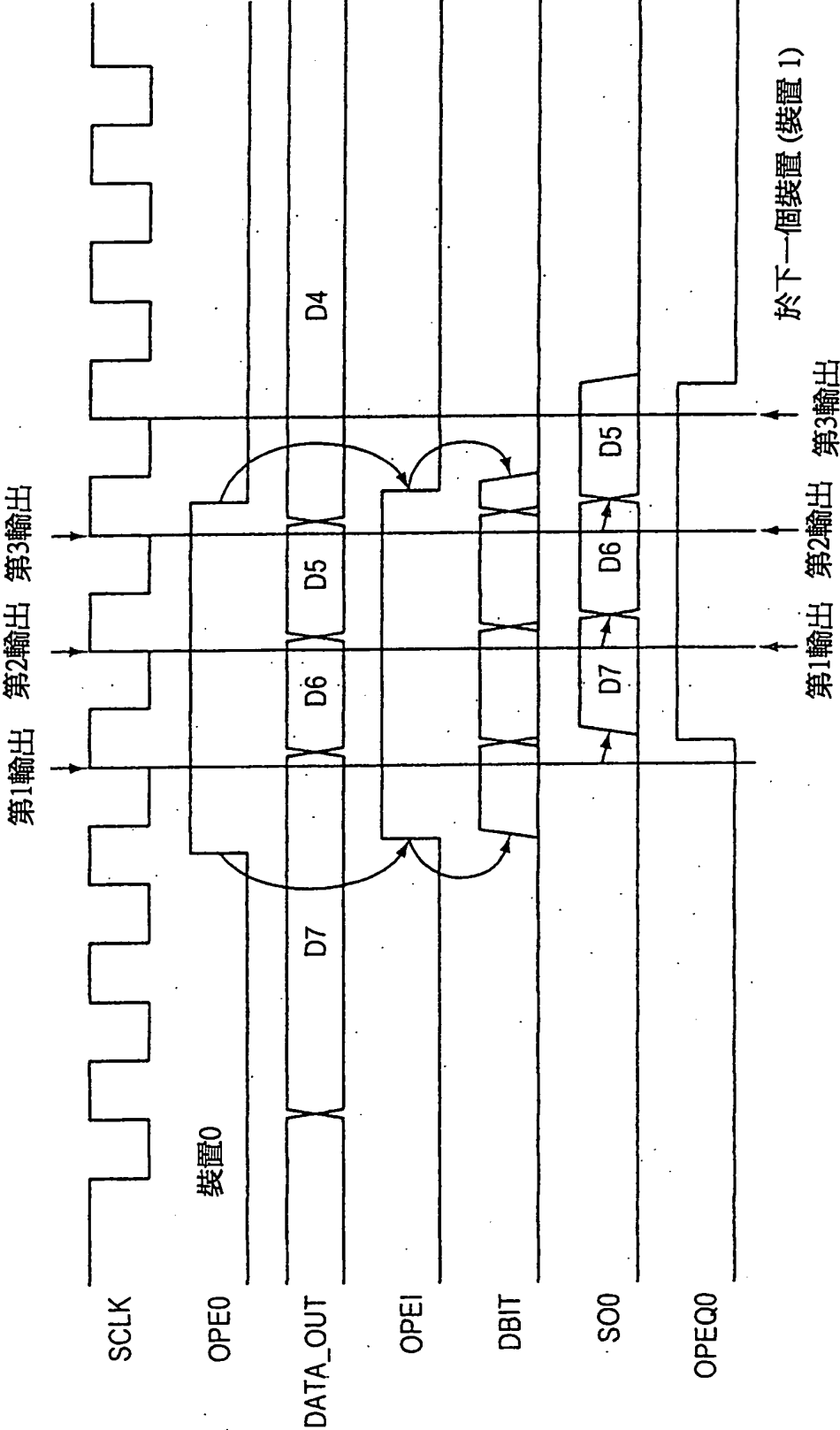
第13圖



第14圖



第15圖



【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

210a-e：裝置

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1.一種半導體記憶體裝置，包含：

記憶體；

用於在資料輸入埠接收輸入資料和傳輸輸出資料到輸出埠的第一電路；

用於接收輸入時脈信號的第二電路，該第一電路與該輸入時脈信號同步地接收該輸入資料；

用於接收第一輸入致能信號和輸出第二致能信號的第三電路；

用於接收輸出埠致能輸入信號的輸出埠致能輸入，當該輸出埠致能信號在一段時間內被設置為第一邏輯電平時，該輸出埠致能輸入信號被用於使得該記憶體裝置能夠發送串列輸出信號至外部裝置；以及

用於輸出輸出埠致能輸出信號的輸出埠致能輸出。

2.如申請專利範圍第 1 項之半導體記憶體裝置，其中該第三電路被配置為接收該第一輸入致能信號以用於該資料輸入埠和該記憶體之間的資料傳輸。

3.如申請專利範圍第 1 項之半導體記憶體裝置，其中該第二輸入致能信號源於該第一輸入致能信號。

4.如申請專利範圍第 1 項之半導體記憶體裝置，其中該輸入資料包括串列資料，該第一電路被配置為：

轉換該串列資料為並行資料並傳輸轉換後的資料到記憶體；或者

將從記憶體得到的並行資料轉換為串列資料。

5.如申請專利範圍第 1 項之半導體記憶體裝置，其中該第三電路被配置為在輸入埠接收可執行指令以控制輸入資料和輸出資料到記憶體和來自記憶體的傳輸。

6.如申請專利範圍第 5 項之半導體記憶體裝置，還包括裝置識別符。

7.如申請專利範圍第 6 項之半導體記憶體裝置，其中該第三電路還被配置以控制：

響應於目標裝置位址而對該記憶體的存取，該目標裝置位址與和該裝置相關的該裝置識別符相應，該目標裝置位址包含在該輸入資料的目標裝置位址欄位中；或者

該資料傳輸到該記憶體中由輸入資料的位址欄位所識別的位置。

8.如申請專利範圍第 1 項之半導體記憶體裝置，其中該記憶體、該第一電路和該第三電路位於具有單側墊架構之單一封裝內。

9.如申請專利範圍第 1 項之半導體記憶體裝置，其中該記憶體包含非依電性記憶庫。

10.如申請專利範圍第 9 項之半導體記憶體裝置，其中該非依電性記憶庫包含快閃記憶庫。

11.一種控制資料在鏈結介面與半導體裝置中具有記憶庫之記憶體之間的傳輸之方法，該方法包含：

接收輸入資料流；

接收第一輸入致能信號；

接收時脈輸入信號；

致能回應於該第一輸入致能信號對所接收到的輸入資料的處理，以在該記憶體中儲存資料或從該記憶體存取資料；

發送源於該第一輸入致能信號的第二輸入致能信號；
發送輸出資料流；以及

接收輸出埠致能輸入信號，當該輸出埠致能輸入信號在一段時間內被設置為第一邏輯電平時，該輸出埠致能輸入信號使得該記憶體能夠發送串列輸出資料到外部裝置。

12.如申請專利範圍第 11 項之方法，進一步包含：

解析輸入資料流程以提取裝置位址、命令、以及該記憶庫的記憶庫位址。