

(12) 发明专利申请

(10) 申请公布号 CN 102298966 A

(43) 申请公布日 2011. 12. 28

(21) 申请号 201110144117. 3

(22) 申请日 2011. 05. 31

(30) 优先权数据

10-2010-0051190 2010. 05. 31 KR

61/349, 995 2010. 05. 31 US

13/012, 037 2011. 01. 24 US

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金武星

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张泓

(51) Int. Cl.

G11C 16/02 (2006. 01)

G11C 16/34 (2006. 01)

G11C 16/24 (2006. 01)

G11C 29/38 (2006. 01)

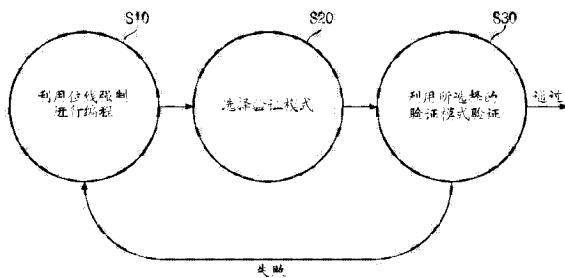
权利要求书 7 页 说明书 26 页 附图 27 页

(54) 发明名称

非易失性存储器设备、系统及编程方法

(57) 摘要

本申请给出了非易失性存储器设备、存储系统和操作非易失性存储器设备的相关方法。在编程操作期间，非易失性存储器设备能够使用位线强制，并且还能够基于所评估的编程条件，从一组验证模式中选择验证模式以便在验证操作期间使用。



1. 一种操作非易失性存储器设备的方法,包括:

通过将第 i 编程电压施加到连接至存储单元的字线以及 (1) 如果所述存储单元是快速存储单元则施加位线强制电压到连接至所述存储单元的位线或者 (2) 如果所述存储单元是慢速存储单元则施加小于位线强制电压的位线编程电压到位线,来执行针对所述存储单元的编程操作的第 i 编程间隔;

评估编程条件;

基于所评估的编程条件从一组验证模式中选择验证模式;以及对于所述存储单元使用所选择的验证模式来执行验证操作。

2. 如权利要求 1 所述的方法,其中,所述验证操作包括:

当所述存储单元的阈值电压驻留于目标阈值电压分布内时,确定所述存储单元是通过存储单元;

当所述存储单元的阈值电压驻留于小于所述目标阈值电压分布的接近阈值电压范围内时,确定所述存储单元是快速存储单元;以及

当所述存储单元的阈值电压驻留于小于所述接近阈值电压范围的远距阈值电压范围中时,确定所述存储单元是慢速存储单元。

3. 如权利要求 2 所述的方法,还包括:

当确定所述存储单元是通过存储单元时,终止所述编程操作;以及

当确定所述存储单元是快速存储单元或者慢速存储单元时,通过将第 i+1 编程电压施加到所述字线以及 (1) 如果所述存储单元是快速存储单元则施加所述位线强制电压到所述位线或者 (2) 如果所述存储单元是慢速存储单元则施加所述位线编程电压到所述位线,来执行所述编程操作的第 i+1 编程间隔。

4. 如权利要求 3 所述的方法,其中,第 i 和第 i+1 编程电压通过增量步进编程脉冲 (ISPP) 方案定义的,其中第 i+1 编程电压比第 i 编程电压大定义的 ISPP 步进电压。

5. 如权利要求 1 所述的方法,其中,所述选择验证模式包括在单步验证模式与多步验证模式之间进行选择。

6. 如权利要求 5 所述的方法,还包括:

定义与已执行编程间隔的数目关联的编程间隔阈值;以及

其中,所述在单步验证模式与多步验证模式之间进行选择包括:

将当前编程间隔与所述编程间隔阈值相比较,并且如果所述当前编程间隔小于所述编程间隔阈值则选择所述多步验证模式,否则选择所述单步验证模式。

7. 如权利要求 5 所述的方法,其中,所述多步验证模式包括:

在第一验证步骤期间,将所述存储单元的当前阈值电压与预验证电压相比较;以及

在第二验证步骤期间,将所述当前阈值电压与验证电压相比较。

8. 如权利要求 7 所述的方法,还包括:

如果所述当前阈值电压小于所述预验证电压,则指定所述存储单元为慢速存储单元;以及

如果所述当前阈值电压大于或等于所述预验证电压并且小于所述验证电压,则指定所述存储单元为快速存储单元。

9. 如权利要求 7 所述的方法,还包括:

如果在第一验证步骤期间确定所述当前阈值电压小于所述预验证电压，则在第二验证步骤期间不将预充电电压施加到所述存储单元。

10. 如权利要求 1 所述的方法，其中，所述编程条件包括从一组编程条件中选择的至少一个编程条件，所述一组编程条件包括：在编程操作期间执行的编程间隔的数目、所述存储单元的特定编程状态、检测到的噪声、计算的噪声、检测到的温度、计算的温度、温度的变化、所述存储单元的阈值电压分布的变化、偏置条件、连接至所述存储单元的位线的读出时间段、表示所述存储单元的损耗的信息。

11. 如权利要求 1 所述的方法，其中，所述存储单元是被配置为相对于多个状态存储数据的多电平存储单元 (MLC)，所述多个状态至少包括擦除状态、具有大于擦除状态的阈值电压的第一编程状态、具有大于第一编程状态的阈值电压的第二编程状态以及具有大于第二编程状态的阈值电压的第三编程状态，以及

所述评估编程条件包括确定当前编程间隔正在将所述 MLC 编程到所述多个状态中的一个。

12. 如权利要求 11 所述的方法，其中，所述选择验证模式包括：

当确定所述当前编程间隔正在将所述 MLC 编程到所述擦除状态、第一编程状态以及第二编程状态时，选择第一验证模式；以及

当确定所述当前编程间隔正在将所述 MLC 编程到所述第三编程状态时，选择第二验证模式。

13. 如权利要求 12 所述的方法，其中，所述第一验证模式是多步验证模式，且所述第二验证模式是单步验证模式。

14. 如权利要求 1 所述的方法，还包括：

生成存储单元指定数据；以及

基于所述存储单元指定数据来指定所述存储单元为慢速存储单元或者快速存储单元。

15. 如权利要求 14 所述的方法，其中，所述生成所述存储单元指定数据是在所述验证操作期间执行的。

16. 如权利要求 15 所述的方法，还包括：

在所述验证操作期间将所述存储单元指定数据存储在所述非易失性存储器设备中。

17. 一种在非易失性存储器设备内对配置为存储包括最低有效位 (LSB) 与最高有效位 (MSB) 的数据的多电平存储单元 (MLC) 进行编程的方法，所述方法包括：

执行第 i 编程间隔，所述第 i 编程间隔包括其后跟着 MSB 编程操作的 LSB 编程操作，其中所述 MSB 编程操作包含：

将第 i 编程电压施加到连接至所述 MLC 的字线以及 (1) 如果所述存储单元是快速存储单元则施加位线强制电压到连接至所述 MLC 的位线或者 (2) 如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到连接至所述 MLC 的位线；

评估编程条件；

基于所评估的编程条件从一组验证模式中选择验证模式；以及

使用所选择的验证模式执行验证操作。

18. 如权利要求 17 所述的方法，其中，所述验证操作包括：

当所述 MLC 的阈值电压驻留于一组阈值电压分布中的一个时确定所述 MLC 是通过存储

单元,所述一组阈值电压分布包括与擦除状态关联的擦除阈值电压分布、高于所述擦除阈值电压分布并且与第一编程状态关联的第一阈值电压分布、高于第一阈值电压分布并且与第二编程状态关联的第二阈值电压分布以及高于第二阈值电压分布并且与第三编程状态关联的第三阈值电压分布;

当所述MLC的阈值电压驻留于一组接近阈值电压范围中的一个时确定所述MLC是快速存储单元,所述一组接近阈值电压范围包括小于第一阈值电压分布的第一接近阈值电压范围、小于第二阈值电压分布的第二接近阈值电压范围以及小于第三阈值电压分布的第三接近阈值电压范围;以及

当所述MLC的阈值电压小于第三接近阈值电压范围但是大于第二阈值电压分布、小于第二接近阈值电压范围但是大于第一阈值电压分布、或者小于第一接近阈值电压范围但是大于所述擦除阈值电压分布时,确定所述MLC是慢速存储单元。

19. 一种操作非易失性存储器设备的方法,包括:

通过将第*i*编程电压施加到连接至存储单元的字线以及(1)如果所述存储单元是快速存储单元则施加位线强制电压到连接至所述存储单元的位线或者(2)如果所述存储单元是慢速存储单元则施加小于位线强制电压的位线编程电压到所述位线,来执行针对所述存储单元的编程操作的第*i*编程间隔;

将所述存储单元的当前阈值电压与通过阈值电压相比较;

如果所述当前阈值电压小于所述通过阈值电压,则选择第一验证模式;以及

如果所述当前阈值电压大于或等于所述通过阈值电压,则选择第二验证模式。

20. 如权利要求19所述的方法,其中,所述第一验证模式是多步验证模式,且所述第二验证模式是单步验证模式。

21. 一种非易失性存储器设备,包括:

存储单元阵列,包括连接至字线和位线的存储单元;

电压生成器,被配置为生成包括编程电压的多个控制电压;

地址译码器,被配置为响应于外部提供的地址将所述编程电压连接至所述字线;

页缓冲电路,被配置为响应于外部提供的地址将位线电压连接至所述位线;以及

控制逻辑,被配置为控制所述电压生成器和地址译码器,以通过施加第*i*编程电压作为所述编程电压来执行针对所述存储单元的编程操作的第*i*编程间隔,以及被配置为控制所述页缓冲电路以(1)如果所述存储单元是快速存储单元则施加位线强制电压到位线或者(2)如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到所述位线,

其中,所述控制逻辑被进一步配置为评估编程条件,基于所评估的编程条件从一组验证模式中选择验证模式,以及控制所述电压生成器、地址译码器和页缓冲电路以使用所选择的验证模式执行验证操作。

22. 如权利要求21所述的非易失性存储器设备,其中,所述控制逻辑包括验证模式选择器,被配置为基于所评估的编程条件选择验证模式。

23. 如权利要求22所述的非易失性存储器设备,其中,所述页缓冲电路包括存储存储单元指定数据的存储器、锁存器和寄存器中的一个,以及

所述控制逻辑被进一步配置为控制所述页缓冲电路,以基于所述存储单元指定数据施

加 (1) 所述位线强制电压或者 (2) 所述位线编程电压。

24. 如权利要求 22 所述的非易失性存储器设备, 其中, 所述验证模式选择器被配置为在单步验证模式与多步验证模式之间进行选择。

25. 如权利要求 22 所述的非易失性存储器设备, 其中, 所述验证模式选择器被配置为基于所计数的已执行编程间隔的数目选择所述验证模式。

26. 如权利要求 22 所述的非易失性存储器设备, 其中, 所述验证模式选择器被进一步配置为 :

当所述存储单元的阈值电压驻留于目标阈值电压分布内时, 确定所述存储单元是通过存储单元;

当所述阈值电压驻留于小于所述目标阈值电压分布的接近阈值电压范围内时, 确定所述存储单元是快速存储单元; 以及

当所述阈值电压驻留于小于所述接近阈值电压范围的远距阈值电压范围内时, 确定所述存储单元是慢速存储单元。

27. 如权利要求 22 所述的非易失性存储器设备, 其中, 所述验证模式选择器被配置为基于所述存储单元的当前阈值电压与通过阈值电压之间的比较来选择所述验证模式。

28. 如权利要求 22 所述的非易失性存储器设备, 进一步包括温度检测器, 其中所述验证模式选择器被配置为基于检测到的温度来选择所述验证模式。

29. 如权利要求 22 所述的非易失性存储器设备, 进一步包括噪声检测器, 其中所述验证模式选择器被配置为基于检测到的噪声来选择所述验证模式。

30. 一种非易失性存储器设备, 包括 :

包含多个存储块的三维存储单元阵列, 其中所述多个存储块中的每一个包括多个 NAND 存储串, 每个 NAND 存储串沿第一方向延伸并且排列在沿正交于第一方向的第二方向延伸的对应位线与沿正交于第一方向和第二方向的第三方向延伸的公共源极线之间, 并且所述 NAND 存储串中的一个包括连接在第一位线与第一字线之间的存储单元;

电压生成器, 被配置为生成包括编程电压的多个控制电压;

地址译码器, 被配置为响应于外部提供的地址将编程电压连接至第一字线;

页缓冲电路, 被配置为响应于外部提供的地址将位线电压连接至第一位线; 以及

控制逻辑, 被配置为控制所述电压生成器和地址译码器以通过施加第 i 编程电压作为所述编程电压来执行针对所述存储单元的编程操作的第一 i 编程间隔, 以及被配置为控制所述页缓冲电路以 (1) 如果所述存储单元是快速存储单元则施加位线强制电压到所述位线或者 (2) 如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到所述位线,

其中, 所述控制逻辑被进一步配置为评估编程条件, 基于所评估的编程条件从一组验证模式中选择验证模式, 以及控制所述电压生成器、地址译码器和页缓冲电路以使用所选择的验证模式执行验证操作。

31. 一种存储系统, 包括 :

非易失性存储器设备, 包含连接在字线与位线之间的存储单元; 以及

存储器控制器, 被配置为控制所述非易失性存储器设备的操作,

其中, 所述非易失性存储器设备包括被配置为从所述存储器控制器接收命令以及通过

以下步骤对于所述存储单元执行编程操作的控制逻辑：

通过将第 i 编程电压施加到所述字线以及 (1) 如果所述存储单元是快速存储单元则施加位线强制电压到所述位线或者 (2) 如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到所述位线, 来执行所述编程操作的第 i 编程间隔；

评估编程条件；

基于所评估的编程条件从一组验证模式中选择验证模式；以及
对于所述存储单元使用所选择的验证模式执行验证操作。

32. 如权利要求 31 所述的存储系统, 其中, 所述控制逻辑包括验证模式选择器, 被配置为基于所评估的编程条件选择所述验证模式。

33. 如权利要求 31 所述的存储系统, 其中, 所述存储器控制器包括：

中央处理单元, 其经由总线连接至主机接口和存储器接口,

其中, 所述主机接口被配置为从主机接收编程数据, 以及所述存储器接口被配置为发送编程数据到所述非易失性存储器设备。

34. 如权利要求 32 所述的存储系统, 其中, 所述存储器控制器和非易失性存储器设备被配置在存储卡上。

35. 如权利要求 32 所述的存储系统, 其中, 所述存储器控制器和非易失性存储器设备被配置在服务器上。

36. 一种固态驱动器 (SSD), 包括：

多个非易失性存储器设备, 以及被配置为控制所述多个非易失性存储器设备的操作的存储器控制器,

其中, 所述多个存储器设备中的每一个包括连接在字线与位线之间的存储单元、以及被配置为从所述存储器控制器接收命令并通过以下步骤对于所述存储单元执行编程操作的控制逻辑：

通过将第 i 编程电压施加到所述字线以及 (1) 如果所述存储单元是快速存储单元则施加位线强制电压到所述位线或者 (2) 如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到所述位线, 来执行所述编程操作的第 i 编程间隔；

评估编程条件；

基于所评估的编程条件从一组验证模式中选择验证模式；以及
对于所述存储单元使用所选择的验证模式执行验证操作,

其中, 所述控制逻辑包括验证模式选择器, 被配置为基于所评估的编程条件选择所述验证模式。

37. 如权利要求 36 所述的 SSD, 其中, 所述存储器控制器进一步被配置为经由多个通道与所述多个非易失性存储器设备传递数据, 其中通道的数目小于所述多个非易失性存储器设备的数目。

38. 如权利要求 36 所述的 SSD, 其中, 所述存储器控制器包括：

主机接口, 被配置为与主机传递数据；

存储器设备接口, 被配置为与所述多个非易失性存储器设备传递数据；

高速缓冲存储器；以及

中央处理单元 (CPU), 被配置为使用所述高速缓冲存储器控制所述主机接口与所述存

储器设备接口之间的数据的传递。

39. 一种被物理配置为用于与主机设备连接并且被电气配置为与所述主机交换数据的存储卡，所述存储卡包括：

多个非易失性存储器设备，以及被配置为控制所述多个非易失性存储器设备的操作的存储器控制器，

其中，所述多个存储器设备中的每一个包括连接在字线与位线之间的存储单元、以及被配置为从所述存储器控制器接收命令并通过以下步骤对于所述存储单元执行编程操作的控制逻辑：

通过将第 i 编程电压施加到所述字线以及 (1) 如果所述存储单元是快速存储单元则施加位线强制电压到所述位线或者 (2) 如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到所述位线来执行所述编程操作的第 i 编程间隔；

评估编程条件；

基于所评估的编程条件从一组验证模式中选择验证模式；以及

对于所述存储单元使用所选择的验证模式执行验证操作，

其中，所述控制逻辑包括验证模式选择器，被配置为基于所评估的编程条件选择所述验证模式。

40. 如权利要求 39 所述的存储卡，其中，所述存储器控制器包括：

主机接口，被配置为与主机传递数据；

存储器设备接口，被配置为与所述多个非易失性存储器设备传递数据；

缓冲存储器；以及

微处理器，被配置为使用所述缓冲存储器控制所述主机接口与所述存储器设备接口之间的数据的传递。

41. 一种存储系统，包括：

非易失性存储器设备；

存储器控制器，被配置为控制所述非易失性存储器设备的操作，并且包含：

主机接口，被配置为从主机接收写入数据；

存储器设备接口，被配置为提供来自所述非易失性存储器设备的读取数据；

缓冲存储器；以及

误差校正电路 (ECC)，被配置为校正所述读取数据和所述写入数据中的至少一个中的数据误差；以及

中央处理单元 (CPU)，被配置为使用所述缓冲存储器控制所述 ECC 的操作以及在所述主机接口与所述存储器设备接口之间的写入数据和读取数据的传送，

其中，所述存储器设备包括连接在字线与位线之间的存储单元、以及被配置为从所述存储器控制器接收命令并通过以下步骤对于所述存储单元执行编程操作的控制逻辑：

通过将第 i 编程电压施加到所述字线以及 (1) 如果所述存储单元是快速存储单元则施加位线强制电压到所述位线或者 (2) 如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到所述位线，来执行所述编程操作的第 i 编程间隔；

评估编程条件；

基于所评估的编程条件从一组验证模式中选择验证模式；以及

对于所述存储单元使用所选择的验证模式执行验证操作，

其中，所述控制逻辑包括验证模式选择器，被配置为基于所评估的编程条件选择所述验证模式。

42. 如权利要求 41 所述的存储系统，其中，所述非易失性存储器设备包括堆叠在一个封装中的单个产品的 NAND 闪存设备。

43. 如权利要求 42 所述的存储系统，其中，所述单个产品的 NAND 闪存设备当被连接至所述主机时接收电源电压 V_{CC} 和 V_{CCQ} ，其中所述电源电压 V_{CC} 是 3.0V，且所述电源电压 V_{CCQ} 是在 1.8V 与 3.0V 之间范围中的电压。

非易失性存储器设备、系统及编程方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2010 年 5 月 31 日提交的韩国专利申请 No. 10-2010-0051190 的优先权，其主题通过引用的方式合并且此。

技术领域

[0003] 本公开涉及一种非易失性存储器设备、合并该非易失性存储器设备的存储系统（包括存储卡）以及对非易失性存储器设备编程的方法。更加具体来说，本公开涉及操作非易失性存储器设备和 / 或存储系统的方法，其提供在非易失性存储单元的编程期间使用的不同验证模式之间动态选择的能力。

背景技术

[0004] 非易失性存储器以及相关的存储系统已经变为目前消费电子以及数字数据系统内的设计重点。非易失性存储器允许通过能够以低功耗可靠运行的相对较小的集成电路设备来存储大量数据，并且仍然可以提供相对较快的数据存取。不同于易失性形式的存储器（例如，DRAM 和 SRAM），非易失性存储器能够在缺乏施加电力的情况下保存所存储的数据。

[0005] 存在不同类型的非易失性存储器。一种广泛使用的类型是电可擦除可编程只读存储器 (EEPROM)。EEPROM 以包括各种类型的闪存的不同形式而流行。

[0006] 在早期的形式中，各个非易失性存储单元仅存储二进制数据的单个比特（“1”或者“0”）。这样的存储单元被称为单电平存储单元 (single level memory cell, SLC) 并且仍然被广泛使用。然而，许多当前的非易失性存储单元能够存储 2 个或更多个数据比特，并且通常被称作多电平存储单元 (multi-level memory cell, MLC)。MLC 提供增加的数据集成密度，但是这样做是以操作（例如，编程、读取和擦除操作）的方法复杂性升高为代价的。

[0007] 必须在期望的（或者“目标”）阈值电压分布内准确地编程由 MLC 展现的阈值电压。阈值电压分布的电压范围表示编程后的 MLC 的对应数据状态。当有效 MLC 数据状态的数目增多（例如，对于 2 比特 MLC 有四 (4) 个状态，且对于 3 比特 MLC 有八 (8) 个状态，等等）时，对应的阈值电压分布的数目也如此增多。该增长的数据状态和对应的阈值电压分布的数目对当前的非易失性存储器设计者提出了许多的挑战。一个特别的挑战是，管理编程速度和编程精度之间的设计与操作平衡。另一个挑战是，从所应用的编程与擦除操作的极大多样性角度来管理非易失性存储单元的使用寿命。

发明内容

[0008] 本发明构思的实施例提供操作非易失性存储器设备和 / 或存储系统的方法，其能够提供编程精度和编程速度的改进组合。

[0009] 本发明构思的一些实施例提供一种操作非易失性存储器设备的方法，该方法包括以下步骤：通过将第 i 编程电压施加到连接至存储单元的字线以及 (1) 如果所述存储单元是快速存储单元则施加位线强制电压到连接至所述存储单元的位线或者 (2) 如果所述存

储单元是慢速存储单元则施加小于位线强制电压的位线编程电压到位线,来执行针对所述存储单元的编程操作的第一*i*编程间隔;评估编程条件;基于所评估的编程条件从一组验证模式中选择验证模式;以及对于所述存储单元使用所选择的验证模式来执行验证操作。

[0010] 本发明构思的一些实施例提供一种在非易失性存储器设备内对配置为存储包括最低有效位(LSB)与最高有效位(MSB)的数据的多电平存储单元(MLC)进行编程的方法,该方法包括执行第一*i*编程间隔,所述编程间隔包括其后跟着MSB编程操作的LSB编程操作,其中所述MSB编程操作包括以下步骤:将第一*i*编程电压施加到连接至所述MLC的字线以及(1)如果所述存储单元是快速存储单元则施加位线强制电压到连接至所述MLC的位线或者(2)如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到连接至所述MLC的位线;评估编程条件;基于所评估的编程条件从一组验证模式中选择验证模式;以及使用所选择的验证模式来执行验证操作。

[0011] 本发明构思的一些实施例提供一种操作非易失性存储器设备的方法,该方法包括以下步骤:通过将第一*i*编程电压施加到连接至存储单元的字线以及(1)如果所述存储单元是快速存储单元则施加位线强制电压到连接至所述存储单元的位线或者(2)如果所述存储单元是慢速存储单元则施加小于位线强制电压的位线编程电压到连接至所述存储单元的位线,来执行针对所述存储单元的编程操作的第一*i*编程间隔;将所述存储单元的当前阈值电压与通过阈值电压相比较;如果所述当前阈值电压小于所述通过阈值电压,则选择第一验证模式;以及如果所述当前阈值电压大于或等于所述通过阈值电压,则选择第二验证模式。

[0012] 本发明构思的一些实施例提供一种非易失性存储器设备,包括:存储单元阵列,包含连接至字线和位线的存储单元;电压生成器,被配置为生成包括编程电压的多个控制电压;地址译码器,被配置为响应于外部提供的地址将所述编程电压连接至所述字线;页缓冲电路,被配置为响应于外部提供的地址将位线电压连接至所述位线;以及控制逻辑,被配置为控制所述电压生成器和地址译码器以通过施加第一*i*编程电压作为所述编程电压来执行针对所述存储单元的编程操作的第一*i*编程间隔,以及被配置为控制所述页缓冲电路以(1)如果所述存储单元是快速存储单元则施加位线强制电压到所述位线或者(2)如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到所述位线。所述控制逻辑被进一步配置为:评估编程条件;基于所评估的编程条件从一组验证模式中选择验证模式;以及控制所述电压生成器、地址译码器和页缓冲电路以使用所选择的验证模式来执行验证操作。

[0013] 本发明构思的一些实施例提供一种存储系统,包括:非易失性存储器设备,包含连接在字线与位线之间的存储单元;以及存储器控制器,被配置为控制所述非易失性存储器设备的操作。所述非易失性存储器设备包括控制逻辑,其被配置为从所述存储器控制器接收命令以及通过以下步骤来对于所述存储单元执行编程操作:通过向所述字线施加第一*i*编程电压并(1)如果所述存储单元是快速存储单元则施加位线强制电压到所述位线或者(2)如果所述存储单元是慢速存储单元则施加小于所述位线强制电压的位线编程电压到所述位线,来执行所述编程操作的第一*i*编程间隔;评估编程条件;基于所评估的编程条件从一组验证模式中选择验证模式;以及对于所述存储单元使用所选择的验证模式来执行验证操作。

附图说明

- [0014] 附图示出本发明构思的一些实施例的相关方面。
- [0015] 图 1 示出通常所理解的、示范性 2 比特 MLC 的阈值电压分布；
- [0016] 图 2——包括图 2A 和图 2B——概念性地示出根据本发明构思的实施例的、并入了位线强制的非易失性存储单元的编程操作；
- [0017] 图 3 是示出本发明构思的实施例的一般操作流程图；
- [0018] 图 4——包括图 4A 和图 4B——概念性地示出根据本发明构思的实施例的、非易失性存储单元的多步验证模式；
- [0019] 图 5 是存储单元阵列的部分电路图并且概念性地示出与公共源极线上的噪声相关联的一些问题；
- [0020] 图 6 是进一步示出在一些存储单元阵列中公共源极线上的噪声的问题的电路和电压图；
- [0021] 图 7 是更进一步示出公共源极线上的噪声的问题以及与使用利用多步验证模式的验证操作的功能相同的补救方法；
- [0022] 图 8——包括图 8A 和图 8B——概念性地示出根据本发明构思的实施例的、非易失性存储单元的单步验证模式；
- [0023] 图 9 是根据本发明构思的实施例的示范性非易失性存储器设备的部分框图；
- [0024] 图 10 是示出当与本发明构思的实施例一致地根据操作非易失性存储器设备和 / 或存储系统的一些方法进行编程时，示范性 2 比特 MLC 的阈值电压分布的示意图；
- [0025] 图 11 是进一步示出施加到根据本发明构思的实施例的非易失性存储单元的一系列编程 / 验证脉冲的波形图；
- [0026] 图 12 是概述根据本发明构思的实施例的操作非易失性存储器和 / 或存储系统的方法（包括编程方法）的相关部分的流程图；
- [0027] 图 13——包括图 13(A)、图 13(B) 和图 13(C)——是示出根据本发明构思的实施例的、可被编程的示范性 3 比特 MLC 的阈值电压分布的图；
- [0028] 图 14 是根据本发明构思的实施例的示范性非易失性存储器设备的部分框图；
- [0029] 图 15 是示出当与本发明构思的实施例一致地根据操作非易失性存储器设备和 / 或存储系统的一些方法进行编程时，示范性 2 比特 MLC 的阈值电压分布的示意图；
- [0030] 图 16 是进一步示出施加到根据本发明构思的实施例的非易失性存储单元的一系列编程 / 验证脉冲的波形图；
- [0031] 图 17 是进一步示出施加到根据本发明构思的实施例的非易失性存储单元的一系列编程 / 验证脉冲的波形图；
- [0032] 图 18 是进一步示出施加到根据本发明构思的实施例的非易失性存储单元的一系列编程 / 验证脉冲的波形图；
- [0033] 图 19 是进一步示出施加到根据本发明构思的实施例的非易失性存储单元的一系列编程 / 验证脉冲的波形图；
- [0034] 图 20 是概述根据本发明构思的实施例的操作非易失性存储器和 / 或存储系统的方法（包括编程方法）的相关部分的流程图；

- [0035] 图 21 是可以根据本发明构思的实施例而操作和编程的非易失性存储器设备的部分框图；
- [0036] 图 22 是进一步示出图 21 的示范性存储器设备的一个存储器块的等效电路的部分电路图；
- [0037] 图 23 是并入了根据本发明构思的实施例的非易失性存储器设备的存储系统的基本框图；
- [0038] 图 24 是示出由图 23 的存储器控制器传递的示范性控制信号的波形图；
- [0039] 图 25 是示出并入了根据本发明构思的实施例的非易失性存储器设备的存储系统的框图；
- [0040] 图 26 是示出并入了根据本发明构思的实施例的非易失性存储器设备的一个更具体形式的存储系统（即，存储卡）的框图；
- [0041] 图 27 是示出并入了根据本发明构思的实施例的更具体形式的非易失性存储器设备（即，moviNAND）的另一存储系统的框图；
- [0042] 图 28 是示出并入了根据本发明构思的实施例的非易失性存储器设备的示范性固态驱动器（SSD）的框图；
- [0043] 图 29 是示出并入了根据本发明构思的实施例的、像图 28 中示出的那样一个 SSD 的计算系统的一般框图；
- [0044] 图 30 是示出能够并入根据本发明构思的实施例的、像图 28 中示出的那样一个 SSD 的电子设备的一般框图；以及
- [0045] 图 31 是示出能够并入根据本发明构思的实施例的、像图 28 中示出的那样一个 SSD 的服务器系统的一般框图。

具体实施方式

[0046] 将在下文中参考附图用一些额外的细节来描述本发明构思的示范性实施例。然而，本发明构思可以以不同形式具体实现而且不应当将本发明构思释为限制为仅所示出的实施例。相反，提供所示出的这些实施例以使得本公开全面彻底并且将本发明构思的范围充分地传达给本领域技术人员。

[0047] 示出的实施例被绘制成闪存设备、并入闪存设备的存储系统以及相关的操作方法。然而，这些例子仅仅表示可能落入本发明构思范围内的许多不同类型的非易失性存储器。因此，本领域技术人员将看到，使用具体绘制为闪存设备的实施例的本公开的教导可以延伸至其它形式的非易失性存储器。

[0048] 例如，根据本发明构思的实施例的非易失性存储器设备可以是 NAND（与非）闪存、垂直 NAND 闪存（vertical NAND flash memory）、NOR（或非）闪存、电阻式随机存取存储器（Resistive Random Access Memory, RRAM）、相变随机存取存储器（Phase-change Random Access Memory, PRAM）、磁电阻式随机存取存储器（Magneto-resistive Random Access Memory, MRAM）、铁电随机存取存储器（Ferroelectric Random Access Memory, FRAM）以及自旋转移力矩随机存取存储器（Spin Transfer Torque Random Access Memory, STT-RAM）。此外，可以以三维（3D）阵列结构来实现根据本发明构思的实施例的非易失性存储器设备。根据本发明构思的实施例的一些非易失性存储器设备可以应用于其中电荷存储层被配置

为具有导电浮置栅极的闪存设备以及其中电荷存储层被配置为具有电介质的电荷俘获闪存 (Charge Trap Flash, CTF)。

[0049] 存在对于非易失性存储单元的操作和编程的许多通常所了解的方法。如上所述，可以将非易失性存储单元展现的阈值电压编程为驻留 (reside) 于许多阈值电压分布中的一个之内。图 1 大体上示出与示范性 2 比特 MLC 关联的四 (4) 个阈值电压分布。非易失性存储单元的擦除状态 (E) 和第一至第三编程状态 (P1、P2 和 P3) 由各个相应的阈值电压分布来表示。并入了 MLC 的非易失性存储系统的一个设计目标是 MLC 的有效且精确的编程，典型的是，从擦除状态到多个编程状态其中之一。

[0050] 典型地，非易失性存储单元编程是一个迭代过程，其中，通过连续的编程间隔执行一个或多个编程步骤或循环 (即，将特定控制电压施加到在非易失性存储系统内所选择的一个或多个非易失性存储单元 (或多个))。在定义的编程时段期间，可以执行与正确编程选择的非易失性存储单元所必需的一样多的许多编程间隔。而且，使用精细 (或细密) 定义的编程增量 (即，连续编程间隔之间的控制电压电平差) 允许在定义的阈值电压分布内精确地编程非易失性存储单元。然而，编程效率要求正确编程非易失性存储单元所需要的编程间隔的数目必须保持在最小。因此，非易失性存储系统设计者寻求以下两者之间的平衡：(1) 使用许多精细定义的编程增量来精确地编程非易失性存储单元的期望；与 (2) 通过尽可能迅速地接近目标存储单元阈值电压来最小化编程间隔总体数目的期望。

[0051] 认识到平衡这些对立目标的需要，非易失性存储系统设计者已经开发出许多不同的编程方案。一种方案通常被称作“位线强制 (bit line forcing)”。在图 2——包括图 2A 和图 2B——中示出位线强制方案的一个例子。

[0052] 图 2A 示出选择的非易失性存储单元将被编程到的期望阈值电压分布 P。进一步假定，用于编程非易失性存储单元的编程操作使用通常所了解的增量步进编程过程 (increment step programming procedure, ISPP)，其中，连续编程间隔特征在于不同的 (通常是增加的) 控制电压电平 (例如，字线和位线电压)。图 2B 示出施加到连接至选择的非易失性存储单元的字线的字线电压 (VWL)，该字线电压在每个连续编程间隔期间升高 ISPP 定义的步进增量 (Δ ISPP)。

[0053] 在任一任意选择的编程间隔期间的非易失性存储单元的当前阈值电压可以被假定为驻留于三个 (3) 阈值电压 (V_{th}) 区域其中之一内：(1) 目标阈值电压分布范围“P”(即，V_{th} 大于相应的验证电压 (VR))，(2) 接近阈值电压范围“B”(即，V_{th} 小于 VR 但是大于预验证电压 (PVR))，或 (3) 远距阈值电压范围“A”(即，V_{th} 小于 PVR)。

[0054] 在选择性地使用位线强制 (bit line forcing) 的编程操作期间，通过存储单元的当前阈值电压来确定施加到存储单元的控制电压的性质 (nature) (例如，电平和 / 或持续时间)。在图 2 中概念性地示出使用位线强制的编程操作的一个例子。这里，假定在许多编程间隔期间执行许多编程循环。取决于选择的存储单元的当前阈值电压，每个编程循环可以施加位线强制控制电压或施加正常编程控制电压。也就是说，当选择的非易失性存储单元的当前阈值电压驻留于接近阈值电压范围 B 内时，位线强制控制电压被施加到存储单元。然而，当选择的存储单元的当前阈值电压驻留于远距阈值电压范围 A 内时，不施加位线强制而是施加正常编程控制电压到存储单元。

[0055] 如图 2B 的电压波形所建议的那样，位线强制控制电压可以包括施加到连接至选

择的存储单元的位线的位线强制电压 (BLFV)。在像图 2B 中示出的那样的本发明构思的一些实施例中, BLFV 可以具有在大约 0.3 至 1.5V 的范围中的电平。相反, 正常编程控制电压可以包括小于 BLFV 的、被施加到选择的存储单元的位线的位线编程电压 (BLPV)。在像图 2B 中示出的那样的本发明构思的一些实施例中, BLPV 可以具有在大约 0.0 至 0.9V 的范围中的电平。在任意给定的编程间隔期间, 施加这些完全不同的位线电压 (BLPV 对 BLFV), 同时 ISPP 定义的 VWL 被施加到连接至选择的存储单元的字线。

[0056] 在本发明构思的一些实施例中, 位线强制电压 BLFV 大于位线编程电压 BLPV, 但是小于传统上所了解的位线编程禁止电压 (program-inhibit voltage) (例如, 电源电压)。与通过施加位线编程电压 BLPV 和位线强制电压 BLFV 来进行编程的存储单元不同, 连接至接收位线编程禁止电压的位线的存储单元不被编程 (例如, 这些存储单元可能已经展现出目标阈值分布 P 内的阈值电压)。

[0057] 用这样的方式, 对具有在接近阈值电压范围 B 中的当前阈值电压的选择的存储单元 (或多个) 执行位线强制, 而对具有在远距阈值电压范围 A 中的当前阈值电压的选择的存储单元 (或多个) 执行正常 ISPP 编程。在迭代 ISPP 编程操作中的任一给定编程间隔期间, 每个选择的存储单元可以被分类为“已编程”(具有在目标阈值电压分布范围 P 中的阈值电压)、“慢速”(具有在远距阈值电压范围 A 中的阈值电压) 或者“快速”(具有在接近阈值电压范围 B 中的阈值电压)。一旦被分类 (或标识), 就可以取决于已编程 / 慢速 / 快速标识何时发生, 在当前编程间隔期间或者在下一编程间隔期间区别对待选择的存储单元 (或多个)。

[0058] 在图 2 的执行例子中, 可以使用正常的、ISPP 定义的字线电压 VWL 在当前编程间隔期间对慢速存储单元进行编程。相反, 可以使用位线强制字线电压 (例如, ISPP 定义的电平减去 BLFV) 在当前编程间隔期间对快速存储单元进行编程。因此, 展现相对较慢的编程速度的慢速存储单元 (即, 每任意数目的所应用编程循环以更低速率来增加其阈值电压的存储单元) 接收 ISPP 定义的字线电压 VWL 以及 BLPV 作为位线电压。展现相对较快的编程速度的快速存储单元 (即, 每任意数目的所应用编程循环以更高速率来增加其阈值电压的存储单元) 接收 VWL-BLFV 作为字线电压并接收 BLFV 作为位线电压。在这些条件下, 慢速存储单元比快速存储单元更大地受到电压激发 (voltage-motivate), 并且慢速存储单元的阈值电压比快速存储单元的阈值电压更加迅速地提高。该方案旨在降低必须被施加到慢速存储单元的编程循环的数目, 由此降低非易失性存储单元磨损以及提高存储单元的使用寿命。

[0059] 例如, 可以假定对于本发明构思的至少一个实施例来说, BLPV 是 0V, BLFV 是 1V。标识为快速存储单元的存储单元在当前编程间隔期间接收 ISPP-BLFV 的字线电压和 1V 的 BLFV。标识为慢速存储单元的存储单元在当前编程间隔期间接收正常 ISPP 字线电压和 0V 的 BLPV。在这些条件下, 与快速存储单元相比较, 慢速存储单元在编程间隔期间接收字线电压与位线电压之间的更大的、阈值电压激发差。如果进一步的假定 Δ ISPP 是每编程间隔大约 0.3V, 则可以显著降低正确编程慢速存储单元所需要的编程循环的数目。

[0060] 在这一点上, 应当注意, 在本发明构思的各种实施例中慢速存储单元对快速存储单元的识别可以发生在各个编程循环 (或多个) 的执行之前和 / 或之后。可替换地, 可以在总体编程操作的开始 (例如, 在第一编程循环之前) 执行一次慢速 / 快速存储单元的识

别。为此,可以在总体编程操作期间保持指定存储单元为慢速 / 快速直到诸如存储单元被标识为已编程的存储单元的时候为止。

[0061] 然而,可以在第 i 编程间隔期间将在第 i-1 编程间隔期间被标识为慢速存储单元的存储单元重新标识(例如,标识更新)为快速存储单元。例如,一旦存储单元所展现的阈值电压从远距阈值电压范围 A 变换到接近阈值电压范围 B,就可以在随后的第 i+1 编程间隔期间将该存储单元的标识从慢速改变到快速——通过对所施加的编程控制电压进行相应改变。用这样的方式,可以将慢速存储单元编程为将其阈值电压快速地向目标阈值分布 P 移动,但是然后,一旦阈值电压接近了目标阈值分布,就可以对其更加精细地调整以精确地完成编程操作。因此,编程效率和编程精度两者都可以实现。

[0062] 在总体编程方法内,标识选择的存储单元(或多个)是慢速存储单元(或多个)还是快速存储单元(或多个)的步骤可以在预验证步骤期间执行,该预验证步骤发生在迭代编程步骤之前。可替换地或另外地,标识选择的存储单元(或多个)是慢速存储单元(或多个)还是快速存储单元(或多个)的步骤可以与每个迭代编程步骤相关执行。

[0063] 图 3 是概述根据本发明构思的实施例的操作非易失性存储器设备的方法的一般流程图。操作方法包括并入了对指定存储单元(例如,标识为快速存储单元的存储单元)选择性地执行位线强制的能力的编程操作。如上所述,可以基于逐个编程间隔通过在总体编程操作内连续的迭代执行的编程间隔,来选择对存储单元执行位线强制的能力。因此,对于任一任意选择的编程间隔——在此期间至少一个选择的存储单元的阈值电压达到目标阈值电压分布(或者在编程操作完成时)——来说,如图 3 中所示的操作非易失性存储系统的方法包括:执行针对一个或多个选择的存储单元(或多个)的编程操作,其可以包括通过位线强制来编程(S10),之后是基于一个或多个编程条件从一组可能验证模式中选择验证模式(S20)。

[0064] 如以下文中将在一些额外细节描述的那样,这些编程条件(或多个)可以包括:已执行编程循环的数目、存储单元编程状态、检测到的(或者所计算的)噪声阈值(例如,公共源极线噪声阈值)、温度阈值、检测到的(或者所计算的)阈值电压分布中的变化、存储单元偏置条件、各个位线读出(sensing)时段、位线读出技术等等。在噪声阈值被用作编程条件的情况下,本发明构思的一些实施例将包括通常采用的噪声传感器,诸如电压噪声传感器。在温度阈值被用作编程条件的情况下,本发明构思的一些实施例将包括通常采用的温度传感器。

[0065] 一旦已经选择了验证模式(S20),就使用所选择的验证模式对于所存储的数据来执行验证操作(S30)。假如验证操作指示所存储的数据的错误状态(FAIL(失败)),则操作非易失性存储系统的方法返回到(重新)编程一个或多个选择的存储单元(或多个)(S10)。否则,通过验证操作指示成功编程(PASS(通过)),终止操作方法。

[0066] 因此,本发明构思的实施例设想从可能在验证操作期间使用的一组验证模式当中动态选择和使用一个验证模式(S30)。在本发明构思的一些实施例中,该组验证模式包括使用不同数目的验证步骤的验证模式。下文中将以一些额外细节来描述示范性单步对多步验证模式以及在它们之间进行选择的方法。然而,应当注意,单步和多步验证模式之间的选择仅仅是验证模式选择以及可以用于本发明构思的实施例中的相关选择过程的一个例子。

[0067] 本发明构思的实施例中的验证模式之间的选择是“动态地”发生的,或者在操

作——与以预设方式进行选择相反——的方法内、或者在操作方法之外（例如，工厂选择或者存储系统上电初始化）。用这样的方式，可以在验证模式选择（S20）中以及在验证操作（S30）内使用该合适的或者更为优化的验证模式中考虑改变对于并入根据本发明构思的实施例的一个或多个非易失性存储器设备（或多个）的存储系统的编程条件。

[0068] 还要注意，可以在编程操作完成之后执行如图3中示出的在操作非易失性存储系统的方法中选择验证模式的步骤（S20）。然而，情况可以不必如此，并且本发明构思的其他实施例可以在执行编程操作之前选择合适的验证模式。

[0069] 还应注意，术语“编程操作”和“验证操作”是在本发明构思的实施例的上下文内被广义解释的。验证操作是相对于所定义的阈值电压分布评估或者改进先前已编程的存储单元所展现的阈值电压的任何操作。编程操作是改变（或者意图改变）非易失性存储单元的阈值电压的任何操作。

[0070] 图4——包括图4A和图4B——概念性地示出根据本发明构思的、能够被选择（图3中的S20）以用于验证操作（图3中的S30）内的多步验证模式的一个可能实施例。这里描述了2步验证模式，但是本领域普通技术人员将看到，可以在本发明构思的实施例内并入的多步验证模式中使用多于两步。

[0071] 参考图4，假定正在利用可能的位线强制将选择的非易失性存储单元编程到目标阈值电压分布P。相对于验证电压VR（例如，目标阈值电压分布P内的最小电压电平）做出对于当前阈值电压是否落入目标阈值电压分布P内的确定。然而，在做出该确定之前（即，在（N步）多步验证模式中的第N验证步骤之前），执行关于小于验证电压VR的对应预验证电压PVR的第一（或者随后的）验证步骤。在图4示出的例子中，在执行关于预验证电压PVR的第一验证步骤之后，执行关于验证电压VR的第二验证步骤。

[0072] 因此，在图4中示出的多步验证模式预先假定至少一个选择的存储单元（或多个）尚未成功地被编程到目标阈值电压分布内的阈值电压。在当前编程操作（图3的S10）之后，选择（图3中的S20）和执行（图3中的S30）图4的2步验证模式。如果在第一验证步骤期间确定选择的存储单元的当前阈值电压小于预验证电压PVR，那么就对于下一编程间隔将选择的存储单元指定为慢速存储单元。在下一迭代编程步骤期间，可以使用正常编程控制电压对目前指定为慢速存储单元（或多个）的存储单元进行编程。

[0073] 然而，如果在第一验证步骤期间确定选择的存储单元（或多个）的当前阈值电压大于或等于预验证电压PVR，那么就可以执行关于验证电压VR的第二验证步骤。如果在第二验证步骤期间确定选择的存储单元的当前阈值电压小于验证电压VR（但是大于或等于预验证电压PVR），那么就对于下一编程间隔将选择的存储单元指定为快速存储单元。在下一迭代编程步骤期间，将使用位线强制编程控制电压对目前指定为快速存储单元（或多个）的存储单元进行编程。

[0074] 可以进一步假定，上面建议的第一和第二验证步骤的每个包括预充电位线、过渡（develop）位线和读出位线的子步骤。在这样的上下文中，例如，在图4中示出的多步验证模式的第二验证步骤中，预充电电压（例如，电源电压或者小于电源电压的电压）将不施加到没有通过第一验证步骤的存储单元（或多个）（即，它们的阈值电压小于预验证电压PVR）的位线（或多个）上。用这样的方式，没有通过第一验证步骤的一些存储单元（或多个）可以被排除在第二验证步骤之外，从而节约存储系统内的电力并且降低公共源极线上的噪

声。

[0075] 在这样的上下文中, N 步验证模式的第 1 至第 M(其中, M 小于 N) 验证步骤可以被视为“粗略”验证步骤, 而第 M+1 至第 N 验证步骤可以被视为“精细”验证步骤。粗略验证步骤对精细验证步骤的各个数目可以与所施加的编程步骤 (例如, 正常编程对位线强制) 相关, 并且可以将两者平衡以将编程速度与编程精度进行最优化。

[0076] 图 4B 的电压波形是可以用于按顺序验证选择的存储单元 (或多个) 的阈值电压的验证脉冲的一个例子。验证脉冲包括用于第一预定时间段的预验证电压 PVR, 该 PVR 后跟用于第二预定时间段的验证电压 VR, 其中, 第一和第二预定时间段可以不同或者相同。

[0077] 现在将结合图 5、图 6 和图 7 描述与选择性地使用本发明构思的实施例内的多步 (例如 2 步) 验证模式关联的某些好处。具体来说, 多步验证模式的使用将显示出在验证操作 (图 3 中的 S30) 期间降低跨越根据本发明构思的实施例的非易失性存储器设备的组成存储单元阵列的公共源极线上的噪声。

[0078] 图 5 是本发明构思的实施例内的、存储单元阵列 110 的部分电路图。存储单元阵列 110 包括存储单元以及用于所配置的存储块的对应的信号线, 所述存储块具有分别连接至多个位线 BL₀ 至 BL_n 的多个单元串。存储块包括沿多个位线 BL₀ 至 BL_n 中的相应位线分别按串连接的多个存储单元 MC₀ 至 MC_{m-1}, 所述多个位线 BL₀ 至 BL_n 在连接至串选择线 SSL 的对应串选择晶体管 SST 与连接至地选择线 GSL 的地选择晶体管 GST 之间延伸。公共源极线 CSL 在示出的实施例中被布置为邻近地选择线 GSL, 但是可以以另外方式布置。因此, 每个串选择晶体管 SST 连接至位线 BL, 并且每个地选择晶体管 GST 连接至公共源极线 CSL。而且, 在图 5 中, 电阻器 R_{p0} 至 R_{pn-1} 概念性地表示相对于公共源极线 CSL 存在的分布 (例如, 寄生) 电阻元件与电容元件 (或多个)。

[0079] 在验证操作期间, 流经每个单元串的电流量根据串中开启 (ON) 的存储单元的数目而改变。结果, 公共源极线 V_{CSL} 上布置的负载电压依照流经一个或多个单元串 (或多个) 的电流的累积改变而改变。为了进一步示出该现象, 假定连接至选择的字线 WL₀ 的存储单元 M₀ 的当前状态是擦除状态 (E), 连接至同一字线 WL₀ 的另一存储单元 M₀₋₁ 的当前状态是已编程状态。因此, 当连接至选择的字线 WL₀ 的不同存储单元是开启单元时, 可以容易地看出, 给定所连接的存储单元的不同编程状态, 则流经各个单元串的电流 i₀ 和 i₁ 应当是不同的。作为电流可变性的直接结果, 公共源极线电压 V_{CSL} 的电压 / 电流负载将根据开启单元的数目而改变。

[0080] 例如, 当仅连接至选择的字线 WL₀ 和位线 BL₀ 的存储单元 M₀ 是开启单元而连接至选择的字线 WL₀ 和位线 BL₁ 的存储单元 M₀₋₁ 是关断 (OFF) 单元时, 施加在电阻器 R_{p0} 两端的电压变为 i₀ × R_{p0}, 由此定义用于公共源极线电压 V_{CSL} 的第一电平。再举一例, 当连接至选择的字线 WL₀ 与位线 BL₀ 和 BL₁ 的存储单元 M₀ 和 M₀₋₁ 是开启单元时, 施加在两个电阻器 R_{p0} 和 R_{p1} 两端的电压变为 i₀ × R_{p0}+i₁ × R_{p1}, 由此定义不同的公共源极线电压 V_{CSL}。

[0081] 从这个简单的例子中, 可以看到, 开启单元的数目的降低——因为可能受到使用适合的多步验证模式的影响——将随着选择的存储单元 (或多个) 的阈值电压向目标阈值电压分布移动而趋向于使公共源极线 CSL 的负载减少并且稳定。也就是说, 在 N 步验证模式的第 N 步期间开启单元的数目通常将比第 1 步期间的数目要少。

[0082] 图 6 是进一步示出与公共源极线噪声的影响有关的存储单元的概念性电路 / 电压

图。

[0083] 参考图 5 和图 6,当电流流经公共源极线 CSL 时,将由寄生电阻元件和电容元件引起公共源极线 CSL 上的电压改变。公共源极线 CSL 上的该电压改变 (V_{CSL}) 本质上充当噪声电压。假定非易失性存储器设备内的高电压生成器生成与地电压 GND 关联的电压 V_{GG} 。然而,在验证操作期间形成的存储单元通道是根据存储单元的控制栅极 G 和源极 S 之间的电压差 V_{GS} 来控制的。因此,噪声差 V_{CSL} 存在于实际被提供给存储单元的控制栅极 G 的电压 V_{GG} 与形成存储单元通道的电压 V_{GS} 之间。这样的公共源极线电压 V_{CSL} 可能导致在验证操作期间的读出错误。因此,可以理解,降低在验证操作期间(或者更加具体来说,在多步验证模式的验证步骤期间)开启存储单元的数目以及对应的开启单元电流将降低这类读出错误。

[0084] 图 7 是进一步示出在使用多步验证模式与降低公共源极线电压 V_{CSL} 之间的关系的另一概念性图。参考图 7,未通过依照预验证电压 PVR 的、图 4 的 2 步验证操作的第一验证步骤的开启单元的位线在第二验证步骤期间将不接收预充电电压。因此,在第二验证步骤期间开启单元电流相对于被指定为慢速的存储单元的数目而降低。开启单元电流的降低还会成比例地降低公共源极线电压 V_{CSL} 。

[0085] 与图 4 中示出的多步验证模式相反,图 8——包括图 8A 和图 8B——示出可并入本发明构思的一些实施例内的单步验证模式。

[0086] 参考图 8,仅可以执行单个验证步骤以确定选择的存储单元(或多个)的后编程(post-programming)阈值电压是否落入目标阈值电压分布 P 内。这里再一次地,假定预充电电压在验证操作期间被施加到选择的字线。图 8B 的波形示出具有预定时间段以及由单个验证电压 VR 定义的电平的验证脉冲的一个可能例子。

[0087] 因为 1 步验证模式仅包括单个验证步骤,所以其执行时间比诸如图 4 中描述的那样的多步验证模式降低了。在图 8 的实施例中,与图 4 的实施例相比较,略去或者跳过(SKIP) 在先执行的关于预验证电压 PVR 的第一验证步骤。

[0088] 然而,应当注意,即使在选择单步验证模式来在验证操作期间使用的情况下,位线强制仍然也可以被用作编程操作的一部分。然而,标识一组选择的存储单元内的慢速存储单元对快速存储单元因此必须在验证操作之外进行。例如,可以在编程间隔之前使用一次预验证操作或者迭代重复的预验证操作。否则,对使用位线强制或者正常编程控制电压的确定可以类似于针对图 2、图 3 和图 4 描述的实施例。

[0089] 因此,并且如针对图 2 至图 7 中示出的实施例所描述的那样,根据本发明构思的实施例的操作存储系统的方法可以控制使用不同方案验证操作(或者验证步骤)期间的并且针对不同验证模式的开启 / 关断存储单元的数目。

[0090] 例如,在结合所确定的验证模式使用迭代执行的预验证操作的情况下,指定为慢速(例如,未通过或者具有接近阈值电压范围以外的阈值电压)的存储单元在下一编程间隔期间将不接收位线强制。另一方面,指定为快速(例如,通过或者具有接近阈值电压范围内的阈值电压)的存储单元在下一编程间隔期间将接收位线强制。本领域技术人员将认识到,相对于选择的存储单元的编程,可以在非易失性存储系统的总体操作内执行各种类型的预验证操作(例如,在第一编程间隔之前、在每个编程间隔之前、在第一验证操作之后、在每个验证操作之后,等等)。

[0091] 图 9 是示出根据本发明构思的实施例的非易失性存储器设备的一个可能例子的

方框图。

[0092] 参考图 9, 非易失性存储器设备 100 包括相关部分 : 存储单元阵列 110、地址译码器 120、页缓冲电路 130、数据输入 / 输出电路 140、电压生成器 150 和控制逻辑 160。对于本发明构思的一些相关实施例, 温度检测器 171 和 / 或噪声检测器 172 被示为选择性地连接至控制逻辑 160。

[0093] 存储单元阵列 110 可以被配置为具有多个存储块, 但是为了简要起见在图 9 中仅示出一个存储块。每个存储块可以被配置为具有多个物理页。每个物理页可以包括连接至公共字线的存储单元序列。存储单元阵列 110 中的每个存储单元可以被配置为存储单个数据比特 (以下, 称为单电平单元 (single level cell), SLC) 或者两个或更多数据比特 (以下, 称为多电平单元 (multi level cell), MLC)。

[0094] 在本发明一个更为具体的实施例中, 存储单元阵列大体上包括以每物理页两个逻辑页排列的 2 比特 MLC 闪存。如本领域技术人员所理解的那样, 逻辑页可以被定义为能够同时编程到一个物理页的数据集合。在本发明构思另一实施例中, 存储单元阵列大体上包括以每物理页三个逻辑页排列的 3 比特 MLC 闪存。

[0095] 按照存储单元阵列 110 实现闪存设备的执行假定, 所组成的存储单元可以以多个单元串配置。单元串中的每一个都包括连接至串选择线 SSL 的串选择晶体管、分别连接至多个字线 WL₀ 至 WL_{m-1} 的多个存储单元以及连接至地选择线 GSL 的地选择晶体管。串选择晶体管连接至位线 BL, 并且地选择晶体管连接至公共源极线 CSL。公共源极线 CSL 可以从 CSL 驱动器 115 接收地电压或者 CSL 电压 (例如, VDD)。

[0096] 再次参考图 9, 地址译码器 120 通过选择线 SSL 和 GSL 以及字线 WL₀ 至 WL_{m-1} 连接至存储单元阵列 110。在编程操作或者读取操作期间, 地址译码器 120 通过控制逻辑 160 接收地址信号 ADDR 并且选择至少一个字线。

[0097] 页缓冲电路 130 通过位线 BL₀ 至 BL_{n-1} 连接至存储单元阵列 110。典型地, 页缓冲电路 130 被配置为具有多个页缓冲器 (未示出)。在所谓的“全 BL 结构 (all BL structure)”中每个位线可以分别连接至每个页缓冲器, 或者在所谓的“屏蔽 BL 结构 (shielded BL structure)”中两个或更多位线可以连接至一个页缓冲器。可以请求页缓冲电路 130 临时存储在编程期间要在选择的页中编程的“编程数据”和 / 或在读取操作期间针对选择的页从存储单元阵列 110 中获得 (retrieve) 的“读取数据”。

[0098] 数据输入 / 输出 (I/O) 电路 140 被内部配置在页缓冲电路 130 与外部连接的 I/O 线 (Data(数据)) 之间。数据 I/O 电路 140 经由 I/O 线从外部设备 (例如, 存储器控制器) 接收编程数据, 然后将接收到的编程数据 DL 施加到页缓冲电路 130。反之, 数据 I/O 电路 140 从页缓冲电路 130 接收读取数据 DL 并且经由数据 I/O 线将其提供给外部设备。

[0099] 电压生成器 150 接收外部提供的电源电压 (PWR) 并且生成编程和从存储单元阵列 110 读取数据所必需的控制电压 (例如, 字线电压 VWL)。在控制逻辑 160 的定时控制下, 电压生成器 150 生成并且向地址译码器 120 提供各种控制电压, 诸如字线电压 VWL。在图 9 示出的例子中, 电压生成器 150 包括高电压生成器 151、低电压生成器 152 和负电压生成器 153。

[0100] 这些特定生成器中的每一个都可以用于生成某一范围的控制信号电压。例如, 高电压生成器 151 可以生成大于外部提供的电源电压的高电压 HV。高电压可以用作编程电压

Vpgm 或者通过电压 Vpass。低电压生成器 152 可以生成小于或等于电源电压的低电压 LV。电源电压或者低电压可以用作位线预充电电压或者 CSL 电压。负电压生成器 153 可以生成小于 0V 的负电压 NV。负电压可以用作验证电压。

[0101] 如通常理解的那样,控制逻辑 160 本质上控制组成非易失性存储器设备 100 的其他组件的各个电路功能和 / 或共同电路功能。通过各种经协议定义的命令 CMD 和相关控制信号 (或多个) CTRL, 控制逻辑指导编程、读取和擦除操作的执行以及相关的存储器设备维护操作。例如, 在编程操作期间, 控制逻辑 160 通过控制地址译码器 120 而使得能够将特定控制电压 (或多个) 及时施加到选择的字线, 其还通过控制页缓冲电路 130 和数据 I/O 电路 140 而使得能够存储选择的页的编程数据。

[0102] 在按照本发明构思的实施例的编程操作期间, 控制逻辑 160 选择性地使能对于被指定为快速的存储单元施加定义位线强制方案的控制电压, 以及对于被指定为慢速的存储单元施加定义正常编程方案的控制电压。也就是说, 控制逻辑 160 可以促使位线强制电压 BLFV 的发生以及将其施加到连接至快速存储单元的位线, 以及可以促使位线编程电压 BLPV 的生成以及将其施加到连接至慢速存储单元的位线。该明确的控制电压处理方案可以得到源自先前的验证操作期间和 / 或预验证操作期间的慢速 / 快速存储单元指定数据, 其中, 慢速 / 快速存储单元指定数据存储在与控制逻辑 160 关联的或者与页缓冲电路 130 内的对应页缓冲器关联的存储器、寄存器或者锁存器中。

[0103] 在本发明构思的一个更为具体的实施例中, 控制逻辑 160 包括验证模式选择器 162, 其被配置为从将用于下一验证操作中的多个可能验证模式中选择验证模式。如上所述, 由验证模式选择器 162 做出的验证模式选择可以是响应于对一个或多个编程条件 (或多个) 的评估而做出的。以下, 为了描述的简要起见, 将以单数形式来提及“编程条件”, 但本领域普通技术人员将认识到, 可以在选择合适的验证模式中独立地或者有条件地 (例如, 级联地) 评估多个编程条件。而且, 将在下文中在简化假定下描述本发明构思的示范性实施例, 该简化假定为: 多个验证模式仅包括 1 步验证模式和 2 步验证模式。本领域技术人员将认识到, 任意数量的、合理定义的验证模式可以包括在所定义的、符合本发明构思的实施例的多个验证模式中。然而, 与其对可能用于具体存储系统中的、通常所理解的验证模式的长长的列表进行详述, 不如将 1 步验证模式与 2 步验证模式之间的简单选择——如控制逻辑 160 实现的那样——用作基本例子。自然, 包括在多个验证模式中的验证模式之间的选择是就能说出来的几个诸如形成存储单元阵列 110 的存储单元的类型 (或多个)、存储单元的当前数据状态 (或多个)、并入非易失性存储器设备的主机所要求的数据存取速度 (或多个)、存储单元的操作寿命以及非易失性存储器设备的执行环境 (例如, 温度、电压、操作循环的数目等等) 而做出的设计选择的事。这些考虑还将驱动将在最终进行验证模式选择中进行评估的各种编程条件 (或多个) 的标识与使用。

[0104] 在符合图 9 示出的例子的本发明构思的一个实施例中, 验证模式选择器 162 通过对在当前编程操作期间的已执行编程间隔或者编程循环 (例如, 编程条件的一个例子) 的数目进行计数 (例如, 评估编程条件的一个例子), 来在 1 步验证模式与 2 步验证模式之间进行选择。例如, “编程间隔阈值”可以存储为与验证模式选择器 162 关联的寄存器或者存储器内的值。只要已执行编程间隔的数目保持小于编程间隔阈值, 验证模式选择器 162 就选择 2 步验证模式供下一验证操作期间使用。另一方面, 当已执行编程间隔的数目达到编

程验证阈值时,验证模式选择器 162 选择 1 步验证模式供下一验证操作期间使用。

[0105] 考虑目前的闪存单元的固有趋势是在重复施加的操作(编程、读取和擦除)的压力下将用坏以及对更大数据存取速度的需求,每编程操作的已执行编程间隔的数目是一个重要的存储系统考虑因素。如已经在上面描述的那样,可以期望有条件地使用(例如,快速MLC对慢速MLC的指定)位线强制和正常编程来降低已执行编程间隔的总体数目。也就是说,并入了选择性位线强制的图9的非易失性存储器设备100可以最初使用2步验证模式来执行验证操作(或多个),直到已执行编程间隔的数目达到编程间隔阈值——在该时间点使用1步验证模式继续验证操作(或多个)——为止。该方法不仅将会降低已执行编程间隔的总体数目,而且将会降低用于编程选择的存储单元所需要的总体时间。注意,在验证模式之间的选择性切换是动态执行的——或者在总体编程操作期间执行。通过比较的方式,在传统编程操作期间使用的验证模式不能基于所评估的编程条件在单位(unitary)编程操作内进行改变。

[0106] 图10示出与示范性2比特MLC关联的四个(4)阈值电压分布。非易失性存储单元的擦除状态(E)和第一至第三编程状态(P1、P2和P3)由各个相应的阈值电压分布来表示。然而,图10进一步示出相对于所假定的能够选择性地使用位线强制的编程操作的、图9的选择性验证模式特征。

[0107] 当基于所计算的已执行编程间隔的数目所选择时,可以使用1步验证模式或者2步验证模式执行三个(3)编程状态P1、P2和P3中的每一个的验证操作。在图10示出的实施例中,进一步假定当前编程间隔(“i”)小于分别与编程状态P1、P2和P3关联的三个(3)编程间隔阈值N1、N2和N3(例如,大于1且具有相等或不同值(或多个)的正整数)中的每一个。因此,与第i编程间隔关联的当前(第i)验证操作使用2步验证模式。

[0108] 按照与图2关联的描述,使用这样的2步验证模式执行对于第一编程状态P1的第i验证操作:该2步验证模式包括关于第一预验证电压PVR1执行的第一验证步骤以及关于第一验证电压VR1执行的第二验证步骤。使用这样的2步验证模式执行对于第二编程状态P2的第i验证操作:该2步验证模式包括关于第二预验证电压PVR2执行的第一验证步骤以及关于第二验证电压VR2执行的第二验证步骤,并且使用这样的2步验证模式执行对于第三编程状态P3的第i验证操作:该2步验证模式包括关于第三预验证电压PVR3执行的第一验证步骤以及关于第三验证电压VR3执行的第二验证步骤。

[0109] 对于每个编程状态P1、P2和P3来说并且作为2步验证模式的每个相应的第一验证步骤的结果,经历编程并且具有小于各个预验证电压PVR的阈值电压的存储单元(即,驻留于预计目标阈值电压分布P之外的存储单元)将不接收位线强制控制电压,并且可以对于下一编程间隔同时被标识为慢速存储单元。相反,对于每个编程状态P1、P2和P3来说并且作为每个相应的第一验证步骤的结果,经历编程并且具有大于或等于各个预验证电压PVR但是小于相应验证电压VR的阈值电压的存储单元将接收位线强制控制电压,并且可以同时被标识为快速存储单元。

[0110] 用这样的方式,各个预验证电压(PVR1、PVR2、PVR3)用作识别“通过(pass)”存储单元和“不通过(not-pass)”存储单元的通过/不通过阈值,该“通过”存储单元具有驻留于接近阈值电压范围内的阈值电压(例如,图10的阴影区域),该“不通过”存储单元具有驻留于远距阈值电压范围中的阈值电压。“通过”和“不通过”存储单元的控制电压处理是

不同的（例如，位线强制或正常编程）。在每个验证操作中继续 2 步验证模式直到已执行编程间隔的数目达到定义的编程间隔阈值（例如， $i \geq N1, N2$ 或 $N3$ ）的时候。

[0111] 当已执行编程间隔的数目达到定义的编程间隔阈值（例如， $i \geq N1, N2$ 或 $N3$ ）时，根据本发明构思的一些实施例的操作存储器设备的方法对于编程状态 P1、P2 和 P3 中的每个选择 1 步验证模式。示范性 1 步验证模式省去（SKIP（跳过））与各个预验证电压（PVR1、PVR2、PVR3）关联的第一验证步骤以执行关于各个验证电压（VR1、VR2、VR3）执行的单个验证步骤。

[0112] 如先前所述，可以独立于验证模式的选择来做出在当前（或下一）编程间隔期间对特定存储单元使用位线强制的确定。因此，可以使用选择性位线强制而不管是正在使用 2 步验证模式还是 1 步验证模式。例如，可以在稍后执行的 1 步验证模式期间保持和使用源自先前执行的 2 步验证模式期间的最近存储的慢速 / 快速存储单元指定数据。可替换地，标识慢速 / 快速存储单元的预验证步骤可以在所选择的验证模式之外执行。

[0113] 按照上面关于图 9 和图 10 给出的描述，图 11 是概念性地示出根据本发明构思的一些实施例的、在编程间隔的数目 $N+1$ 下施加 ISPP 定义的编程电压序列 ($V_{pgm0}-V_{pgmN+1}$) 以及相应的验证电压的图。

[0114] 参考图 11，对编程间隔（循环）0 至 $N+1$ 施加递增的 (Δ ISPP) 编程电压 V_{pgm0} 至 V_{pgmN+1} 。最初在编程间隔 0 期间使用 2 步验证模式并且继续直到编程间隔 $N-1$ 为止。然而，第 N 编程间隔超过通常针对全部三个 (3) 编程状态 P1、P2 和 P3（即， $N1 = N2 = N3 = N$ ）定义的编程间隔阈值。因此，在施加第 N 编程电压 V_{pgmN} 之后，存储器设备 100 的控制逻辑 160 选择 1 步验证模式，该 1 步验证模式继续使用直到选择的存储单元（或多个）被正确编程或超过编程间隔的最大数目为止。如关于图 4、图 8 和图 10 所示，在 2 步验证模式期间施加的每个验证电压都是由预验证脉冲 PVR#——其后跟验证脉冲 VR#——形成的复合脉冲，而在 1 步验证模式期间施加的每个验证电压简单地为验证电压脉冲 VR#，其中 # 是与每个编程状态相应的号码。

[0115] 因此，在图 11 示出的例子中，在编程间隔 0 至 $N-1$ 期间执行的 2 步验证模式的每个周期包括生成和施加六个 (6) 验证电压脉冲（每编程状态 2 个）。相比之下，在前进方向的编程间隔 N 期间执行的 1 步验证模式的每个周期包括生成和施加三个 (3) 验证电压脉冲（每编程状态 1 个）。本领域普通技术人员将看到，随着 MLC 编程状态的数目增大（例如，从 2 到 3 到 4...），执行多步验证模式所需要的时间和开销（读取验证操作、PASS（通过）/ FAIL（失败）校验等等）显著增加。因此，期望 MLC 实际上使得能够存储 3 个或更多个数据比特，本发明构思的实施例提供的在单步对多步验证模式之间进行选择的动态能力将提供这样的存储器设备以及并入的存储系统：其具有使用更少的编程间隔但具有较高可控制编程精度的扩展能力。

[0116] 图 12 是概述操作根据本发明构思的实施例的、诸如图 9 中的存储器设备 100 这样的非易失性存储器设备的方法的相关部分的流程图。

[0117] 共同参考图 9 至图 12，操作方法包括编程根据本发明构思的实施例的非易失性存储器设备 100 内的非易失性存储单元的方法。

[0118] 利用相应的编程命令 CMD 接收到的编程数据通过数据 I/O 电路 140 被加载到页缓冲电路 130 (S110)。响应于由控制逻辑 160 响应于编程命令 CMD 生成的控制信号 CTRL，电

压生成器 150 生成编程操作必需的一些控制电压（例如，偏置电压、编程电压、通过电压、高电压、阱（well）电压、验证电压、读取电压等等）。一旦所需要的控制电压以及相应的控制信号由电压生成器 150 稳定地提供，控制逻辑 160 就使得在第一编程间隔 ($i = 0$) 期间执行第一编程循环（循环 0）(S120)。

[0119] 响应于包括在被加载到页缓冲电路 130 的编程数据中的各个数据值，设置存储单元阵列 110 的位线 BL_0 到 BL_{n-1} (S130)。随后，通过电压 V_{pass} 被施加到未选择的字线以及编程电压 V_{pgm} 被施加到选择的字线以对选择的存储单元（或多个）进行编程 (S140)。例如，控制逻辑 160 可以控制页缓冲电路 130 以及电压生成器 150 的操作以使得位线强制电压 BLFV（例如，1.0V）被施加到连接至被标识为快速的存储单元的位线上。而且，控制逻辑 160 可以控制页缓冲电路 130 以及电压生成器 150 的操作以使得位线强制电压 BLFV 不被施加到慢速存储单元。相反，位线编程电压 BLPV（例如，0.0V）将被施加到连接至慢速存储单元的位线上。

[0120] 可以在编程操作以外执行的预验证操作期间或者作为生成初始慢速 / 快速存储单元指定数据的制造商测试的一部分，来进行慢速 / 快速存储单元的初始标识。可替换地，所有选择的存储单元都可以在第一验证操作之前被初始编程（对于 $i = 0$ 来说，S140）为慢速或者快速存储单元。

[0121] 在每个连续编程步骤 (S140) 之后，本方法对编程条件进行评估并且基于所评估的编程条件选择将在下一验证操作期间使用的验证模式。在图 12 中示出的图示例子中，再次假定先前的执行例子。因此，编程条件的示范性评估包括确定当前编程循环“ i ”是否大于或等于预定的编程间隔阈值“N”(S150)。如果否的话，则选择 2 步验证模式 (S150 = 否)，否则选择 1 步验证模式 (S150 = 是)。也就是说，在图 12 的例子中，基于编程条件做出的验证模式的选择包括在单步和多步验证模式之间的简单选择。

[0122] 相对于每个选择的存储单元选择性执行 2 步验证模式 (S160) 或者 1 步验证模式 (S165) 产生两种结果其中之一。要么选择的存储单元通过（即，正确编程到定义的阈值电压分布 - 例如，P1、P2、P3），要么失败（即，未正确编程到定义的阈值电压分布 - 例如，P1、P2、P3）。“通过”状态终止对于选择的存储单元的编程操作。“失败”状态调用下一编程循环。

[0123] 在图 12 的例子中下一编程循环从首先将当前编程间隔“ i ”与所定义的编程间隔最大数目 (MAX) 相比较 (S170) 开始。如果“ i ”达到 MAX，则编程操作以失败（或者出错）条件终止。否则，当前编程间隔计数器“ i ”增加 1(S180)，并且编程操作循环到下一编程循环的开始。

[0124] 在这一点上并且作为通常所理解的那样，可以在施加编程电压之前将通过电压施加到选择的字线 (S140)。在施加编程电压之后，编程步骤 (S140) 还可以包括所谓的编程恢复操作。在编程恢复操作中，偏置电压被施加到字线 WL_0 至 WL_{m-1} ，串选择线 SSL 被放电，并且施加到位线 BL_0 至 BL_{n-1} 的电压被放电。

[0125] 如上所述，可以使用（例如）计数器 / 比较器电路以及存储编程间隔阈值的寄存器或者锁存器在控制逻辑 160 中进行编程状态的示范性评估（即，将当前编程间隔“ i ”与编程间隔阈值“N”进行比较）。可以分别针对每个编程状态（例如，P1、P2、P3）建立各种且可能不同的编程间隔阈值。

[0126] 前述例子已经具体地描绘了并入了每存储单元存储 2 数据比特的 MLC 的非易失性存储器设备。然而,本教导可以容易地延至每存储单元存储 3 个或者更多个数据比特的 MLC。例如,图 13——包括图 13(A)、图 13(B) 和图 13(C)——概念性地示出应用于每物理页存储 3 个逻辑页的数据的 3 比特 MLC 的本发明构思的实施例。

[0127] 图 13(A) 示出第一编程阶段,其针对与最小有效位 (LSB) 关联的第一逻辑页。在擦除状态 (E) 和一个 (1) 第一级中间编程状态 (P) 之间对每个 LSB 进行编程。因此,这两个状态之间的编程效率可以很好地指示 1 步验证模式的使用。换句话说,正在被编程的特定 MLC 数据比特可以用作用于选择特定验证模式的编程条件。

[0128] 图 13(B) 示出第二编程阶段,其针对与次高有效位 (NSB) (即,3 比特数据的第 2 比特) 关联的第二逻辑页。在擦除状态 (E) 和三个 (3) 第二级中间编程状态 (P1、P2、P3) 之间对每个 NSB 进行编程。例如,第二编程级可以使用诸如针对图 10 描述的那样的方法。也就是说,可以相对于三个 (3) 第二级中间编程状态 (P1、P2、P3) 中的每一个来定义预验证电压 PVR# 和验证电压 VR#。使用这些电压,最初使用 2 步验证模式直到已执行编程间隔数目 “i” 达到与三个 (3) 第二级中间编程状态 (P1、P2、P3) 关联的各个编程间隔阈值 (N1、N2、N3) 为止,此时可以选择 1 步验证模式。

[0129] 图 13(C) 示出第三编程阶段,其针对与最高有效位 (MSB) 关联的第三逻辑页。在擦除状态 (E) 和七个 (7) (最终) 编程状态 (Q1-Q7) 之间对每个 MSB 进行编程。第三编程阶段可以使用类似于针对图 10 描述的那样的方法,除了编程状态的数目从 3 增大到 7 之外。虽然如此,但是仍然可以相对于七个 (7) 编程状态 (Q1-Q7) 中的每一个来定义预验证电压 PVR# 和验证电压 VR#。使用这些电压,再次初始使用 2 步验证模式直到已执行编程间隔数目 “i” 达到与七个 (7) 编程状态 (Q1-Q7) 关联的各个编程间隔阈值 (M1-M7) 为止,此时可以选择 1 步验证模式。因为利用中间状态编程间隔阈值 (N1、N2、N3),所以最终状态编程间隔阈值 (M1-M7) 可以根据设计需求而全部具有相同的整数值或者一个或多个编程间隔阈值而不同于其他编程间隔阈值。

[0130] 尽管未在图 13 中示出,但是本领域普通技术人员将看到,对于具有存储 4 比特和更高数据比特能力的 MLC,可以在对应的编程阶段中将第四和更高逻辑页类似地编程。

[0131] 在这一点上,应当重申,先前相对于图 9 至图 13 描述的实施例全部都被描绘为由已执行编程间隔的数目定义的编程条件以及在通过组成验证步骤的数目来区别的验证模式之间进行选择。然而,本发明构思的范围不局限于仅该类型的编程条件 (及其评估),和 / 或仅这些类型的验证模式。已经在上面建议了其他可能的编程条件及验证模式,并且本领域技术人员将理解,从同样角度考虑的编程条件、其评估方法以及可能类型的验证模式的选择也将是我们的设计和应用。

[0132] 图 14 是示出根据本发明构思的实施例的非易失性存储器设备的另一可能例子的方框图。图 13 的非易失性存储器设备 200 包括存储单元阵列 210、地址译码器 220、页缓冲电路 230、数据输入 / 输出电路 240、电压生成器 250 以及控制逻辑 260。类似于相对于图 9 描述的本发明构思的实施例,非易失性存储器设备 200 可以选择性地包括连接至控制逻辑 260 的温度传感器 271 和 / 或噪声检测器 272。这些组件以类似于先前相对于图 9 的实施例描述的相应元件的方式被配置和操作。然而,针对图 14 在一些额外细节上描述页缓冲电路 230 的结构和功能。

[0133] 如以前那样,页缓冲电路 230 通过各个位线 BL₀ 至 BL_{n-1} 连接至存储单元阵列 210。如以前那样,页缓冲电路 230 用来临时存储编程数据和读取数据。

[0134] 更加具体来说,页缓冲电路 230 包括多个页缓冲器 231 和 232。页缓冲器 231 和 232 中的每一个包括第一、第二和第三锁存器 (LAT1、LAT2、LAT3)。假定在存储单元阵列 210 中并入 2 比特 MLC,第一锁存器 LAT1 可以被配置为存储编程 (或者读取) 数据的 LSB,第二锁存器 LAT2 可以被配置为存储 MSB。第三锁存器 LAT3 可以被配置为存储慢速 / 快速存储单元指定数据,诸如可以用于表示位线强制的使用 (或不使用)。

[0135] 术语“存储单元指定数据”是一个宽泛的术语,并且表示标识存储单元阵列中的非易失性存储单元之间的相关编程状态、阈值电压状态或者编程能力的任意数据 (或者信息)。已经在上面相对于驻留于所定义的接近阈值电压范围或者远距阈值电压范围中的阈值电压使用了相对指定“慢速”和“快速”。可以针对展现不同编程速度 (例如,阈值电压响应于一些控制电压的施加而以该速度移动) 的存储单元或者由于不同级别的损耗所引起的编程的不同易感性来进行类似指定。通过前述描述和这里阐述的例子,本领域技术人员将理解,可以定义表示各种形式的编程条件的各种形式的存储单元指定数据并且其可以用于促进动态选择本发明构思的实施例内的验证模式。

[0136] 返回到图 14,第三锁存器 LAT3 被配置为存储由预验证操作结果或者验证操作所定义的存储单元指定数据。按照图 10 的执行例子,第三锁存器 LAT3 可以存储数据值 0 和数据值 1,数据值 0 用于表示将使用位线强制进行编程的快速存储单元,数据值 1 表示将使用正常编程来进行编程的慢速存储单元。在本发明构思的一些实施例中,可以相对于在选择的存储单元 (或多个) 的当前阈值电压与用于特定编程状态的预验证电压和验证电压之间的比较来得出存储单元指定数据。

[0137] 因此,控制逻辑 260 可以响应于外部提供的命令 CMD 和 / 或控制信号 (或多个) CTRL 来控制非易失性存储器设备 200 的编程、读取和擦除操作。控制逻辑 260 基于存储在第三锁存器 LAT3 中的存储单元指定数据,促使在当前编程间隔期间对快速存储单元执行位线强制或者对慢速存储单元执行正常编程。

[0138] 而且,控制逻辑 260 可以依照存储在第三锁存器 LAT3 中的存储单元指定数据,使用验证模式选择器 262 评估一个或多个编程条件 (或多个)。也就是说,可以基于所存储的存储单元指定数据,整体地或者部分地评估特定编程条件。例如,验证模式选择器 262 可以在编程操作期间通过评估存储在多个页缓冲器 231 和 232 中的每一个的第一、第二和第三锁存器 LAT1 至 LAT3 中的数据确定某一编程状态是否是“通过”。

[0139] 应当注意,图 14 中示出的验证模式选择器 262 被配置为在控制逻辑 260 内。然而,不一定总是这样的情况,并且可以在控制逻辑 260 之外、诸如页缓冲器 230 或者与页缓冲电路关联的电路内提供分离的验证模式选择器 262。

[0140] 应当注意的是,本发明构思的一些实施例可以使用包括编程状态数据的存储单元指定数据,这些编程状态数据表示对于一个或多个编程数据比特来说是否存在特定编程状态。因此,一个或多个编程数据比特的编程状态可以被用作某一类型的编程条件,可以评估该编程条件以选择特定的验证模式。

[0141] 图 15 是示出相对于非易失性存储器设备——诸如图 14 的非易失性存储器设备 200——的编程操作的、示范性 2 比特 MLC 的阈值电压分布的实施例的图。

[0142] 参考图 15,再次示出擦除状态 (E) 和三个 (3) 编程状态 (P1、P2、P3)。为了说明的目的,假定在编程操作期间可以选择 1 步验证模式或者 2 步验证模式。然而,不是基于慢速 / 快速指定来进行选择,而基于选择的存储单元 (或多个) 的当前编程状态来选择每个验证模式。

[0143] 因此,在图 15 示出的实施例中,在使用 2 步验证模式的随后的验证操作期间关于预验证电压 PVR# 和验证电压 VR# 来验证正在被编程到第一或者第二编程状态 P1、P2 的选择的存储单元,如前所述。然而,在使用 1 步验证模式的随后的验证操作期间关于验证电压 VR3 来验证正在被编程到第三编程状态 P3 的选择的存储单元。在一些相关实施例中,可以通过将选择的存储单元的阈值电压与通过阈值电压 (在图 15 的示出例子中为 P2) 进行比较来评估该特定编程条件 (即,编程到第三 (或者最高) 编程状态)。一旦选择的存储单元的阈值电压达到该通过阈值,就选择 1 步验证模式。还要注意,以类似于先前描述的方式,针对图 15 的实施例的选择的存储单元而选择性地使能 / 禁用位线强制。

[0144] 图 16 是示出在图 14 描述的实施例内的、可以在编程操作期间在多个编程间隔施加的编程电压和验证脉冲的一个可能序列的图。

[0145] 参考图 16,在编程间隔 0 至 K+1 施加 ISPP 定义的编程电压序列 (V_{pgm0} - V_{pgmK+1})。在编程间隔 0 至 K-1 期间,按照 2 步验证模式的验证脉冲在每个编程电压之后被施加到选择的存储单元 (或多个)。然而,在第 K-1 编程间隔中,假定选择的存储单元 (或多个) 的阈值电压达到或者超过通过阈值电压 P2。因此,在第 K 编程间隔以及随后的编程间隔期间,选择 1 步验证模式并且按照 1 步验证模式的验证脉冲在每个编程电压之后被施加到选择的存储单元 (或多个)。

[0146] 图 17 是示出在图 14 描述的实施例内的、可以在编程操作期间在多个编程间隔施加的编程电压和验证脉冲的另一个可能序列的图。

[0147] 参考图 17,对 P1 和 P2 使用两个不同的通过阈值电压。第一通过阈值电压 P1 表示将第一编程状态 P1 与第二编程状态 P2 分隔开的阈值电压边界。选择第一类型的 2 步验证模式以便在选择的存储单元 (或多个) 的阈值电压小于 P1 时 (例如,在编程间隔 I-1 到 I 期间) 使用。然而,选择不同的第二类型 (例如,使用不同的验证脉冲) 的 2 步验证模式以便一旦选择的存储单元 (或多个) 的阈值电压达到或者超过 P1 时 (例如,在编程间隔 I+1 到 K-1 期间) 使用。最后,选择 1 步验证模式以便在选择的存储单元 (或多个) 的阈值电压达到或者超过 P2 时 (例如,在编程间隔 K 和前进方向) 使用。

[0148] 图 16 和图 17 中示出的实施例进一步示出如何可以降低在编程操作期间的编程间隔的数目,由此降低对 MLC 编程所需的时间并且大略地降低存储单元损耗。本领域的技术人员将从前述描述中看出,编程状态可以用作编程条件,可以对该编程条件进行评估并且将其用于选择合适的验证模式。还要注意,为此使用的各个且不同定义的各个通过阈值电压仅仅是可以对各个编程状态进行评估的许多不同方式中的一种。

[0149] 如图 18 的例子进一步所示,在特定验证操作期间施加的验证电压的本质和组成也可以相对于特定编程状态而改变。在图 18 中,因为通过 P1 表示针对第一编程状态进行编程的结束,所以从编程间隔 K (之后是大于或等于 P1 的阈值电压检测) 开始,施加各个验证脉冲以便仅验证第二和第三编程状态 P2 和 P3。这里再次地,针对特定编程状态 (或多个) 进行选择的验证模式内的验证脉冲的总体降低会降低总体编程时间、存储单元损耗和

功耗。

[0150] 图 19 中示出的本发明构思的实施例组合了几个先前给出的教导。再有，图 19 是示出在图 14 描述的实施例内的、可以在编程操作期间在多个编程间隔施加的编程电压和验证脉冲的另一个可能序列的图。第一和第二通过阈值电压 P1 和 P2 来表示编程状态并选择验证模式（例如，在 1 步验证模式和 2 步验证模式之间）。而且，实现作为编程状态的函数的选择性验证脉冲施加。也就是说，在第二编程状态期间 ($P1 \geq V_{TH} > P2$) 施加两个验证脉冲，在第三编程状态期间 ($P2 \geq V_{TH}$) 施加一个验证脉冲。

[0151] 图 20 是概述操作根据本发明构思的实施例的、诸如图 14 的非易失性存储器设备 200 这样的非易失性存储器设备的方法——包括编程方法——的流程图。

[0152] 共同参考图 14 至图 18，根据本发明构思的实施例的非易失性存储器设备 200 的编程方法如下。

[0153] 通过数据 I/O 电路 240 将编程数据加载到页缓冲电路 230 中 (S210)。然后，控制逻辑 260 控制第一编程循环 ($i = 0$) 的执行 (S220)。

[0154] 根据加载到页缓冲电路 230 中的编程数据设置位线 BL_0 至 BL_{n-1} (S230)。然后，通过电压被施加到未选择的字线以及编程电压被施加到选择的字线以对选择的存储单元（或多个）进行编程 (S240)。例如，控制逻辑 260 可以控制页缓冲电路 230 以及电压生成器 150，以将位线强制电压 BLFV（例如，1.0V）施加到连接至快速存储单元的位线上。另一方面，控制逻辑 260 可以控制页缓冲电路 230 以及电压生成器 250，以将位线编程电压 BLPV（例如，0.0V）施加到连接至慢速存储单元的位线上。

[0155] 然后，控制逻辑 260 的验证模式选择器 262 通过参考相应的通过阈值电压来确定是否已经达到某一编程状态（例如，是否 $V_{TH} \geq P_s$ ，其中 P_s 是特定编程状态“S”的通过阈值电压）。验证模式选择器 262 做出的该确定可以在控制逻辑 260 内使用，以便从多个可能验证模式中选择一个验证模式 (S250)。

[0156] 例如，在图 20 示出的例子中，如果尚未进入某一编程状态 P_s ，或者尚未达到或者超过相应的通过阈值电压 (S250 = 否)，则选择并且执行 2 步验证模式 (S260)。然而，如果已经进入某一编程状态 P_s ，或者已经达到或者超过相应的通过阈值电压 (S250 = 是)，则选择并且执行 1 步验证模式 (S265)。两种验证模式之一所进行的成功验证 (S260 或者 S265 = 通过) 导致编程操作的终止。

[0157] 除非已经达到编程间隔的最大数目 (MAX) (S270 = 是)，否则两种验证模式之一进行的失败验证 (S260 或者 S265 = 否) 导致下一编程间隔 $i = i+1$ (S280)。

[0158] 可以以许多不同类型的非易失性存储器设备、存储系统以及并入了存储器设备和存储系统的主机设备来不同地实现本发明构思的实施例。例如，可以按照本发明构思的实施例的方式配置和操作垂直 NAND 闪存设备。

[0159] 图 21 是示出根据本发明构思的实施例的非易失性存储器设备的图。参考图 21，非易失性存储器设备 300 包括存储单元阵列 310、驱动器 320、输入 / 输出 (I/O) 电路 330 和控制逻辑 360。

[0160] 存储单元阵列 310 被配置为包括多个存储块 BLK1 至 BLKh。存储块 BLK1 至 BLKh 中的每一个包括以垂直（或者堆叠的）结构（即，以三维方向排列多个存储块）排列的多个存储单元。也就是说，本发明构思的一些实施例包括具有沿第一、第二和第三方向延伸的

结构的存储块 BLK1 至 BLKh。本发明构思的其他实施例包括具有沿三个可能方向中的一个方向延伸的 NAND 串的存储块 BLK1 至 BLKh。本发明构思的其他实施例包括具有沿三个可能方向中的多个方向延伸的 NAND 串的存储块 BLK1 至 BLKh。

[0161] NAND 串中的每一个连接至一个位线 BL、至少一个串选择线 SSL、至少一个地选择线 GSL、一个字线 WL 和一个公共源极线 CSL。也就是说，存储块 BLK1 至 BLKh 中的每一个连接至多个位线 BL、多个串选择线 SSL、多个地选择线 GSL、多个字线 WL 和多个公共源极线 CSL。

[0162] 驱动器 320 通过至少多个字线 WL 连接至存储单元阵列 310。驱动器 320 根据控制逻辑 360 的控制而操作。驱动器 320 接收从外部提供的地址 ADDR。

[0163] 驱动器 320 对地址 ADDR 进行译码并且根据经译码的地址来选择字线 WL 中的一个。驱动器 320 将电压施加到选择的字线和未选择的字线。驱动器 320 还分别施加与编程操作关联的编程电压、与读取操作关联的读取电压或者与擦除操作关联的擦除电压到字线 WL。驱动器 320 可以包括能够选择和驱动字线的字线驱动器 321。

[0164] 驱动器 320 可以选择和驱动多个选择线 SL、串选择线 SSL 和 / 或地选择线 GSL。为此，驱动器 320 可以包括选择线驱动器 322，其被特别标识以选择和驱动多个选择线 SL。

[0165] 而且，驱动器 320 还可以驱动公共源极线 CSL。为此，驱动器 320 可以包括公共源极线驱动器 323，其被特别标识以驱动公共源极线 CSL。

[0166] I/O 电路 330 通过多个位线 BL 连接至存储单元阵列 310。I/O 电路 330 在控制逻辑 360 的控制下操作，并且被配置为选择位线 BL。

[0167] I/O 电路 330 还可以被配置为从外部设备接收数据 (DATA) 并且将接收到的数据编程到存储单元阵列 310 中。类似地，I/O 电路 330 还可以被配置为从存储单元阵列 310 中读取数据并且将其传送到外部设备。

[0168] 取决于非易失性存储器设备 300 的总体性能，I/O 电路 330 还可以被配置为从存储单元阵列 310 的指定的第一存储区域或者第二存储区域读取数据和 / 或将数据编程到存储单元阵列 310 的指定的第一存储区域或者第二存储区域。因此，I/O 电路 330 的一些实施例期望执行通常所了解的复录 (copy-back) 操作。

[0169] 在本发明构思的一些实施例中，I/O 电路 330 可以并入通常了解的组件，诸如页缓冲器（和 / 或页寄存器）电路、列选择电路、数据缓冲器（或多个）、读出放大器、写入驱动器（或多个）、列选择电路等等。

[0170] 控制逻辑 360 控制非易失性存储器设备 300 的总体操作。控制逻辑 360 响应于外部提供的命令和 / 或控制信号 CTRL 操作。按照前述实施例，控制逻辑 360 可以在编程操作期间执行快速存储单元的位线强制或者慢速存储单元的正常编程。

[0171] 而且，可以使用硬件、固件和 / 或软件配置控制逻辑 360，以便基于一个或多个编程条件（或多个）从多个验证模式中选择一个验证模式，以及使用所选择的验证模式执行验证操作。为此，控制逻辑 360 可以包括以类似于前述的方式起作用的验证模式选择器 362。

[0172] 图 22 是示出图示图 21 中所示的多个存储块中的存储块 BLKi 的等效电路的相关部分的电路图。

[0173] 参考图 21 和图 22，NAND 串 NS11 至 NS31 布置在第一位线 BL1 与公共源极线 CSL

之间。第一位线 BL1 对应于沿第三方向延伸的导电材料。NAND 串 NS12、NS22 和 NS32 布置在第二位线 BL2 与公共源极线 CSL 之间。第二位线 BL2 对应于沿第三方向延伸的导电材料。NAND 串 NS13、NS23 和 NS33 布置在第三位线 BL3 与公共源极线 CSL 之间。第三位线 BL3 对应于沿第三方向延伸的导电材料。

[0174] 用于每个 NAND 串 NS 的串选择晶体管 SST 连接至对应的位线 BL。用于每个 NAND 串 NS 的地选择晶体管 GST 连接至公共源极线 CSL。存储单元 MC 布置在每个 NAND 串 NS 的串选择晶体管 SST 与地选择晶体管 GST 之间。

[0175] 在下文中,将以行和列为单位定义 NAND 串 NS。共同连接至一个位线的 NAND 串 NS 形成一列。因此,NAND 串 NS11 至 NS31 连接至对应于第一列的第一位线 BL1。NAND 串 NS12 至 NS32 连接至对应于第二列的第二位线 BL2,NAND 串 NS13 至 NS33 连接至对应于第三列的第三位线 BL3。

[0176] 连接至一个串选择线 SSL 的 NAND 串 NS 形成一行。因此,NAND 串 NS11 至 NS31 连接至对应于第一行的第一串选择线 SSL1。NAND 串 NS21 至 NS23 连接至对应于第二行的第二串选择线 SSL2,并且 NAND 串 NS31 至 NS33 连接至对应于第三行的第三串选择线 SSL3。

[0177] 在每个 NAND 串 NS 中,定义高度 (height)。在每个 NAND 串 NS 中,邻近于地选择晶体管 GST 的存储单元 MC1 的高度是 1。在每个 NAND 串 NS 中,越邻近于串选择晶体管 SST,每个存储单元的高度越高。在每个 NAND 串 NS 中,邻近于串选择晶体管 SST 的存储单元 MC7 的高度是 7。

[0178] 同一行的 NAND 串 NS 共享一个串选择线 SSL。不同行的 NAND 串 NS 分别连接至不同的串选择线 SSL。在同一行上的 NAND 串 NS 中具有相同高度的存储单元共享一个字线。在相同高度上,不同行上的 NAND 串 NS 的字线 WL 被公共连接。字线 WL 可以被共同连接至对其提供沿第一方向延伸的导电材料的层。沿第一方向延伸的导电材料可以通过触点连接至上层。沿第一方向延伸的导电材料可以在上层公共连接。

[0179] 同一行的 NAND 串 NS 共享一个地选择线 GSL。不同行的 NAND 串 NS 分别连接至不同的地选择线 GSL。也就是说,NAND 串 NS11 至 NS13、NS21 至 NS23 和 NS31 至 NS33 公共连接至地选择线 GSL。而且,公共源极线 CSL 可以公共连接至 NAND 串 NS。

[0180] 如图 22 中所示,具有相同高度的字线 WL 公共连接。因此,当选择了特定字线 WL 时,连接至该特定字线 WL 的所有 NAND 串 NS 都被选择。不同行的 NAND 串 NS 连接至不同的串选择线 SSL。因此,通过选择串选择线 SSL1 至 SSL3,连接至同一字线 WL 的 NAND 串 NS 当中未选择的行的 NAND 串 NS 可以与位线 BL1 至 BL3 分离。也就是说,通过选择串选择线 SSL1 至 SSL3,可以选择该行的 NAND 串 NS。此外,通过选择位线 BL1 至 BL3,可以以行为单位选择选择的行的 NAND 串 NS。

[0181] 图 23 是示出包括根据本发明构思的实施例的非易失性存储器设备的存储系统的一般框图。参考图 23,存储系统 400 包括非易失性存储器设备 420 和存储器控制器 440。

[0182] 非易失性存储器设备 420 包括验证模式选择器 462,其被配置为从可以在作为对非易失性存储器设备 420 编程的一部分而执行的验证操作期间使用的多个验证模式中选择一个验证模式。如上面所述的各种实施例,可以基于一个或多个编程条件的评估来执行特定验证模式的选择。然而,取代在非易失性存储器设备 420 的控制逻辑内评估编程条件,可以通过布置在存储器控制器 440 中的控制或计算电路来进行评估。在这样的情况下,可

以在验证模式选择器 422 与存储器控制器 440 之间传递验证模式选择命令 VMCMD (与相应的确认信号或者根据其可以做出这样的选择的声明 (predicate) 数据一起)。

[0183] 因此,因为通常用于控制非易失性存储器设备 420 的控制和计算电路已经被运用 (export) 到存储器控制器 440,所以存储器控制器 440 可以用于评估一个或多个编程条件、基于编程条件的评估选择验证模式、生成相应的验证模式选择命令 VMCMD 以及将该验证模式选择命令 VMCMD 传递到非易失性存储器设备 420。

[0184] 非易失性存储器设备 420 从存储器控制器 440 接收验证模式选择命令 VMCMD 作为任意其他命令,并且由此执行验证操作。非易失性存储器设备 420 可以响应于来自存储器控制器 440 的相应命令执行用于快速存储单元的位线强制以及用于慢速存储单元的正常编程。

[0185] 图 24 是示出可以从存储器控制器 440 传递到图 23 的非易失性存储器设备 420 的控制信号的一个可能排列的信号波形图。

[0186] 参考图 24,非易失性存储器设备 420 响应于命令锁存激活信号 CLE 接收串行数据输入命令,以及响应于地址锁存激活信号 ALE 接收用于写入数据的地址 ADDR。尽管未示出,但是非易失性存储器设备 420 响应于写入激活信号接收将被写入的串行数据,以及响应于命令锁存激活信号 CLE 接收验证模式选择命令 VMCMD。非易失性存储器设备 420 根据验证模式选择命令 VMCMD 以所确定的验证模式来执行验证操作。随后,编程的成功或出错的结果值 S/E 通过输入 / 输出线 IOx 被发送到存储器控制器 440。

[0187] 在图 23 和图 24 中,存储器控制器 440 生成用于选择验证模式的验证模式选择命令 VMCMD,并且经由输入 / 输出线 IOx 传递验证模式选择命令 VMCMD。然而,本发明构思的范围并不局限于此。存储器控制器 440 可以生成用于选择验证模式的验证模式选择信号,并且通过单独的传输线而非使用输入 / 输出线 IOx 将其发送到非易失性存储器设备 420。

[0188] 图 25 是示出根据本发明构思的另一实施例的存储系统的框图。参考图 25,存储系统 1000 通常包括非易失性存储器设备 1100 和存储控制器 1200。

[0189] 非易失性存储器设备 1100 能够选择性地将位线强制控制电压施加到连接至快速存储单元的位线上,或者将正常控制电压施加到连接至慢速存储单元的位线上。非易失性存储器设备 1100 还能够相对于选择的存储单元 (或多个) 执行多个验证模式。例如,非易失性存储器设备 1100 可以被配置为实现图 3 中总结的操作方法。在一些实施例中,非易失性存储器设备 1100 可以具有类似于图 9 的非易失性存储器设备 100、图 14 的非易失性存储器设备 200、图 21 的非易失性存储器设备 300 或者图 23 的非易失性存储器设备 420 的配置和操作那样的配置和操作。

[0190] 存储器控制器 1200 被配置为根据外部设备 (例如,主机) 做出的数据请求来控制非易失性存储器设备 1100。也就是说,存储器控制器 1200 通常控制在非易失性存储器设备 1100 内执行的编程、读取和擦除操作。如果像图 23 的非易失性存储器设备 420 那样实现非易失性存储器设备 1100,那么就可以像存储器控制器 440 那样实现存储器控制器 1200。

[0191] 存储器控制器 1200 本质上提供非易失性存储器设备 1100 和主机之间的接口。也就是说,存储器控制器 1200 驱动硬件 / 固件和 / 或执行软件来控制非易失性存储器设备 1100 的功能。

[0192] 在图 25 示出的例子中,存储器控制器 1200 包括中央处理单元 (CPU) 1210、缓冲器

1220、误差校正电路 (ECC) 1230、ROM 1240、主机接口 1250 和存储器接口 1260。

[0193] CPU 1210 控制存储器控制器 1200 的整体操作。

[0194] 缓冲器 1220 被用作 CPU 1210 的工作存储器。响应于来自主机的编程请求,从主机接收到的编程数据被临时存储在缓冲器 1220 中。响应于从主机接收到的读取请求,从非易失性存储器设备 1100 获得的数据被临时存储在缓冲器 1220 中。

[0195] 误差校正电路 1230 在编程请求期间使用许多传统误差校正编码方案中的一个对存储在缓冲器 1220 中的数据进行解码。在这一点上,经解码的数据和所使用的误差校正码值被存储在非易失性存储器设备 1100 中。误差校正电路 1230 在读取请求期间使用伴随读取数据的误差校正码值对从非易失性存储器设备 1100 读取的数据进行恢复。

[0196] ROM 1240 存储驱动存储器控制器 1200 必需的软件和对应数据。

[0197] 主机接口 1250 根据用来在主机与存储器控制器 1200 之间交换数据的已定义协议而操作。在本发明构思的一些实施例中,存储器控制器 1200 使用各种接口协议中的一个与主机(或者其他外部设备)通信,这些接口协议诸如通用串行总线(USB)协议、多媒体卡(MMC)协议、外围设备组件互连(PCI)协议、PCI-Express(PCI-E)协议、高级技术配件(ATA)协议、串行 ATA 协议、并行 ATA 协议、小组件小接口(Small Component Small Interface, SCSI)协议、增强型小硬盘接口(Enhanced Small Disk Interface, ESDI)协议和集成驱动电子设备(Integrated Drive Electronics, IDE)协议。

[0198] 存储器接口 1260 将非易失性存储器设备 1100 与存储器控制器 1200 接口。

[0199] 存储系统 1000 能够取决于选择的存储单元的相对速度,对于能够选择性地执行位线强制或者正常编程的编程操作来动态地执行所选择的验证操作(或多个),如上所述。该性能允许存储系统 1000 普遍地提高可靠性,降低每个编程操作所需要的平均编程间隔数,并且还不牺牲编程精度。如上所述,可以相对于包括温度和/或噪声的编程条件来进行验证模式的选择。

[0200] 图 26 是示出根据本发明构思的实施例的存储卡的框图。参考图 26,存储卡 2000 一般包括闪存设备 2100、缓冲存储器 2200 和存储器控制器 2300。

[0201] 如之前那样,闪存设备 2100 被配置为施加位线强制控制电压到连接至快速存储单元的位线以及施加正常编程控制电压到连接至慢速存储单元的位线。闪存设备 2100 还被配置为从多个验证模式中动态地选择验证模式。例如,闪存设备 2100 可以是能够实现图 3 的编程方法的存储器设备。可替换地,可以像图 9 的非易失性存储器设备 100、图 14 的非易失性存储器设备 200、图 21 的非易失性存储器设备 300 或者图 23 的非易失性存储器设备 420 那样配置和操作闪存设备 2100。

[0202] 缓冲器存储器 2200 可以被配置为临时存储与由存储卡 2000 执行的编程和读取操作关联的编程数据和读取数据。可以使用易失性存储器设备、诸如传统可用的 DRAM 和/或 SRAM 来实现缓冲器存储器 2200。

[0203] 在图 26 示出的例子中,存储器控制器 2300 连接在主机与闪存设备 2100 之间。响应于来自主机的请求,存储器控制器 2300 访问闪存设备 2100。如果像图 23 的非易失性存储器设备 420 那样实现闪存设备 2100,那么就可以像存储器控制器 440 那样实现存储器控制器 2300。

[0204] 存储器控制器 2300 包括微处理器 2310、主机接口 2320 和闪存接口 2330。微处理

器 2310 可以实现为驱动硬件、固件和 / 或软件以控制存储卡 2000 的操作。主机接口 2320 通过诸如多媒体卡 (MMC) 协议的已定义的存储卡协议与主机接口, 以便于主机与闪存 2100 之间的数据的交换。因此, 在各种实施例中, 与本发明构思一致的存储卡 2000 可以采取 MMC、安全数字 (SD) 卡、迷你 SD 卡、记忆棒、智能媒介卡、trans-flash 卡等等的形式。

[0205] 闪存接口 2330 在闪存与存储器控制器 2300 之间形成通常所了解的接口。

[0206] 图 27 是示出根据本发明构思的实施例的 moviNAND 的框图。参考图 27, moviNAND 3000 一般包括 NAND 闪存设备 3100 和控制器 3200。

[0207] NAND 闪存设备 3100 可以通过使用例如精细倾斜球状网阵排列 (Fine-pitch Ball Grid Array, FBGA) 制造技术来将单个产品 NAND (single-product NAND) 的闪存设备堆叠在一个封装中来实现。每个单个产品的 NAND 闪存设备可以被配置为选择性地施加位线强制控制电压到连接至快速存储单元的位线或者施加正常编程控制电压到连接至慢速存储单元的位线。每个单个产品的 NAND 闪存设备可以进一步被配置为基于一个或多个编程条件从多个验证模式中选择一个验证模式。例如, 可以像图 9 的非易失性存储器设备 100、图 14 的非易失性存储器设备 200、图 21 的非易失性存储器设备 300 或者图 23 的非易失性存储器设备 420 那样配置和操作每个单个产品的 NAND 闪存设备。

[0208] 在图 27 示出的例子中, 控制器 3200 包括控制器核 3210、主机接口 3220 和 NAND 接口 3230。控制器核 3210 控制 moviNAND 3000 的整体操作。主机接口 3220 将控制器 3210 与主机的 MMC 接口。NAND 接口 3230 将 NAND 闪存设备 3100 与控制器 3200 接口。如果像图 23 的非易失性存储器设备 420 那样实现 NAND 闪存设备 3100 的单个产品的 NAND 闪存设备, 那么就可以像存储器控制器 440 那样实现控制器 3200。

[0209] moviNAND 3000 从主机接收电源电压 Vcc 和 Vccq。在一些实施例中, 3.0V 的电源电压 Vcc 被提供给 NAND 闪存设备 3100 和 NAND 接口 3230, 且 1.8V/3.0V 的电源电压被提供给控制器 3200。

[0210] moviNAND 3000 可以被施加到固态驱动器 (SSD)。

[0211] 图 28 是示出根据本发明构思的实施例的 SSD 的框图。参考图 28, SSD4000 包括多个闪存设备 4100 以及 SSD 控制器 4200。

[0212] 每个闪存设备 4100 可以被配置为施加位线强制控制电压到连接至到快速存储单元的位线或者施加正常编程控制电压到连接至慢速存储单元的位线。每个闪存设备 4100 还可以被配置为从多个验证模式中选择验证模式。例如, 可以像图 9 的非易失性存储器设备 100、图 14 的非易失性存储器设备 200、图 21 的非易失性存储器设备 300 或者图 23 的非易失性存储器设备 420 那样配置和操作每个闪存设备 4100。

[0213] SSD 控制器 4200 控制闪存设备 4100, 并且包括 CPU 4210、主机接口 4220、高速缓冲存储器 4230 和闪存接口 4240。

[0214] 主机接口 4220 在 CPU 4210 的控制下使用协议与主机交换数据。主机接口 4220 可以使用例如串行高级技术配件 (Serial Advanced Technology Attachment, SATA) 接口、并行高级技术配件 (Parallel Advanced Technology Attachment, PATA) 接口和 / 或外部 SATA (eSATA) 接口。

[0215] 虽然在 CPU 4210 的控制下, 但是可以经由高速缓冲存储器 4230 而不通过 CPU 总线来传送从主机提供给主机接口 4220 的数据或者传递到主机的数据。

[0216] 高速缓冲存储器 4230 临时存储外部设备与闪存设备 4100 之间的移动数据。而且，高速缓冲存储器 4230 还用于存储将由 CPU 4210 执行的程序。高速缓冲存储器 4230 可以被视为一种缓冲存储器，并且可以利用 SRAM 来实现。

[0217] 闪存接口 4240 将 SSD 控制器 4200 与被用作存储器设备的闪存设备 4100 接口。闪存接口 4240 可以支持 NAND 闪存、One-NAND 闪存、多电平闪存与单电平闪存。

[0218] 图 29 是示出根据本发明构思的实施例的、包括图 28 的 SSD 4000 的计算系统的框图。参考图 29，计算系统 5000 包括 CPU 5100、ROM 5200、RAM5300、输入 / 输出 (I/O) 设备 5400 和 SSD 5500。

[0219] CPU 5100 经由系统总线连接至其他组件。ROM 5200 存储驱动计算系统 5000 所必需的数据。这些数据可以包括初始命令序列或者基本输入 / 输出操作系统 (BIOS) 序列。RAM 5300 临时存储由 CPU 5100 提供的数据。

[0220] I/O 设备 5400 可以是键盘、指示 (pointing) 设备 (鼠标)、监视器和调制解调器中的至少一个，并且可以经由 I/O 设备接口连接到系统总线。

[0221] SSD 5500 是可读存储器设备，并且可以像图 28 的 SSD 4000 那样实现。

[0222] 图 30 是示出根据本发明构思的实施例的、并入像图 28 中的 SSD 4000 那样的 SSD 的主机设备的框图。参考图 30，主机设备 6000 包括处理器 6100、ROM 6200、RAM 6300、闪存接口 6400 和 SSD 6500。

[0223] 处理器 6100 访问 RAM 6300 和 ROM 6200，以执行固件和 / 或软件并且驱动控制主机设备 6000 的功能的硬件。ROM 6200 可以向处理器 6100 提供包括初始命令序列或者基本输入 / 输出操作系统 (BIOS) 序列的命令序列。闪存接口 6400 将电子设备 6000 与 SSD 6500 接口。

[0224] 可以像图 28 的 SSD 4000 那样实现 SSD 6500，其可以机械地连接到主机设备 6000 或者从主机设备 6000 拆卸。

[0225] 主机设备 6000 可以采用许多不同的形式，包括 (例如) 移动电话机、个人数字助理 (PDA)、数码相机、录像摄像机、便携式音频播放设备 (例如, MP3) 及 PMP。

[0226] 图 31 是示出根据本发明构思的实施例的、使用像图 28 中的 SSD 4000 那样的 SSD 的服务器系统的框图。参考图 31，服务器系统 7000 包括服务器 7100 以及驱动服务器 7100 必需的 SSD 7200。可以像图 28 的 SSD 4000 那样配置和操作 SSD 7200。

[0227] 服务器 7100 包括应用通信模块 7110、数据处理模块 7120、升级模块 7130、调度中心 7140、本地资源模块 7150 和维修 (repair) 信息模块 7160。

[0228] 应用通信模块 7110 与连接到服务器 7100 和网络的计算系统通信，或者允许服务器 7100 与 SSD 7200 通信。应用通信模块 7110 将应用于用户接口的数据或者信息发送到数据处理模块 7120。

[0229] 数据处理模块 7120 连接至本地资源模块 7150。这里，本地资源模块 7150 基于被输入到服务器 7100 的数据或者信息来将维修店 / 商 / 技术信息的列表施加给用户。

[0230] 升级模块 7130 与数据处理模块 7120 接口。升级模块 7130 基于输入到服务器 7100 的数据或者信息，将固件、重置码、诊断系统或者其他信息升级给应用。

[0231] 调度中心 7140 基于输入到服务器 7100 的数据或者信息向用户提供实时选项。

[0232] 维修信息模块 7160 与数据处理模块 7120 接口。维修信息模块 7160 用来向用户

施加维修相关的信息（例如，音频、视频或者文档文件）。数据处理模块 7120 基于从 SSD 7100 传送的信息将相关信息打包。随后，这些信息被发送到 SSD 7200 或者显示给用户。

[0233] 服务器 7100 在其操作期间可能产生大量的热。由于这些热，存储单元的可靠性可能在编程操作期间降低。然而，包括根据本发明构思的实施例的 SSD 7200 的服务器系统 7000 可以响应于检测到的温度来选择最佳验证模式，从而保持编程操作的可靠性。

[0234] 可以在许多不同类型的封装内安装根据本发明构思的各种实施例的存储系统和 / 或非易失性存储器设备。例如，可以在使用层叠封装 (package on package, PoP)、球栅阵列封装 (ball grid array, BGA)、芯片尺寸封装 (chip scale package, CSP)、塑料引线芯片载体封装 (plastic leaded chip carrier, PLCC)、塑料双列直插式封装 (plastic dual in-line package, PDIP)、晶片包中管芯封装 (die in waffle pack, DIWP)、晶片形式的管芯封装 (die in wafer form, DIWF)、板上芯片 (chip on board, COB)、陶瓷双列直插式封装 (ceramic dual in-line package, CERDIP)、塑料公制四方扁平封装 (plastic metric quad flat pack, MQFP)、薄型四方扁平封装 (thin quad flat pack, TQFP)、小外型封装 (small outline package, SOP)、缩小外型封装 (shrink small outline package, SSOP)、薄型小尺寸封装 (thin small outline, TSOP)、薄型四方扁平封装 (thin quad flat pack, TQFP)、系统级封装 (system in package, SIP)、多芯片封装 (multi chip package, MCP)、晶片级堆栈封装 (Wafer Level package, WLSP)、晶片形式的管芯封装 (die in wafer form, DIWF)、沃尔夫管芯封装 (die on waffle package, DOWP)、晶片级制造封装 (wafer-level fabricated package, WFP) 和晶片级处理堆栈封装 (wafer-level processed stack package, WSP) 的封装中来安装根据本发明构思的实施例的存储系统和 / 或非易失性存储器设备。

[0235] 如上所述，根据本发明构思的实施例的非易失性存储器设备、并入了非易失性存储器设备的存储系统（包括存储卡）以及操作其的相关方法允许编程操作结合从多个验证模式当中选择和使用一个验证模式来选择性地使用位线强制，以优化编程操作。

[0236] 上面公开的主题应当被视为说明性的而非限制性的，并且所附权利要求意图是覆盖落入本发明构思的真实精神和范围内的所有这些修改、改进以及其他实施例。因而，从法律允许的最大范围来说，本发明构思的范围通过所附权利要求及其等效物的最宽允许解释来确定，并且不应当被前述具体实施例所约束或限制。

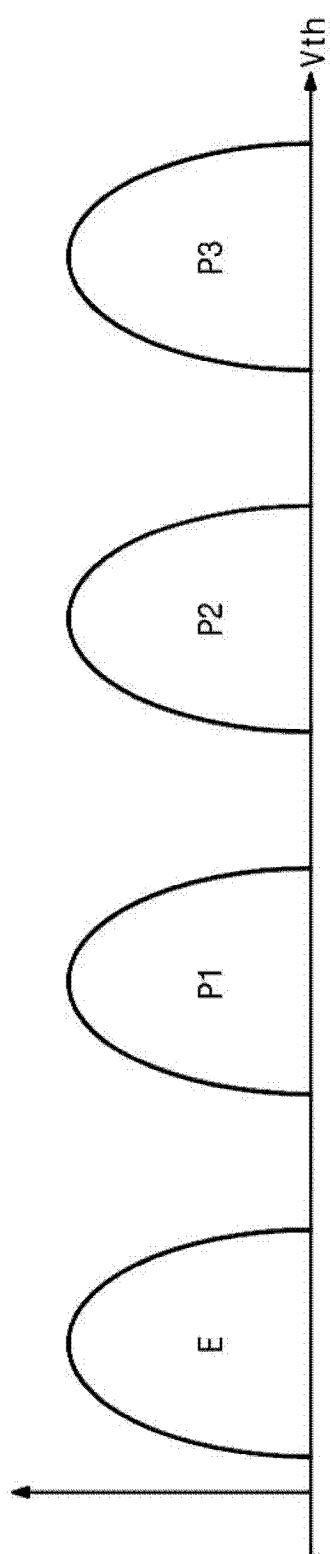
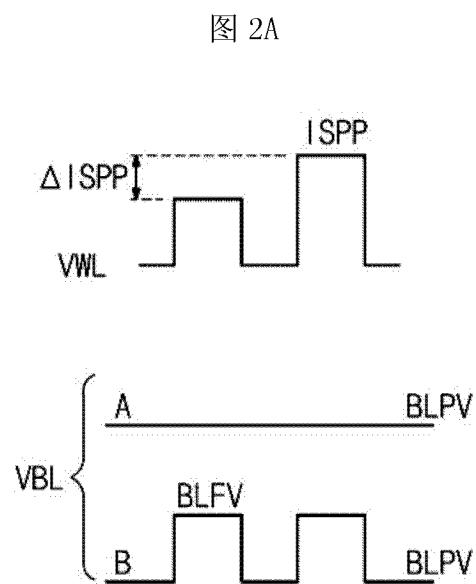
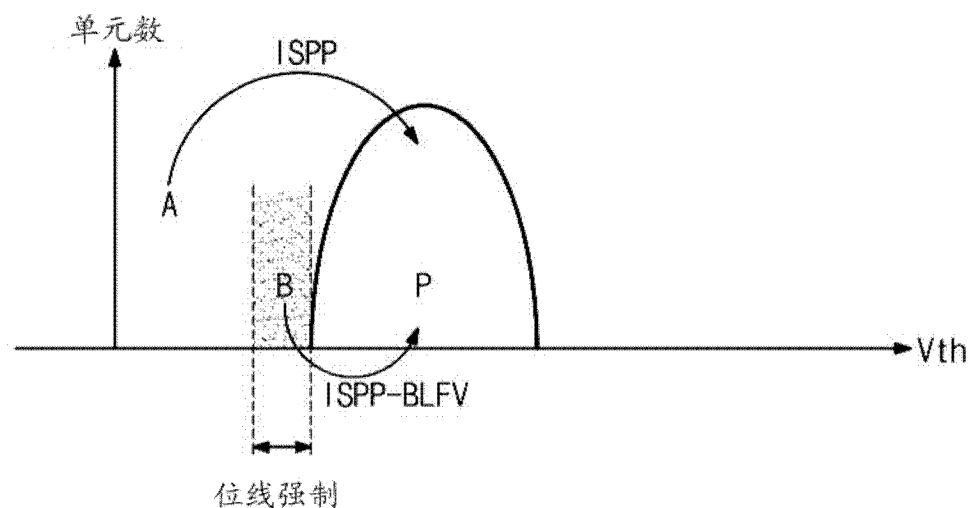


图 1



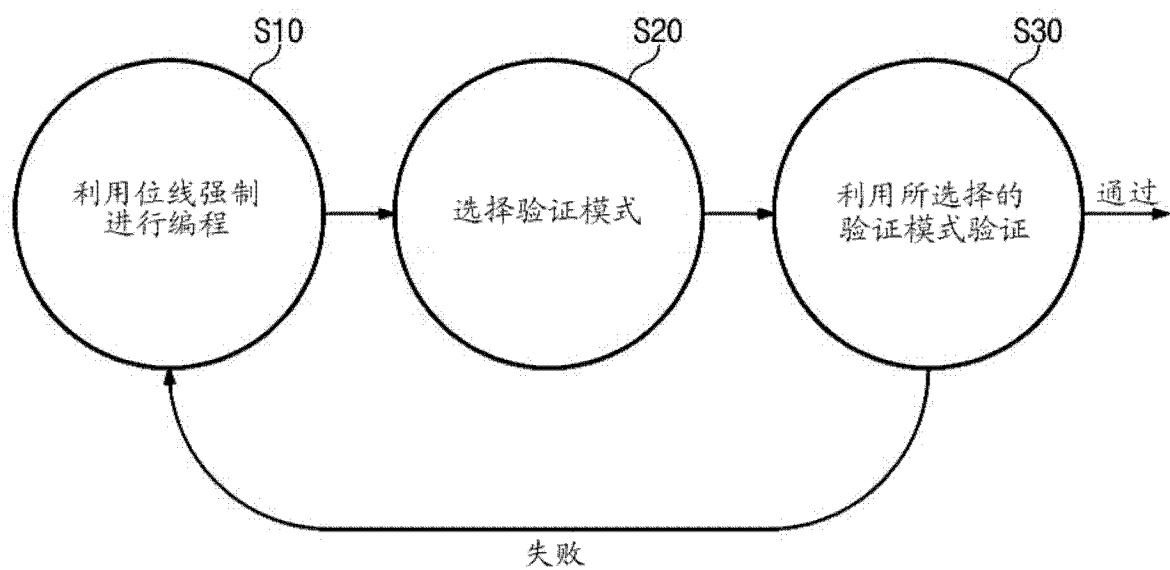


图 3

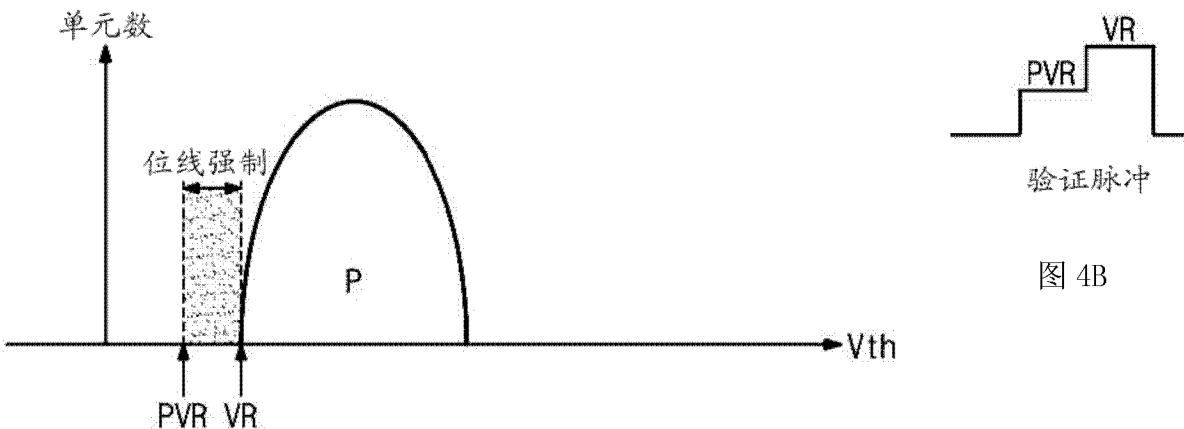


图 4B

图 4A

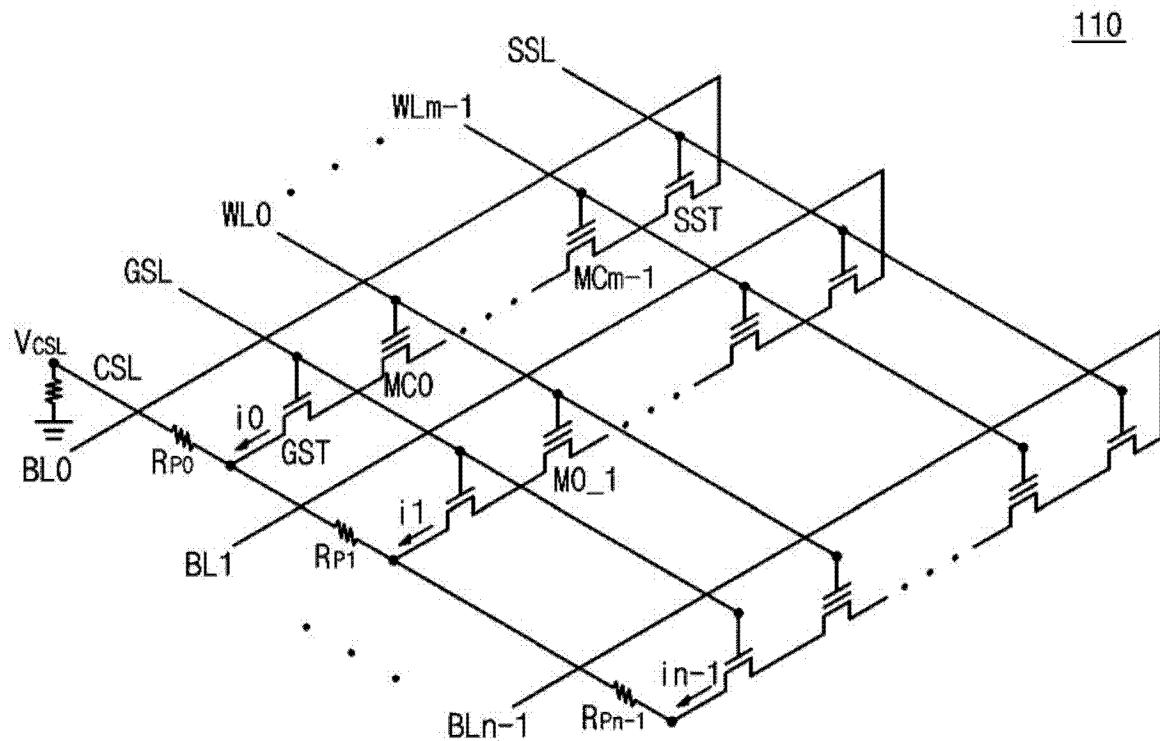


图 5

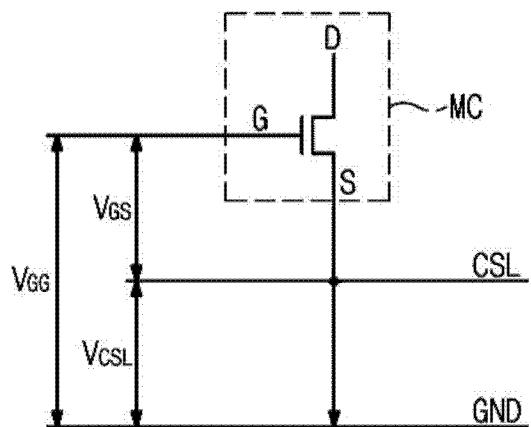


图 6

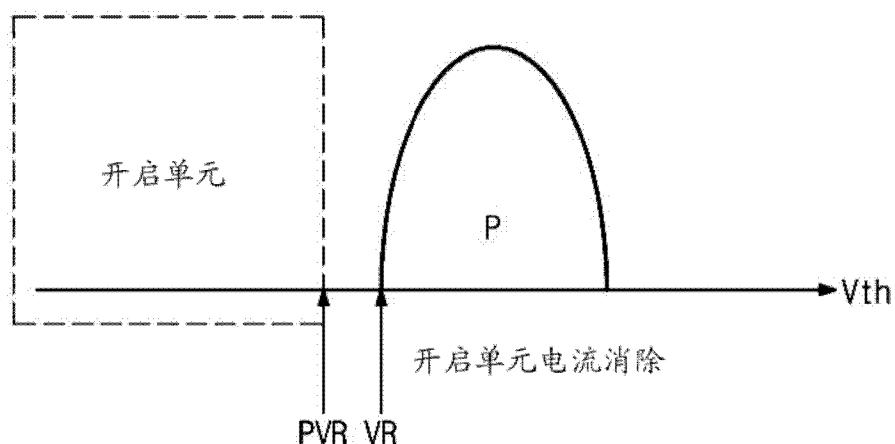


图 7

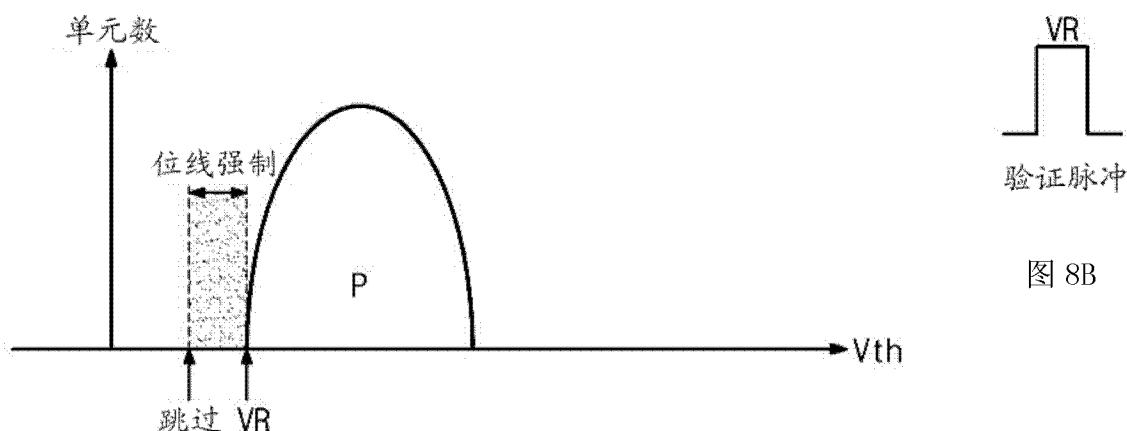


图 8A

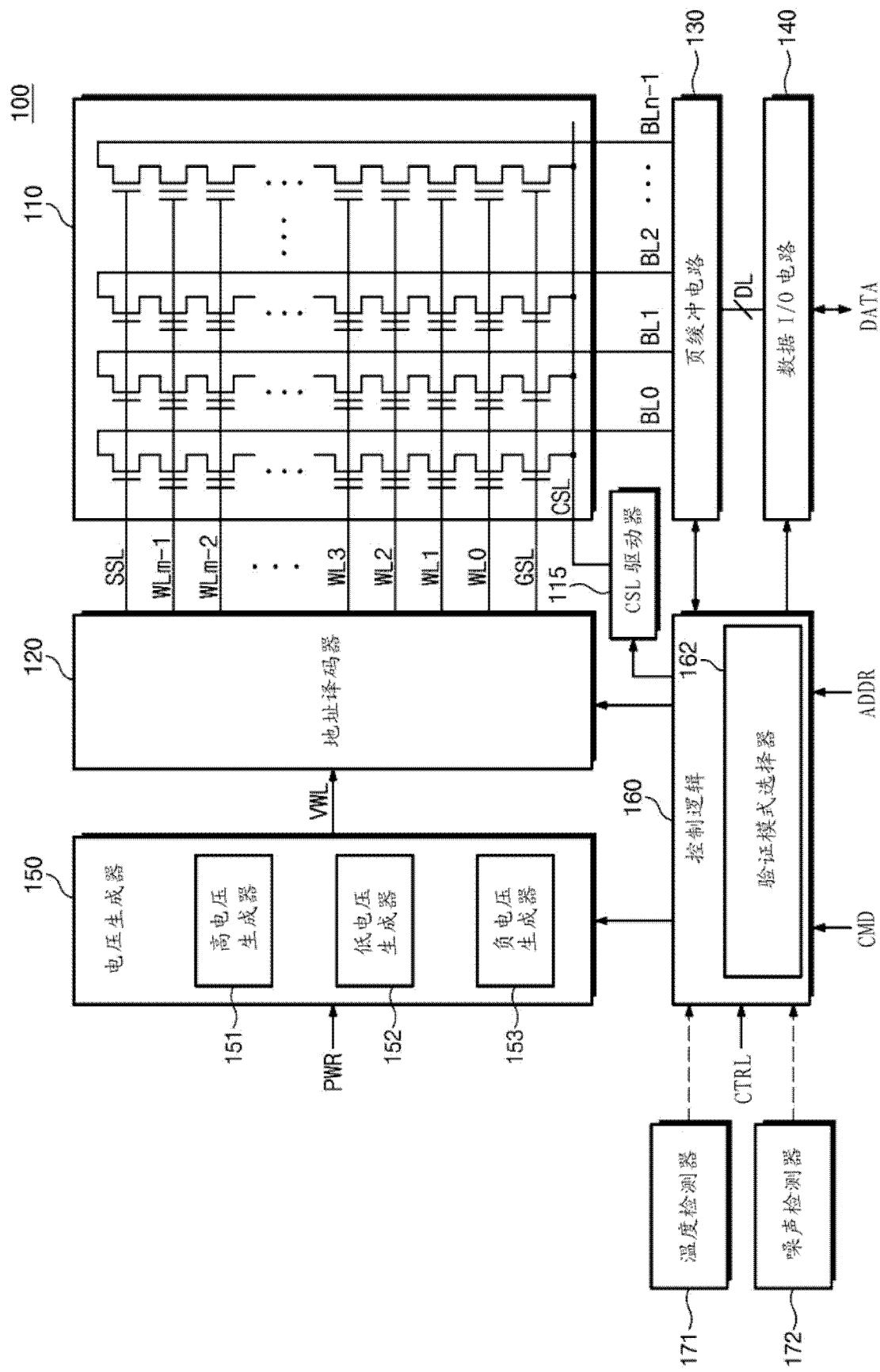
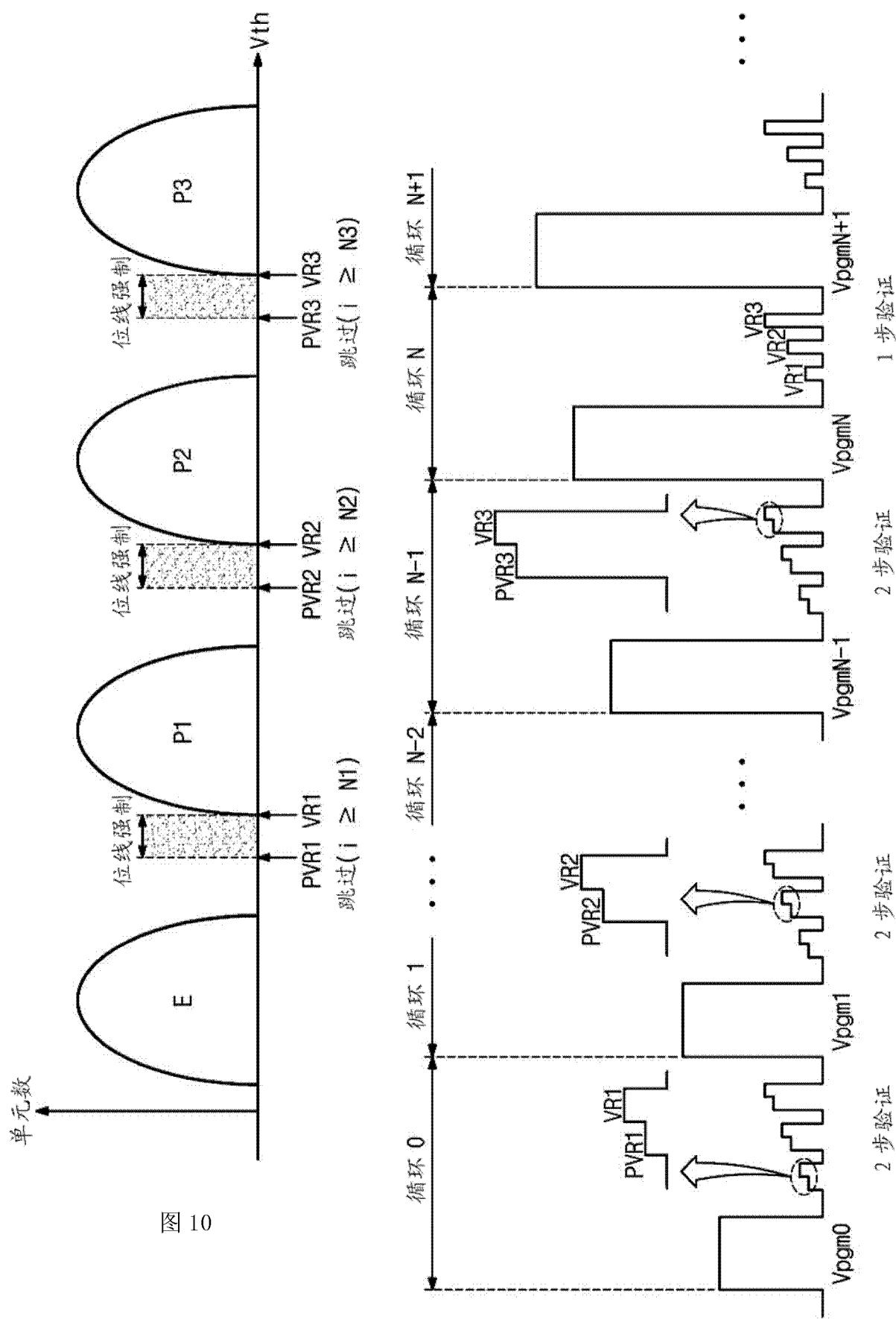


图 9



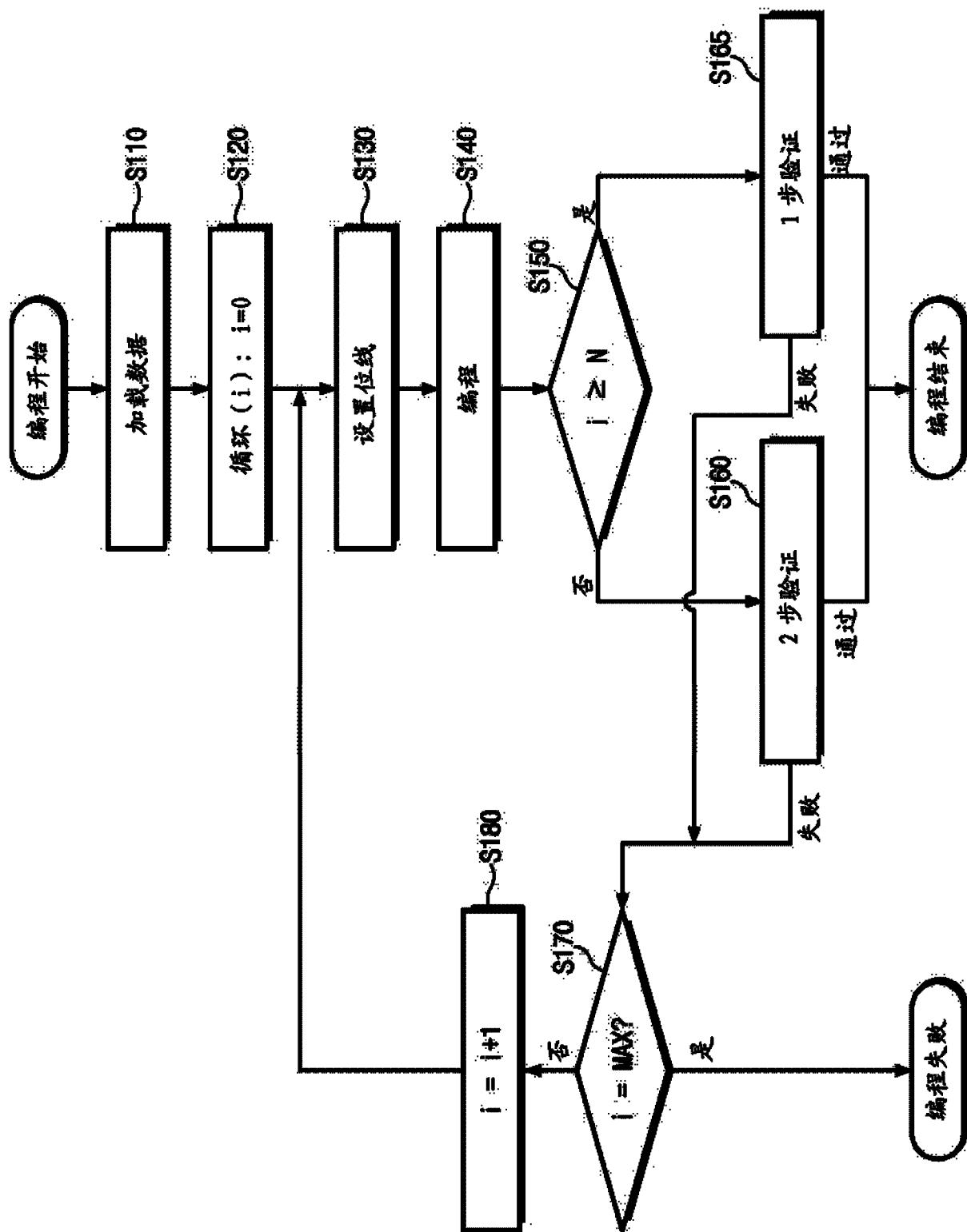


图 12

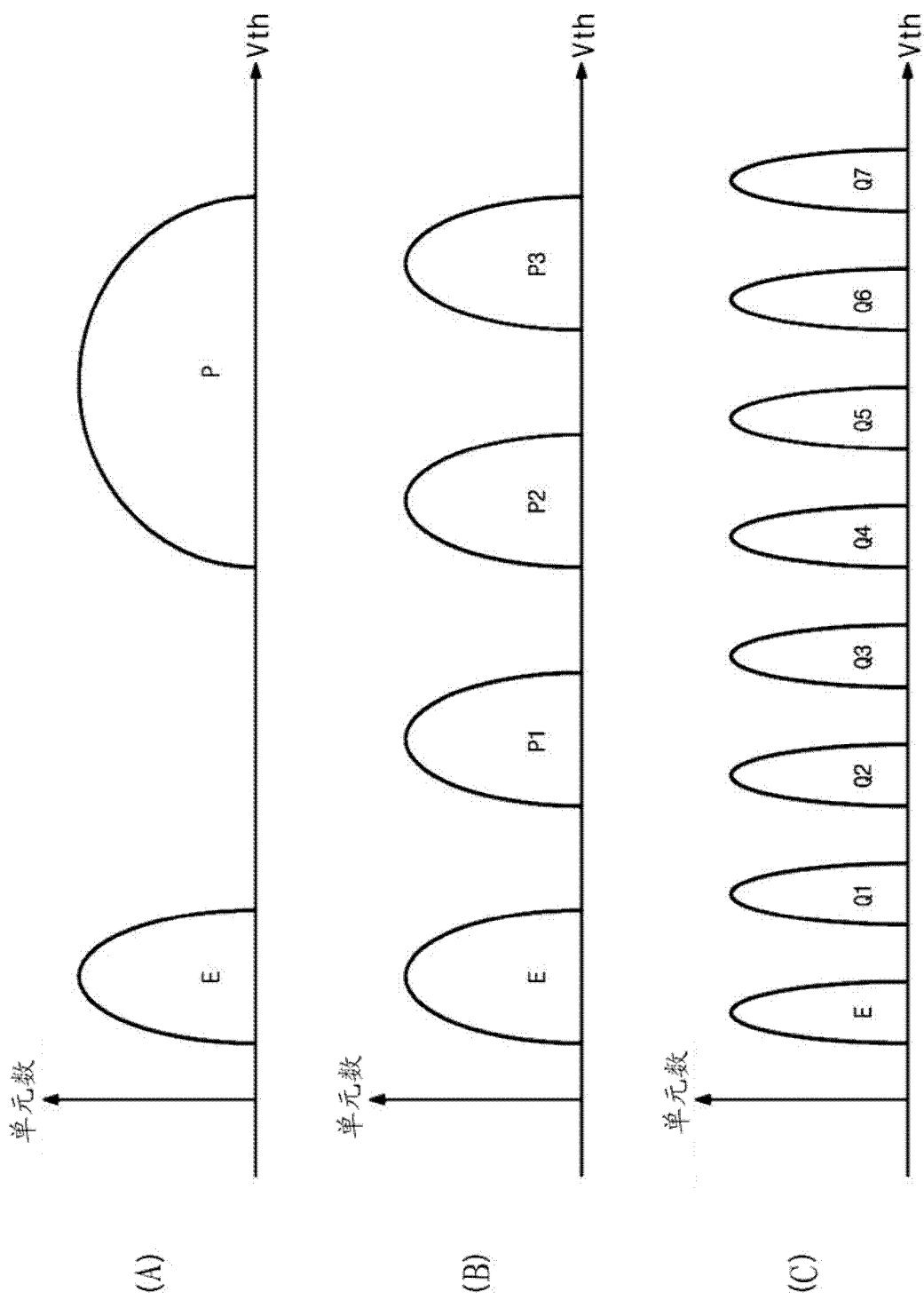


图 13

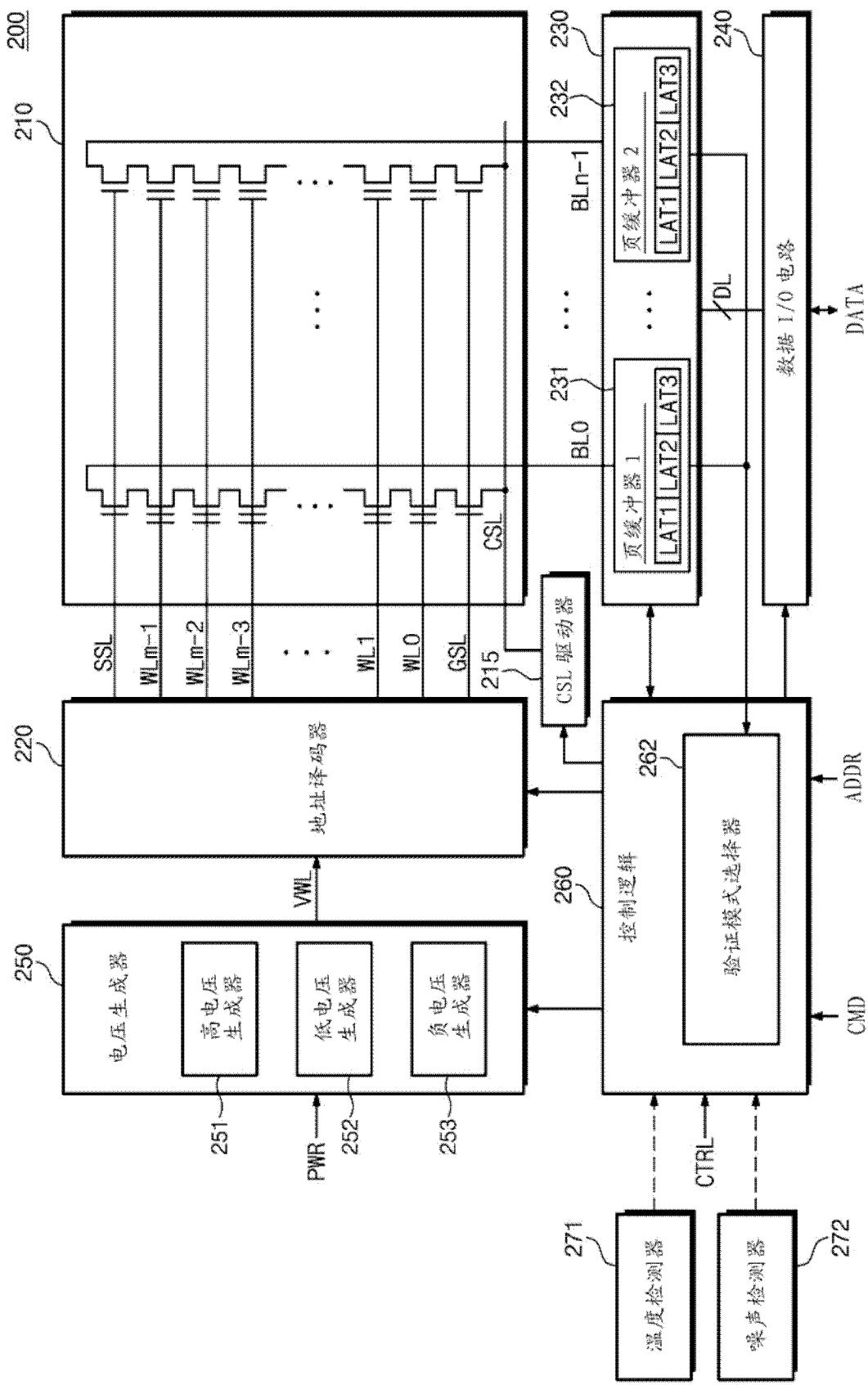


图 14

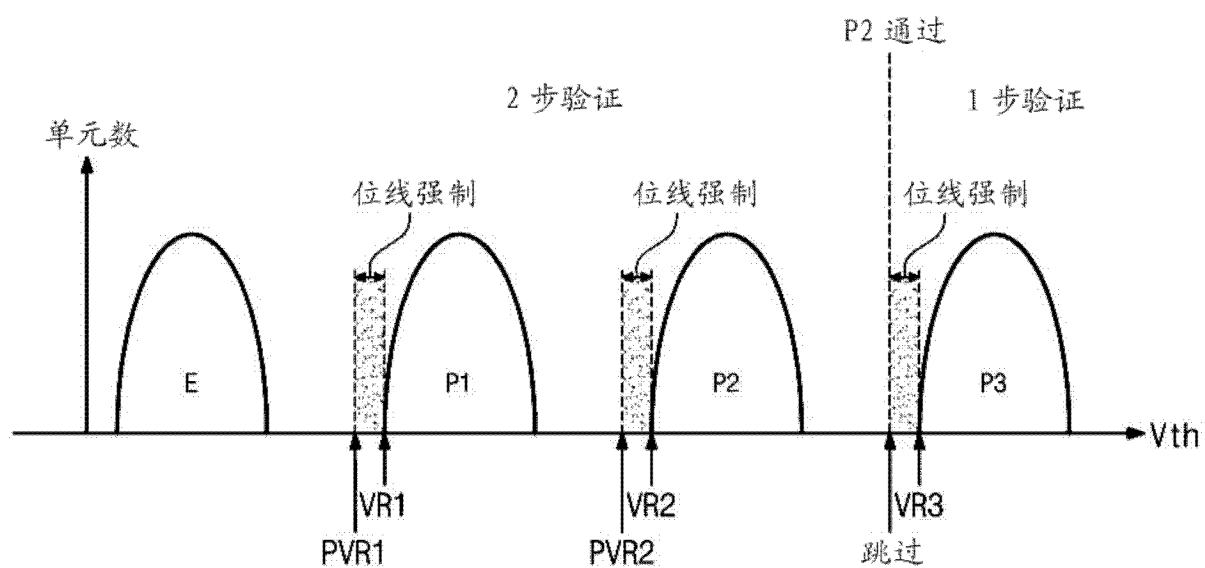


图 15

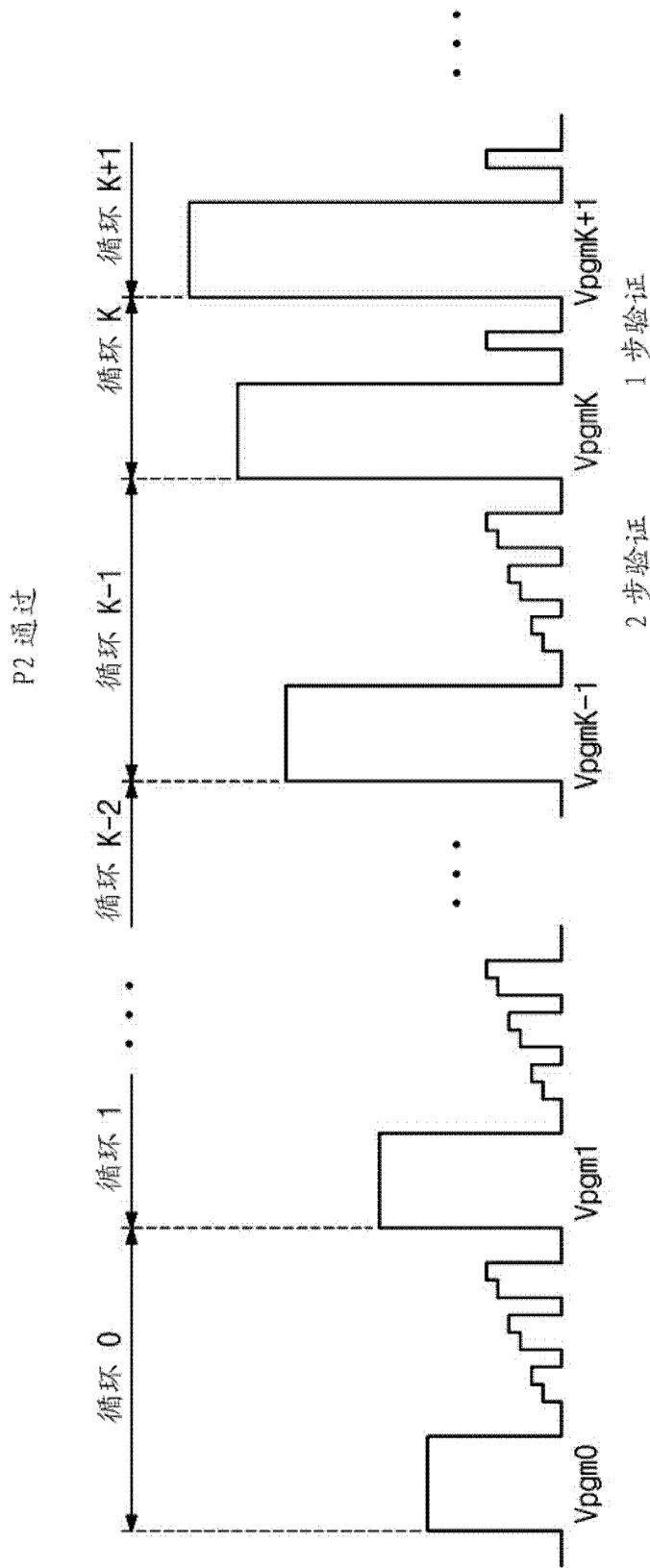


图 16

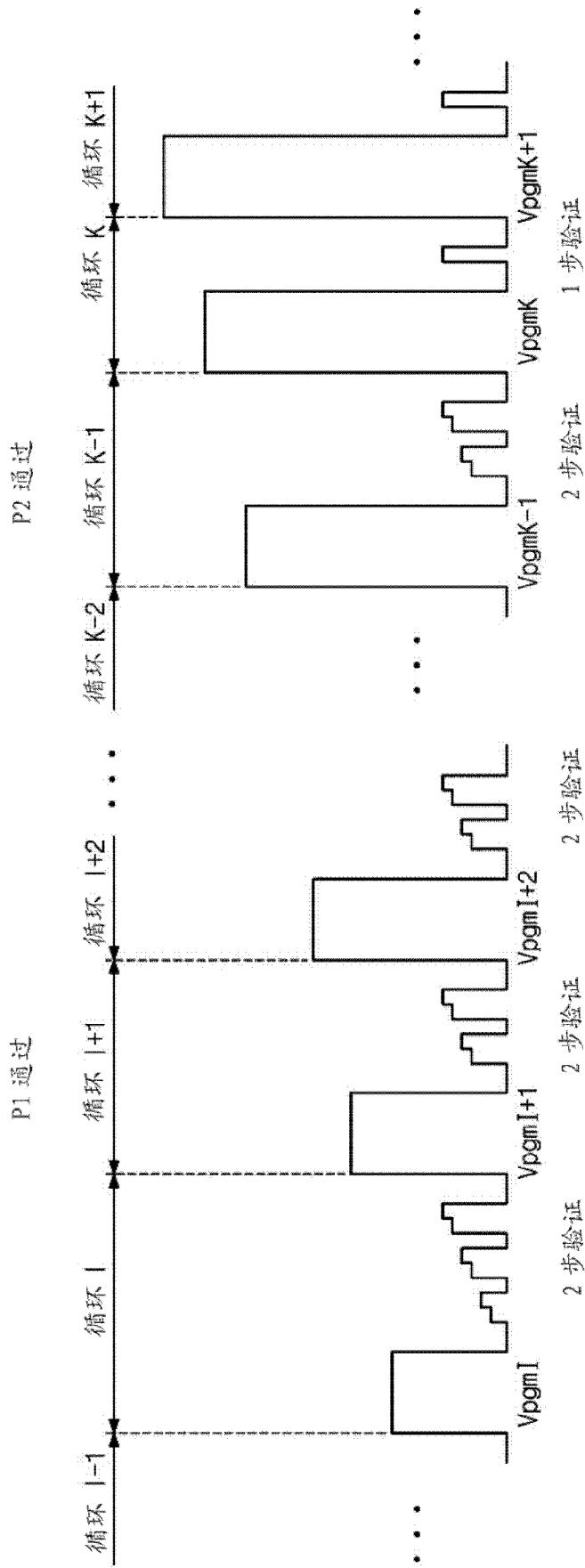


图 17

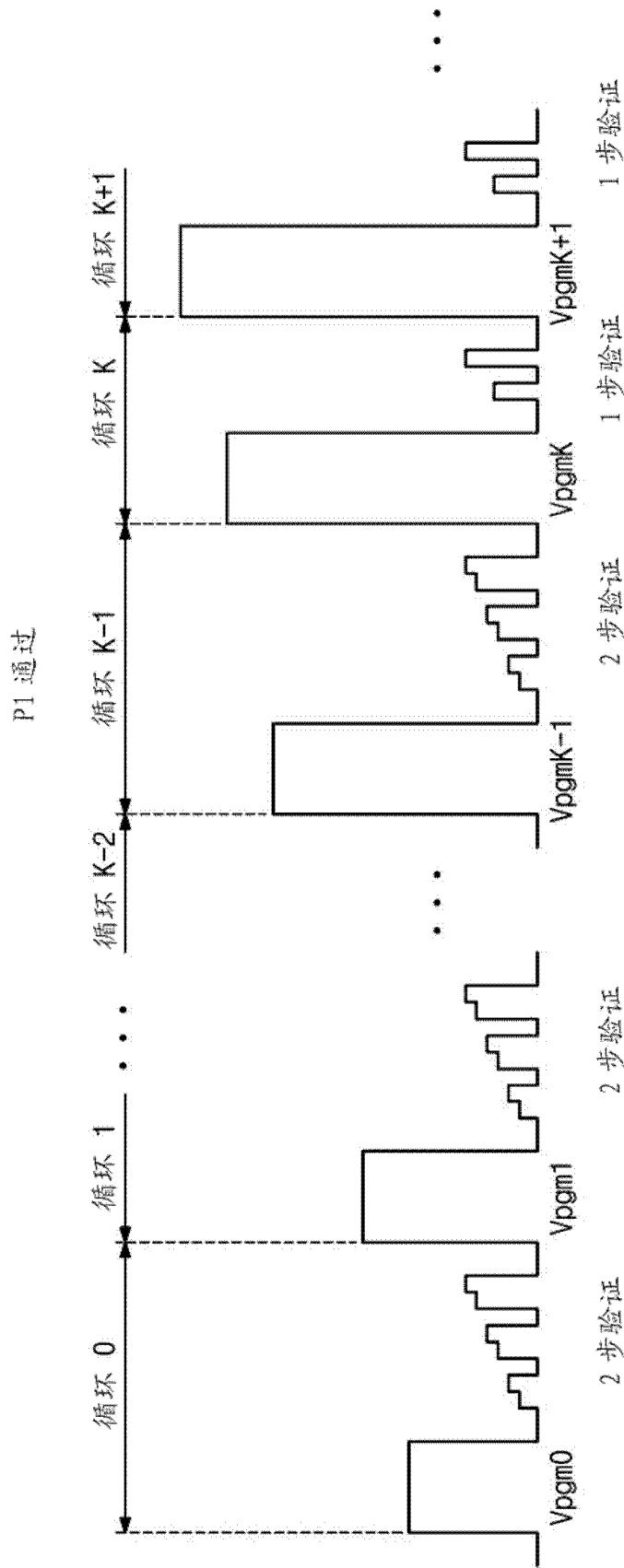


图 18

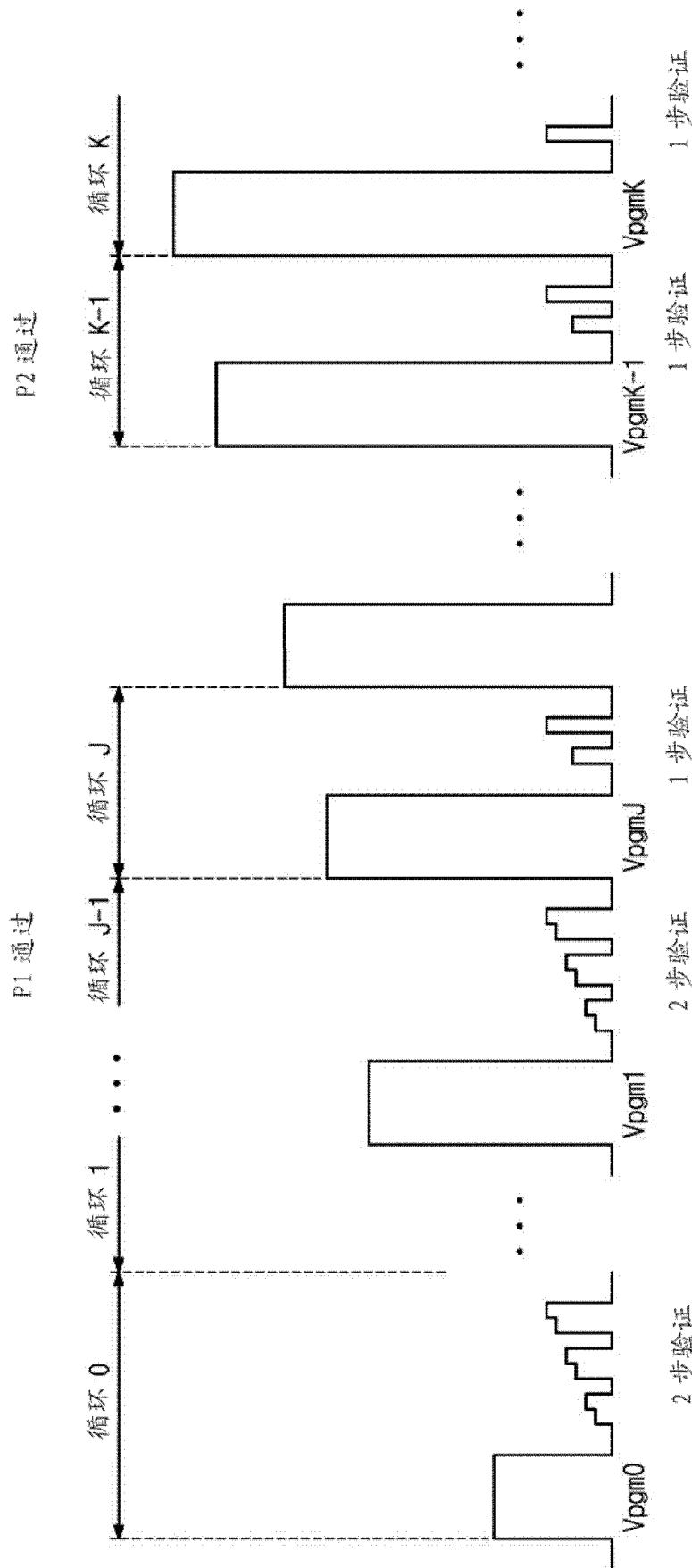


图 19

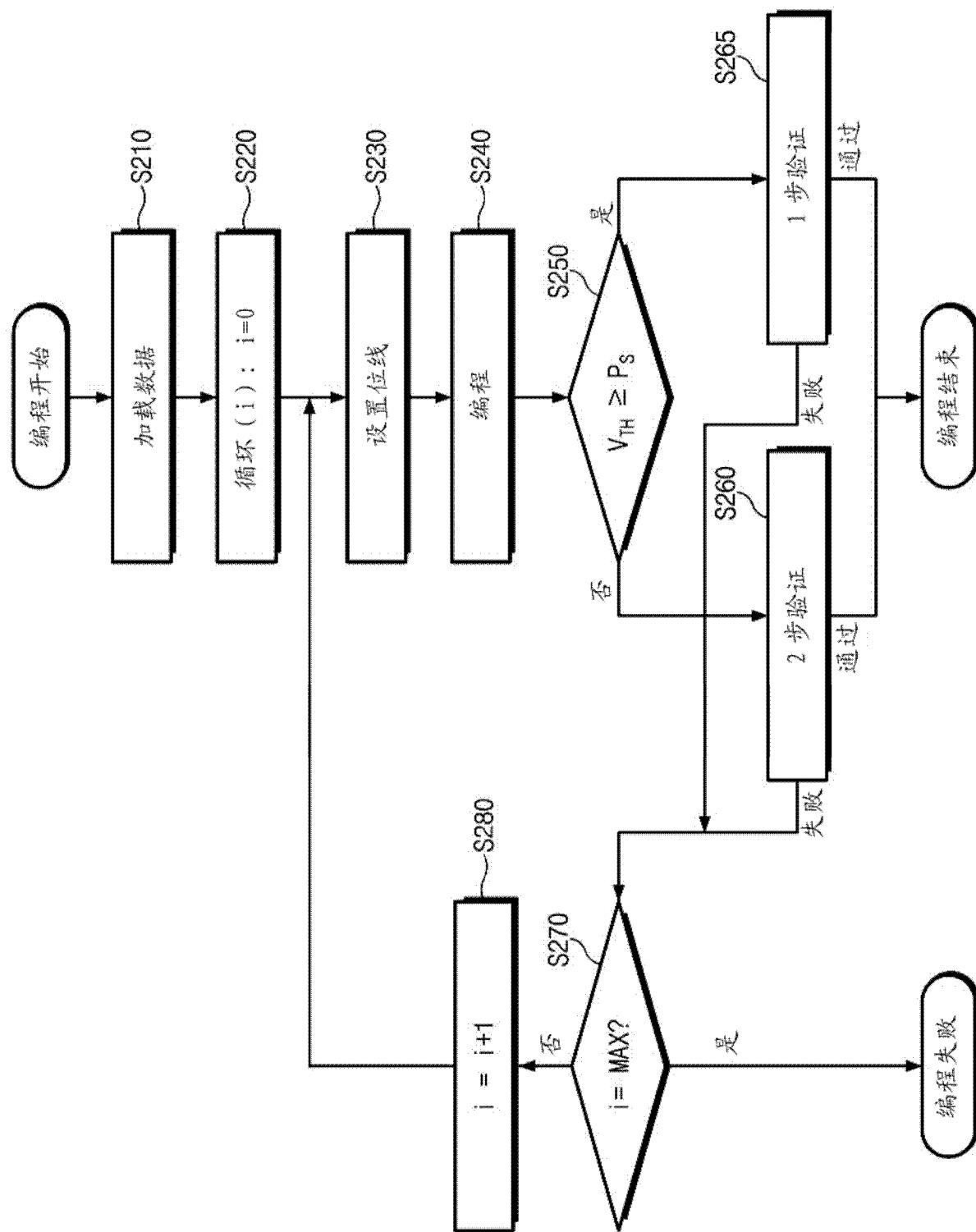


图 20

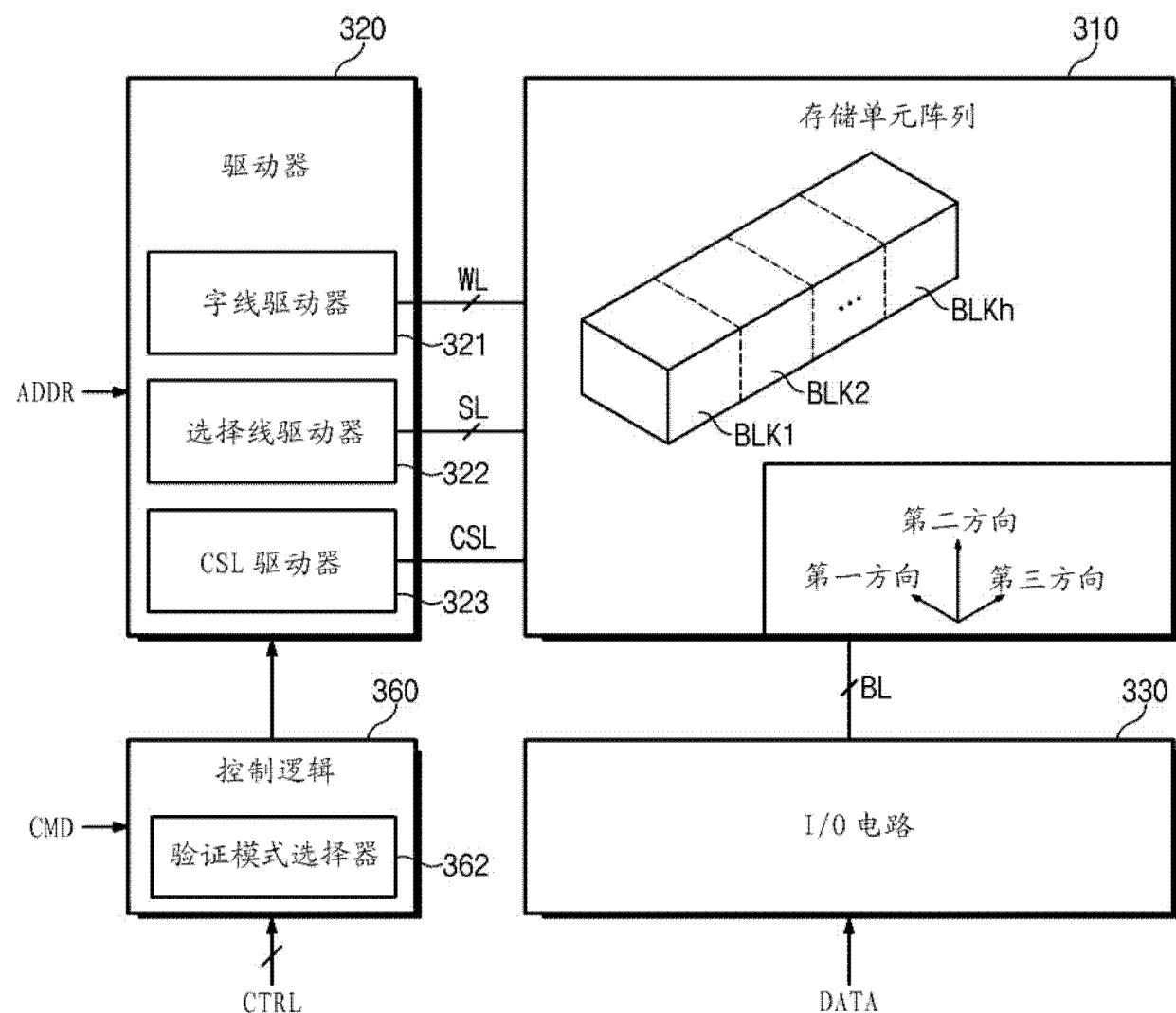
300

图 21

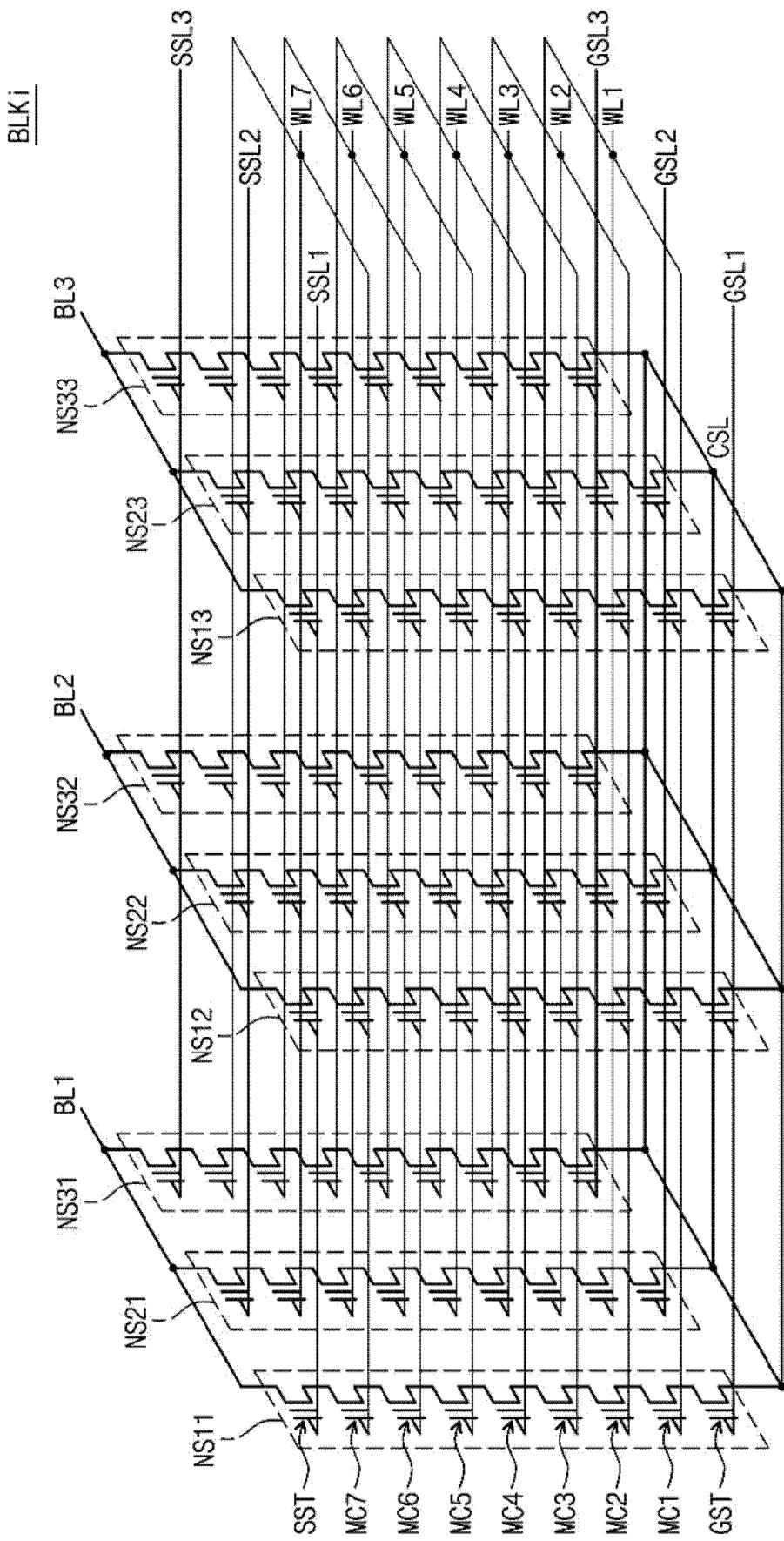


图 22

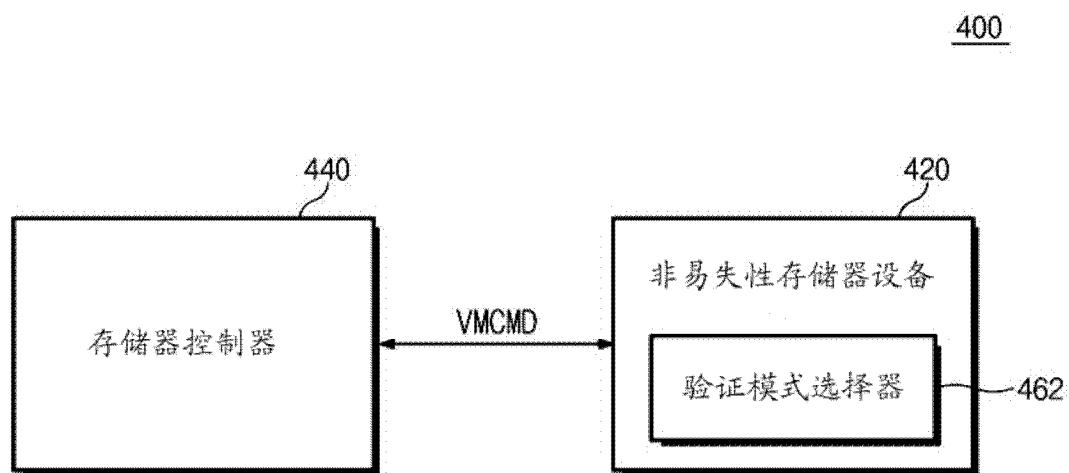


图 23

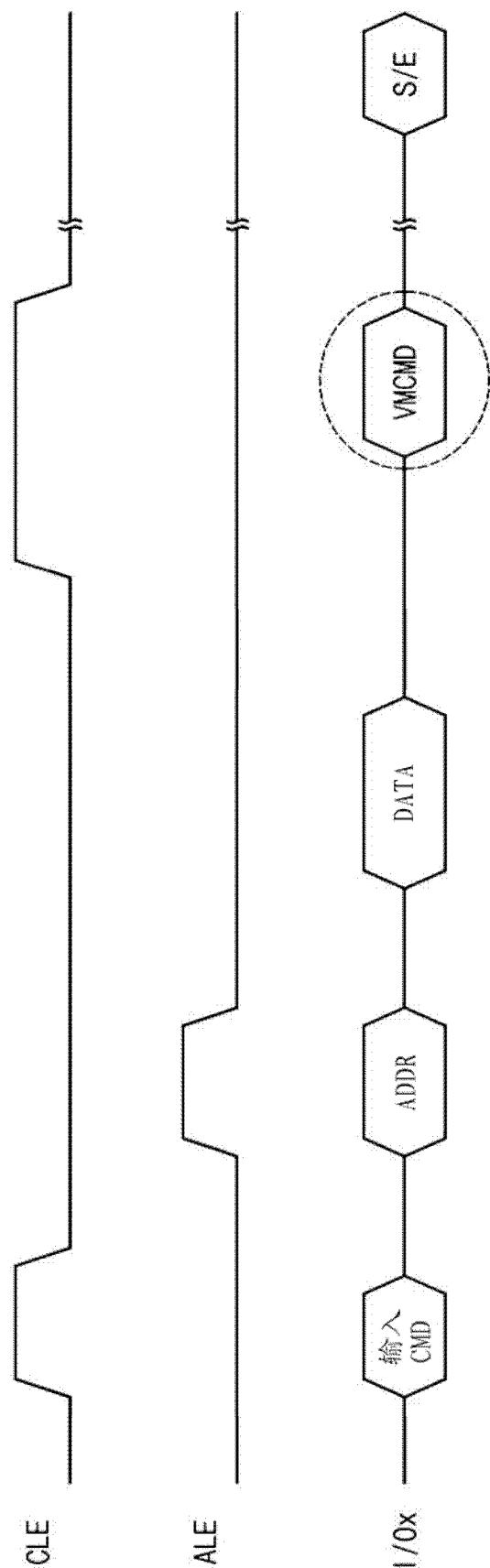


图 24

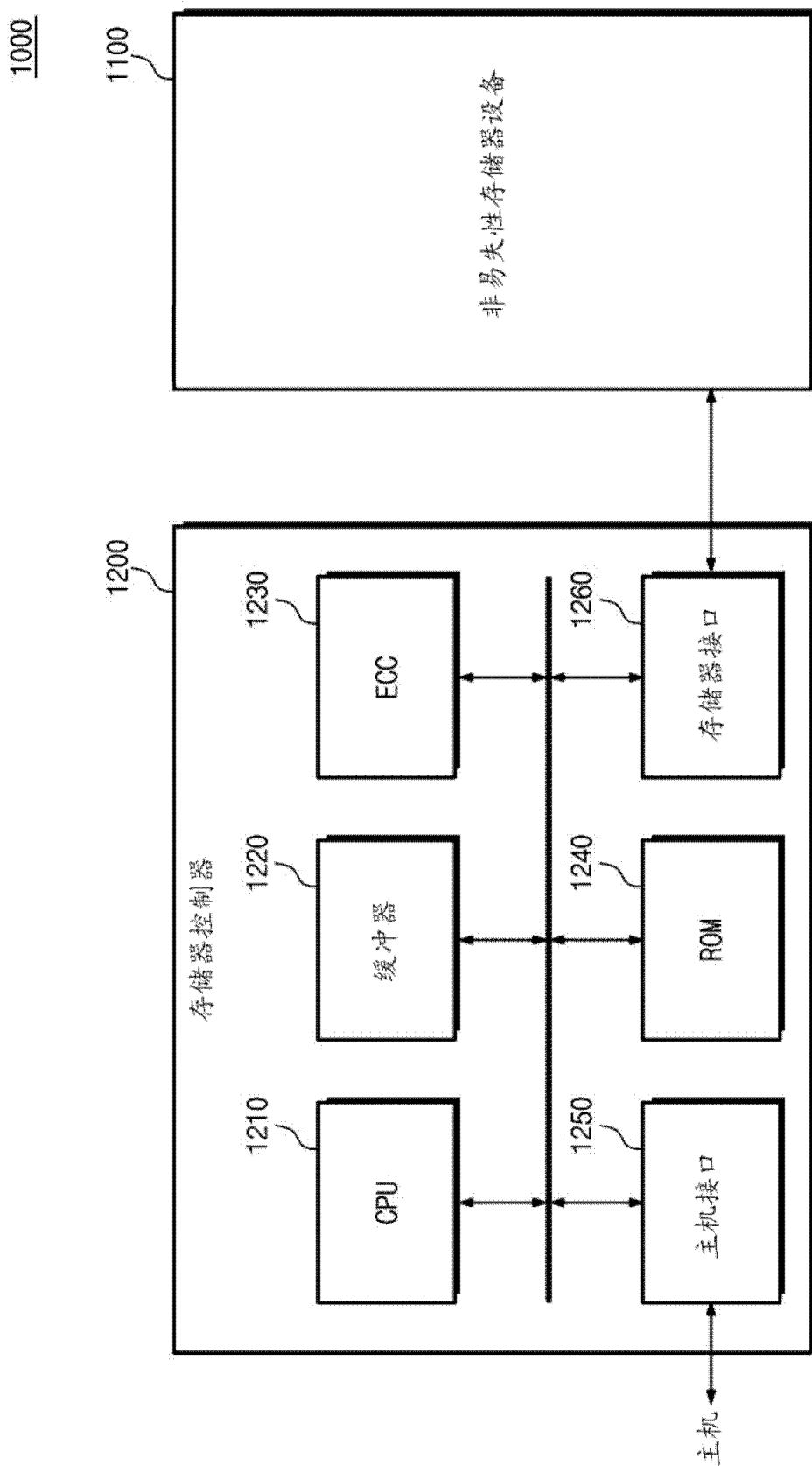


图 25

2000

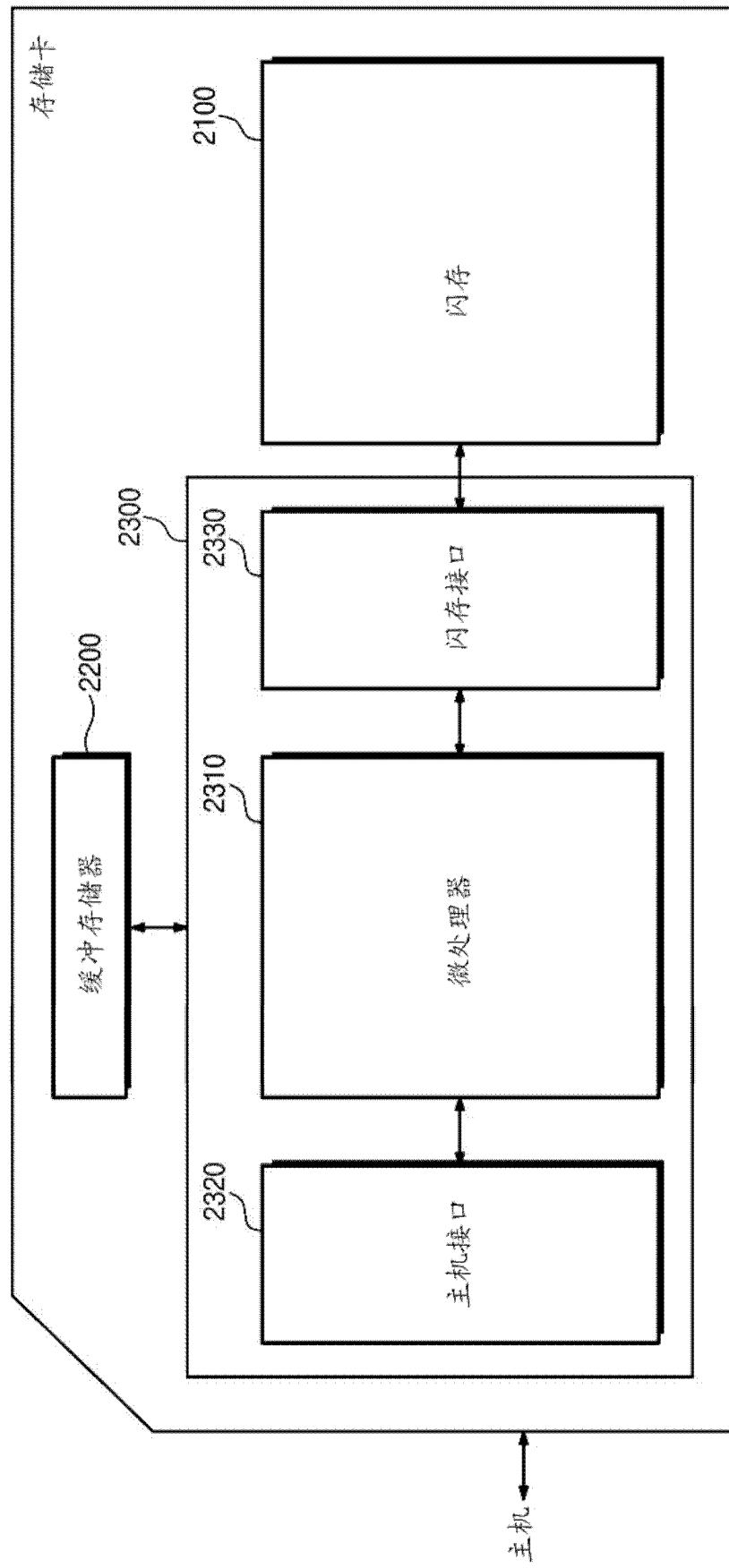


图 26

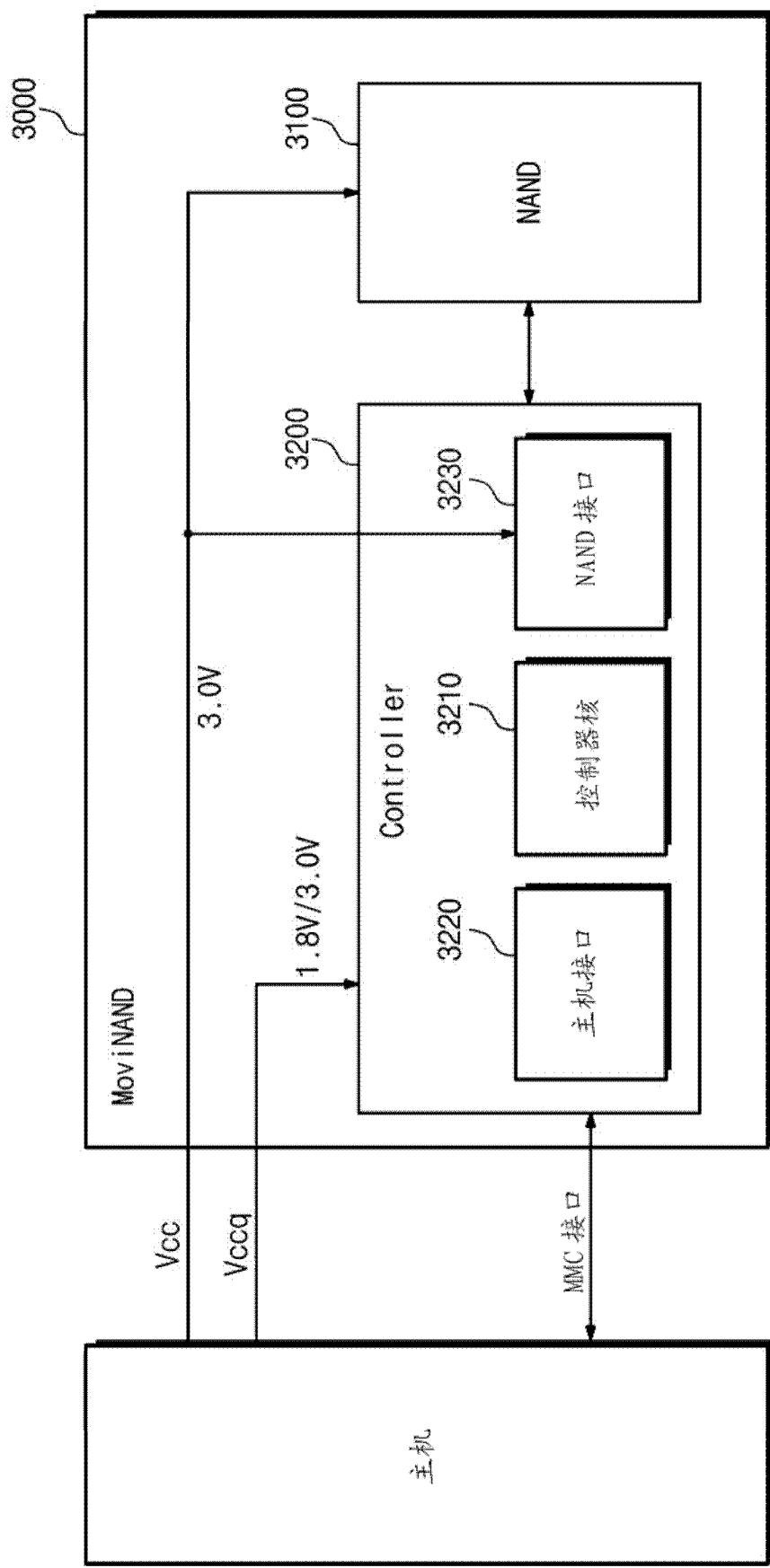


图 27

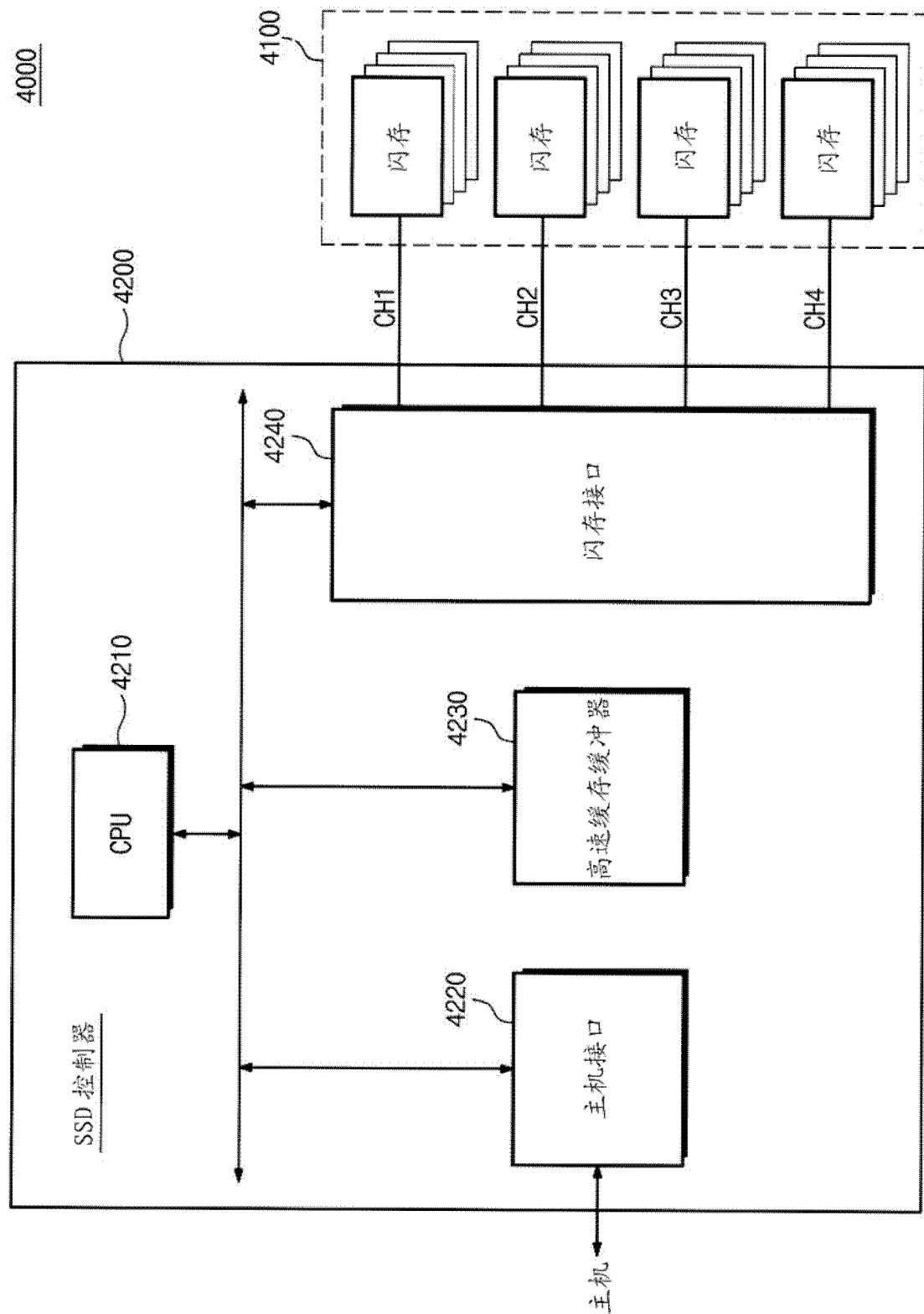


图 28

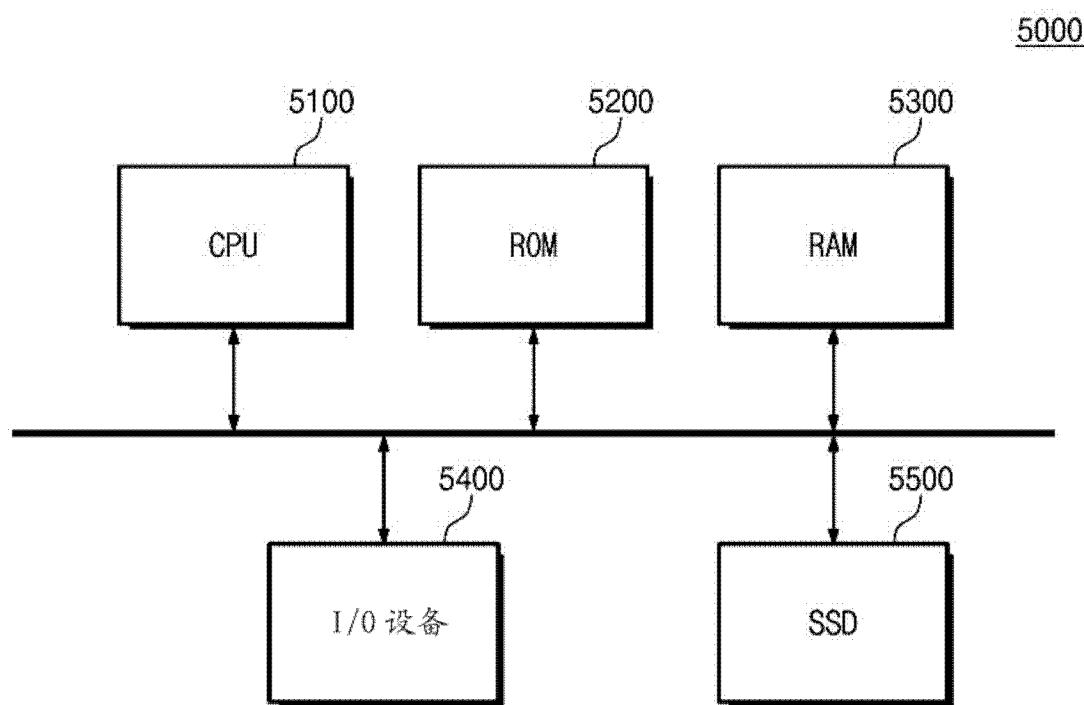


图 29

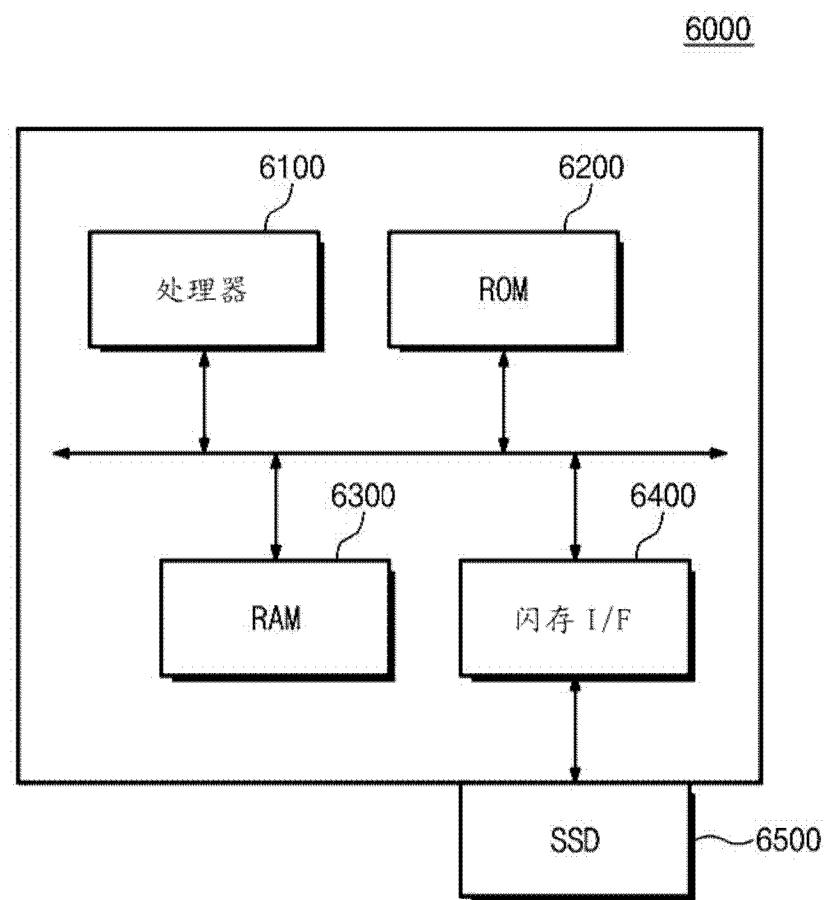


图 30

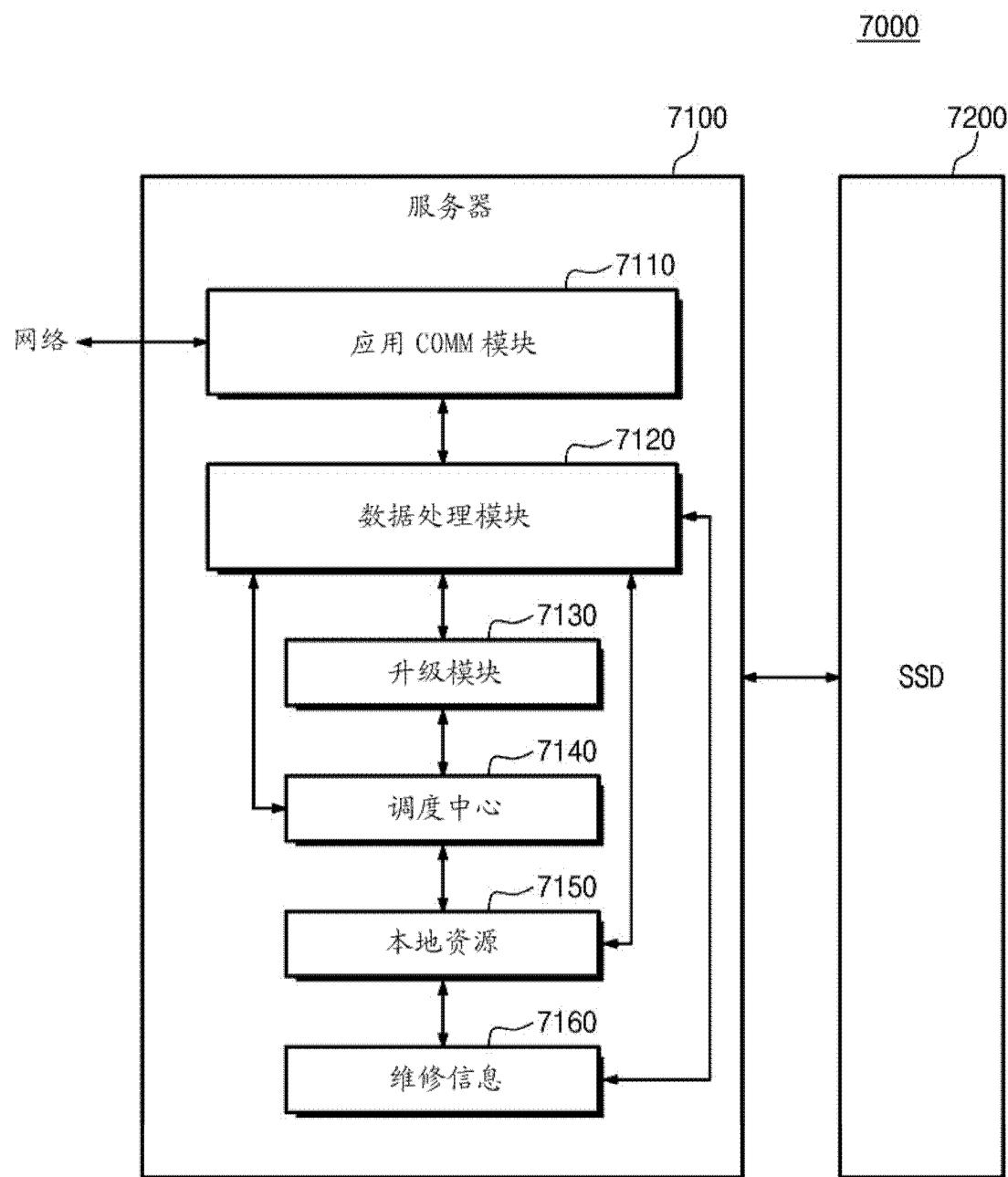


图 31