



(12) 发明专利

(10) 授权公告号 CN 1380660 B

(45) 授权公告日 2012. 02. 01

(21) 申请号 02103119. 3

CN 1270393 A, 2000. 10. 18, 权利要求 20 -

(22) 申请日 2002. 01. 31

27.

US 5640364 A, 1997. 06. 17, 权利要求 1.

(30) 优先权数据

全文.

108747/2001 2001. 04. 06 JP

审查员 韩燕

(73) 专利权人 富士通半导体股份有限公司

地址 日本神奈川县

(72) 发明人 伊藤成真

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 冯赓宣

(51) Int. Cl.

G11C 11/401 (2006. 01)

G11C 11/406 (2006. 01)

G11C 7/10 (2006. 01)

(56) 对比文件

全文.

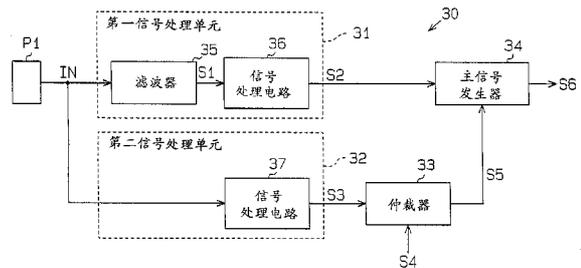
权利要求书 3 页 说明书 13 页 附图 21 页

(54) 发明名称

控制电路和半导体存储器装置

(57) 摘要

一种控制电路,它能在装置内部控制请求与外部控制请求重叠时提高对来自外部装置的控制请求的响应速度。该控制电路包括第一信号处理单元(31),用于接收第一控制信号和产生第一处理信号。第一信号处理单元包括滤波器(35)用于对第一控制信号滤波。第二信号处理单元(32)接收第一控制信号并产生第二处理信号。仲裁器(33)接收第二处理信号和第二控制信号,确定对所接收的信号中的哪一个给予优先权,并根据确定结果产生确定信号。主信号发生器(34)根据确定信号由该确定信号或第一处理信号产生主信号。



1. 一种与半导体装置的内部电路相连的控制电路,其中该控制电路根据第一控制信号和第二控制信号产生主信号以控制内部电路,该控制电路的特征在于:

第一信号处理单元(31),用于接收第一控制信号和由第一控制信号产生第一处理信号,其中第一信号处理单元包括滤波器(35;54),用于对第一控制信号滤波;

第二信号处理单元(32;52),用于接收第一控制信号和产生第二处理信号;

仲裁器(33),用于接收第二处理信号和第二控制信号,确定要对第二处理信号和第二控制信号中的哪一个给予优先权,并根据确定结果产生确定信号;以及

主信号发生器(34),连接到第一信号处理电路和仲裁器,用于根据确定信号由确定信号或第一处理信号产生主信号,

其中该第一信号处理单元(31)和第二信号处理单元(32;52)并联连接。

2. 根据权利要求1的控制电路,其特征不在于该滤波器根据调节信号调节该滤波器自身的滤波器值。

3. 根据权利要求1的控制电路,其特征不在于仲裁器确定是根据第二控制信号通过内部控制来操作内部电路,还是根据第一控制信号通过外部控制来操作内部电路。

4. 根据权利要求3的控制电路,其特征不在于该滤波器根据调节信号调节该滤波器自身的滤波器值。

5. 根据权利要求4的控制电路,其特征还在于:

可变滤波器单元(53),连接到该滤波器以产生调节信号。

6. 根据权利要求5的控制电路,其特征不在于:可变滤波器单元包括存储用于产生调节信号的数据的寄存器(56),以及连接到寄存器以在寄存器中设置数据的设置电路(55)。

7. 根据权利要求5的控制电路,其特征不在于:可变滤波器单元存储响应来自外部装置的控制信号而产生调节信号的数据。

8. 一种根据内部刷新请求信号进行自刷新操作的半导体存储器装置,该装置的特征在于:

第一检测单元(41a、42a、43a),包括滤波器(14、15、16),该滤波器用于接收外部存取请求信号和从外部存取请求信号中去掉噪声分量,其中第一检测单元检测滤波器输出信号的转变并根据检测结果产生第一检测信号;

第二检测单元(41b、42b、43b),用于接收外部存取请求信号,检测外部存取请求信号的转变,并根据检测结果产生第二检测信号;

仲裁器(27),连接到第二检测单元,用于根据第二检测信号和内部刷新请求信号产生确定信号,其中该确定信号指示对外部存取请求和内部刷新请求二者中的哪一个给予优先权;以及

主信号发生器(28),连接到第一检测单元和仲裁器,用于根据确定信号由第一检测信号或确定信号产生主信号,以控制该装置的内部电路,

其中该第一检测单元(41a、42a、43a)和第二检测单元(41b、42b、43b)并联连接。

9. 根据权利要求8的装置,其特征不在于该滤波器根据调节信号调节该滤波器自身的滤波器值。

10. 根据权利要求9的装置,特征还在于:

可变滤波器单元(53;64),连接到该滤波器以产生调节信号。

11. 一种根据内部刷新请求信号进行自刷新操作的半导体存储器装置,该装置的特征在于:

第一检测单元(41a、42a、43a),包括第一滤波器(14、15、16),该滤波器用于接收外部存取请求信号和从外部存取请求信号中去掉噪声分量,其中第一检测单元检测第一滤波器输出信号的转变并根据检测结果产生第一检测信号;

第二检测单元(41b、42b、43b),用于接收外部存取请求信号,检测外部存取请求信号的转变,并根据检测结果产生第二检测信号;

第一地址转变检测单元(46a),包括第二滤波器(23),该滤波器用于接收外部地址信号和从外部地址信号中去掉噪声分量,其中第一地址转变检测单元检测第二滤波器输出信号的转变并根据检测结果产生第一地址检测信号;

第二地址转变检测单元(46b),用于接收外部地址信号,检测外部地址信号的转变,并根据检测结果产生第二地址检测信号;

第一信号合成电路(44),连接到第一检测单元和第一地址转变检测单元,用于对第一检测信号和第一地址检测信号进行逻辑运算,并根据逻辑运算结果产生第一合成信号;

第二信号合成电路(49),连接到第二检测单元和第二地址转变检测单元,用于对第二检测信号和第二地址检测信号进行逻辑运算,并根据逻辑运算结果产生第二合成信号;

仲裁器(27),连接到第二信号合成电路,用于对第二合成信号和内部刷新请求信号进行逻辑运算,并根据逻辑运算结果产生一个确定信号,其中该确定信号指示对外部存取请求和内部刷新请求二者中的哪一个给予优先权;以及

主信号发生器(28),连接到第一信号合成电路和仲裁器,用于根据确定信号由第一检测信号或确定信号产生主信号,以控制该装置的内部电路。

12. 根据权利要求11的装置,其特征在于第一滤波器根据调节信号调节该第一滤波器自身的滤波器值,并且第二滤波器根据调节信号调节该第二滤波器自身的滤波器值。

13. 根据权利要求12的装置,特征还在于:

可变滤波器单元(53;64),连接到第一和第二滤波器以产生调节信号。

14. 根据权利要求10或权利要求13的装置,其特征在于该可变滤波器单元包括一个存储用于产生调节信号的数据的寄存器(56),以及连接到寄存器以在寄存器中设置数据的设置电路(55)。

15. 根据权利要求10或权利要求13的装置,其特征在于该可变滤波器单元存储响应来自外部装置的控制信号产生调节信号的数据。

16. 一种与半导体装置的内部电路相连的控制电路,其中该控制电路根据第一控制信号和第二控制信号产生主信号以控制内部电路,该控制电路的特征在于:

第一信号处理单元(31),用于接收第一控制信号和由第一控制信号产生第一处理信号,其中第一信号处理单元包括滤波器(35;54),用于对第一控制信号滤波;

第二信号处理单元(32;52),用于接收第一控制信号和产生第二处理信号;

仲裁器(33),用于接收第二处理信号和第二控制信号,确定要对第二处理信号和第二控制信号中的哪一个给予优先权,并根据确定结果产生确定信号;以及

主信号发生器(34),连接到第一信号处理电路和仲裁器,用于根据确定信号由确定信号或第一处理信号产生主信号,

其中该滤波器根据调节信号调节该滤波器自身的滤波器值。

17. 一种根据内部刷新请求信号进行自刷新操作的半导体存储器装置, 该装置的特征在于:

第一检测单元 (41a、42a、43a), 包括滤波器 (14、15、16), 该滤波器用于接收外部存取请求信号和从外部存取请求信号中去掉噪声分量, 其中第一检测单元检测滤波器输出信号的转变并根据检测结果产生第一检测信号;

第二检测单元 (41b、42b、43b), 用于接收外部存取请求信号, 检测外部存取请求信号的转变, 并根据检测结果产生第二检测信号;

仲裁器 (27), 连接到第二检测单元, 用于根据第二检测信号和内部刷新请求信号产生确定信号, 其中该确定信号指示对外部存取请求和内部刷新请求二者中的哪一个给予优先权; 以及

主信号发生器 (28), 连接到第一检测单元和仲裁器, 用于根据确定信号由第一检测信号或确定信号产生主信号, 以控制该装置的内部电路,

其中该滤波器根据调节信号调节该滤波器自身的滤波器值。

## 控制电路和半导体存储器装置

### 技术领域

[0001] 本发明涉及根据外部操作请求和内部操作请求控制内部电路的一种控制电路以及包括这种控制电路的半导体存储器装置。

### 背景技术

[0002] 现今,在电子信息装置中使用具有大存储器容量的动态随机存取存储器 (DRAM)。DRAM 具有一种自刷新功能,它根据一个内部电路的计数器操作刷新存储器存储单元 (cell) 的数据。提供了自刷新功能的 DRAM 不需要外部的刷新操作。这样,功耗降低了而且关于 DRAM 的电路设计变得更为方便。

[0003] 图 1 是方框电路图,显示一个 DRAM100 的现有技术输入电路部分,该 DRAM100 具有自刷新功能。

[0004] DRAM100 接收输出启动 (enable) 信号 /OE、写启动信号 /WE 和芯片启动信号 /CE1,它们都是控制信号。信号 /OE、/WE、/CE1、分别经由输入缓存器 11、12、13 提供给滤波器 14、15、16。输入缓存器 11-13 每个都是输入初始级电路,它把输入信号转变成其电平与装置内部电压相对应的信号,它是例如 CMOS 变换器电路或 C/M(电流镜象)差分放大电路。

[0005] 滤波器 14-16 每个消除从外部电路提供的信号中的噪声分量,如突跳 (glitch)。DRAM 的数据使用电荷保持技术来保持。当在输入信号中包括了未确定的噪声时,字线 (word line) 电平被转到装置的内部操作尚未被确定的状态。消除噪声分量防止存储器单元的数据受到损害。

[0006] 每个信号的噪声状态根据使用 DRAM100 的系统板而改变。这样,滤波器 14-16 通常被设计成抗在最坏情况中可能产生的噪声。因此,滤波器 14-16 的设定值通常限制读和写数据的存取时间。这样,设定值显著影响存取时间。

[0007] 滤波器 14、15、16 的输出信号 oeb5z、web5z、c1b5z 提供给第一、第二和第三控制转变 (transition) 检测器 (CTD) 17、18、19,并提供给控制数据解码器 (CTLDEC) 20。转变检测器 17、18、19 每个检测输入信号状态的转变并产生检测信号 oerex, werex, cerex。

[0008] 控制解码器 20 根据外部控制信号 (在本例中是芯片启动信号 /CE1、输出启动信号 /OE 和写启动信号 /WE) 的电平 (高电平或低电平) 来解码命令。这些命令包括例如写命令和读命令等。控制解码器 20 根据解码的命令向启动脉冲信号发生器 (ACTPGEN) 21 提供控制信号 (例如根据写命令的写控制信号 wrz 和根据读命令的读控制信号 rdz)。

[0009] 外部地址信号 Add 经由输入缓存器 22 和滤波器 23 提供给地址转变检测器 (ATD) 24。地址转变检测器 24 检测外部地址信号 Add 的转变 (例如外部地址信号 Add 最低位 A(0) 的改变) 并产生检测信号 adrex。

[0010] 各转变检测器 17、18、19 的检测信号 oerex, werex, cerex, adrex 以及地址转变检测器 24 的检测信号 adrex 被提供给地址转变检测信号 (ATDS) 发生器 (ATDGEN) 25。

[0011] ATDS 发生器 25 对检测信号 oerex, werex, cerex, adrex 进行逻辑运算并根据最终提供的控制信号 /OE、/WE、/CE1 以及外部地址信号 Add 产生一个启动信号 atdpz。启动信

号 atdpz 被提供给外部启动锁存发生器 (active latch generator) (EALGEN) 26 和刷新控制器 (REFCTL) 27。

[0012] 外部启动锁存发生器 26 产生一个主信号 mpealz 并把该主信号 mpealz 提供给启动脉冲信号发生器 21, 该主信号 mpealz 根据启动信号 atdpz 启动一个装置。

[0013] 启动脉冲信号发生器 21 根据来自控制解码器 20 的控制信号 wrz, rdz 以及主信号 mpealz 产生写信号 wrtz, 读信号 redz 以及启动脉冲信号 actpz。启动脉冲信号 actpz 被提供给行地址发生器 (RASGEN) 28。启动脉冲信号 actpz 启动行电路, 它控制与存储器存储单元相连的字线 (wordline) 或与位线相连的读出放大器, 还启动列电路, 它控制与数据总线相连的列门。

[0014] 刷新控制器 27 是一个所谓的仲裁器。刷新控制器 27 确定是选择 (把优先权给予) 一个内部刷新请求 (自刷新请求信号 srtz) 还是选择来自外部装置的存取请求 (启动信号 atdpz), 并根据这一确定产生一个确定信号 refz。确定信号 refz 被提供给行地址发生器 28。

[0015] 行地址发生器 28 根据确定信号 refz 和启动脉冲信号 actpz 产生字线选择信号的基信号 rasz。当刷新控制器 27 选择内部刷新请求时, 根据基信号 rasz 启动对应于刷新地址的字线。当选择外部存取请求时, 根据基信号 rasz 启动对应于外部地址信号 Add 的字线。刷新地址是由地址计数器 (未示出) 产生的。

[0016] 现在将讨论 DRAM100 的操作。

[0017] [当响应一个外部存取请求时]

[0018] 图 2 是当响应来自外部装置的存取请求时画出的波形图。

[0019] 当芯片启动信号 /CE1 变低时, 各转变检测器 17、18、19 的检测信号 oerex、werex、cerex 被输出。然后, ATDS 发生器 25 产生启动信号 atdpz。根据启动信号 atdpz, 产生主信号 mpealz, 根据主信号 mpealz, 产生启动脉冲信号 actpz。

[0020] 当响应一个外部存取请求时, 自刷新请求信号 srtz 为低。这样, 确定信号 refz 保持不变 (低电平)。启动脉冲信号发生器 21 根据来自外部启动锁存发生器 26 的主信号 mpealz 和来自控制解码器 20 的控制信号 wrz、rdz, 产生启动脉冲信号 actpz 和写信号 wrtz 或读信号 redz。写信号 wrtz 指示写方式, 而读信号 redz 指示读方式。控制信号 (/WE, /OE) 的电平确定要产生写信号 wrtz 和读信号 redz 二者当中的哪一个。

[0021] 行地址发生器 28 根据启动脉冲信号 actpz 产生基信号 rasz, 它选择字线。由于响应基信号 rasz 的电路并没有刷新请求, 所以选择了对应于外部地址信号 Add 的字线。

[0022] [当选择刷新请求时]

[0023] 图 3 是当刷新请求和外部存取请求彼此重叠 (overlap) 而且选择了刷新请求时画出的波形图。

[0024] 当选择刷新请求时, 刷新控制器 27 将启动信号 atdpz 与内部刷新请求信号 srtz 进行比较。如果刷新请求信号 srtz 早于启动信号 atdpz, 则刷新控制器 27 输出处在高电平的确定信号 refz。这样, 行地址发生器 28 把优先权给予内部刷新请求并产生基信号 rasz, 以启动对应于该内部刷新地址的字线。

[0025] 然后, 当刷新操作完成时, 行地址发生器 28 根据启动脉冲信号 actpz 产生基信号 rasz。这一信号启动对应于外部地址信号 Add 的字线。

[0026] 于是,当把优先权给予内部刷新操作时,刷新控制器 27 产生基信号 rasz,它启动对应于外部地址信号 Add 的字线。

[0027] [ 当选择外部存取请求时 ]

[0028] 图 4 是当刷新请求和外部存取请求彼此重叠而且选择了外部存取请求时画出的波形图。

[0029] 当刷新控制器 27 确定刷新请求信号 srtz 迟于启动信号 atdpz 时,刷新控制器 27 输出处于低电平的确信信号 refz。这样,行地址发生器 28 把优先权给予外部存取请求并产生基信号 rasz,以启动对应于外部地址信号 Add 的字线。

[0030] 然后,当外部存取操作完成时,行地址发生器 28 根据刷新请求信号 srtz 产生基信号 rasz。这一信号启动对应于内部刷新地址的字线。

[0031] 以这种方式,在一个装置中自动进行刷新操作的存储器 (DRAM) 在内部刷新请求和来自外部装置的存取请求彼此重叠时基本上是把优先权给予内部刷新操作以保持存储器存储单元的信息。这是因为内部刷新请求定时(刷新间隔)是由存储器存储单元的存储器保持容量(数据保持时间)确定的。

[0032] 于是,当内部刷新请求和来自外部装置的存取请求彼此重叠时,该装置相对于外部存取请求的响应时间是外部装置完成存取操作所需要的正常时间和完成内部刷新操作所需的时间之和。于是,该装置响应外部存取请求所需的时间大约比外部存取请求和内部刷新请求彼此不重叠时所需时间长两倍。响应时间的增加使得难于提高装置的速度。

## 发明内容

[0033] 本发明的一个目的是提供一种控制电路,它能在一装置的内部控制请求与外部控制请求重叠时提高对来自外部装置的控制请求的响应速度,并提供包括这种控制电路的半导体装置。

[0034] 为达到上述目的,本发明提供一种控制电路,该电路连接到一个半导体装置的内部电路。该控制电路根据第一控制信号和第二控制信号产生一个主信号以控制该内部电路。该控制电路包括第一信号处理单元用于接收第一控制信号并由第一控制信号产生第一处理信号。第一信号处理单元包括一个滤波器用于过滤第一控制信号。第二信号处理单元接收第一控制信号并产生第二处理信号。一个仲裁器接收第二处理信号和第二控制信号,确定要对第二处理信号和第二控制信号二者中的哪一个给予优先权,并根据这一确定产生确定信号。主信号发生器连接到第一信号处理电路和仲裁器,并根据该确定信号由确定信号或第一处理信号产生主信号。

[0035] 本发明的另一方面是一个半导体存储器装置,用于根据内部刷新请求信号进行自刷新操作。该装置有一个第一检测单元,其中包括一个滤波器用于接收外部存取请求信号并从该外部存取请求信号中消除噪声分量。第一检测单元检测滤波器输出信号的转变,并根据检测结果产生第一检测信号。第二检测单元接收外部存取请求信号,检测外部存取请求信号的转变,并根据检测结果产生第二检测信号。一个仲裁器连接到第二检测单元并根据第二检测信号和内部刷新请求信号产生一个确定信号。该确定信号指明要对外部存取请求和内部刷新请求中的哪一个给予优先权。一个主信号发生器连接到第一检测单元和仲裁器,并根据确定信号由第一检测信号或确定信号产生主信号,以控制该装置的内部电路。

[0036] 本发明的又一方面是一个半导体存储器装置,用于根据内部刷新请求信号进行自刷新操作。该装置有第一检测单元,其中包括第一滤波器用于接收外部存取请求信号和从外部存取请求信号中消除噪声分量。第一检测单元检测第一滤波器输出信号的转变并根据检测结果产生第一检测信号。第二检测单元接收外部存取请求信号,检测外部存取请求信号的转变,并根据检测结果产生第二检测信号。第一地址转变检测单元包括第二滤波器用于接收外部地址信号和从外部地址信号中消除噪声分量。第一地址转变检测单元检测第二滤波器输出信号的转变并根据检测结果产生第一地址检测信号。第二地址转变检测单元接收外部地址信号,检测该外部地址信号的转变,并根据检测结果产生第二地址检测信号。第一信号合成电路连接到第一检测单元和第一地址转变检测单元,对第一检测信号和第一地址检测信号进行逻辑运算,并根据逻辑运算结果产生第一合成信号。第二信号合成电路连接到第二检测单元和第二地址转变单元,对第二检测信号和第二地址检测信号进行逻辑运算,并根据逻辑运算结果产生第二合成信号。一个仲裁器连接到第二信号合成电路,对第二合成信号和内部刷新请求信号进行逻辑运算,并根据逻辑运算结果产生确定信号。该确定信号指示要对外部存取请求和内部刷新请求中的哪一个给予优先权。一个主信号发生器连接到第一信号合成电路和该仲裁器,根据确定信号由第一检测信号或确定信号产生一个主信号,以控制该装置的内部电路。

[0037] 由下文中结合附图所作的描述,将清楚看出本发明的其他方面和优点,这些附图示例性地说明本发明的原理。

#### 附图说明

[0038] 通过参考下文中结合附图对当前优选实施例的描述,可以最好地理解本发明及其目的和优点,在这些附图中:

[0039] 图 1 是示意性方框电路图,显示现有技术的半导体存储器装置;

[0040] 图 2 是时间波形图,显示图 1 的半导体存储器装置操作;

[0041] 图 3 是时间波形图,显示图 1 的半导体存储器装置的操作;

[0042] 图 4 是时间波形图,显示图 1 的半导体存储器装置的操作;

[0043] 图 5 是根据本发明第一实施例的控制器的示意性方框电路图;

[0044] 图 6 是根据本发明第二实施例的半导体存储器装置的示意性方框电路图;

[0045] 图 7 是图 6 的装置中使用的输入缓存器的电路图;

[0046] 图 8 是图 6 的装置中使用的一个滤波器的示意性电路图;

[0047] 图 9 是图 6 的装置中使用的另一个滤波器的示意性电路图;

[0048] 图 10 是图 6 的装置中使用的转变检测器的示意性电路图;

[0049] 图 11 是图 6 的装置中使用的控制解码器的示意性电路图;

[0050] 图 12 是图 6 的装置中使用的转变检测信号发生器的示意性电路图;

[0051] 图 13 是图 6 的装置中使用的外部启动锁存发生器的示意性电路图;

[0052] 图 14 是图 6 的装置中使用的启动脉冲发生器的示意性电路图;

[0053] 图 15 是图 6 的装置中使用的刷新控制器的示意性电路图;

[0054] 图 16 是图 6 的装置中使用的行地址发生器的示意性电路图;

[0055] 图 17 是图 6 的装置的波形图;

- [0056] 图 18 是根据本发明第三实施例的控制器的示意性方框电路图；
- [0057] 图 19 是根据本发明第四实施例的半导体存储器装置的示意性方框电路图；
- [0058] 图 20 是图 19 的装置中使用的滤波器的示意性电路图；以及
- [0059] 图 21 是图 19 的装置的波形图。

### 具体实施方式

- [0060] 在附图中,所有类似部件使用类似的数字表示。
- [0061] (第一实施例)
- [0062] 图 5 是根据本发明第一实施例的控制电路的示意性方框电路图。该控制电路应用于半导体装置的输入电路部分 30。输入电路 30 包括第一和第二信号处理单元 31、32,仲裁器 33 以及主信号发生器 34。
- [0063] 第一和第二信号处理单元 31、32 连接到同一外部终端 p1 并经过外部终端 P1 接收输入信号(第一控制信号)IN。输入信号 IN 是一个外部请求信号,它使半导体装置的内部电路(未示出)进行一个预先确定的处理。
- [0064] 第一信号处理单元 31 包括滤波器 35 和信号处理电路 36。滤波器 35 对输入信号 IN 进行预先确定的滤波过程,以产生一个去掉噪声的信号 S1,从中已去掉了诸如突跳等噪声分量。去掉噪声的信号 S1 被提供给信号处理电路 36。
- [0065] 信号处理电路 36 对去掉噪声的信号 S1 进行预先确定的信号处理以产生第一输出信号(第一处理信号)S2。第一输出信号 S2 被提供给主信号发生器 34。
- [0066] 第二信号处理单元 32 包括信号处理电路 37。信号处理电路 37 对输入信号进行预先确定的信号处理并产生第二输出信号(第二处理信号)S3。第二输出信号 S3 被提供给仲裁器 33。信号处理电路 37 的结构与信号处理电路 36 的结构相同。
- [0067] 仲裁器 33 接收第一信号(第二控制信号)S4 和第二输出信号 S3。第一信号 S4 是由信号发生器产生的内部请求信号,它使半导体装置的内部电路进行预先确定的处理。仲裁器 33 确定对第一信号 S4 还是对第二输出信号 S3 给予优先权,并根据确定结果产生一个确定信号 S5。确定信号 S5 被提供给主信号发生器 34。仲裁器 33 例如对第一信号 S4 和第二输出信号 S3 进行逻辑运算,以产生确定信号 S5。
- [0068] 主信号发生器 34 接收第一输出信号 S2 和确定信号 S5,对这两个信号 S2 和 S5 进行逻辑运算并产生主信号 S6。
- [0069] 第一输出信号 S2 的波形与第二输出信号 S3 的波形基本相同。因此,在仲裁器 33 中,由第二输出信号 S3 得到与使用第一输出信号 S2 时类似的结果。
- [0070] 由于第一信号处理单元 31 包括滤波器 35,故在第二输出信号 S3 之后产生第一输出信号 S2。于是,仲裁器 33 使用第二输出信号 S3 进行确定从而产生确定信号 S5 要早于使用第一输出信号 S2 进行确定。
- [0071] 主信号发生器 34 通过对来自仲裁器 33 的确定信号 S5 和第一输出信号 S2 进行逻辑运算来产生主信号。于是,主信号 S6 的产生早于仲裁器使用第一输出信号 S2 进行确定。这样,半导体装置的内部电路根据主信号 S6 快速地进行操作。
- [0072] 第一实施例的半导体存储器装置的输入电路部分(控制电路)30 有下述优点:
- [0073] (1) 输入电路部分 30 的仲裁器 33 经由第二信号处理单元 32 接收第二输出信号

S3,而第二信号处理单元 32 不包括滤波器。仲裁器 33 确定把优先权给予第二输出信号 S3 或者第一信号 S4,并根据确定结果产生确定信号 S5。确定信号 S5 的产生早于根据第一信号处理单元 31 的第一输出信号 S2 来产生确定信号,第一信号处理单元 31 包括一个滤波器。主信号发生器 34 根据确定信号 S5 产生主信号 S6 并把主信号 S6 提供给半导体存储器装置的内部电路。这样,该半导体装置的内部电路的操作早于仲裁器 33 根据第一输出信号进行的确定操作。

[0074] (第二实施例)

[0075] 图 6 是一个方框电路图,显示一个 DRAM40 的输入电路部分,DRAM40 具有在装置中自动进行自刷新的功能。

[0076] DRAM40 接收输出启动信号 /OE、写启动信号 /WE 和芯片启动信号 /CE1,它们是控制信号。信号 /OE、/WE、/CE1 被分别提供给输入缓存器(输入端初级电路)11、12、13。

[0077] 第一输入缓存器 11 把输入信号 /OE 变换成其电平对应于该装置内部电压的信号,并把这个变换电平后的输入信号 /OE 提供给第一转变检测单元(第一检测单元)41a 和第二转变检测单元(第二检测单元)41b。以同样方式,第二输入缓存器 12 把变换电平后的输入信号 /WE 提供给第三转变检测单元(第一检测单元)42a 和第四转变检测单元(第二检测单元)42b。第三输入缓存器 13 把输入信号 /CE1 变换成其电平对应于该装置内部电压的信号 clboz,并把变换电平后的输入信号 clboz 提供给第五转变检测单元(第一检测单元)43a 和第六转变检测单元(第二检测单元)43b。

[0078] 图 7 的电路图显示第三输入缓存器的一个例子。启动信号 enx 由一个输入缓存器提供,该输入缓存器从外部装置接收第二芯片启动信号 CE2(未示出)。当启动信号 enx 为低电平时,第三输入缓存器 13 接收一个外部信号(芯片启动信号 /CE1)。第三输入缓存器 13 把芯片启动信号 /CE1 变换成对应于内部电压的电平产生变换后的启动信号 clboz。第一和第二输入缓存器 11、12 的构成与第三输入缓存器 13 的构成相同。

[0079] 第一转变检测单元 41a 包括第一请求信号滤波器(第一滤波器)14 和第一转变检测器 17a。第一请求信号滤波器从来自第一输入缓存器 11 的信号中去掉噪声分量,如突跳,并生去掉噪声的信号 oeb5z。去掉噪声的信号 oeb5z 被提供给第一转变检测器 17a 和控制解码器 20。第一转变检测器 17a 检测去掉噪声的信号 oeb5z 的转变并产生第一控制转变检测信号(第一检测信号)oerex-a。第一控制转变检测信号 oerex-a 被提供给第一信号合成电路 44 或第一转变检测信号发生器(第一 ATDGEN)25。

[0080] 第二转变检测单元 41b 包括第二转变检测器 17b。第二转变检测器 17b 检测由第一输入缓存器 11 提供的信号的转变,并产生第二控制转变检测信号(第二检测信号)oerex-r。第二控制转变检测信号 oerex-r 被提供给第二转变检测信号发生器(第二 ATDGEN 或第二信号合成电路)49。

[0081] 第二转变检测器 17b 的结构与第一转变检测器 17a 的结构相同。因此,第二控制转变检测信号 oerex-r 的波形与第一控制转变检测信号 oerex-a 的波形基本相同,但在检测信号 oerex-a 之前输出。

[0082] 第三转变检测单元 42a 包括第二请求信号滤波器(第一滤波器)15 以及第三转变检测器 18a。第二请求信号滤波器 15 去掉从第二输入缓存器 12 接收的信号中的噪声分量,并产生第二去掉噪声后的信号 web5z。第二去掉噪声后的信号 web5z 被提供给第三转变检

测器 18a 和控制解码器 20。第三转变检测器 18a 检测第二去掉噪声后的信号 web5z 的转变并产生第三控制转变检测信号（第一检测信号）werex-a。第三控制转变检测信号 werex-a 被提供给第一 ATDGEN25。

[0083] 第四转变检测单元 42b 包括第四转变检测器 18b。第四转变检测器 18b 检测由第二输入缓存器 12 提供的信号的转变，并产生第四控制转变检测信号（第二检测信号）werex-r。第四控制转变检测信号 werex-r 被提供给第二 ATDGEN49。

[0084] 第四转变检测器 18b 的结构与第三转变检测器 18a 的结构相同。因此，第四控制转变检测信号 werex-r 的波形与第三控制转变检测信号 werex-a 的波形基本相同，但在检测信号 werex-a 之前输出。

[0085] 第五转变检测单元 43a 包括第三请求信号滤波器（第一滤波器）16 和第五转变检测器 19a。第三请求信号滤波器 16 去掉从外部装置接收的信号中的噪声分量，并产生第三去掉噪声后的信号 clb5z。第三去掉噪声后的信号 clb5z 被提供给第五转变检测器 19a 和控制解码器 20。

[0086] 图 8 的电路图显示第三请求信号滤波器 16 的一个例子。第一和第二请求信号滤波器 14、15 的结构与第三请求信号滤波器 16 的结构相同。滤波器 14-16 可按图 9 所示构成。

[0087] 图 10 的电路图显示第五转变检测器 19a 的一个例子。第五转变检测器 19a 检测输入信号 clb5z 的转变并产生第五控制转变检测信号（第一检测信号）ctd-a。检测信号 ctd-a 被提供给第一 ATDGEN25。当输入信号 clb5z 从高电平转到低电平或从低电平转到高电平时，第五转变检测器 19a 产生一个单脉冲检测信号 ctd-a。第一、第二、第三和第四转变检测器 17a、17b、18a、18b 的结构与第五转变检测器 19a 的结构相同。

[0088] 第六转变检测单元 43b 包括第六转变检测器 19b。第六转变检测器 19b 检测输入信号 clboz 的转变并产生第六控制转变检测信号（第二检测信号）ctd-r。第六控制转变检测信号 ctd-r 被提供给第二 ATDGEN49。

[0089] 第六转变检测器 19b 的结构与第五转变检测器 19a 的结构相同。因此，第六控制转变检测信号 ctd-r 的波形与第五控制转变检测信号 ctd-a 的波形基本相同，但在检测信号 ctd-a 之前输出。

[0090] 输入缓存器 22 接收有多个二进制位的外部地址信号 Add。输入缓存器 22 的结构与第一至第三输入缓存器 11-13 的结构相同。输入缓存器 22 有与第一至第三输入缓存器 11-13 相同的结构。输入缓存器 22 把外部地址信号变换成与该装置的内部电压相对应的电平，并产生电平变换后的信号 aoz。电平变换后的信号 aoz 被提供给第一和第二地址转变检测单元 46a、46b。

[0091] 第一地址转变检测单元 46a 包括滤波器（第二滤波器）23 和第一地址转变检测器 24。滤波器 23 的结构与第一至第三请求信号滤波器 14-16 的结构相同。滤波器 23 消除电平变换后的信号 aoz 中的噪声分量，并产生第四去掉噪声的信号 a5z。第四去掉噪声的信号 a5z 被提供给第一地址转变检测器 24。第一地址转变检测器 24 的结构与转变检测器 17a、17b-19a、19b 的结构相同。第一地址转变检测器 24 检测去掉噪声的信号 a5z 的转变，并产生第一地址检测信号 atd-a。检测信号 atd-a 被提供给第一 ATDGEN25。

[0092] 第二地址转变检测单元 46b 包括第二地址转变检测器 48。第二地址转变检测器

48 检测电平变换后的信号 aoz 的转变并产生第二地址检测信号 adt-r。第二地址检测信号 atd-r 被提供给第二 ATDGEN49。

[0093] 第二地址转变检测器 48 的结构与第一地址转变检测器 24 的结构相同。因此,第二地址检测信号 atd-r 有与第一地址检测信号 atd-a 相同的波形,但在检测信号 atd-a 之前输出。

[0094] 第一信号合成电路 44 包括第一转变检测信号发生器 (ATDGEN) 25,外部启动锁存发生器 26 以及启动脉冲信号发生器 21。

[0095] 图 11 的电路图显示控制检测器 20 的一个例子。图 11 显示的电路产生对应于写命令的写控制信号 wrz 和对应于读命令的读控制信号 rdz。控制检测器 20 对来自第一至第三请求信号滤波器 11-13 的信号 oeb5z、web5z、clb5z 进行逻辑运算,并产生写控制信号 wrz 和读控制信号 rdz。

[0096] 图 12 显示第一转变检测信号发生器 25 的一个例子。第一转变检测信号发生器 25 对检测信号 oerex-a、werex-a、ctd-a、atd-a 进行逻辑运算,并产生第一启动信号 atdpz-a。第一启动信号 atdpz-a 被提供给闩锁发生器 26。信号 atdox-atd7x 是第一地址转变检测器 24 的低八位。

[0097] 图 13 的电路图显示外部启动锁存发生器 26。闩锁发生器 26 根据第一启动信号 atdpz-a 产生主信号 mpealz 以启动该装置,并把主信号 mpealz 提供给启动脉冲信号发生器 21。

[0098] 图 14 的电路图显示启动脉冲信号发生器 21 的一个例子。启动脉冲信号发生器 21 产生写信号 wrtz,读信号 redz 和启动脉冲信号 actpz。启动脉冲信号 actpz 被提供给行地址发生器 28。

[0099] 第二转变检测信号发生器 (第二信号合成电路) 49 对检测信号 oerex-r、werex-r、ctd-r、atd-r 进行逻辑运算,并产生第二启动信号 atdpz-r。第二启动信号 atdpz-r 被提供给刷新控制器 (仲裁器) 27。

[0100] 第二转变检测信号发生器 49 的结构与第一转变检测信号发生器 25 的结构相同。因此,由第一和第二转变检测信号发生器 25、49 输出的第一和第二启动信号 atdpz-a、atdpz-r 有相同的波形。由于第二启动信号 atdpz-r 不通过滤波器 16,所以第二启动信号 atdpz-r 的输出早于第一启动信号 atdpz-a。就是说,第二转变检测信号发生器 49 在第一转变检测信号发生器 25 之前进行逻辑运算。

[0101] 图 15 的电路图显示刷新控制器 27 的一个例子。

[0102] 刷新控制器 27 确定选择 (把优先权给予) 内部刷新请求 (自刷新请求信号 srtz) 还是来自外部装置的存取请求 (第二启动信号 atdpz-r),并根据确定结果产生一个确定信号 refz。确定信号 refz 被提供给行地址发生器 28。

[0103] 图 16 显示行地址发生器 28 的一个例子。

[0104] 行地址发生器 28 根据确定信号 refz 和启动脉冲信号 actpz 产生字线选择信号的基信号 rasz,并向内部电路 (未示出) 和刷新控制器 27 提供基信号 rasz。当刷新控制器 27 根据基信号 rasz 选择内部刷新请求时,由地址计数器 (未示出) 产生的刷新地址所对应的字线被启动。当外部存取请求被选定时,与外部地址信号 Add 对应的字线被启动。

[0105] 行地址发生器 28 产生信号 icsx 并把信号 icsx 提供给刷新控制器 27。从输出基

信号 *rasz* 起延迟一段时间之后,图 16 中所示信号 *sprx* 被用于复位一个触发器,该触发器是由一个“与非”电路构成的。

[0106] 在第二实施例中,在第一启动信号 *atdpz-a* 之前输出第二启动信号 *atdpz-r*。这样,刷新控制器 27 给出确定结果要早于现有技术中的情况,并迅速产生确定信号 *refz*。因此,基信号 *rasz* 的产生早于现有技术中的情况。这样,与刷新地址或外部地址信号 *Add* 对应的字线被启动的时间早于现有技术中的情况,从而缩短了外部存取时间。

[0107] 现在将参考图 17 讨论 DRAM40 的操作。图 17 是当刷新请求与来自外部装置的请求重叠而且选择刷新请求时画出的波形图。

[0108] 当芯片启动信号 /*CE1* 变为低电平时,第一、第三和第五转变检测单元 41a、42a、43a 分别输出检测信号 *oerex-a*、*werex-a*、*ctd-a*。再有,第二、第四和第六转变检测单元 41b、42b、43b 分别输出检测信号 *oerex-r*、*werex-r* 和 *ctd-r*。以同样方式,当地址信号 *Add* 改变时(即当最低位 *A(0)* 改变时),第一地址转变检测单元 46a 输出检测信号 *atd-a*,第二地址转变检测单元 46b 输出检测信号 *atd-r*。

[0109] 第一转变检测信号发生器 25 对检测信号 *oerex-a*、*werex-a*、*ctd-d*、*atd-a* 进行逻辑运算产生第一启动信号 *atdpz-a*。第二转变检测信号发生器 49 对检测信号 *oerex-r*、*werex-r*、*ctd-r*、*atd-r* 进行逻辑运算并产生第二启动信号 *atdpz-r*。

[0110] 锁存发生器 26 产生主信号 *mpealz*,它根据第一启动信号 *atdpz-a* 启动该装置。刷新控制器 27 把第二启动信号 *atdpz-r* 和内部刷新请求信号 *srtz* 进行比较。由于刷新请求信号 *srtz* 早于第二启动信号 *atdpz-r*,所以刷新控制器 27 产生一个有效的(即高电平的)确定信号 *refz*。行地址发生器 28 把优先权给予内部刷新请求,并产生基信号 *rasz* 以启动与内部刷新地址对应的字线。

[0111] 第二启动信号 *atdpz-r* 早于第一启动信号 *atdpz-a*(在现有技术例子中的启动信号 *atdpz*)。因此,确定信号 *refz* 变为有效早于现有技术例子中的情况。这样,即使与现有技术例子中的情况同时产生内部刷新请求,响应该内部刷新请求所进行的刷新操作的开始也早于现有技术中的情况。

[0112] 当完成刷新操作时,行地址发生器 28 根据启动脉冲信号 *actpz* 产生基信号 *rasz*。根据基信号 *rasz*,与外部地址信号 *Add* 对应的字线被启动。

[0113] 内部刷新操作的开始和完成早于现有技术中的情况。这样,根据启动脉冲信号 *actpz* 产生基信号 *rasz* 早于现有技术中的情况。因此,外部存取所需时间要短于现有技术中的情况。

[0114] 第二实施例的 DRAM 有下述优点:

[0115] 提供给刷新控制器(仲裁器)27 的第二启动信号 *atdpz-r* 是根据没有被滤波的检测信号 *oerex-r*、*werex-r*、*ctd-r*、*atd-r* 产生的。刷新控制器 27 把第二启动信号 *atdpz-r* 和刷新请求信号 *srtz* 进行比较,以产生确定信号 *refz*。行地址发生器 28 根据确定信号 *refz* 产生基信号 *rasz* 以启动字线。这样,与使用滤波后的检测信号的情况相比,基信号 *rasz* 的产生较早,而且内部刷新开始得较早。结果,外部存取开始得较早,因而外部存取所需时间缩短。

[0116] (第三实施例)

[0117] 图 18 是示意性方框电路图,显示根据本发明第三实施例的控制电路。第三实施例

的控制电路应用于半导体存储器装置的输入电路部分 50。

[0118] 输入电路部分 50 包括第一和第二信号处理单元 51、52, 仲裁器 33, 主信号发生器 34, 以及可变滤波器单元 53。

[0119] 第一和第二信号处理单元 51、52 连接到同一外部终端 P1 并经由外部终端 P1 接收输入信号 IN。输入信号 IN 是一个外部请求信号, 用于请求在该半导体存储器装置的内部电路中进行预先确定的处理。

[0120] 第一信号处理单元 51 包括滤波器 54 和第一信号处理电路 57。滤波器 54 对输入信号进行预先确定的滤波过程并产生去掉噪声的信号 S11, 从该信号中已去掉了噪声分量, 如突跳。

[0121] 第二信号处理单元 52 只包括第二信号处理电路 58。信号处理电路 58 根据输入信号 IN 产生第二处理信号 S12 并把第二处理信号 S12 提供给仲裁器 33。第二信号处理电路 58 的结构与第一信号处理电路 57 的结构相同。

[0122] 仲裁器 33 接收第一信号 S4 和第二处理信号 S12。第一信号 S4 是一个由预先确定的信号发生器产生的内部请求信号, 用于使半导体存储器装置的输入电路进行预先确定的处理。仲裁器 33 确定把优先权给予第一信号 S4 还是第二处理信号 S12, 并根据确定结果向主信号发生器 34 提供一个确定信号 S13。例如, 仲裁器 33 对第一信号 S4 和第二处理信号 S12 进行逻辑运算以产生确定信号 S13。

[0123] 主信号发生器 34 接收第一处理信号 S11 和确定信号 S13, 对两个信号 S11、S13 进行逻辑运算, 并根据逻辑运算结果产生主信号 S14。

[0124] 可变滤波器单元 53 包括一个设置电路 55 和至少一个寄存器 56。可变滤波器单元 53 产生一个使输入信号 IN 延时的调节信号 S15, 并把调节信号 S15 提供给滤波器 54。

[0125] 设置电路 55 在寄存器 56 中设置产生调节信号 S15 的数据。设置电路 55 根据经由外部终端 P2 接收的控制信号, 在寄存器 56 中设置数据。与寄存器 56 中设置的数据相对应的调节信号 S15 被提供给滤波器 54。

[0126] 第二处理信号 S12 的波形与第一处理信号 S11 的波形基本相同。因此, 仲裁器 33 得到的确定结果与使用第一处理信号 S11 时相同。然而, 第一处理信号 S11 相对于第二处理信号 S12 是延时的, 因为第一信号处理单元 51 包括滤波器 54。因此, 仲裁器 33 产生确定信号 S13 要早于使用第一处理信号 S11 时的情况。

[0127] 这样, 主信号 S14 的产生也早于仲裁器 33 中使用第一处理信号 S11 时的情况。结果, 半导体存储器装置内部电路的操作早于根据第一处理信号 S14 给出确定结果时的情况。

[0128] 第一处理信号 S11 相对于第二处理信号 S12 的延时由滤波器 54 的滤波器值确定。在半导体装置实际连接的系统中, 滤波器调节数据被提供给可变滤波器单元 53, 从而可根据输入信号 IN 的噪声分量调节滤波器值。这使得半导体装置的内部电路能在与用户系统相对应的最佳时间进行操作。

[0129] 在第三实施例中的半导体装置的输入电路部分 (控制电路) 50 有下述优点:

[0130] (1) 滤波器 54 的滤波器值是可调节的。这样, 根据用户系统板的噪声调节滤波器值, 从而使内部电路响应输入信号 IN 进行操作的时间最佳化。

[0131] (2) 输入电路部分 50 包括可变滤波器单元 53, 它调节滤波器 54 的滤波器值。这

样,用户可以容易地根据系统板改变滤波器值。

[0132] (第四实施例)

[0133] 图 19 是方框电路图,显示一装置中具有自动进行刷新功能的 DRAM60 的输入电路部分。图 19 显示用于 DRAM60 中的芯片启动信号 /CE1 的输入电路部分。

[0134] DRAM60 的输入缓存器 13 接收芯片启动信号 /CE1 并根据信号 /CE1 产生缓存器输出信号 clboz。缓存器输出信号 clboz 被提供给第一转变检测单元(第一检测单元)61 和第二转变检测单元(第二检测单元)62。

[0135] 第一转变检测单元 61 包括滤波器 63 和转变检测器 19a。滤波器 63 从方式寄存器(可变滤波器单元)64 接收调节信号 pos、neg,并根据调节信号 pos、neg 改变滤波器值。

[0136] 方式寄存器 64 接收来自控制解码器 20 的外部命令和内部地址信号 a5z(图 6),它是根据外部地址信号 Add 产生的。控制解码器 20 对从外部装置接收的控制信号解码,并产生方式寄存器设置命令。该方式寄存器设置命令被提供给方式寄存器 64。方式寄存器 64 响应方式寄存器设置命令,把根据内部地址信号 a5z 产生的数据作为滤波器值存储起来。方式寄存器 64 根据存储的滤波器值调节数据产生调节信号 pos、neg。

[0137] 滤波器 63 以与调节信号 pos、neg 对应的滤波器值去除缓存器输出信号 clboz 的噪声分量,并产生去掉噪声的信号 clbfz。去掉噪声的信号 clbfz 被提供给控制解码器 20 和转变检测器 19a。转变检测器 19a 控制去掉噪声的信号 clbfz 的转变并产生检测信号 ctd-a。

[0138] 第二转变检测单元 62 包括转变检测器 19b。转变检测器 19b 检测缓存器输出信号 clboz 的转变并产生检测信号 ctd-r。检测信号 ctd-r 的输出时间与第一转变检测单元 61 的检测信号 ctd-a 的输出时间之差对应于滤波器 63 的滤波器值。

[0139] 根据 DRAM60 连接的系统板的状态,在系统板初始设置期间发出一个方式寄存器设置命令,并把滤波器调节数据存储存储在方式寄存器 64 中。滤波器 63 的滤波器值根据该数据进行调节。

[0140] DRAM60 确定一个命令是内部刷新请求还是来自外部装置的存取请求。当内部刷新请求和外部存取请求重叠时,DRAM60 缩短了外部请求所需时间。再有,通过根据系统板调节滤波器 63 的滤波器值,使 DRAM 的内部电路在对用户系统最佳的时间进行操作。

[0141] 图 20 的电路图显示滤波器 63 的一个例子。滤波器 63 包括第一和第二延时电路 71、72,锁存电路 73,第一至第三反相器 74-76 以及第一至第三“与非”电路 77-79。

[0142] 第一和第二延时电路 71、72 接收输入信号 clboz。第一延时电路 71 延时输入信号 clboz 的后沿并产生第一延时信号 nfd。第二延时电路 72 延时输入信号 clboz 的前沿并产生第二延时信号 nrd。

[0143] 输入信号 clboz 被提供给第一延时电路 71 的第一“或非”电路 81 和延时电路 82。延时电路 82 包括偶数个(在第四实施例中是 4)串联的反相器 83-86。

[0144] 延时电路 82 的输出信号被提供给反相器 87,而反相器 87 的输出信号被提供给第二“或非”电路 88 的第一输入端。提供给第二“或非”电路 88 的第二输入端的信号是经由反相器电路 89 提供的调节信号 pos。因此,当调节信号 pos 为高时延时电路 82 输出延时的输入信号 clboz,而当调节信号 pos 为低时产生低电平的输出信号。第二“或非”电路 88 的输出信号被提供给第一“或非”电路 81 的第二输入端。

[0145] 在延时电路 82 中的某个反相器（在第四实施例中是第二反相器 84）的输出信号被提供给反相器 90，反相器 90 的输出信号被提供给第三“或非”电路 91 的第一输入端。提供给第三“或非”电路 91 的第二输入端的是调节信号 pos。因此，当调节信号 pos 为低时，第三“或非”电路 91 产生的信号是以延时电路 82 的两个反相器 83、84 对输入信号 clboz 进行延时所得到的信号。当调节信号 pos 为高时，第三“或非”电路 91 产生一个低电平信号。第三“或非”电路 91 的输出信号被提供给第一“或非”电路 81 的第三输入端。

[0146] 因此，当调节信号 pos 为低时，第一“或非”电路 81 对输入信号 clboz 和第三“或非”电路 91 的输出信号进行逻辑运算。当调节信号 pos 为高时，第一“或非”电路 81 对输入信号 clboz 和第二“或非”电路 88 的输出信号进行逻辑运算。换言之，根据调节信号 pos 的电平，第一“或非”电路 81 通过对输入信号 clboz 延时一个预先确定的时间（第一滤波器值）来产生一个信号，或者通过对输入信号 clboz 延时这样一个时间来产生一个信号，这个时间对应于从第一滤波器值算起的两个反相器延时时间（第二滤波器值）。

[0147] 第一“或非”电路 81 的输出信号经由反向器 92 直接提供给第四“或非”电路 93 的第一输入端。第一“或非”电路 81 的输出信号还经由延时电路 94 提供给第四“或非”电路 93 的第二输入端，延时电路 94 包括奇数个串联反相器。第四“或非”电路 93 根据提供给它的信号产生第一延时信号 nfd。

[0148] 输入信号 clboz 被提供给第二延时电路 72 的反相器 101。被反相器 101 反相的输入信号 clboz 被提供给第一“或非”电路 102 的第一输入端和延时电路 103 的第一输入端。延时电路 103 包括偶数个（在第四实施例中是 4）反相器 104-107。

[0149] 延时电路 103 的输出信号被提供给反相器 108。反相器 108 的输出信号被提供给第二“或非”电路 109 的第一输入端。调节信号 pos 经由反相器 110 提供给第二“或非”电路 109 的第二输入端。因此，当调节信号 pos 为高时，第二“或非”电路 109 输出输入信号 clboz，它被延时电路 103 延时，而当调节信号 pos 为低时，第二“或非”电路 109 产生一个低电平输出信号。第二“或非”电路 109 的输出信号被提供给第一“或非”电路 102 的第一输入端。

[0150] 在延时电路 103 中的某一反相器（在第四实施例中是第二反相器 105）的输出信号经由反向器 111 提供给第三“或非”电路 112 的第一输入端。向第三“或非”电路 112 的第二输入端提供的是调节信号 pos。因此，当调节信号 pos 为低时，第三“或非”电路 112 产生的信号是用延时电路 103 的两个反相器 104、105 对输入信号 clboz 延时得到的。当调节信号 pos 为高时，第三“或非”电路 112 产生低电平信号。第三“或非”电路 112 的输出信号被提供给第一“或非”电路 102 的第三输入端。

[0151] 因此，当调节信号 pos 为高时，第一“或非”电路 102 对输入信号 clboz 和第二“或非”电路 109 的输出信号进行逻辑运算。当调节信号 pos 为高时，第一“或非”电路 102 对输入信号 clboz 和第三“或非”电路 112 的输出信号进行逻辑运算。换言之，根据调节信号 pos 的电平，第一“或非”电路 102 通过对输入信号 clboz 延时一个预先确定的时间（第一滤波器值）来产生一个信号，或者通过对输入信号 clboz 延时这样一个时间来产生一个信号，这个时间对应于从第一滤波器值算起的两个反相器延时时间（第二滤波器值）。

[0152] 第一“或非”102 的输出信号经由反相器 113 直接提供给“与非”电路 114 的第一输入端。第一“或非”电路 102 的输出信号还经由延时电路 115 提供给“与非”电路 114 的

第二输入端,延时电路 115 包括奇数个串联反相器。“与非”电路 114 的输出信号提供给反相器 116,而反相器 116 产生第二延时信号 nrd。

[0153] 第一延时信号 nfd 和第二延时信号 nrd 被提供给锁存电路 73。锁存电路 73 包括第一和第二“或非”电路 121、122。第一延时信号 nfd 被提供给第一“或非”电路 121 的第一输入端,而第二延时信号 nrd 被提供给第二“或非”电路 122 的第一输入端。第二“或非”电路 122 的输出信号被提供给第一“或非”电路 121 的第二输入端。第一“或非”电路 121 的输出信号被提供给第二“或非”电路 122 的第二输入端。第二“或非”电路 122 的第三输入端以控制信号 sttz 为输入。控制信号 sttz 是在 DRAM 被加电(被启动)时由检测电路(未示出)产生的一个脉冲信号。

[0154] 第一“或非”电路 121 的输出信号被提供给第一“与非”电路 77 的第一输入端。调节信号 neg 经由反相器 74 提供给第一“与非”电路 77 的第二输入端。再有,调节信号 neg 被提供给第二“与非”电路 78 的第一输入端。输入信号 clboz 被提供给第二“与非”电路 78 的第二输入端。第一和第二“与非”电路 77、78 的输出信号被提供给第三“与非”电路 79。第三“与非”电路 79 的输出信号经由反相器 75 提供给反相器 76。反相器 76 根据第三“与非”电路 79 的输出信号产生信号 clboz。

[0155] 当调节信号 neg 为高时,第一“与非”电路 77 产生一个高电平信号。当调节信号 neg 为低时,第一“与非”电路 77 锁存第一和第二延时信号 nfd、nrd,使锁存的第一和第二延时信号 nfd、nrd 反相,并输出反相后的第一和第二延时信号 nfd、nrd。

[0156] 当调节信号 neg 为高时,第二“与非”电路 78 通过使输入信号 clboz 反相而产生一个信号,当调节信号 neg 为低时,第二“与非”电路 78 产生一个高电平的信号。

[0157] 因此,当调节信号 neg 为高时,滤波器 63 由输入信号 clboz 通过第二和第三“与非”电路 78、79 和反相器电路 75、76 从而产生信号 clbfz。如图 21 中所示,当调节信号 neg 为低时,滤波器 63 产生信号 clbfz,根据调节信号 pos,通过由第一或第二滤波器值引起的延时,已经从信号 clbfz 中去掉了噪声分量。

[0158] 第四实施例的 DRAM(半导体存储器装置)60 有下述优点:

[0159] DRAM60 的方式寄存器(可变滤波器单元)64 存储根据外部命令设置滤波器 63 的滤波器值所用的数据。这样,可以根据系统板以一简单的序列设置滤波器值。

[0160] 对于本领域技术人员而言应该显然的是,在不离开本发明的精神和范围的情况下,本发明可以以许多其他具体形式来实现。特别是应该理解,本发明可以以下述形式实现。

[0161] 在第四实施例中,用于设置寄存器 56、64 的滤波器值的数据可由命令设置,例如输入测试方式的命令。再有,滤波器值的设置可通过微调熔丝(trimming a fuse)来设置。

[0162] 在第四实施例中,可通过三个或更多的步骤来调节滤波器 63 的滤波器值。在这种情况下,方式寄存器(可变滤波器单元)64 产生对应于可调节步骤的一个信号。

[0163] 在第一和第三实施例中,主信号发生器 34 可以从第二信号处理单元 32、52 接收第二输出信号 S3、S12,并根据确定信号 S5、S13 由第一输出信号 S2、S11 或由第二输出信号 S3、S12 产生主信号 S6、S14。

[0164] 这些举例和实施例应被认为是说明性的而不是限定性的,而且本发明不局限于这里给出的详细内容,而是可以在所附权利要求的范围和等同之内加以修改。

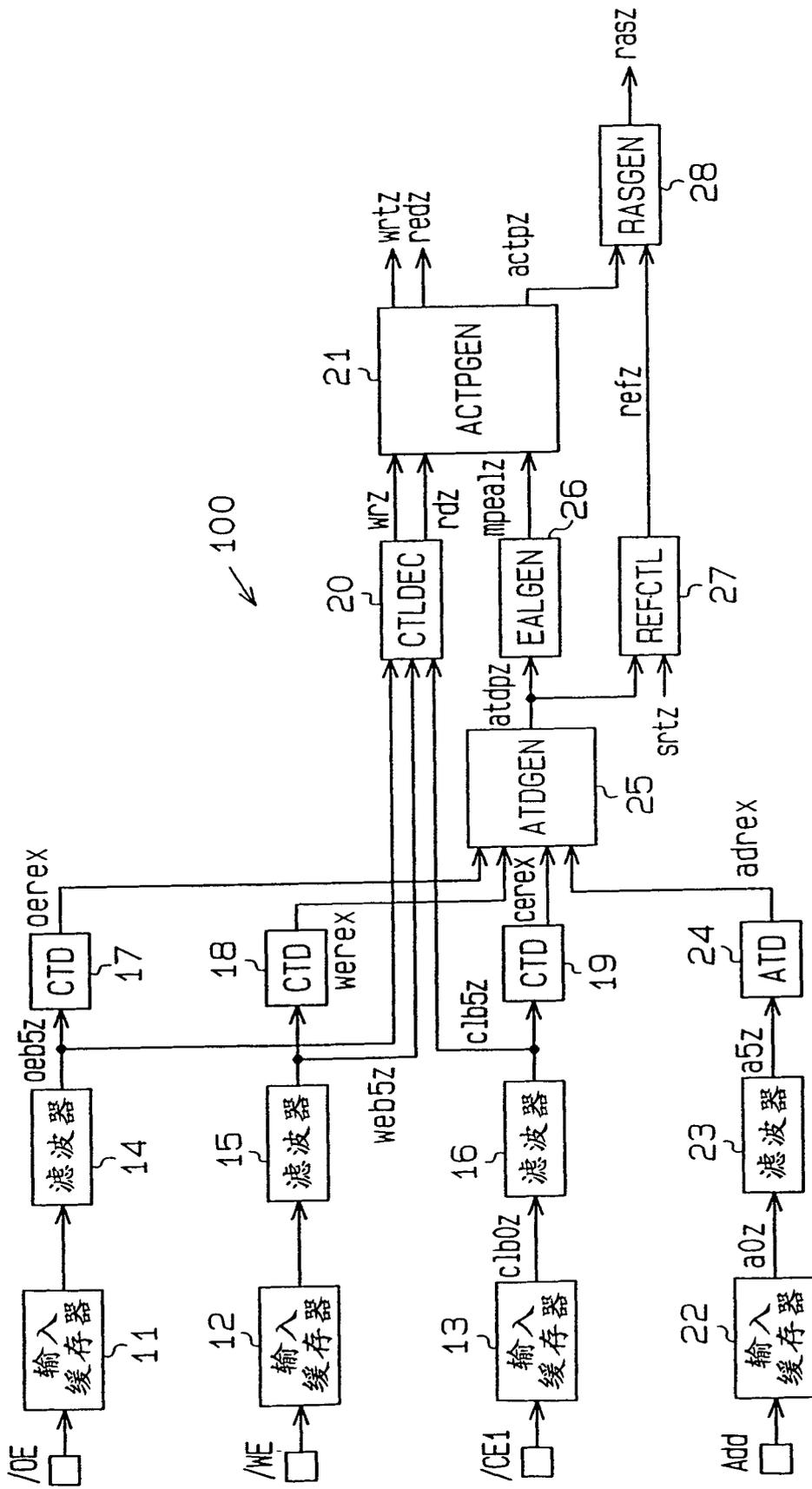


图 1

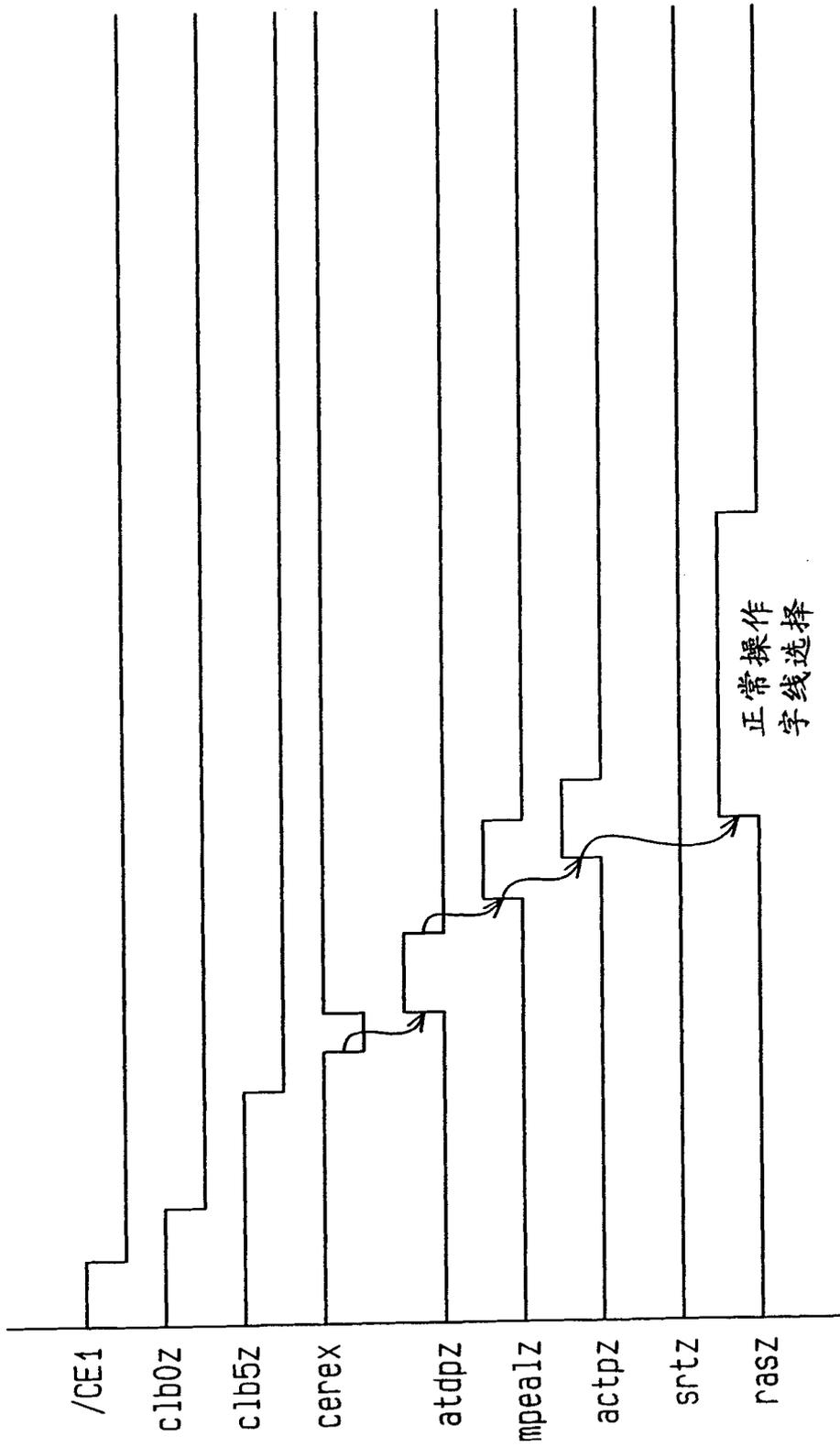


图 2

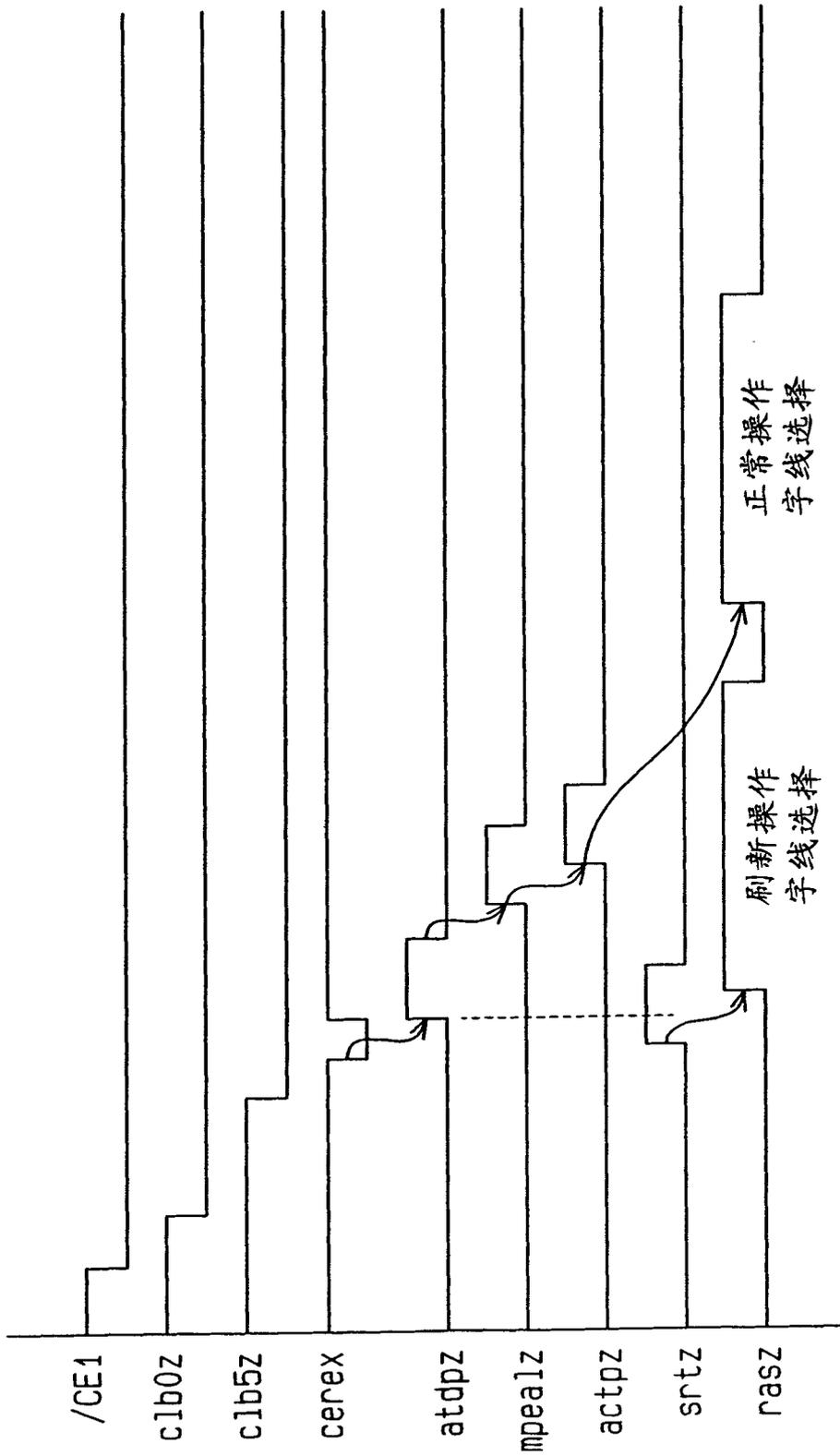


图 3

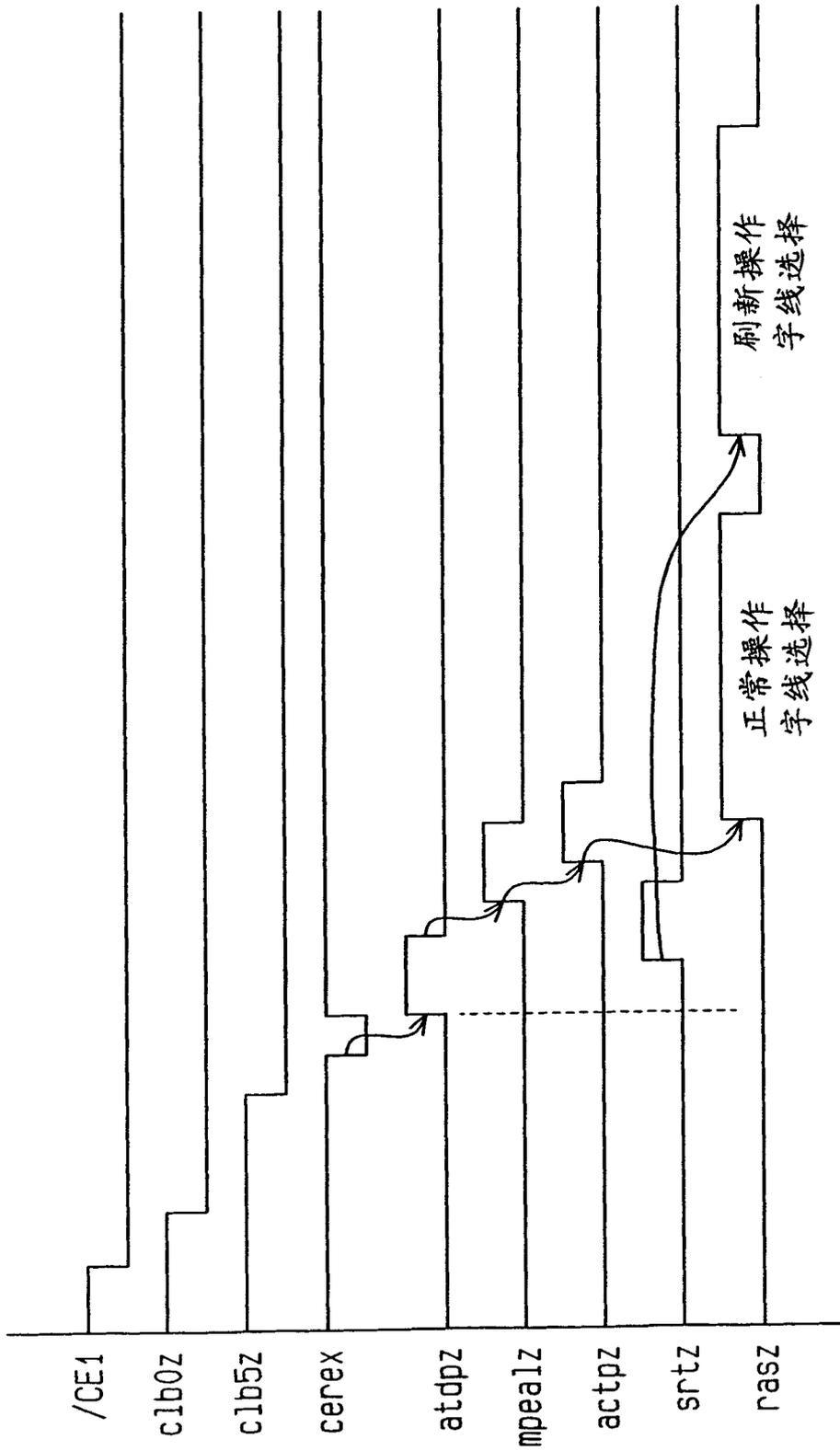


图 4

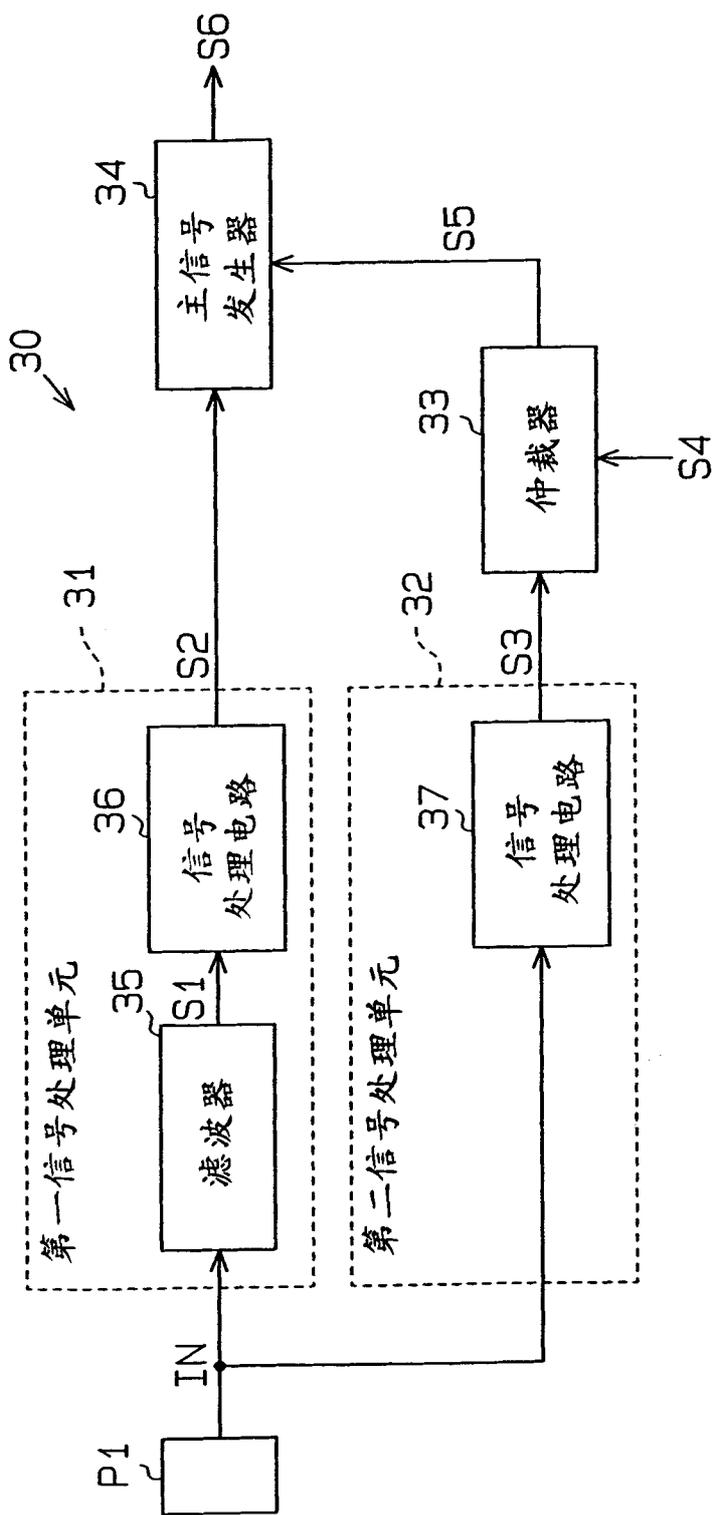


图 5

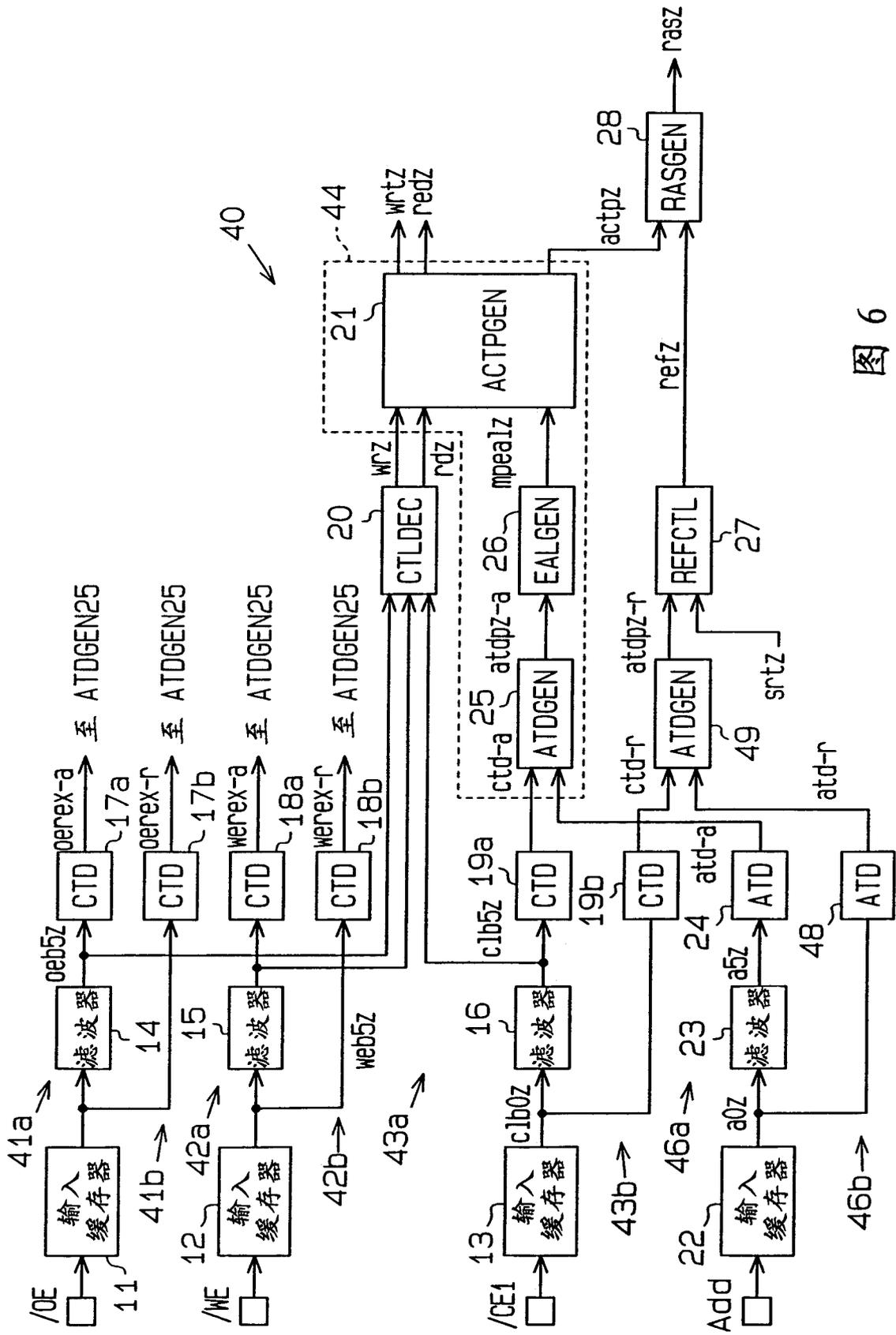


图 6

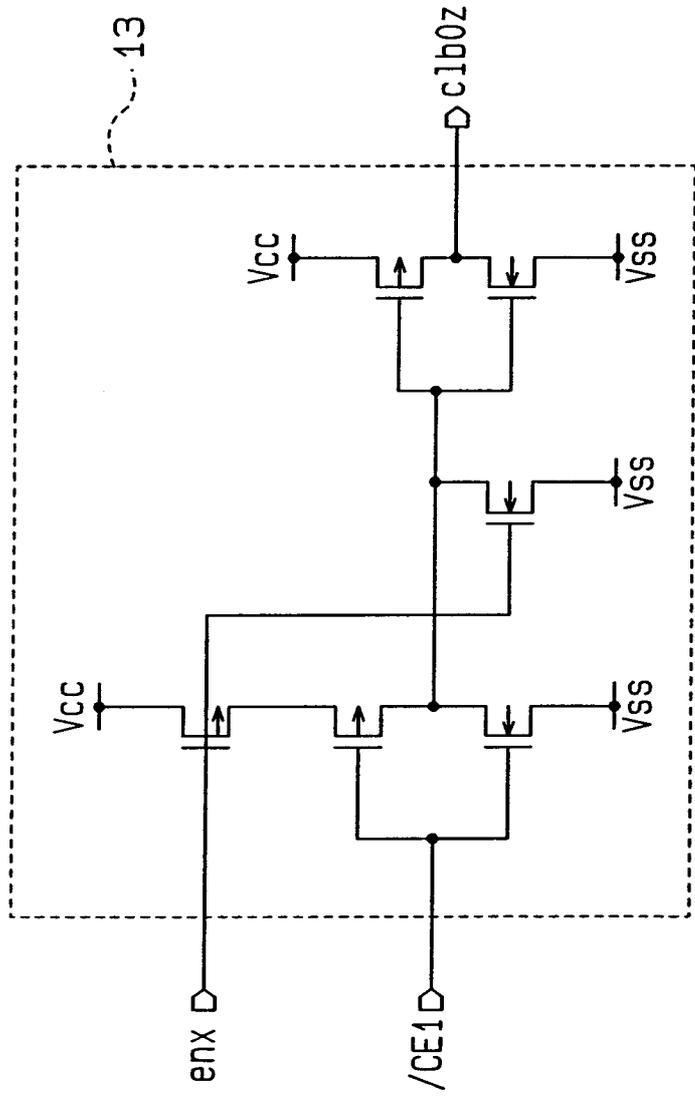


图 7

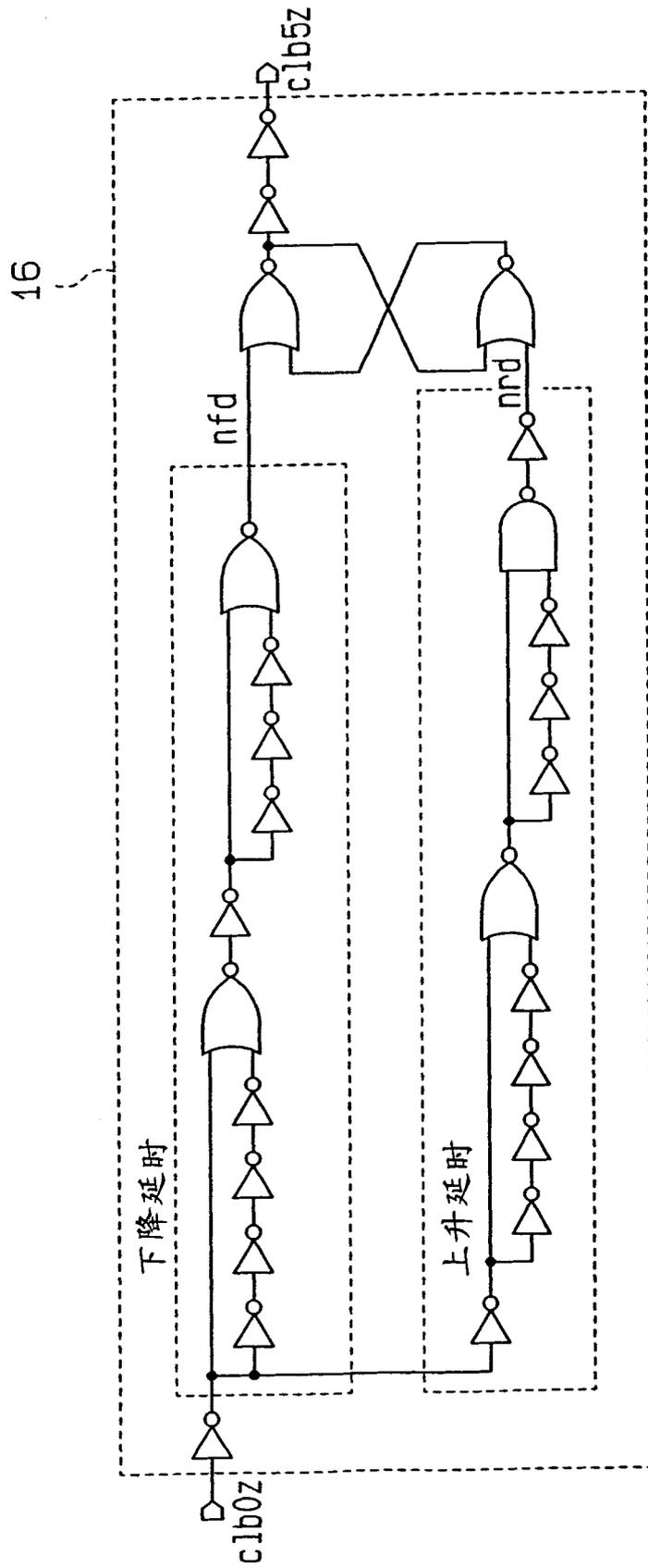


图 8

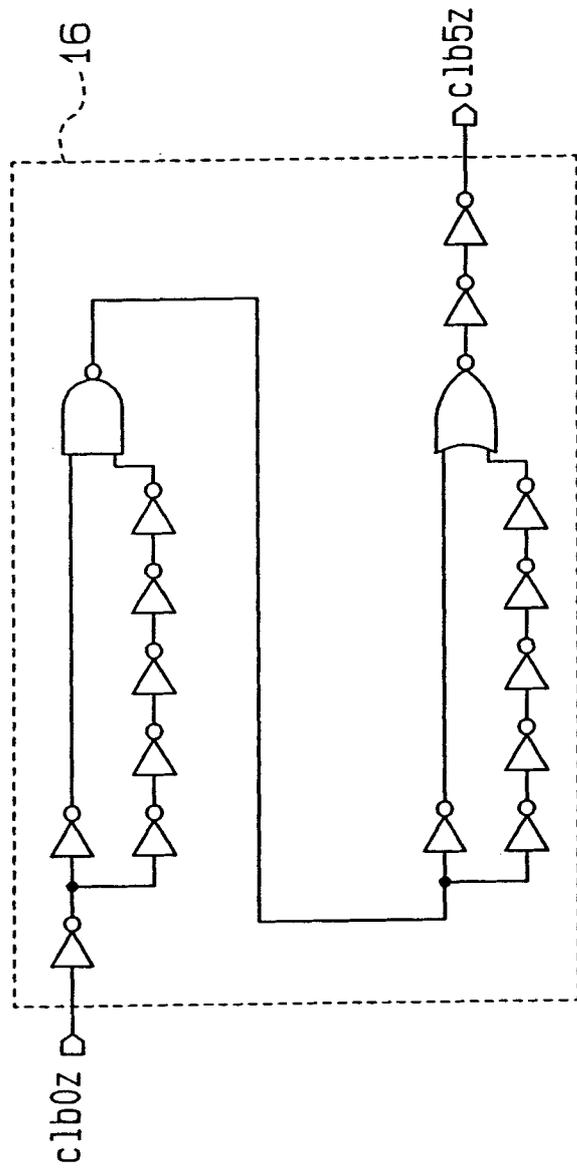


图9



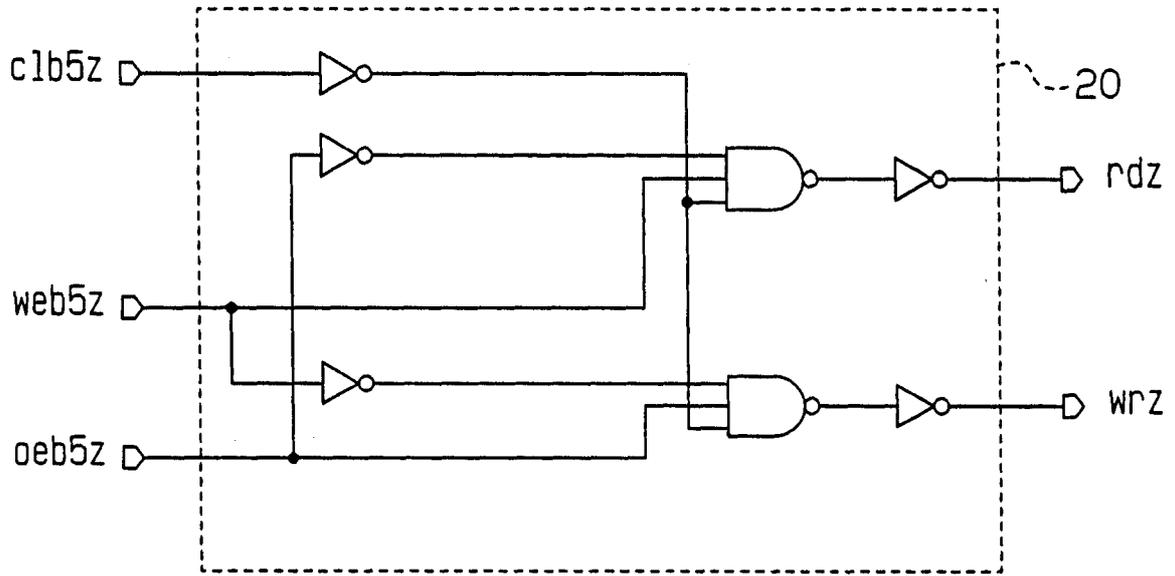


图 11

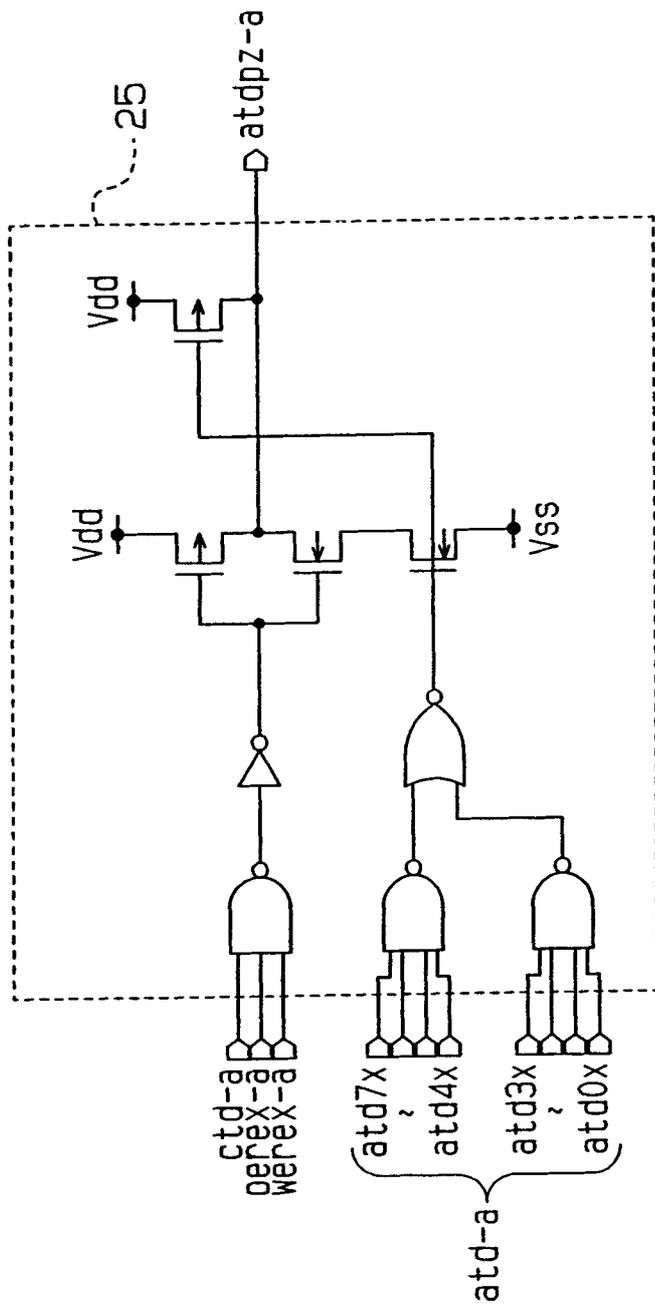


图 12



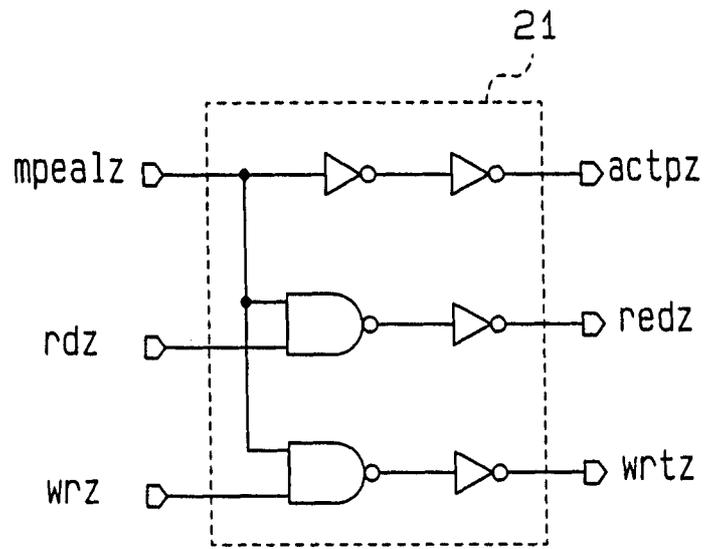
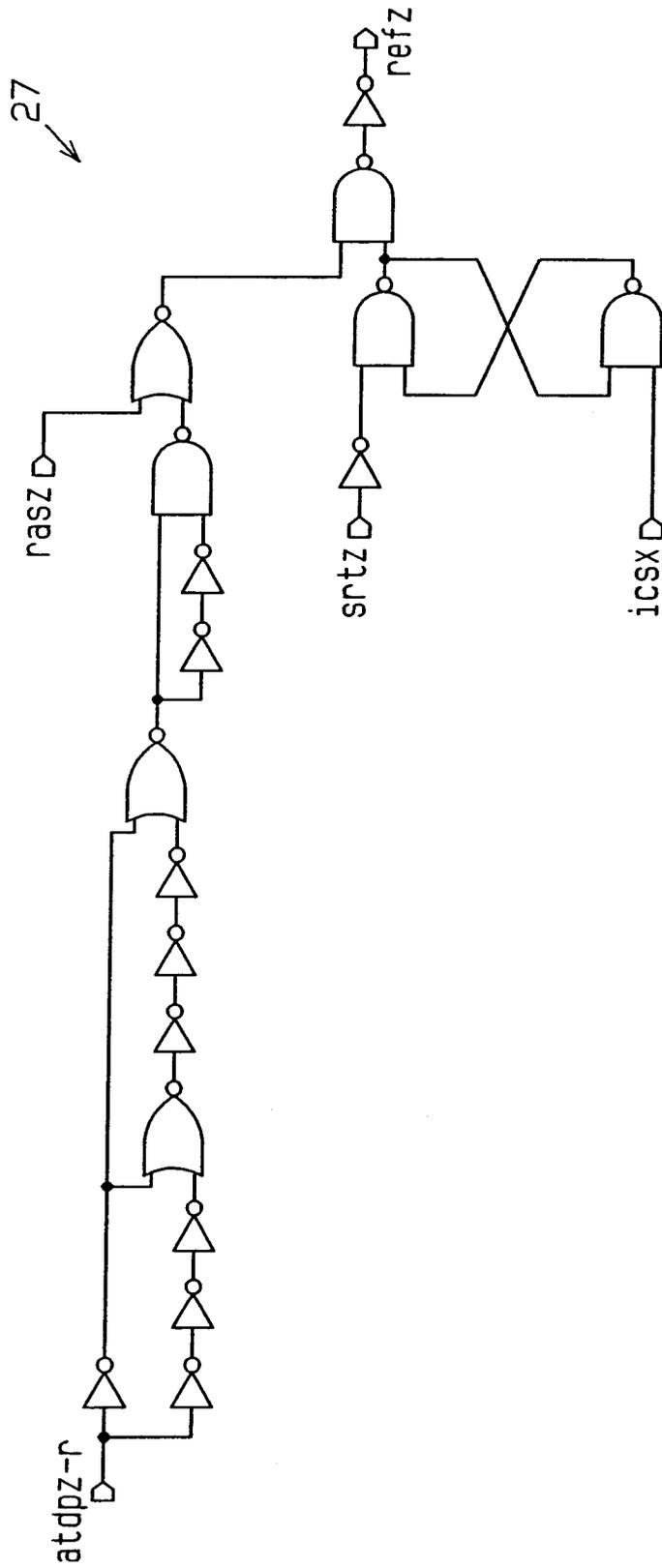


图 14



27 ↘

图 15



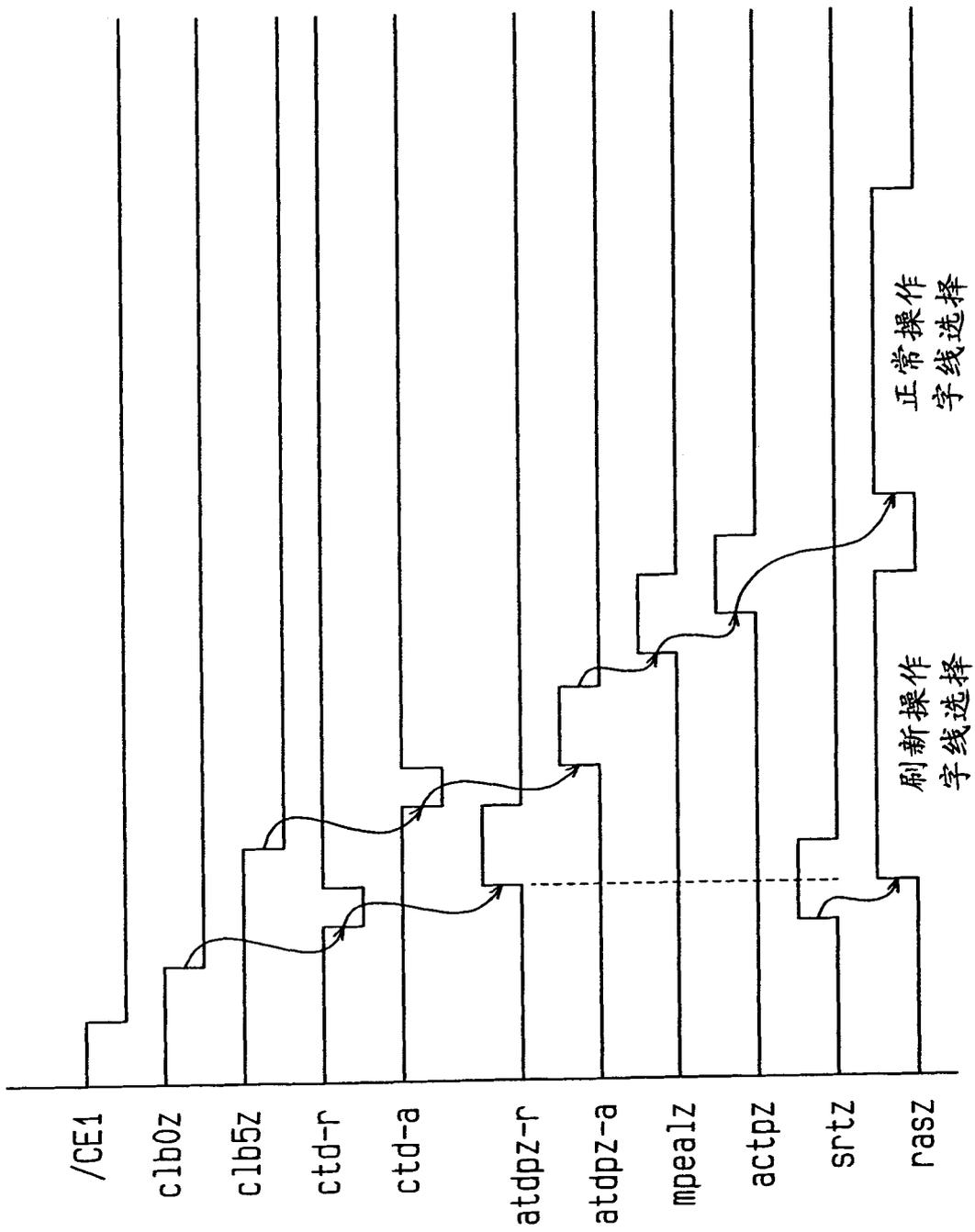


图 17

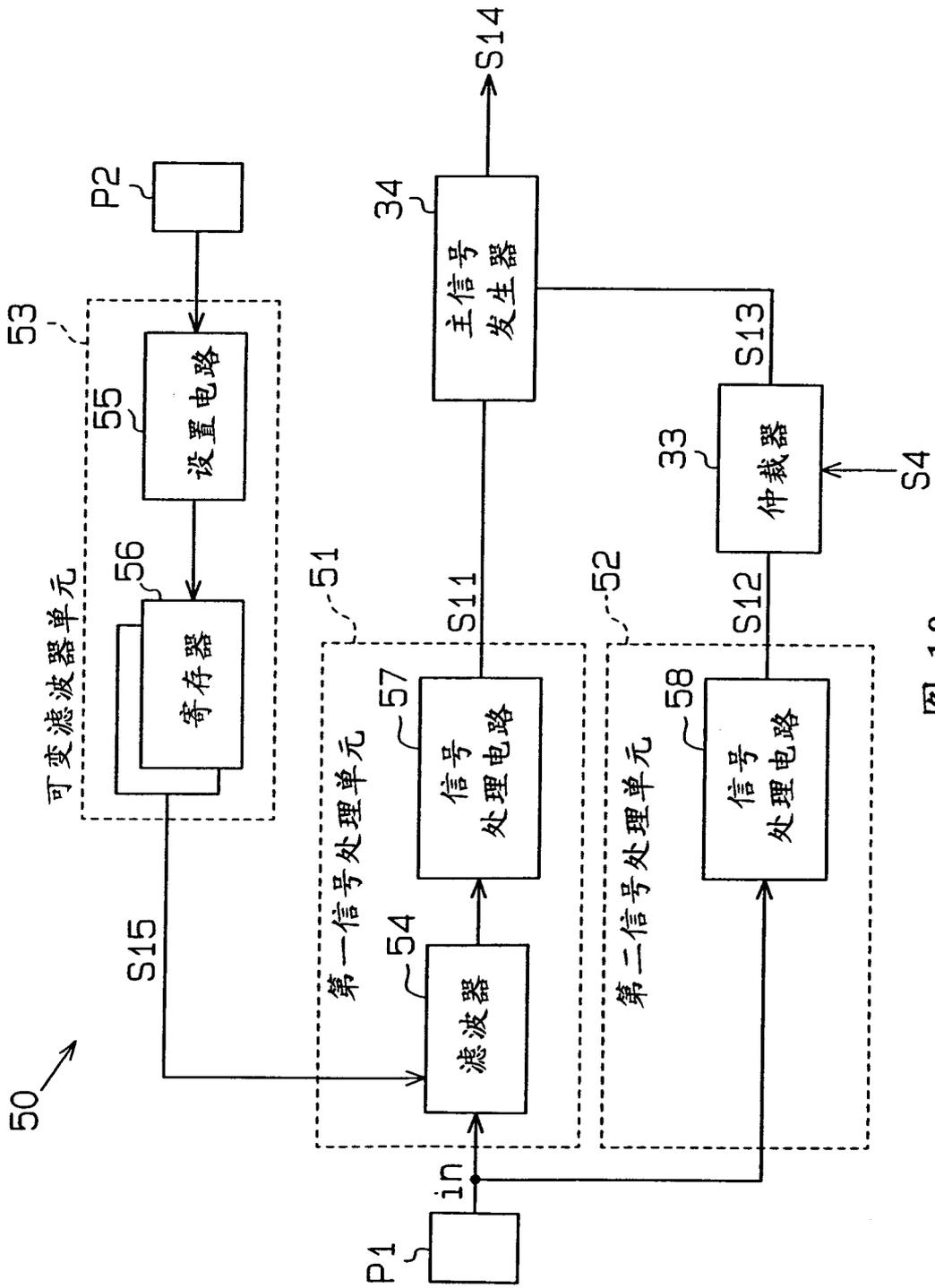


图 18

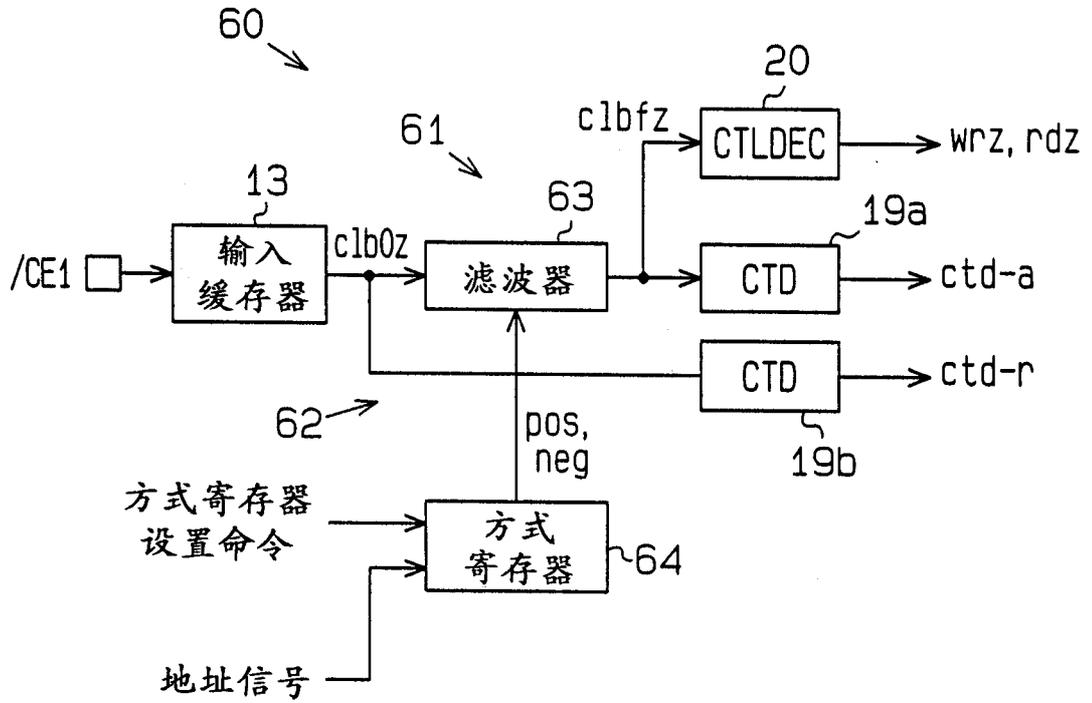


图 19

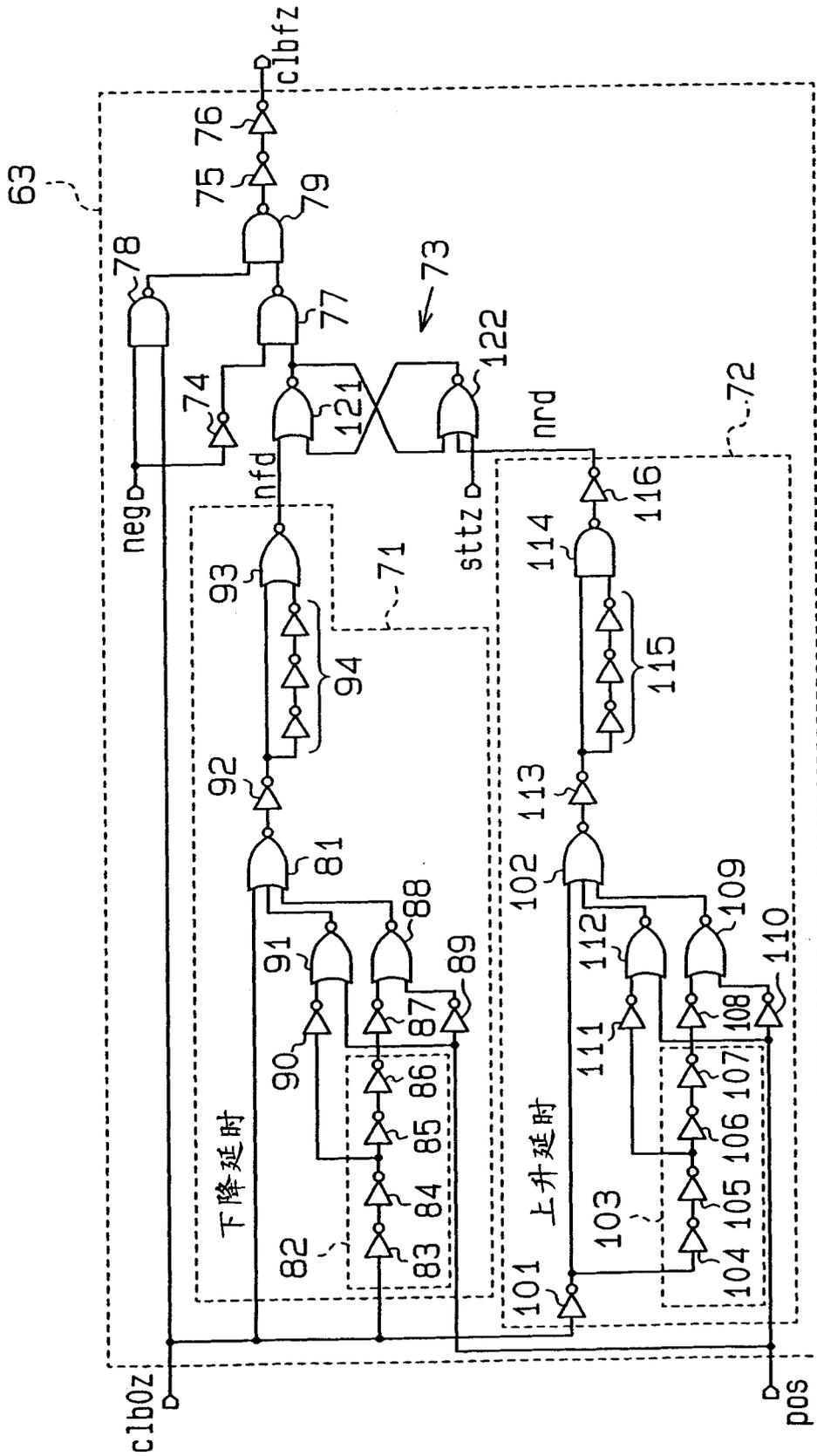


图 20

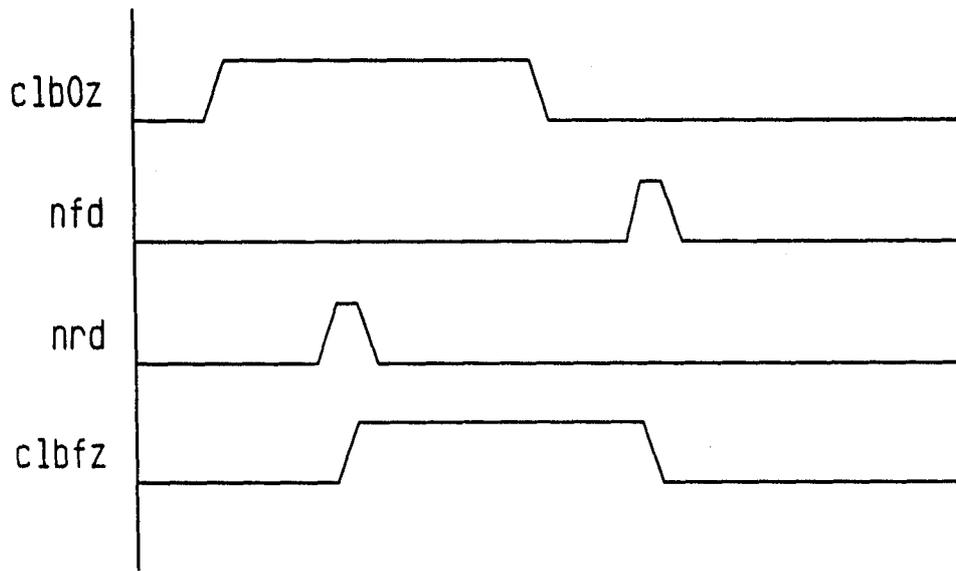


图 21