

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6480577号
(P6480577)

(45) 発行日 平成31年3月13日(2019.3.13)

(24) 登録日 平成31年2月15日(2019.2.15)

(51) Int.Cl.

F I

H O 1 L 31/107 (2006.01)

H O 1 L 31/10

B

請求項の数 8 (全 17 頁)

(21) 出願番号	特願2017-520735 (P2017-520735)	(73) 特許権者	000004226
(86) (22) 出願日	平成28年5月25日 (2016.5.25)		日本電信電話株式会社
(86) 国際出願番号	PCT/JP2016/065428		東京都千代田区大手町一丁目5番1号
(87) 国際公開番号	W02016/190346	(74) 代理人	100098394
(87) 国際公開日	平成28年12月1日 (2016.12.1)		弁理士 山川 茂樹
審査請求日	平成29年7月27日 (2017.7.27)	(74) 代理人	100153006
(31) 優先権主張番号	特願2015-108575 (P2015-108575)		弁理士 小池 勇三
(32) 優先日	平成27年5月28日 (2015.5.28)	(74) 代理人	100064621
(33) 優先権主張国	日本国(JP)		弁理士 山川 政樹
		(72) 発明者	名田 允洋
			東京都千代田区大手町一丁目5番1号 日
			本電信電話株式会社内
		(72) 発明者	栗島 賢二
			東京都千代田区大手町一丁目5番1号 日
			本電信電話株式会社内

最終頁に続く

(54) 【発明の名称】 受光素子および光集積回路

(57) 【特許請求の範囲】

【請求項1】

p型半導体領域、n型半導体領域、および増倍領域を有する半導体層と、
前記増倍領域の上に形成されたp型の光吸収層とを有し、
前記p型半導体領域と前記n型半導体領域とは、前記半導体層の平面方向に前記増倍領域を挟んで形成され、
前記光吸収層は、バンドギャップが前記増倍領域に向かって小さくなっていることを特徴とする受光素子。

【請求項2】

請求項1に記載の受光素子において、
前記光吸収層上に形成され、伝導帯端のエネルギーが前記光吸収層の伝導帯端のエネルギーよりも高いバリア層を更に有することを特徴とする受光素子。

【請求項3】

請求項1または2に記載の受光素子において、
前記光吸収層は、p型の不純物濃度が前記増倍領域に向かって小さくなっていることを特徴とする受光素子。

【請求項4】

請求項1に記載の受光素子において、
前記増倍領域は、Siから構成され、

10

20

前記光吸収層は、 $\text{Ge}_x\text{Si}_{1-x}$ から構成され、
 前記光吸収層は、 $\text{Ge}_x\text{Si}_{1-x}$ の組成比 x が前記増倍領域に向かって大きくなっている
 ことを特徴とする受光素子。

【請求項 5】

請求項 1 に記載の受光素子において、
 前記増倍領域は、 Si から構成され、
 前記光吸収層は、 $\text{Ge}_x\text{Sn}_{1-x}$ から構成され、
 前記光吸収層は、 $\text{Ge}_x\text{Sn}_{1-x}$ の組成比 x が前記増倍領域に向かって小さくなっている
 ことを特徴とする受光素子。

【請求項 6】

請求項 3 に記載の受光素子において、
 前記増倍領域は、 III-V 族化合物半導体から構成され、
 前記光吸収層は、 III-V 族化合物半導体から構成され、
 前記光吸収層を構成する III-V 族化合物半導体の組成比は、前記増倍領域に向かっ
 て小さくなっている
 ことを特徴とする受光素子。

【請求項 7】

請求項 1 に記載の受光素子において、
 前記増倍領域は、 Si から構成され、
 前記光吸収層は、 III-V 族化合物半導体から構成されている
 ことを特徴とする受光素子。

【請求項 8】

請求項 1 乃至 7 の何れか一項に記載の受光素子と、
 前記半導体層上に形成され、前記光吸収層と光結合されるコアと、
 前記コア上に形成されたクラッド層とを備える
 ことを特徴とする光集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光信号を電気信号に変換する受光素子および当該受光素子を含む光集積回路
 に関し、例えば、アバランシェフォトダイオードとしての機能を発揮する受光素子に関す
 る。

【背景技術】

【0002】

光通信における一般的な光レシーバは、通常、受光素子と、受光素子により生じる光電
 流を増幅するトランスインピーダンスアンプ (Transimpedance Amplifier, 以下「TIA」とも称する。) とにより構成されている。

光レシーバに用いられる受光素子としては、フォトダイオード (photodiode, 以下「PD」とも称する。) やアバランシェフォトダイオード (avalanche photodiode, 以下「APD」とも称する。) がある。

【0003】

PD は、入射した光を電流に変換する機能を有しており、その光電変換効率は量子効率
 として 100% が上限となる。PD としては、 InGaAs 等の III-V 族化合物半導
 体を用いた一般的な素子の他に、単一走行キャリアフォトダイオード (UTC-PD) など
 が知られている (例えば、非特許文献 1 参照)。

【0004】

一方、APD は、素子内において生じた光電子を高電界下で加速することにより格子と
 衝突させ、イオン化させることによりキャリアを増幅させる機能をもつ受光素子である。
 APD は、1 つの光子に対して複数のキャリアが出力されるため、量子変換効率として 1
 00% を上回る感度を得ることが可能である。このような理由から、APD は高感度の光

10

20

30

40

50

レシーバに広く利用されている（例えば、非特許文献2参照）。

【0005】

近年、光レシーバの小型化や低コスト化を目的として、光合波器や光分波器を含む光導波路、受光素子、およびTIA等を1つのICチップに集積するモノリシック集積の研究開発が注目されている。特に、シリコン(Si)系のICと作製プロセスを共有化し、受光素子等の光能動素子を作製する「シリコンフォトニクス」の研究開発が盛んに行われている（例えば、非特許文献3参照）。

【0006】

シリコンフォトニクスの技術を光レシーバに適用することにより、シリコン(Si)またはSOI(Silicon On Insulator)上に、受光素子とCMOS(Complementary Metal Oxide Semiconductor)回路とを一体集積して形成できるようになるので、光レシーバの量産性、作製プロセスの安定性、パッケージング、および検査の観点から低コスト化が可能となる。

【0007】

また、近年のシリコンフォトニクスによる光レシーバの研究開発においては、1.3μm帯に感度を有し、かつシリコンとの格子定数差が比較的小さいゲルマニウム(Ge)をシリコン基板上へ結晶成長する手法や、光吸収層として機能するInGaAsをInP基板上へ成長したのち、当該InGaAsをSi基板上へ貼り合わせ等により転写する手法等が用いられている。また、受光素子の高感度化を目的として、シリコン(Si)を増倍層としたAPDの研究開発も行われている。

【0008】

ところで、シリコンフォトニクスによるAPDとしては、SiまたはSOI基板上に光吸収層を積層し、電圧印加および光注入を積層方向に対して平行に行う構造を有する「垂直入射型」のAPDや、「normal incident型」のAPDが知られている。

【0009】

また、上記APDの他に、シリコンフォトニクスによる導波路型のAPDも知られている。導波路型のAPDは、光導波路と受光部とを集積化することができ、実装の際に空間光学系を用いる必要がないことが特徴である。導波路型のAPDとしては、例えば非特許文献4に、Si基板に導波路形成するとともに上記導波路内に欠陥を注入することにより光吸収を促し、導波路内に電界を与えてそのまま増倍をさせる材料をSiのみで構成することにより、デバイスの集積度を向上させたAPDが開示されている。

また、非特許文献5には、Ge光吸収層とSi増倍層としての機能を有する導波路の夫々にコンタクト層を設け、Ge光吸収層と導波路の光結合にエバネッセント結合を用いた導波路型のAPDが開示されている。

【先行技術文献】

【非特許文献】

【0010】

【非特許文献1】T. Ishibashi et al., “Uni-Traveling-Carrier Photodiodes” in proceedings of Ultrafast Electronics and Optoelectronics, Vol.13, Optical Society of America, 1997.

【非特許文献2】J. C. Campbell, “Recent Advances in Telecommunications Avalanche Photodiodes” IEEE JOURNAL OF LIGHTWAVE TECHNOLOGY, VOL.25, NO.1, January 2007.

【非特許文献3】B. Jalali et al., “Silicon Photonics” IEEE JOURNAL OF LIGHTWAVE TECHNOLOGY, VOL.24, NO.12, December 2006.

【非特許文献4】J. J. Ackert et al., “10 Gbps silicon waveguide-integrated infrared avalanche photodiode”, OPTICS EXPRESS, Vol.21, 19530, August, 2013.

【非特許文献5】N. Duan et al., “High Speed Waveguide-Integrated Ge/Si Avalanche Photodetector” in proceedings of OFC/NFOEC Technical Digest, OSA, 2013.

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、上述した従来のAPDには以下に示す課題がある。

例えば、垂直入射型のAPDでは、CMOSプロセスと整合はするものの、層構成が複雑になるため多大な工数の追加が必要となり、作製プロセスが複雑になる。また、導波路型のAPDでは、光結合効率や光吸収層の光吸収係数の問題により感度が低くなることや、Si増倍層に対する電界のかかり方の不均一性により高利得性能と帯域性能の両立ができず、動作の高速化に限界がある。

【0012】

すなわち、APDとして垂直入射構造を適用した場合には、高感度化および高速化が可能である一方、APDの作製プロセスが非常に複雑になるという課題があり、APDとして導波路構造を適用した場合には、APDをCMOS-ICの製造プロセスに適合させて作製することによりCMOS-ICとの高密度の集積化が比較的容易に実現できる一方、APDとしての機能、すなわち高感度性能および高速性能が、不十分となるという課題がある。

【0013】

本発明は、上記の問題に鑑みてなされたものであり、本発明の目的は、APDとしての性能を有する受光素子をモノリシックの作製プロセスによって容易に実現することにある。

【課題を解決するための手段】

【0014】

本発明に係る受光素子は、p型半導体領域、n型半導体領域、および増倍領域を有する半導体層と、増倍領域の上に形成されたp型の光吸収層とを有し、p型半導体領域とn型半導体領域とは、半導体層の平面方向に増倍領域を挟んで形成されていることを特徴とする。

【発明の効果】

【0015】

本発明によれば、APDとしての性能を有する受光素子をモノリシックの作製プロセスによって容易に実現することができる。

【図面の簡単な説明】

【0016】

【図1】図1は、実施の形態1に係る受光素子の断面を模式的に示す図である。

【図2】図2は、実施の形態1に係る受光素子の動作原理を説明するための図である。

【図3】図3は、実施の形態2に係る受光素子の断面を模式的に示す図である。

【図4】図4は、実施の形態2に係る受光素子の各層の積層方向のバンドギャップエネルギーの変化を示すバンド図である。

【図5】図5は、実施の形態3に係る受光素子の断面を模式的に示す図である。

【図6】図6は、実施の形態3に係る受光素子の各層の積層方向のバンドギャップエネルギーの変化を示すバンド図である。

【図7】図7は、実施の形態4に係る受光素子の断面を模式的に示す図である。

【図8】図8は、実施の形態4に係る受光素子の各層の積層方向のバンドギャップエネルギーの変化を示すバンド図である。

【図9】図9は、本発明に係る受光素子と光導波路とを含む光集積回路の平面を模式的に示す図である。

【図10】図10は、図9に示す光集積回路のA-A'断面を模式的に示す図である。

【図11】図11は、図9に示す光集積回路のB-B'断面を模式的に示す図である。実施の形態3に係る振動検出装置の構成を示す図である。

【図12】図12は、実施の形態6に係る受光素子の断面を模式的に示す図である。

【発明を実施するための形態】

【0017】

1. 本発明に係る受光素子および光集積回路の概要

【0018】

(1) 本発明に係る受光素子(10~14)は、p型半導体領域(101)、n型半導体領域(102)、および増倍領域(103)を有する半導体層(100)と、増倍領域の上に形成されたp型の光吸収層(104, 114, 124, 134)とを有し、p型半導体領域とn型半導体領域とは、半導体層の平面方向に増倍領域を挟んで形成されていることを特徴とする。

【0019】

(2) 上記受光素子(11)において、光吸収層(114)は、バンドギャップが増倍領域に向かって小さくなっていてもよい。

10

【0020】

(3) 上記受光素子(12)において、光吸収層上に形成され、伝導帯端のエネルギーが光吸収層の伝導帯端のエネルギーよりも高いバリア層(107)を更に有していてもよい。

【0021】

(4) 上記受光素子(13)において、光吸収層(124)は、p型の不純物濃度が増倍領域に向かって小さくなっていてもよい。

【0022】

(5) 上記受光素子において、増倍領域は、Siから構成され、光吸収層は、 $\text{Ge}_x\text{Si}_{1-x}$ から構成され、光吸収層は、 $\text{Ge}_x\text{Si}_{1-x}$ の組成比xが増倍領域に向かって大きくなっていてもよい。

20

【0023】

(6) 上記受光素子(11)において、増倍領域はSiから構成され、光吸収層(114)は、 $\text{Ge}_x\text{Sn}_{1-x}$ から構成され、光吸収層は、 $\text{Ge}_x\text{Sn}_{1-x}$ の組成比xが増倍領域に向かって小さくなっていてもよい。

【0024】

(7) 上記受光素子(13)において、増倍領域はIII-V族化合物半導体から構成され、光吸収層(124)はIII-V族化合物半導体から構成され、光吸収層を構成するIII-V族化合物半導体の組成比は、増倍領域に向かって小さくなっていてもよい。

30

【0025】

(8) 上記受光素子(14)において、増倍領域はSiから構成され、光吸収層(134)はIII-V族化合物半導体(InGaAs)から構成されていてもよい。

【0026】

(9) 本発明に係る光集積回路(20)は、上記受光素子(10~14)と、半導体層上に形成され、光吸収層と光結合されるコア(140)と、コア上に形成されたクラッド層(141)とを備えることを特徴とする。

【0027】

なお、上記説明では、一例として、発明の構成要素に対応する図面上の構成要素を、括弧を付した参照符号によって表している。

40

【0028】

2. 実施の形態

以下、本発明に係る受光素子および光集積回路の実施の形態について図を参照して説明する。

【0029】

《実施の形態1》

図1は、実施の形態1に係る受光素子の断面を模式的に示す図である。

同図に示される受光素子10は、半導体層100におけるp型半導体領域101とn型半導体領域102との間に形成された増倍領域103上に光吸収層104が積層された構造を有している。

50

受光素子10は、光の照射によって光吸収層104で生成され、増倍領域103に拡散した光電子を、p型半導体領域101とn型半導体領域102との間に印加した逆バイアスに基づく高電界によって加速させることにより、増倍領域103内の格子と衝突させ、イオン化させることにより、キャリアを増幅させるAPDとして機能する。以下、受光素子10について詳細に説明する。

【0030】

図1に示されるように、受光素子10は、半導体層100、光吸収層104、電極層106、および絶縁層105を有している。

半導体層100は、p型半導体領域101、n型半導体領域102、および増倍領域103を有している。半導体層100としては、例えば、シリコン(Si)基板やSOI(Silicon On Insulator)基板を例示することができる。

10

【0031】

p型半導体領域101およびn型半導体領域102は、半導体層100に夫々形成されている。p型半導体領域101は、半導体層100としてのSi基板またはSOI基板の表面Si層に、例えばホウ素(B)をイオン注入すること等により形成され、n型半導体領域102は、半導体層100としてのSi基板またはSOI基板の表面Si層に、例えばヒ素(As)をイオン注入すること等により形成される。

また、図1に示されるように、p型半導体領域101とn型半導体領域102とは、半導体層100の平面方向(例えば図1の方向X)に増倍領域103を挟んで形成されている。

20

【0032】

増倍領域103は、光吸収層104から移動してきた光電子を高電界によって加速させることによりキャリアを増幅させるための領域である。具体的に、増倍領域103は、半導体層100において、p型半導体領域101やn型半導体領域102を形成するための不純物が導入されていない領域である。例えば、半導体層100がSi基板またはSOI基板から構成されている場合には、増倍領域103は、Siから成る領域である。

【0033】

増倍層103のX方向の長さ(p型半導体領域101とn型半導体領域102との間のX方向の距離)は、CMOSプロセスの場合、例えば20nm~200nmの間で適宜設定可能である。

30

【0034】

光吸収層104は、光の照射により電子正孔対を発生させるための層であり、半導体層100の増倍領域103に接して形成されている。光吸収層104は、p型の半導体材料から構成されている。上記p型の半導体材料としては、Geを例示することができる。また、光吸収層104に導入する不純物としては、Bを例示することができる。

【0035】

電極層106は、p型半導体領域101とn型半導体領域102に夫々電圧を印加するための電極を構成するものであり、半導体層100におけるp型半導体領域101上およびn型半導体領域102上に夫々形成されている。電極層106は、例えばタングステン(W)または銅(Cu)を主成分とする金属材料によって構成されている。

40

【0036】

絶縁層105は、光吸収層104と電極層106とを絶縁するためのものである。絶縁層105は、例えば酸化シリコン(例えばSiO₂)から構成されている。

【0037】

ここで、本実施の形態に係る受光素子10の製造方法について簡単に説明する。

先ず、半導体層100としてのSi基板またはSOI基板の表面Si層に、p型半導体領域101およびn型半導体領域102を形成する。具体的には、Si基板またはSOI基板の表面Si層にBを導入することにより、p型半導体領域101を形成するとともに、半導体層100の平面方向にp型半導体領域101と所定の間隔をあけてAsを導入することにより、n型半導体領域102を形成する。上記不純物の導入は、例えば、よく知

50

られたイオン注入法等により行えばよい。

これにより、p型半導体領域101およびn型半導体領域102が形成され、p型半導体領域101とn型半導体領域102との間の不純物がドーピングされていない領域が増倍領域103として形成される。

【0038】

なお、平面視におけるp型半導体領域101とn型半導体領域102との間隔は、p型半導体領域101とn型半導体領域102との間の領域が増倍領域103として機能するのに十分な距離を確保していればよい。

【0039】

次に、半導体層100上に絶縁膜を形成する。例えば、プラズマCVD法により、半導体層100上に酸化シリコン層(SiO₂)を形成する。次に、上記酸化シリコン層における増倍領域103の上部の領域に開口部を形成する。例えば、よく知られたフォトリソグラフィ技術とドライエッチング技術によって、酸化シリコン層における増倍領域103の上部の領域を選択的に除去する。

【0040】

次に、上記開口部が形成された酸化シリコン層を選択成長マスクとして、半導体層100における増倍領域103上にGeを選択的に成長させることにより、光吸収層104を形成する。例えば、GeH₄をソースガスとしたCVD(chemical vapor deposition)法により、例えば基板温度条件600℃でGeを堆積することにより、半導体層100における増倍領域103上にGeを選択的に成長させることができる。また、Si層とGe光吸収層との間の大きな格子不整合を緩和するため、Ge_xSi_{1-x}をSi層とGe光吸収層間に成長してもよい。この選択成長では、上記選択成長マスクの上には、Geが堆積しない。

なお、光吸収層104のp型の発現は、上記ソースガスとともにホウ素の化合物(例えばB₂H₆)を添加することによって実現してもよいし、Geを選択成長させた後に、例えばイオン注入により不純物としてBを導入することによって実現してもよい。

【0041】

次に、電極層106を形成する。まず、例えばよく知られたフォトリソグラフィ技術とドライエッチング技術によって、半導体層100におけるp型半導体領域101およびn型半導体領域102の上に堆積している酸化シリコン層(絶縁膜)を選択的に除去する。次に、例えばよく知られたリフトオフ法により、p型半導体領域101およびn型半導体領域102上に、例えばタングステン(W)や銅(Cu)を含む金属材料から成る電極層106を形成する。具体的には、上記酸化シリコン層を選択的に除去する際に利用したレジストパターンを残しておき、WやCuを含む金属材料を半導体層100およびレジストパターンの上に堆積させた後、上記レジストパターンを除去する。これにより、p型半導体領域101およびn型半導体領域102の上に電極層106が形成される。ここで、Wの堆積には、例えばよく知られた蒸着法を用い、Cuの堆積には、例えばよく知られためっき法を用いればよい。

また、電極層106と光吸収層104との間の酸化シリコン層(絶縁膜)は、絶縁層105となる。

【0042】

以上の工程を経ることにより、実施の形態1に係る受光素子10を作製することができる。

【0043】

次に、実施の形態1に係る受光素子10がAPDとして動作する原理について説明する。

図2は、実施の形態1に係る受光素子の動作原理を説明するための図である。

【0044】

p型半導体領域101とn型半導体領域102との間に逆バイアス電圧を印加し、p型半導体領域101とn型半導体領域102との間の増倍領域103の電界強度がアバラン

10

20

30

40

50

シェ増倍に十分な強度に達すると、増倍領域103は増倍機能を発現する。

【0045】

一方、光吸収層104に光が注入されると、図2に示されるように、光吸収層104内に電子正孔対が生成される。光吸収層104はp型にドーピングされていることから電的に中性であり、電界は生じていない。そのため、生成された電子正孔対は、拡散によって光吸収層104内を夫々移動する。すなわち、光吸収層104内の電子は、増倍領域103へ拡散過程を経て移動し、光吸収層104内の正孔は、誘電緩和時間を経て増倍領域103へと移動する。

【0046】

ここで、光吸収層104の膜厚（半導体層100の平面に垂直な方向における光吸収層104の長さ）が大きい場合、光吸収層104内で生成された電子および正孔は一定のキャリアライフタイムを経て再結合するため、増倍領域103には到達できない。一方、導波路型の受光素子に用いられるように、光吸収層104の膜厚を小さくした場合、光吸収層104内で生成された電子を増倍領域103へ拡散移動させ、また、正孔を誘電緩和時間を経て増倍領域103に移動させることが可能となる。そこで、本実施の形態に係る受光素子10では、光吸収層104の膜厚を光吸収層104内で生成された電子および正孔が増倍領域103へ拡散移動できる大きさにする。具体的には、光吸収層104の膜厚を数百nm程度にする。これにより、光吸収層104内で生成された電子および正孔を増倍領域103に移動させることができる。すなわち、本実施の形態に係る受光素子10において、光吸収層104内での電子正孔対は、単一走行キャリアフォトダイオード（UTC-PD）と同様の振る舞いを示し、光吸収層104のキャリア輸送時間は電子が支配的となる。

【0047】

増倍領域103に注入された電子および正孔は、増倍領域103内の高電界によりアバランシェ増倍を繰り返す。これにより、正孔はp型半導体領域101へ、電子はn型半導体領域102へ夫々移動し、受光素子10はAPDとして機能することになる。

【0048】

以上、実施の形態1に係る受光素子10によれば、半導体層100におけるp型半導体領域101とn型半導体領域102との間に形成した増倍領域103上に光吸収層104が積層された構造を有していることから、電界制御層が不要となり、従来の垂直入射型のAPD等に比べて層構成が単純となる。

【0049】

例えば、光吸収層と増倍層とを電極によって挟む構造を有する従来の垂直入射型のAPDでは、増倍層にのみ選択的に高い電界強度を与えるため電界制御層が必要となる。また、光吸収層に与える電界は、キャリアが飽和速度に達しながらも光吸収層自身がアバランシェ降伏またはツェナー降伏しない程度に抑える必要があることから、電界制御層には、光吸収層および増倍層の夫々の材料および膜厚に応じた精密なドーピングコントロールが必要になる。これに対し、実施の形態1に係る受光素子10は、従来のAPDのように光吸収層104が電極間（p型半導体領域101とn型半導体領域102との間）に挟まれる構造ではないため、電界制御層が不要となり、従来の垂直入射型のAPD等に比べて作製プロセスが単純になる。

【0050】

また、上述したように、実施の形態1に係る受光素子10の作製プロセスは、よく知られたSi/GeのCMOSプロセスを適用することができる。

したがって、実施の形態1に係る受光素子10によれば、従来の垂直入射型のAPDに比べて簡易なプロセスで作製することができ、且つCMOS-ICと高密度で集積化することができる。

【0051】

また、実施の形態1に係る受光素子10は、半導体層100においてp型半導体領域101、増倍領域103、およびn型半導体領域102からなるpin接合が形成される方

10

20

30

40

50

向（図1の方向X）と、増倍領域103に対する光吸収層104の積層方向（図1の方向Y）とが相違する構造を有するため、p型半導体領域101とn型半導体領域102との間に電圧を印加したときの電界は、ほぼ増倍領域103にのみ作用する。これにより、増倍領域103に対して均一に電界をかけることができる。

【0052】

また、半導体層100上の材料の誘電率次第では上記電界の一部が光吸収層104にも及ぶが、光吸収層104はp型にドーピングされているため、若干の電界に対しては光吸収層104は電気的中性を維持する。したがって、実施の形態1に係る受光素子10では、原理的に光吸収層104への電界がほとんど生じないので、光吸収層104の空乏化を抑制することができ、APDの動作速度の低下を抑えることができる。

10

【0053】

したがって、実施の形態1に係る受光素子10によれば、従来の導波路型APDのように、増倍領域103に対する電界のかかり方が不均一とならず、また、光吸収層104の空乏化を抑制することができるので、APDとしての高感度性能および高速性能を確保することが可能となる。例えば、p型半導体領域101とn型半導体領域102との間の平面方向の距離（増倍領域103の幅）が100～500nm程度となるようにp型半導体領域101およびn型半導体領域102を形成することにより、300GHz以上の高い利得帯域幅積（GBP）を実現することができる。

【0054】

以上のことから、実施の形態1に係る受光素子10によれば、APDとしての性能を有する受光素子をモノリシックの作製プロセスによって容易に実現することができる。

20

【0055】

また、実施の形態1に係る受光素子10によれば、上述したように光吸収層104がp型にドーピングされているため、光吸収層104への電界がほとんど生じない。これにより、アンドープのGe光吸収層を用いた従来のAPDと比較して、Siとの格子不整合に伴う欠陥に起因した暗電流を低減でき、長期信頼性の向上に資する。

【0056】

《実施の形態2》

図3は、実施の形態2に係る受光素子の断面を模式的に示す図である。

同図に示される受光素子11は、光吸収層のバンドギャップが増倍領域に向かって小さくなっている点において、実施の形態1に係る受光素子10と相違する一方、その他の構成は受光素子10と同様である。以下の説明においては、実施の形態1に係る受光素子10と共通する構成要素については同一の符号を用いて表し、その詳細な説明は省略する。

30

【0057】

受光素子11における光吸収層114は、例えばp型のGeSnから構成されており、バンドギャップが増倍領域103に向かって小さくなるように構成されている。例えば、光吸収層104のバンドギャップが、半導体層100の平面と垂直な方向（図3の方向Y）に向かって小さくなっている。

【0058】

図4は、実施の形態2に係る受光素子の各層の積層方向のバンドギャップエネルギーの変化を示すバンド図である。

40

図4に示されるように、受光素子11における光吸収層114のバンドギャップは、増倍領域103を構成する半導体層との界面に向かって連続的または段階的に小さくなっている。このような光吸収層114を実現するためには、例えば、光吸収層114を $\text{Ge}_x\text{Sn}_{1-x}$ によって構成し、そのGe組成比xを半導体層100の平面と垂直な方向（図3の方向Y）に増倍領域103に向かって小さくすればよい。また、光吸収層114にドーピングする不純物としては、Bを例示することができる。

なお、実施の形態2に係る受光素子11を作製する際のプロセスとしては、実施の形態1に係る受光素子10と同様に、よく知られたSi/GeのCMOSプロセスを適用すればよい。

50

【0059】

これによれば、実施の形態2に係る受光素子11は、以下に示すように、APDとしてより高速に動作することができる。

上述したように、光吸収層104内のキャリア輸送は電子の拡散速度により律速される。そこで、実施の形態2に係る受光素子11のように、光吸収層114のバンドギャップを、増倍領域103に向かって連続的（または段階的）に小さくすることにより、伝導帯端が増倍領域103の方向に向かって低エネルギー側にシフトするバンド構造となるので、光吸収層114内の電子は疑似的に電界を感じることであり、拡散のみならず一定のドリフト効果が得られる。これにより、光吸収層114中のキャリア走行時間を更に短縮することができるので、APDとして更なる高速動作が期待できる。

10

【0060】

《実施の形態3》

図5は、実施の形態3に係る受光素子の断面を模式的に示す図である。

同図に示される受光素子12は、光吸収層上にバリア層を有する点において、実施の形態2に係る受光素子11と相違する一方、その他の構成は受光素子11と同様である。以下の説明においては、実施の形態2に係る受光素子11と共通する構成要素については同一の符号を用いて表し、その詳細な説明は省略する。

【0061】

図5に示すように、受光素子12は、光吸収層114上に形成され、伝導帯端のエネルギーが光吸収層の伝導帯端のエネルギーよりも高いバリア層107を更に有する。具体的に、バリア層107は、伝導帯端が光吸収層114を構成する半導体層よりも高エネルギー側にあり、p型にドーピングされた半導体層から構成されている。

20

【0062】

図6は、実施の形態3に係る受光素子12の各層の積層方向のバンドギャップエネルギーの変化を示すバンド図である。

図6に示すように、伝導帯端が光吸収層114を構成する半導体層よりも高エネルギー側にあり、p型にドーピングされた半導体層をバリア層107として光吸収層114の表面に形成する。光吸収層114は、例えば実施の形態2に係る受光素子11と同様に、Si_{1-x}Ge_{1-x}によって構成されている。バリア層107は、例えばSiによって構成されている。また、バリア層107にドーピングする不純物としては、Bを例示することができる。

30

【0063】

なお、実施の形態3に係る受光素子12を作製する際のプロセスとしては、実施例1および2と同様に、よく知られたSi/GeのCMOSプロセスを適用することができる。

【0064】

これによれば、実施の形態3に係る受光素子12は、以下に示すように、APDとしての感度を更に高めることができる。

上述の実施の形態2で述べたように、光吸収層114のバンドギャップは、増倍領域103を構成する半導体層との界面に向かって連続的または段階的に小さくなっているため、光吸収層114中のキャリア輸送は、電子の拡散速度およびドリフト速度により律速される。このとき、光吸収層114に対する光注入により生じた電子の全てが増倍領域103へと移動することが理想的であるが、上記電子が増倍領域103と反対方向（図5における方向Yと反対の方向）に拡散する可能性がある。特に、光吸収層114はp型にドーピングされているため、特別なパッシベーションを施さない限り、電子が光吸収層114の表面側（方向Yと反対の方向）に漏れるようなバンドベンディングが起これ、光電変換効率の低下を招くおそれがある。

40

【0065】

そこで、実施の形態3に係る受光素子12のように、伝導帯端が光吸収層114よりも高エネルギー側にあり、p型にドーピングされた半導体層をバリア層107として光吸収層114の表面に形成することにより、光吸収層114の表面側（方向Yと反対の方向）

50

への電子拡散を抑制することができる。これにより、光吸収層 114 における量子効率を向上させることができるので、APD としての感度を向上させることができる。

【0066】

また、光吸収層 114 とバリア層 107 との間の伝導帯端のオフセットは、30 meV 以上であることが望ましい。これによれば、例えば受光素子 12 が室温で動作することを仮定した場合に、熱エネルギーにより、電子が光吸収層 114 とバリア層 107 との間の伝導帯端のオフセットを乗り越えることを抑制することができ、更なる高感度化に資する。

【0067】

《実施の形態 4》

10

図 7 は、実施の形態 4 に係る受光素子の断面を模式的に示す図である。

同図に示される受光素子 13 は、p 型の光吸収層の不純物濃度が増倍領域 103 に向かって小さくなっている点、および受光素子の半導体層（基板）が III-V 族化合物半導体から成る点において、実施の形態 3 に係る受光素子 12 と相違する一方、その他の構成は受光素子 12 と同様である。以下の説明においては、実施の形態 3 に係る受光素子 12 と共通する構成要素については同一の符号を用いて表し、その詳細な説明は省略する。

【0068】

受光素子 13 において、半導体層 100 は、III-V 族化合物半導体から構成されている。例えば、半導体層 100 は InP 基板であり、増倍領域 103 は、InP 基板における不純物がドーピングされていない領域である。また、p 型半導体領域 101 は、例えば InP 基板からなる半導体層 100 に不純物として亜鉛（Zn）をイオン注入することにより形成され、n 型半導体領域 102 は、例えば InP 基板からなる半導体層 100 に不純物として Si をイオン注入することにより形成されている。

20

【0069】

ここで、増倍層 103 の X 方向の長さ（p 型半導体領域 101 と n 型半導体領域 102 との間の X 方向の距離）は、半導体層 100 が InP 基板の場合、例えば 100 nm ~ 200 nm の間で適宜設定可能である。

【0070】

電極層 106 は、例えばチタン（Ti）または金（Au）を主成分とする金属材料から構成されている。また、バリア層 107 は、例えば InAlAs から構成されている。

30

【0071】

光吸収層 124 は、III-V 族化合物半導体から構成されている。また、光吸収層 124 は、そのバンドギャップが増倍領域 103 に向かって連続的または段階的に小さくなるように形成され、且つ p 型の不純物濃度が増倍領域 103 に向かって小さくなるように形成されている。以下、光吸収層 124 について図 8 を用いて詳細に説明する。

【0072】

図 8 は、実施の形態 4 に係る受光素子の各層の積層方向のバンドギャップエネルギーの変化を示すバンド図である。

例えば、光吸収層 124 を InAlGaAs によって構成し、InAlGaAs の “Al” の組成比を半導体層 100 の平面と垂直な方向（方向 Y）に向かって小さくする。これによれば、実施の形態 2 に係る受光素子 11 等と同様に、図 8 に示すように、光吸収層 124 のバンドギャップを増倍領域 103 に向かって連続的または段階的に小さくすることができる。

40

【0073】

また、光吸収層 124 に対する不純物のドーピング濃度を、増倍領域 103 に向かって小さくする。具体的には、光吸収層 124 における増倍領域 103 との界面近傍において、例えば $10^{20} \sim 10^{18} \text{ cm}^{-3}$ の範囲で不純物のドーピング濃度を小さくする。これによれば、図 8 に示すように、光吸収層 124 と増倍領域 103 との界面近傍において、実効的にバンドベンディングが生じるので、光吸収層 124 中の電子が増倍領域 103 へと加速され、APD としてより高速な動作が期待できる。

50

光吸収層 104 にドーピングする不純物としては、ベリリウム (Be) や亜鉛 (Zn) を例示することができる。

【0074】

なお、図 7 に示されるように、p 型半導体領域 101 と n 型半導体領域 102 との間の電界の一部が光吸収層 124 にもわずかに及ぶため、光吸収層 124 の不純物のドーピング濃度を小さくした場合、光吸収層 124 内に部分的な空乏化が生じ、正孔の誘電緩和による増倍領域 103 への注入が抑制されるおそれがある。これを防止するために、光吸収層 124 は、APD として動作しているときに光吸収層 124 の部分的な空乏化が起こらない程度の不純物のドーピング濃度を確保しておくことが望ましい。

【0075】

《実施の形態 5》

図 9 は、本発明に係る受光素子と光導波路とを含む光集積回路の平面を模式的に示す図である。

図 10 は、図 9 に示す光集積回路の A-A' 断面を模式的に示す図である。また、図 11 は、図 9 に示す光集積回路の B-B' 断面を模式的に示す図である。

図 9 乃至 11 に示される光集積回路 20 は、モノリシックの作製プロセスによって、本発明に係る受光素子と光導波路とを同一の半導体層 (基板) 100 上に形成したものである。

【0076】

具体的に、光集積回路 20 は、受光素子 12 と、受光素子 12 の光吸収層 114 と光結合されるコア 140 と、コア 140 上に形成されたクラッド層 141 とを含む。

なお、図 9 乃至 11 に示される光集積回路 20 を構成する受光素子の一例として、実施の形態 3 に係る受光素子 12 を図示しているが、これに限られず、実施の形態 1、2、4 に係る受光素子 10、11、13 の何れであってもよい。また、以下の説明においては、実施の形態 3 に係る受光素子 12 と共通する構成要素については同一の符号を用いて表し、その詳細な説明は省略する。

【0077】

図 9 および図 10 に示されるように、受光素子 12 は、半導体層 100 上に形成されている。ここでは、一例として、増倍領域 103 を有する半導体層 100 が Si 基板または SOI 基板であり、p 型半導体領域 101 が半導体層 100 に B をイオン注入することによって形成され、n 型半導体領域 102 が半導体層 100 に As をイオン注入することによって形成されているものとする。また、光吸収層 114 は p 型の $\text{Si}_x\text{Ge}_{1-x}$ から構成され、電極層 106 は W や Cu を主成分とする金属材料から構成されているものとする。

【0078】

図 9 および図 11 に示されるように、コア 140 は、半導体層 100 上に形成されている。コア 140 は、例えば SiN から構成されている。また、クラッド層 141 は、コア 140 を覆って、半導体層 100 上に形成されている。クラッド層 141 は、例えば SiO_2 から構成されている。コア 140 とクラッド層 141 とは、光導波路を形成している。図 9 に示されるように、コア 140 とクラッド層 141 とから成る光導波路は、受光素子 12 の光吸収層 114 と光結合するように形成されている。

【0079】

ここで、光集積回路 20 の製造方法について簡単に説明する。

まず、半導体層 100 に、受光素子 12 のための p 型半導体領域 101、n 型半導体領域 102、および増倍領域 103 を形成した上で、半導体層 100 上に光導波路を構成するコア 140 を形成する。例えば、半導体層 100 上に SiN 層を堆積させた後に、その SiN 層をパターニングすることにより、コア 140 を形成する。

次に、コア 140 上に、クラッド層 141 を形成する。例えば、半導体層 100 およびクラッド層 141 を覆って半導体層 100 上に酸化シリコン層 (例えば SiO_2) を形成する。例えば、プラズマ CVD 法により、酸化シリコン層を形成すればよい。次に、上記酸化シリコン層における増倍領域 103 の上部の領域に開口部を形成する。例えば、よく

10

20

30

40

50

知られたフォトリソグラフィ技術とドライエッチング技術によって、酸化シリコン層における増倍領域103の上部の領域を選択的に除去する。

【0080】

次に、上記開口部が形成された酸化シリコン層を選択成長マスクとして、半導体層100における増倍領域103上に例えば $\text{Si}_x\text{Ge}_{1-x}$ を選択的に成長させることにより、光吸収層114を形成する。例えば、実施の形態1に係る受光素子の製造プロセスと同様に、よく知られたCVD法等によって半導体層100における増倍領域103上に $\text{Si}_x\text{Ge}_{1-x}$ を選択的に成長させる。

【0081】

次に、電極層106を形成する。まず、例えばよく知られたフォトリソグラフィ技術とドライエッチング技術によって半導体層100におけるp型半導体領域101およびn型半導体領域102の上に堆積している酸化シリコン層（クラッド層141）を選択的に除去する。次に、例えば、よく知られたリフトオフ法により、例えばWやCuを含む金属材料から成る電極層106をp型半導体領域101およびn型半導体領域102の上に形成する。具体的には、上記酸化シリコン層を選択的に除去する際に利用したレジストパターンを残しておき、WやCuを含む金属材料を半導体層100およびレジストパターンの上に堆積させた後、上記レジストパターンを除去する。これにより、p型半導体領域101およびn型半導体領域102の上に電極層106が形成される。ここで、Wの堆積には、例えばよく知られた蒸着法を用い、Cuの堆積には、例えばよく知られためっき法を用い

10

20

以上の工程により、光集積回路20を作製することができる。

【0082】

本実施の形態に係る光集積回路20によれば、通常のCMOSプロセスから逸脱することなく、光導波路と受光素子の光吸収層との間の高品質な光結合を実現することができる。例えば、従来の導波路型のAPDの多くは、APDの光吸収層と光導波路とがエバネッセント結合により光結合されているため、光結合効率が十分ではなく、APDの受光感度が低い。これに対し、本実施の形態に係る光集積回路20によれば、APDとしての受光素子を形成する工程（例えば絶縁層を形成する工程）の一環として光導波路を形成するので、光導波路と光吸収層とをバットジョイントにより光結合させることができる。これにより、光集積回路20における受光素子の光吸収層と光導波路との間の光結合効率を高め

30

【0083】

《実施の形態6》

図12は、実施の形態6に係る受光素子の断面を模式的に示す図である。

同図に示される受光素子14は、光吸収層をp型のIII-V族化合物半導体によって構成する点において、実施の形態1に係る受光素子10と相違する一方、その他の構成は受光素子10と同様である。以下の説明においては、実施の形態1に係る受光素子10と共通する構成要素については同一の符号を用いて表し、その詳細な説明は省略する。

【0084】

受光素子14において、例えば、半導体層100はSi基板またはSiO基板であり、増倍領域103は、Si基板またはSiO基板における表面Si層の不純物がドーブされていない領域である。また、p型半導体領域101は、Si基板またはSiO基板から成る半導体層100の表面Si層に不純物としてBをイオン注入することにより形成され、n型半導体領域102は、Si基板またはSiO基板から成る半導体層100の表面Si層に不純物としてAsをイオン注入することにより形成されている。

40

【0085】

光吸収層134は、例えばIII-V族化合物半導体から構成されている。光吸収層134は、Si基板またはSiO基板上に、III-V族化合物半導体をウエハレベルまたはチップレベルで接合させる所謂“III-V on Si技術”によって形成される。具体的には、例えばInp等の結晶基板上にp型のInGaAsをエピタキシャル成長さ

50

せ、その InGaAs と半導体層 100 (Si 基板または SiO 基板) とを、増倍領域 103 の接合面 400 においてウエハ接合させる。上記ウエハ接合としては、よく知られた表面活性化法を用いればよい。

【0086】

上記ウエハ接合は、受光素子の製造プロセスの初期段階で行われる。例えば、半導体層 100 としての Si 基板または SiO 基板に p 型半導体領域 101 と n 型半導体領域 102 を形成した後に、結晶成長させた InGaAs を半導体層 100 に接合させる。接合後は、実施の形態 1 に係る受光素子 10 の場合と同様に、通常の CMOS プロセスで用いられる、よく知られたフォトリソグラフィ技術とドライエッチング技術等によって受光素子を構成する各層の形成を行えばよい。これにより、実施の形態 6 に係る受光素子において製造プロセスの容易性は損なわれない。

10

【0087】

以上、実施の形態 6 に係る受光素子によれば、より高速且つ高感度な APD を実現することができる。例えば、 Si を APD の増倍領域に用いた場合、高密度集積および高利得帯域積 (GBP) の観点から有利である。この場合には、増倍領域を構成する Si と格子定数が比較的近い Ge または GeSn 等を、光吸収層に用いることが一般的である。しかしながら、光吸収層に Ge または GeSn を用いた APD は、III-V 族化合物半導体 (InGaAs) を用いた APD と比較して、電子移動度および光吸収係数の点で不利である。

これに対し、実施の形態 6 に係る受光素子によれば、異種材料のウエハ接合により、受光素子 14 の増倍領域 103 として Si を用い、光吸収層 134 として III-V 族化合物半導体 (例えば InGaAs) を用いるので、APD としての更なる高速化および高感度化を図ることができる。

20

【0088】

以上、本発明者らによってなされた発明を実施の形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0089】

例えば、実施の形態 3 に係る受光素子 12 において、バンドギャップが増倍領域 103 に向かって小さくなるように構成された光吸収層 114 の表面にバリア層 107 を形成する場合を例示したが、その他の実施の形態に係る受光素子においても同様に、光吸収層の表面にバリア層を設けることができる。

30

【0090】

また、実施の形態 2 において、光吸収層 114 を p 型の $\text{Ge}_x\text{Sn}_{1-x}$ によって構成し、その Ge 組成比 x を半導体層 100 の平面と垂直な方向に増倍領域 103 に向かって小さくする場合を例示したが、これに限られない。例えば、光吸収層 114 を p 型の $\text{Ge}_x\text{Si}_{1-x}$ によって構成し、その Ge 組成比 x を半導体層 100 の平面と垂直な方向に増倍領域 103 に向かって大きくしてもよい。これによれば、実施の形態 2 に係る受光素子 12 と同様に、光吸収層中のキャリア走行時間を更に短縮することができるので、APD として更なる高速動作が期待できる。

40

【0091】

また、上記実施の形態において、APD としての増倍領域と光吸収層の材料系の組み合わせとして、 Si/SiGe 、 $\text{InP}/\text{InAlGaAs}$ 、 Si/InGaAs を例示したが、これらに限定されるものではなく、その他の材料系を組み合わせてもよい。

【0092】

また、実施の形態 5 において、光導波路を構成するコア 140 およびクラッド層 141 の組み合わせとして SiN および SiO_2 を例示したが、これに限定されるものではなく、その他の材料系を組み合わせる光導波路を構成してもよい。

【0093】

また、上記実施の形態において、受光素子 10～13 における光吸収層 104～124

50

の端部に反射膜や反射防止膜を形成してもよい。また、光集積回路 20 において、光吸収層 134 と光導波路（コア 140 およびクラッド層 141）との接合部分や上記光導波路への入射部に反射膜や反射防止膜を形成してもよい。また、オーミック抵抗の低減やバンドアライメントの観点等から、p 型半導体領域 101 および n 型半導体領域 102 と電極層 106 との間や増倍領域 103 と光吸収層 104 ～ 124 との間に、適宜中間層を形成してもよい。なお、これらの追加の要素は、よく知られた半導体製造プロセスを適用することによって実現することができる。

【0094】

また、実施の形態 1 乃至 5 において、光吸収層を増倍領域 103 上に選択成長させることによって形成する方法を例示したが、増倍領域 103 上に光吸収層を形成することができ、上記の方法に限定されるものではない。例えば、ウェハ接合やチップボンディング等により増倍領域 103 上に光吸収層を形成してもよい。

10

【産業上の利用可能性】

【0095】

本発明に係る受光素子および光集積回路は、例えば、光通信における光レシーバ等に広く用いることができる。

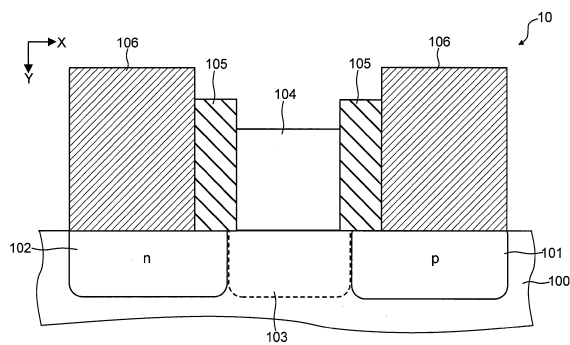
【符号の説明】

【0096】

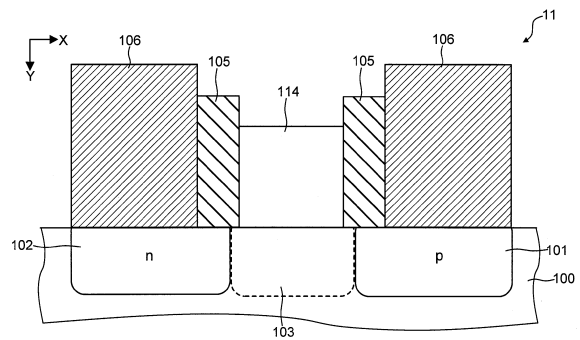
10, 11, 12, 13…受光素子、20…光集積回路、100…半導体層、101…p 型半導体領域、102…n 型半導体領域、103…増倍領域、104, 114, 124, 134…光吸収層、105…絶縁層、106…電極層、107…バリア層、140…コア、141…クラッド層、400…接合面。

20

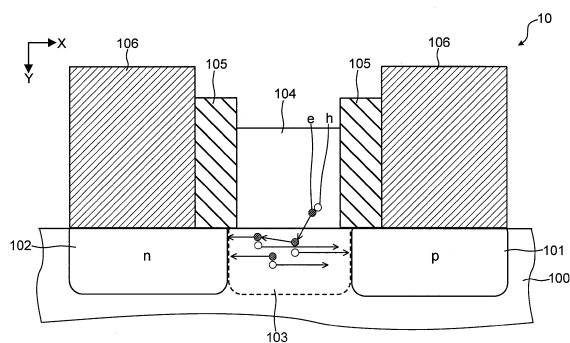
【図 1】



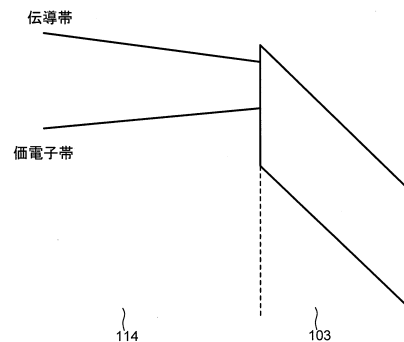
【図 3】



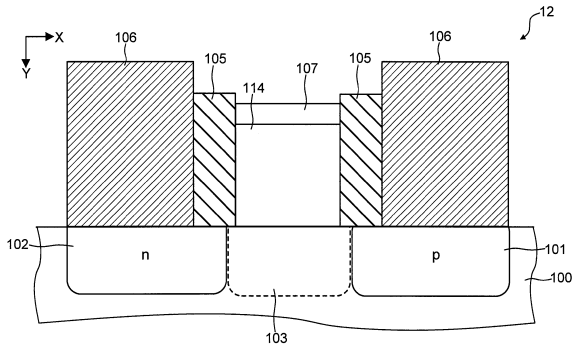
【図 2】



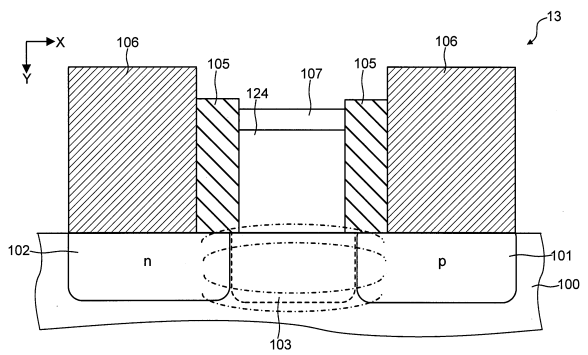
【図 4】



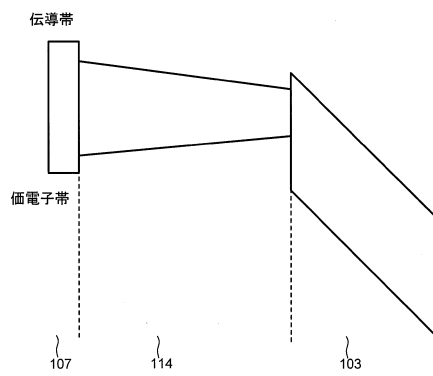
【図 5】



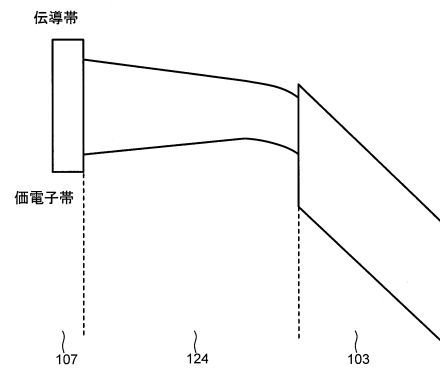
【図 7】



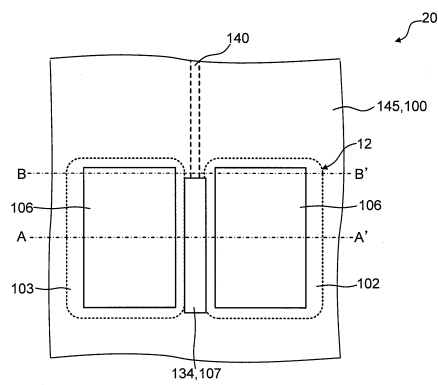
【図 6】



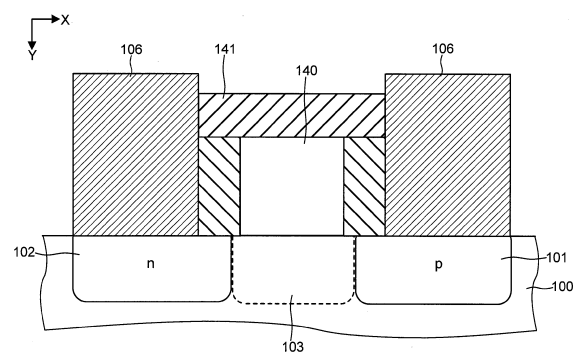
【図 8】



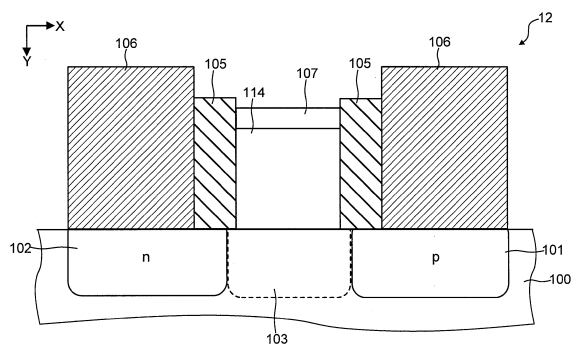
【図 9】



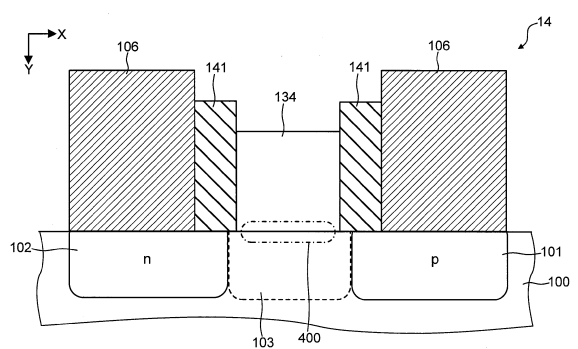
【図 11】



【図 10】



【図 12】



フロントページの続き

- (72)発明者 松尾 慎治
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 松崎 秀昭
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

審査官 竹村 真一郎

- (56)参考文献 特開平03-244164 (JP, A)
米国特許出願公開第2010/0133637 (US, A1)
米国特許出願公開第2014/0131827 (US, A1)
米国特許出願公開第2012/126286 (US, A1)
米国特許第7397101 (US, B1)
米国特許出願公開第2014/291682 (US, A1)
国際公開第2013/180690 (WO, A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 31/00-31/0392、31/08
-31/119
G02B 6/12