

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4748877号  
(P4748877)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int.Cl.

F 1

G 11 C 11/418	(2006.01)	G 11 C 11/34	301B
G 11 C 11/41	(2006.01)	G 11 C 11/34	K
G 11 C 11/412	(2006.01)	G 11 C 11/40	301

請求項の数 5 (全 42 頁)

(21) 出願番号	特願2001-148893 (P2001-148893)
(22) 出願日	平成13年5月18日 (2001.5.18)
(65) 公開番号	特開2002-93176 (P2002-93176A)
(43) 公開日	平成14年3月29日 (2002.3.29)
審査請求日	平成20年4月10日 (2008.4.10)
(31) 優先権主張番号	特願2000-207848 (P2000-207848)
(32) 優先日	平成12年7月10日 (2000.7.10)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(74) 代理人	100088672 弁理士 吉竹 英俊
(74) 代理人	100088845 弁理士 有田 貴弘
(72) 発明者	國清 辰也 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 園田 康弘

最終頁に続く

(54) 【発明の名称】記憶装置

## (57) 【特許請求の範囲】

## 【請求項 1】

(a) 各々が  
(a - 1) 書き込みワード線  
を有するワード線群の複数と、  
(b) 各々が  
(b - 1) 書き込みビット線と、  
(b - 2) 前記書き込みビット線に対応して設けられる書き込み制御線と、  
(b - 3) 前記書き込みビット線に対応して設けられる書き込み補ビット線と  
を有するビット線群の複数と、

(c) 一の前記ワード線群と一の前記ビット線群とに対応して設けられ、各々が、  
(c - 1) 第1の記憶ノードを含むストレージセルと、  
(c - 2) 対応する前記一のビット線群の前記書き込みビット線と、前記第1の記憶ノードとの間に接続され、対応する前記一のワード線群の前記書き込みワード線と、前記書き込み制御線のいずれもが活性化した場合にのみ導通する第1のスイッチと  
を有するメモリセルの複数と  
を備え、

前記ストレージセルの各々は、  
(c - 1 - 1) 前記第1の記憶ノードにおける論理と相補的な論理が与えられる第2の記憶ノードを含み、

10

20

前記メモリセルの各々は、

(c - 3) 対応する前記一のビット線群の前記書き込み補ビット線と、前記第2の記憶ノードとの間に接続され、対応する前記一のワード線群の前記書き込みワード線と、前記書き込み制御線のいずれもが活性化した場合にのみ導通する第2のスイッチを更に有し、

選択された前記ビット線群における前記書き込み制御線が活性化し、

選択されない前記ビット線群における前記書き込み制御線は活性化せず、

前記書き込みビット線及び書き込み補ビット線は、その属する前記ビット線群が選択された場合には相互に相補的な論理を探り、選択されない場合には相互に等しい論理を探り、

10

一の前記ビット線群において、前記書き込み制御線は前記書き込みビット線及び書き込み補ビット線の排他的論理和を探る、記憶装置。

**【請求項2】**

前記書き込みビット線及び書き込み補ビット線の電位を非反転増幅してから前記排他的論理和が採られる、請求項1記載の記憶装置。

**【請求項3】**

(a) 各々が

(a - 1) 書き込みワード線

を有するワード線群の複数と、

(b) 各々が

(b - 1) 書き込みビット線と、

(b - 2) 前記書き込みビット線に対応して設けられる書き込み制御線と、  
を有するビット線群の複数と

20

(c) 一の前記ワード線群と一の前記ビット線群とに対応して設けられ、各々が、

(c - 1) 第1の記憶ノードを含むストレージセルと、

(c - 2) 対応する前記一のビット線群の前記書き込みビット線と、前記第1の記憶ノードとの間に接続され、対応する前記一のワード線群の前記書き込みワード線と、前記書き込み制御線のいずれもが活性化した場合にのみ導通する第1のスイッチと  
を有するメモリセルの複数と

を備え、

30

前記第1のスイッチは

(c - 2 - 1) 制御電極と、前記書き込みビット線に接続された第1の電流電極と、前記第1の記憶ノードに接続された第2の電流電極とを備える第1トランジスタと、

(c - 2 - 2) 前記書き込み制御線が接続された制御電極と、前記第1トランジスタの前記制御電極に接続された第1の電流電極と、前記書き込みワード線に接続された第2の電流電極とを備える第2トランジスタと  
を含み、

選択された前記ビット線群における前記書き込み制御線が活性化し、

選択されない前記ビット線群における前記書き込み制御線は活性化しない記憶装置。

**【請求項4】**

(a) 各々が

(a - 1) 書き込みワード線

を有するワード線群の複数と、

(b) 各々が

(b - 1) 書き込みビット線と、

(b - 2) 前記書き込みビット線に対応して設けられる書き込み制御線と、  
を有するビット線群の複数と

40

(c) 一の前記ワード線群と一の前記ビット線群とに対応して設けられ、各々が、

(c - 1) 第1の記憶ノードを含むストレージセルと、

(c - 2) 対応する前記一のビット線群の前記書き込みビット線と、前記第1の記憶ノ

50

ードとの間に接続され、対応する前記一のワード線群の前記書き込みワード線と、前記書き込み制御線のいずれもが活性化した場合にのみ導通する第1のスイッチと  
を有するメモリセルの複数と  
を備え、

前記第1のスイッチは

(c - 2 - 1) 前記書き込みワード線が接続された制御電極と、第1の電流電極と、前記書き込み制御線に接続された第2の電流電極とを備える第1トランジスタと、

(c - 2 - 2) 前記第1トランジスタの前記第1の電流電極が接続された制御電極と、前記書き込みビット線に接続された第1の電流電極と、前記第1の記憶ノードに接続された第2の電流電極とを備える第2トランジスタと

を含み、

選択された前記ビット線群における前記書き込み制御線が活性化し、

選択されない前記ビット線群における前記書き込み制御線は活性化しない記憶装置。

#### 【請求項 5】

前記第1トランジスタはS O I 基板上に形成されたN M O S トランジスタであって、  
非活性の前記書き込みワード線には、前記第1トランジスタの前記第1電流電極とボデ  
イとに対する順バイアスを軽減する電位が与えられる、請求項3記載の記憶装置。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

##### 【発明の属する技術分野】

この発明は、M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) により構成されるマルチポートS R A M (Static Random Access Memory) に関し、特に当該S R A M のメモリセルへのデータの読み書きを行う技術に関する。

##### 【0 0 0 2】

##### 【従来の技術】

S R A M は集積回路において、データや命令をキャッシュ (cache) 、即ちC P U (Central Processing Unit) のタイミングに合わせてデータをC P U へ伝達するために一時的に保持する機能を担ったり、順序回路の状態を記憶するために用いられている。近年では、メモリからデータを読んだり、メモリへデータを書き込む速度 (rate) が重要視されている。メモリのバンド幅 (bandwidth) を上げるために、S R A M のメモリセルに複数の入出力端子を設ける技術が提案されている。この技術として、一つの読み出し端子 (read port) と一つの書き込み端子 (write port) とを備えたデュアルポート (dual port) スタティックメモリセルや、多数の読み出し端子と書き込み端子とを備えたマルチポート (multi port) スタティックメモリセルを例挙できる。

##### 【0 0 0 3】

図51は従来のS R A M のメモリセルアレイ周辺の構成を示す概念図である。メモリセルはm行n列のマトリックス状に配置されており、そのi行j列目のメモリセルをM C<sub>i,j</sub>として示すことにする。図51においては第1行第3列に配置されたメモリセルM C<sub>1,3</sub>の符号が表記されている。

##### 【0 0 0 4】

図51に示されたS R A M では、行方向にワード線が、列方向にビット線が、それぞれ延在する構成を探っている。ワード線デコーダ3はワード線群3 0<sub>i</sub> (i = 1, 2, 3, ..., m - 1, m) に接続され、入力される行アドレスR A に対応するワード線群3 0<sub>i</sub>を選択的に活性化させる。またビット線デコーダ4はビット線群4 0<sub>j</sub> (j = 1, 2, 3, ..., n - 1, n) に接続され、入力される列アドレスC A に対応するビット線群4 0<sub>j</sub>を選択的に活性化させる。

##### 【0 0 0 5】

メモリセルM C<sub>i,j</sub>においてワード線群3 0<sub>i</sub>とビット線群4 0<sub>j</sub>が交差する。つまり行方向に配列された複数のメモリセルには共通のワード線群が敷設され、列方向に配列された複数のメモリセルには共通のビット線群が敷設される。

10

20

30

40

50

**【 0 0 0 6 】**

ワード線群 3 0<sub>j</sub> は書き込みワード線 3 1<sub>j</sub>、読み出しワード線 3 3<sub>j</sub>、読み出し補ワード線 3 2<sub>j</sub> から構成されており、後二者は読み出しワード線対を構成している。またビット線群 4 0<sub>j</sub> は書き込みビット線 4 1<sub>j</sub>、書き込み補ビット線 4 2<sub>j</sub>、読み出しビット線 4 3<sub>j</sub> から構成されており、前二者は書き込みビット線対を構成している。

**【 0 0 0 7 】**

図 5 2 はいずれのメモリセル M C にも共通する構造を例示する回路図である。メモリセル M C の構造は基本的には行や列の位置 ( i , j ) には依存しないので、ここでは行や列の位置を示す添字は省略している。

**【 0 0 0 8 】**

メモリセル M C は、一対のインバータ L 1 , L 2 が逆並列に接続された構成の記憶部 ( 本明細書において「ストレージセル」と称する ) S C と、読み出し回路 R K と、アクセストランジスタ Q N 3 , Q N 4 とを備えている。

**【 0 0 0 9 】**

ストレージセル S C において、インバータ L 1 はトランジスタ Q P 1 , Q N 1 の直列接続で、インバータ L 2 はトランジスタ Q P 2 , Q N 2 の直列接続で構成されている。また読み出し回路 R K はトランジスタ Q P 3 , Q P 4 , Q N 5 , Q N 6 の直列接続で構成されるトライステートインバータを備えている。

**【 0 0 1 0 】**

トランジスタ Q N 1 ~ Q N 6 には N 型の M O S F E T ( Metal Oxide Semiconductor Field Effect Transistor ) が、トランジスタ Q P 1 ~ Q P 4 には P 型の M O S F E T が、それぞれ採用される。例えば N 型 M O S F E T は表面チャネル型であり、 P 型 M O S F E T は表面チャネル型か、あるいは、埋め込みチャネル型である。

**【 0 0 1 1 】**

ストレージセル S C は一対のノード N 1 , N 2 を有しており、ノード N 1 , N 2 がそれぞれ“ H ” , “ L ” の場合と、その逆の場合の一対の記憶状態が存在する。なお、“ H ” とは ( V<sub>DD</sub> + V<sub>SS</sub> ) / 2 より高い電位に対応する論理を意味し、“ L ” とは ( V<sub>DD</sub> + V<sub>SS</sub> ) / 2 より低い電位に対応する論理を意味する。但し電位 V<sub>SS</sub> には、グラウンドが選ばれる場合が多い。以下、“ H ” 、 “ L ” はそれぞれ論理のみならず、その論理対応する電位を意味する場合もある。なお、“ H ” , “ L ” のどちらの状態を S R A M のビットの “ 1 ” , “ 0 ” に対応させるかは、設計する上での選択事項である。

**【 0 0 1 2 】**

N 型 M O S F E T は、そのゲートに “ H ” が印加されたときにオンし、“ L ” が印加されたときにオフする。P 型 M O S F E T は、そのゲートに “ L ” が印加されたときにオンし、“ H ” が印加されたときにオフする。オンの状態では、電流がソース / ドレイン間を流れ、両者間が電気的に導通する。また、オフの状態では、ソース / ドレイン間は電気的に遮断され電流は 殆ど 流れない。

**【 0 0 1 3 】**

ノード N 1 はインバータ L 2 の入力端であり、ノード N 1 の電位に対応する論理と相補的な論理に対応する電位がノード N 2 に出力される。ノード N 2 はインバータ L 1 の入力端であり、ノード N 2 の電位に対応する論理と相補的な論理の反転ビットがノード N 1 に出力される。よって互いに相補的な論理に対応する記憶状態が一対存在する。

**【 0 0 1 4 】**

アクセストランジスタ Q N 3 はノード N 1 , N 4 においてそれぞれストレージセル S C 及び書き込みビット線 4 1 と接続される。アクセストランジスタ Q N 4 はノード N 2 , N 5 においてそれぞれストレージセル S C 及び書き込み補ビット線 4 2 と接続される。そしてアクセストランジスタ Q N 3 , Q N 4 のゲートは共通して書き込みワード線 3 1 に接続される。

**【 0 0 1 5 】**

読み出し回路 R K において、トランジスタ Q P 4 , Q N 5 のそれぞれのドレインがノード

10

20

30

40

50

N 3 に共通して接続されている。そしてトランジスタ Q P 3 , Q N 6 のゲートは共通してノード N 1 に接続されている。またトランジスタ Q P 4 , Q N 5 のゲートは、それぞれ読み出し補ワード線 3 2 及び読み出しづワード線 3 3 に接続されている。上記のようにメモリセル M C にはデュアルポートスタティックメモリセルが採用されている。

#### 【0016】

メモリセル M C からのデータの読み出しを行う場合、読み出しづワード線 3 3 と読み出し補ワード線 3 2 には相補的な論理が設定される。そして読み出しの対象となるメモリセル M C の行に対応した読み出しづワード線 3 3 と読み出し補ワード線 3 2 がそれぞれ“H”, “L”に設定され、それ以外の行に対応した読み出しづワード線 3 3 と読み出し補ワード線 3 2 がそれぞれ“L”, “H”に設定される。

10

#### 【0017】

よって読み出しの対象となるメモリセル M C の読み出しつ回路 R K のトランジスタ Q P 4 , Q N 5 はいずれもオンする。これによりトランジスタ Q P 3 , Q N 6 が構成するインバータによって、ノード N 1 と相補的な値がノード N 3 を介して読み出しふビット線 4 3 へと与えられる。その一方で、読み出しの対象ではないメモリセル M C の読み出しつ回路 R K のトランジスタ Q P 4 , Q N 5 はいずれもオフする。これにより読み出しふビット線 4 3 は、読み出しの対象ではないメモリセル M C のストレージセル S C とは遮断される。

#### 【0018】

メモリセル M C へのデータの書き込みを行う場合、書き込みの対象となるメモリセル M C の行に対応した書き込みワード線 3 1 が“H”に設定され、それ以外の行に対応した書き込みワード線 3 1 が“L”に設定される。

20

#### 【0019】

よって書き込みの対象となるメモリセル M C のアクセストランジスタ Q N 3 , Q N 4 はいずれもオンし、ストレージセル S C のノード N 1 , N 2 はそれぞれノード N 4 , N 5 を介して書き込みビット線 4 1 、書き込み補ビット線 4 2 に接続される。一方、書き込みの対象ではないメモリセル M C のアクセストランジスタ Q N 3 , Q N 4 はいずれもオフし、ストレージセル S C のノード N 1 , N 2 は書き込みビット線 4 1 、書き込み補ビット線 4 2 とは遮断される。

#### 【0020】

上述のようにストレージセル S C のノード N 1 , N 2 の論理は相補的な関係を有するので、書き込みの対象となるメモリセル M C の列に対応した書き込みビット線 4 1 と書き込み補ビット線 4 2 には相補的な論理が設定される。そしてノード N 1 , N 2 には書き込みビット線 4 1 と書き込み補ビット線 4 2 に設定された論理が書き込まれることになる。

30

#### 【0021】

書き込み動作が終了すると、書き込みワード線 3 1 が“L”に設定され、アクセストランジスタ Q N 3 , Q N 4 はオフする。それゆえ、ストレージセル S C は書き込みビット線対から遮断され、ストレージセル S C に保持されたデータは書き換えられず、スタンバイ状態となる。

#### 【0022】

##### 【発明が解決しようとする課題】

40

上記の構成において、書き込み動作時に書き込みワード線 3 1 が“H”に設定されると、書き込み対象であるメモリセル M C と同じ行に属するメモリセル M C の全てにおいて、そのアクセストランジスタ Q N 3 , Q N 4 がオンする。よって、書き込み対象であるメモリセル M C と同じ行に属し、かつ書き込み対象ではないメモリセル M C では、書き込み動作の間、アクセストランジスタ Q N 3 , Q N 4 を介してノード N 1 , N 2 がそれぞれ書き込みビット線 4 1 、書き込み補ビット線 4 2 に接続されることになる。

#### 【0023】

その一方、書き込みの対象とならないメモリセル M C の列に対応した書き込みビット線 4 1 と書き込み補ビット線 4 2 には、通常はいずれも等しい電位をプリチャージする。プリチャージの電位は例えば  $V_{DD}$  ,  $(V_{DD} + V_{SS}) / 2$  ,  $V_{SS}$  である。従って当該メモリセル

50

M C のノード N 1 , N 2 の電位に依拠して、書き込みビット線 4 1 、書き込み補ビット線 4 2 の一方の電位が  $V_{SS}$  へと、また他方の電位が ( $V_{DD} - V_{thn}$ ) へと、それぞれ引っ張られることになる（但し書き込みワード線 3 1 には電位  $V_{DD}$  が印加され、トランジスタ Q N 3 , Q N 4 のしきい値電圧を  $V_{thn} > 0$  とする）。このようにプリチャージされた書き込みビット線対へのノード N 1 , N 2 を介した電位の印加は、不要な電力消費を招来する。

#### 【 0 0 2 4 】

また、上記のようにしてストレージセル S C によって電位が印加されたビット線対に対し、次の書き込み動作に備えて改めてプリチャージが行われる。この際にも新たに不要な電力が消費される。

10

#### 【 0 0 2 5 】

図 5 3 は上記の電力消費を防止するために提案されたメモリセル M C の構成を示す回路図であり、例えば米国特許公報 6,005,794 に紹介されている。

#### 【 0 0 2 6 】

NMOS トランジスタ Q N 9 , Q N 1 0 はノード N 1 と電位  $V_{SS}$  を与える電位点（以下「電位点  $V_{SS}$ 」とも称す）、例えば接地との間に直列に接続されている。NMOS トランジスタ Q N 9 のゲートはノード N 4 において書き込みビット線 4 1 と、NMOS トランジスタ Q N 1 0 のゲートは書き込みワード線 3 1 と、それぞれ接続されている。同様にして、NMOS トランジスタ Q N 1 1 , Q N 1 2 はノード N 2 と電位点  $V_{SS}$  との間に直列に接続されている。NMOS トランジスタ Q N 1 1 のゲートはノード N 5 において書き込み補ビット線 4 2 と、NMOS トランジスタ Q N 1 2 のゲートは書き込みワード線 3 1 と、それぞれ接続されている。

20

#### 【 0 0 2 7 】

書き込みの対象となるメモリセル M C に対応する（即ち選択された行の）書き込みワード線 3 1 は、書き込み動作時に“ H ”となり、トランジスタ Q N 1 0 , Q N 1 2 がオンする。そして当該メモリセル M C に対応する（即ち選択された列の）書き込みビット線 4 1 、読み出しひット線 4 3 には相補的な論理が与えられるので、トランジスタ Q N 9 , Q N 1 1 のいずれか一方のみがオンする。書き込みビット線 4 1 、書き込み補ビット線 4 2 がそれぞれ“ H ”，“ L ”であれば、ノード N 1 は論理“ L ”に設定される。これによりノード N 2 は“ H ”となる。逆に書き込みビット線 4 1 、書き込み補ビット線 4 2 がそれぞれ“ L ”，“ H ”であれば、ノード N 2 は論理“ L ”に設定される。これによりノード N 1 は“ H ”となる。

30

#### 【 0 0 2 8 】

このような書き込み動作時に、選択されない書き込みビット対線はいずれも電位  $V_{SS}$  に設定される。よって書き込み対象ではないメモリセル M C においてはトランジスタ Q N 9 , Q N 1 1 がオフしているので、選択された書き込みワード線 3 1 に対応する行に配置され、書き込みワード線 3 1 が“ H ”となっているメモリセル M C であっても、ノード N 1 , N 2 はストレージ S C の外部から強制的に電位を設定されることがない。つまり上記の不要な電力消費が生じないという利点がある。

#### 【 0 0 2 9 】

40

しかし、この回路ではストレージセル S C の記憶内容を変更する書き込み動作に必要な時間が長いという問題点がある。つまりストレージセル S C の外部からノード N 1 , N 2 のいずれか一方を“ L ”へと設定するが、他方をストレージセル S C の外部から“ H ”に設定する機能はない。例えばノード N 1 , N 2 がそれぞれ“ H ”，“ L ”である状態を、これと相補的な状態へと反転させる場合、トランジスタ Q N 9 , Q N 1 0 がオンして、ノード N 1 を放電しようとするが、ノード N 2 が“ L ”であったし、これをストレージセル S C の外部から“ H ”にすることないので、インバータ L 1 はノード N 1 を“ H ”に保持しようとする。ストレージセル S C はデータを安定に保持するために、高いスタティックノイズマージンを持つように設計されているため、ノード N 1 を放電することのみによってストレージセル S C の記憶内容を迅速に反転することはできない。

50

**【0030】**

本発明は、上記の背景に基づいて為されたもので、記憶内容を反転する書き込みを迅速に行いつつ、不要な電力の消費を低減する技術を提供することを目的としている。

**【0031】****【課題を解決するための手段】**

この発明のうち請求項1にかかるものは、(a)ワード線群の複数と、(b)ビット線群の複数と、(c)メモリセルの複数とを備える記憶装置であって、前記ワード線群の各々が(a-1)書き込みワード線を有し、前記ビット線群の各々が(b-1)書き込みビット線と、(b-2)前記書き込みビット線に対応して設けられる書き込み制御線とを有し、(c)前記メモリセルの各々が一の前記ワード線群と一の前記ビット線群とに対応して設けられ、(c-1)第1の記憶ノードを含むストレージセルと、(c-2)対応する前記一のビット線群の前記書き込みビット線と、前記第1の記憶ノードとの間に接続され、対応する前記一のワード線群の前記書き込みワード線と、前記書き込み制御線のいずれもが活性化した場合にのみ導通する第1のスイッチとを有する。そして選択された前記ビット線群における前記書き込み制御線が活性化し、選択されない前記ビット線群における前記書き込み制御線は活性化しない。10

**【0032】**

そして、前記ビット線群の各々は、(b-3)前記書き込みビット線に対応して設けられる書き込み補ビット線を更に有し、前記ストレージセルの各々は、(c-1-1)前記第1の記憶ノードにおける論理と相補的な論理が与えられる第2の記憶ノードを含み、前記メモリセルの各々は、(c-3)対応する前記一のビット線群の前記書き込み補ビット線と、前記第2の記憶ノードとの間に接続され、対応する前記一のワード線群の前記書き込みワード線と、前記書き込み制御線のいずれもが活性化した場合にのみ導通する第2のスイッチを更に有し、前記書き込みビット線及び書き込み補ビット線は、その属する前記ビット線群が選択された場合には相互に相補的な論理を採り、選択されない場合には相互に等しい論理を採り、一の前記ビット線群において、前記書き込み制御線は前記書き込みビット線及び書き込み補ビット線の排他的論理和を探る。20

**【0033】**

この発明のうち請求項2にかかるものは、請求項1記載の記憶装置であって、前記書き込みビット線及び書き込み補ビット線の電位を非反転増幅してから前記排他的論理和が採られる。30

**【0037】**

この発明のうち請求項3にかかるものは、(a)ワード線群の複数と、(b)ビット線群の複数と、(c)メモリセルの複数とを備える記憶装置であって、前記ワード線群の各々が(a-1)書き込みワード線を有し、前記ビット線群の各々が(b-1)書き込みビット線と、(b-2)前記書き込みビット線に対応して設けられる書き込み制御線とを有し、(c)前記メモリセルの各々が一の前記ワード線群と一の前記ビット線群とに対応して設けられ、(c-1)第1の記憶ノードを含むストレージセルと、(c-2)対応する前記一のビット線群の前記書き込みビット線と、前記第1の記憶ノードとの間に接続され、対応する前記一のワード線群の前記書き込みワード線と、前記書き込み制御線のいずれもが活性化した場合にのみ導通する第1のスイッチとを有する。そして選択された前記ビット線群における前記書き込み制御線が活性化し、選択されない前記ビット線群における前記書き込み制御線は活性化しない。40

そして、前記第1のスイッチは(c-2-1)制御電極と、前記書き込みビット線に接続された第1の電流電極と、前記第1の記憶ノードに接続された第2の電流電極とを備える第1トランジスタと(c-2-2)前記書き込み制御線が接続された制御電極と、前記第1トランジスタの前記制御電極に接続された第1の電流電極と、前記書き込みワード線に接続された第2の電流電極とを備える第2トランジスタとを含む。

**【0038】**

この発明のうち請求項4にかかるものは、(a)ワード線群の複数と、(b)ビット線50

群の複数と、(c)メモリセルの複数とを備える記憶装置であって、前記ワード線群の各々が(a-1)書き込みワード線を有し、前記ビット線群の各々が(b-1)書き込みビット線と、(b-2)前記書き込みビット線に対応して設けられる書き込み制御線とを有し、(c)前記メモリセルの各々が一の前記ワード線群と一の前記ビット線群とに対応して設けられ、(c-1)第1の記憶ノードを含むストレージセルと、(c-2)対応する前記一のビット線群の前記書き込みビット線と、前記第1の記憶ノードとの間に接続され、対応する前記一のワード線群の前記書き込みワード線と、前記書き込み制御線のいずれもが活性化した場合にのみ導通する第1のスイッチとを有する。そして選択された前記ビット線群における前記書き込み制御線が活性化し、選択されない前記ビット線群における前記書き込み制御線は活性化しない。

10

そして、前記第1のスイッチは(c-2-1)前記書き込みワード線が接続された制御電極と、第1の電流電極と、前記書き込み制御線に接続された第2の電流電極とを備える第1トランジスタと(c-2-2)前記第1トランジスタの前記第1の電流電極が接続された制御電極と、前記書き込みビット線に接続された第1の電流電極と、前記第1の記憶ノードに接続された第2の電流電極とを備える第2トランジスタとを含む。

#### 【0044】

この発明のうち請求項5にかかるものは、請求項3記載の記憶装置であって、前記第1トランジスタはSOI基板上に形成されたNMOSトランジスタであって、非活性の前記書き込みワード線には、前記第1トランジスタの前記第1電流電極とボディとに対する順バイアスを軽減する電位が与えられる。

20

#### 【0051】

##### 【発明の実施の形態】

本実施の形態において、特に断らない限り、ワード線が活性化、即ち選択されている状態には論理“H”が対応し、活性化していない、即ち選択されていない状態には“L”が対応するものとして説明する。これらの関係を逆にしても、使用されるトランジスタの導電型を適宜に入れ替えれば、下記の説明は妥当する。

#### 【0052】

##### 実施の形態1.

図1はこの発明の実施の形態1にかかるSRAMのメモリセルアレイ周辺の構成を示す概念図である。従来のSRAMの構成に対して、ビット線群40jに書き込み制御線44jが追加されたことが特徴的な構造となっている。書き込み制御線44jもビット線デコーダ4によってその電位(あるいは論理)が設定される。具体的には、書き込み制御線44jには書き込みビット線41jに与えられる論理と書き込み補ビット線42jに与えられる論理との排他的論理和(以下「XOR(exclusive OR)」とも表記する)に相当する論理が設定される。まずは簡単のために、書き込みビット線41jと書き込み補ビット線42jにはプリチャージの期間において電位V<sub>DD</sub>, V<sub>SS</sub>のいずれかが与えられるものとして説明する。

30

#### 【0053】

図2は、図1に示されたメモリセルMCの一つの構成を例示する回路図である。従来の技術と同様に、行の位置及び列の位置を示す添字は省略している。メモリセルMCはストレージセルSC、読み出し回路RK及びいずれもNMOSトランジスタであるパストランジスタMN9, MN10, MN11, MN12を備えており、また書き込みビット線41、書き込み補ビット線42、読み出しはつ線43、書き込みワード線31、読み出し補ワード線32、読み出しワード線33が敷設されている。

40

#### 【0054】

ストレージセルSCは、逆並列に接続されたインバータL1, L2を有しており、それぞれの出力端としてノードN1, N2が存在する。インバータL1は、電位V<sub>DD</sub>が印加されるソース、ノードN1に接続されたドレイン、ノードN2に接続されたゲートを含むPMOSトランジスタQ<sub>P</sub>1と、電位V<sub>SS</sub>が印加されるソース、ノードN1に接続されたドレイン、ノードN2に接続されたゲートを含むNMOSトランジスタQ<sub>N</sub>1とで構成されて

50

いる。同様にして、インバータ L 2 は、電位  $V_{DD}$  が印加されるソース、ノード N 2 に接続されたドレイン、ノード N 1 に接続されたゲートを含む PMOS トランジスタ QP 2 と、電位  $V_{SS}$  が印加されるソース、ノード N 2 に接続されたドレイン、ノード N 1 に接続されたゲートを含む NMOS トランジスタ QN 2 とで構成されている。

#### 【 0 0 5 5 】

読み出し回路 R K は電位  $V_{DD}$  が印加されるソース、ノード N 1 に接続されたゲートを含む PMOS トランジスタ QP 3 と、ノード N 3 において読み出しビット線 4 3 に接続されたドレイン、読み出し補ワード線 3 2 に接続されたゲートを含む PMOS トランジスタ QP 4 と、電位  $V_{SS}$  が印加されるソース、ノード N 1 に接続されたゲートを含む NMOS トランジスタ QN 6 と、ノード N 3 において読み出しビット線 4 3 に接続されたドレイン、読み出しワード線 3 3 に接続されたゲートを含む NMOS トランジスタ QN 5 とで構成されたトライステートインバータである。トランジスタ QP 3 のドレインとトランジスタ QP 4 のソース、トランジスタ QN 6 のドレインとトランジスタ QN 5 のソースは、それぞれ接続されている。10

#### 【 0 0 5 6 】

図 3 はトライステートインバータの構成を例示する回路図であり、実質的に読み出し回路 R K の構成を示している。一対の NMOS トランジスタの一方のゲートと、一対の PMOS トランジスタの一方のゲートに共通して論理 A を、一対の NMOS トランジスタの他方のゲートに論理 B を、一対の PMOS トランジスタの他方のゲートに論理 B バー (B と相補的な論理であって、図中 B に上線を付加して示す：他の論理についても以下同様) を、それぞれ与える。論理 B が “L” であれば出力される論理 Z はトライステートインバータによって決定はされない (tristate condition)。しかし、論理 B が “H” であれば、論理 A を反転した論理 Z が出力される。20

#### 【 0 0 5 7 】

図 2 に戻り、パストランジスタ MN 9, MN 10 は書き込みビット線 4 1 上のノード N 4 と、ストレージセル S C のノード N 1 との間に直列に接続され、書き込み制御線 4 4 及び書き込みワード線 3 1 の双方が “H” の場合に、書き込みビット線 4 1 の論理をノード N 1 へと伝達するスイッチとして機能する。より詳細には、パストランジスタ MN 9 の電流電極対 (ソースドレインの対) の一方はノード N 1 に接続され、パストランジスタ MN 10 の電流電極対の一方はノード N 4 に接続され、パストランジスタ MN 9, MN 10 の電流電極対の他方同士は共通に接続される。そしてパストランジスタ MN 9 のゲートはノード N 6 において書き込み制御線 4 4 に、パストランジスタ MN 10 のゲートはノード N 4 において書き込みビット線 4 1 に、それぞれ接続される。30

#### 【 0 0 5 8 】

同様にして、パストランジスタ MN 11, MN 12 は書き込み補ビット線 4 2 上のノード N 5 と、ストレージセル S C のノード N 2 との間に直列に接続され、書き込み制御線 4 4 及び書き込みワード線 3 1 の双方が “H” の場合に、書き込み補ビット線 4 2 の論理をノード N 2 へと伝達するスイッチとして機能する。より詳細には、パストランジスタ MN 11 の電流電極対の一方はノード N 2 に接続され、パストランジスタ MN 12 の電流電極対の一方はノード N 5 に接続され、パストランジスタ MN 11, MN 12 の電流電極対の他方同士は共通に接続される。そしてパストランジスタ MN 11 のゲートはノード N 6 において書き込み制御線 4 4 に、パストランジスタ MN 12 のゲートはノード N 4 において書き込みビット線 4 1 に、それぞれ接続される。40

#### 【 0 0 5 9 】

パストランジスタ MN 10, MN 12 は、図 5 3 に示されたトランジスタ QN 10, QN 12 と類似してその動作が書き込みワード線 3 1 における論理に依存するが、それらのソースが電位点  $V_{SS}$  に接続されるのではなく、それぞれ書き込みビット線 4 1、書き込み補ビット線 4 2 に接続される点で異なっている。またパストランジスタ MN 9, MN 11 は、図 5 3 に示されたトランジスタ QN 9, QN 11 と類似して、パストランジスタ MN 10 とノード N 1 の間、トランジスタ MN 12 とノード N 2 の間に、それぞれ介在するが50

、いずれも導通が書き込み制御線 4 4 における論理に依存する点で異なっている。

#### 【 0 0 6 0 】

このような構成のメモリセルに対する書き込み動作は以下のようになる。選択された書き込みワード線 3 1 は “ H ” となってパストランジスタ MN 1 0 , MN 1 2 がオンする。そして書き込みビット対線を構成する書き込みビット線 4 1 、書き込み補ビット線 4 2 はいずれか一方が “ H ” となり、他方が “ L ” となる。これに対応して書き込み制御線 4 4 は “ H ” となるので、パストランジスタ MN 9 , MN 1 1 はオンになる。

#### 【 0 0 6 1 】

従って、ストレージセル SC のノード N 1 はパストランジスタ MN 9 , MN 1 0 を介してノード N 4 において書き込みビット線 4 1 と、ノード N 2 はパストランジスタ MN 1 1 , MN 1 2 を介してノード N 5 において書き込み補ビット線 4 2 と、それぞれ接続される。書き込みビット線 4 1 、書き込み補ビット線 4 2 に設定された論理が、それぞれ N 1 , N 2 へと書き込まれるので、図 5 3 に示された回路と比較すると、ストレージセル SC に記憶されたデータを反転するのに必要な時間は短い。  
10

#### 【 0 0 6 2 】

電位の大きさについて考察するため、パストランジスタ MN 9 , MN 1 0 のしきい値電圧を電位  $V_{thn}$  とし、書き込み制御線 4 4 、書き込みワード線 3 1 及び書き込みビット線 4 1 には “ H ” として電位  $V_{DD}$  が与えられたとする。ノード N 4 とノード N 1 の間にはパストランジスタ MN 9 , MN 1 0 が介在するので、これら 2 つのトランジスタの基板効果により、ノード N 1 には電位 ( $V_{DD} - 2 V_{thn}$ ) が印加されることになる。  
20

#### 【 0 0 6 3 】

電位差 ( $V_{DD} - V_{SS}$ ) が 1 V 以下になると、ストレージセル SC のインバータ L 1 , L 2 が電位 ( $V_{DD} - 2 V_{thn}$ ) を “ H ” ではなく “ L ” と認識してしまう可能性もある。これを防止すべく、書き込みワード線 3 1 に対して “ H ” として印加される電位を、電位  $V_{DD}$  よりも高い、例えば電位 ( $V_{DD} + 2 V_{thn}$ ) に設定してもよい。また、書き込みワード線 3 1 及び書き込み制御線 4 4 に対して “ H ” として印加される電位を、いずれも電位 ( $V_{DD} + V_{thn}$ ) に設定しても同様の効果が得られる。

#### 【 0 0 6 4 】

さて、選択された書き込みワード線 3 1 に対応する行に配置され、選択されていない書き込みビット線対に対応する列に配置されたメモリセル MC の動作について説明する。かかるメモリセル MC において、書き込みビット線 4 1 、書き込み補ビット線 4 2 はプリチャージによって共に “ H ” あるいは “ L ” に設定されている。これに対応して書き込み制御線 4 4 は “ L ” に設定される。換言すれば、書き込み制御線 4 4 は選択されていない列において “ L ” となる。従って書き込みワード線 3 1 が “ H ” であってトランジスタ MN 1 0 , MN 1 2 がオンしていても、トランジスタ MN 9 , MN 1 1 はオフしており、ストレージセル SC が書き込みビット線 4 1 、書き込み補ビット線 4 2 の電位に影響を与えることはない。よって記憶内容を反転する書き込みを迅速に行いつつ、不要な電力の消費を低減することができる。  
30

#### 【 0 0 6 5 】

図 4 乃至図 9 は論理 A , B から、両者の排他的論理和を論理 Z として得る X OR 回路を例示する回路図である。書き込み制御線 4 4 に対して、書き込みビット線 4 1 に与えられた論理と書き込み補ビット線 4 2 に与えられた論理の排他的論理和を得るために、これらの X OR 回路を採用することができる。図 1 では X OR 回路がビット線デコーダ 4 に内蔵された態様を示しているが、X OR 回路をビット線デコーダ 4 とは別個に設ける態様をとってもよい。  
40

#### 【 0 0 6 6 】

例えば、図 7 に示された X OR 回路の動作について説明する。論理 A が “ H ” のとき、PMOS トランジスタ TP 1 と NMOS トランジスタ TN 1 とで構成されたインバータはノード J 1 に論理 “ L ” を与える。一方、ノード J 2 には論理 A 、即ち “ H ” が与えられる。PMOS トランジスタ TP 2 と NMOS トランジスタ TN 2 はノード J 2 , J 1 の間に  
50

直列に接続されており、両者はインバータとして機能する。このインバータは論理Bを入力し、ノードJ3に論理Zとして論理Bバーを出力する。この際、PMOSトランジスタTP3とNMOSトランジスタTN3が構成するトランスマッショングートはオフしているので、ノードJ3において論理Bと論理Bバーとの衝突は生じない。

#### 【0067】

論理Aが“L”的とき、ノードJ1, J2はそれぞれ“H”, “L”となる。よってトランジスタTP3, TN3の両方がオンして、論理Bが論理ZとしてノードJ3に与えられる。一方、論理Bが“H”的場合にはNMOSトランジスタTN2によってノードJ1における論理“H”がノードJ3へと伝達され、論理Bが“L”的場合にはPMOSトランジスタTP2によってノードJ2における論理“L”がノードJ3へと伝達される。よっていずれにしてもノードJ3において論理Bが論理Zとして与えられる。10

#### 【0068】

以上の動作から、図7の回路は論理A, BのXORを与える。排他的論理和と相補的な値(XNOR: exclusive NOR)を得るためにには、出力を更に反転してもよいし、論理A, 論理Bのいずれか一方のみを反転して、XORを得るために回路に入力してもよい。

#### 【0069】

図10は本実施の形態の変形を示す回路図である。図2に示された構成と比較すると、書き込み制御線44の論理によってスイッチングが制御されるトランジスタMN9と、書き込みワード線31の論理によってスイッチングが制御されるトランジスタMN10とが、ノードN1, N4の間で直列に接続されている点で共通し、その位置が入れ替わっている点が異なっている。同様にして、トランジスタMN11, MN12も図2に示された構成と比較すると、ノードN2, N5の間での位置が入れ替わっている。このような構成でも図2に示された構成と同様の効果を得ることができるのは当然である。20

#### 【0070】

図11はパストランジスタMN9, MN10, MN11, MN12の構成を例示する模式図である。ストレージセルSCは簡単のため、インバータL1, L2をそれぞれ記号で示している一方、パストランジスタMN9, MN10, MN11, MN12は書き込みビット線41、書き込み補ビット線42、書き込み制御線44、書き込みワード線31と共にその構成が平面図で示されている。図中、丸括弧内に記載された符号は図10で示された構成に対応し、その左側に記載された符号は図2で示された構成に対応している。30

#### 【0071】

図11を図2で示された構成に則して説明する。パストランジスタMN9, MN10は活性領域R1において形成される。パストランジスタMN9の電流電極対の一方はノードN1に接続され、パストランジスタMN10の電流電極対の一方は書き込みビット線41に接続される。パストランジスタMN9, MN10はその電流電極対の他方同士がソースドレイン領域SD1を共有する。同様にしてパストランジスタMN11, MN12は活性領域R2において形成される。パストランジスタMN11の電流電極対の一方はノードN2に接続され、パストランジスタMN12の電流電極対の一方は書き込み補ビット線42に接続される。パストランジスタMN11, MN12はその電流電極対の他方同士がソースドレイン領域SD2を共有する。40

#### 【0072】

そしてパストランジスタMN9, MN11のゲートとして機能するゲート配線G1と、パストランジスタMN10, MN12のゲートとして機能するゲート配線G2とが、いずれも図示されないゲート絶縁膜を介して、活性領域R1, R2の上方(紙面手前側)に敷設される。書き込み制御線44と書き込みワード線31は、ゲート配線G1, G2よりも上方に敷設される。書き込み制御線44と書き込みワード線31は、それぞれゲート配線G1, G2とピアコンタクトV1, V2を介して接続される。

#### 【0073】

以上のようにしてパストランジスタMN9, MN10はソースドレイン領域SD1を共有し、パストランジスタMN11, MN12はソースドレイン領域SD2を共有するので、50

小さな面積でこれらを配置することができる。

#### 【0074】

なお、書き込みビット線 $4_1$ と書き込み補ビット線 $4_2$ にはプリチャージの期間において電位( $V_{DD} + V_{SS}$ )/2が印加されてもよい。この場合、XOR回路の前段に、書き込みビット線 $4_1$ と書き込み補ビット線 $4_2$ のそれぞれの電位を非反転増幅する回路を設けておけばよい。例えば $V_{SS} = 0V$ とし、XOR回路の入力マージンが大きくて電位 $2V_{DD}$ の入力を許せば、当該增幅回路の増幅率を2倍に設定しておけばよい。これにより、プリチャージの電位が $V_{DD}/2$ であっても $V_{DD}$ であっても、XOR回路の一対の入力はいずれも“H”となる。またプリチャージの電位が $V_{SS}$ であればXOR回路の一対の入力はいずれも“L”となる。従って本実施の形態の効果を享受することができる。

10

#### 【0075】

実施の形態2.

図12はこの発明の実施の形態2にかかるSRAMのメモリセルアレイ周辺の構成を示す概念図である。実施の形態1で示されたSRAMの構成に対して、ビット線群 $4_0$ に書き込み補制御線 $4_5$ が追加され、ワード線群 $3_0$ に書き込み補ワード線 $3_4$ が追加されたことが特徴的な構造となっている。

#### 【0076】

書き込み補制御線 $4_5$ 、書き込み補ワード線 $3_4$ は、それぞれビット線デコーダ4及びワード線デコーダ3によってその電位(あるいは論理)が設定される。具体的には書き込み補制御線 $4_5$ 、書き込み補ワード線 $3_4$ は、それぞれ書き込み制御線 $4_4$ 、書き込みワード線 $3_1$ と相補的な論理が与えられる。

20

#### 【0077】

図13は、図12に示されたメモリセルMCの一つの構成を例示する回路図である。従来の技術と同様に、行の位置及び列の位置を示す添字は省略している。メモリセルMCは、図2で示された構成と比較して、いずれもPMOSトランジスタであるパストランジスタMP9, MP10, MP11, MP12が追加して設けられ、また書き込み補制御線 $4_5$ 、書き込み補ワード線 $3_4$ が追加して敷設されている。

#### 【0078】

パストランジスタMP9, MP10, MP11, MP12はそれぞれパストランジスタMN9, MN10, MN11, MN12と並列に接続されている。そしてパストランジスタMP9, MP10, MP11, MP12のゲートに与えられる論理は、パストランジスタMN9, MN10, MN11, MN12のゲートに与えられる論理と、それ相補的である。つまりパストランジスタMP9, MP11のゲートはノードN7において書き込み補制御線 $4_5$ に接続され、パストランジスタMP10, MP12のゲートは書き込み補ワード線 $3_4$ に接続されている。

30

#### 【0079】

従って、パストランジスタMP9, MP10, MP11, MP12はそれぞれパストランジスタMN9, MN10, MN11, MN12と共にトランスマッシュゲートを構成している。従って、図2で示された構成と比較して、ノードN1に書き込みビット線 $4_1$ から論理“H”を伝達する際(あるいはノードN2に書き込み補ビット線 $4_2$ から論理“H”を伝達する際)、基板効果によるしきい値 $V_{thn}$ 分の低下は生じない。よって書き込みワード線 $3_1$ に与える電位を昇圧させる昇圧回路は不用となる利点がある。

40

#### 【0080】

図14は本実施の形態の変形を示す回路図であり、実施の形態1に即していえば図10に相当する。即ち図14に示された構成は、図13に示された構成と比較して、パストランジスタMN9, MP9が構成するトランスマッシュゲートとパストランジスタMN10, MP10が構成するトランスマッシュゲートとの位置が、ノードN1, N4の間に入れ替わっており、パストランジスタMN11, MP11が構成するトランスマッシュゲートとパストランジスタMN12, MP12が構成するトランスマッシュゲートとの位置が、ノードN2, N5の間に入れ替わっている。このような構成でも本実施の形態の効

50

果を得ることができるのは当然である。

**【0081】**

もちろん、パストランジスタMN9, MN10と同様にして、パストランジスタMP9, MP10もソースドレイン領域を共有して必要な面積を節約することができる。パストランジスタMP11, MP12についても同様である。

**【0082】**

なお、トランスマッシュゲートでアクセストランジスタを代替しても、基板効果によるしきい値 $V_{thn}$ 分の低下を回避できる。図15は図52に示された回路に対して書き込み補ワード線34を追加し、アクセストランジスタQN3をPMOSトランジスタMP10とNMOSトランジスタMN10が構成するトランスマッシュゲートに置換し、アクセストランジスタQN4をPMOSトランジスタMP12とNMOSトランジスタMN12が構成するトランスマッシュゲートに置換した構成を示している。10

**【0083】**

図14に示された構成と同様に、トランジスタMN10, MN12は書き込みワード線31の論理によって、トランジスタMP10, MP12は書き込み補ワード線34の論理によって、それぞれ導通が制御されるので、基板効果によるしきい値 $V_{thn}$ の低下を回避できる。従って書き込みワード線31に与える電位を昇圧する必要はない。また、図13や図14に示された構成と比較して、トランスマッシュゲートが一つずつ減った分、ストレージセルSCにアクセスする時間が短くなり、かつ、エリアペナルティも小さく、しかも書き込み制御線44を、ひいてはXOR回路を設ける必要もないことが利点である。20しかしながら、本実施の形態とは異なり、選択されていない列のメモリセルMCにおいて、ストレージセルSCと書き込みビット線対との間での電位の衝突を回避する機能は劣っている。

**【0084】**

実施の形態3.

図16は本実施の形態にかかるメモリセルMCの一つの構成を例示する回路図である。従来の技術と同様に、行の位置及び列の位置を示す添字は省略しているが、図1で示されたMC<sub>ij</sub>の各々として採用することができる。

**【0085】**

メモリセルMCは、図52で示された構成と比較して、アクセストランジスタQN3, QN4の代わりに、いずれもNMOSトランジスタであるアクセストランジスタMN2, MN4及び制御トランジスタMN1, MN3が設けられている。30

**【0086】**

アクセストランジスタMN2はアクセストランジスタQN3と同様に、ノードN1とノードN4の間の導通を制御する。そしてそのゲートには書き込みワード線31が接続される点でアクセストランジスタQN3と共に通するが、制御トランジスタMN1が介在する点で相違する。アクセストランジスタMN4もノードN2とノードN5の間の導通を制御し、そのゲートには書き込みワード線31が接続される点でアクセストランジスタQN4と共に通するが、制御トランジスタMN3が介在する点で相違する。

**【0087】**

制御トランジスタMN1, MN3のゲートはノードN6を介して書き込み制御線44に接続されているので、実施の形態1と同様に、ノードN1とノードN4の間及びノードN2とノードN5の間の導通は、いずれも書き込みワード線31及び書き込み制御線44の両方が“H”である場合に限られる。従って、実施の形態1と同様にして記憶内容を反転する書き込みを迅速に行いつつ、不要な電力の消費を低減することができる。40

**【0088】**

上述の構成では、制御トランジスタMN1とアクセストランジスタMN2とが、あるいは制御トランジスタMN3とアクセストランジスタMN4とが、ソースドレインを共有できない点で実施の形態1に示された構成と比較して不利である。

**【0089】**

10

20

30

40

50

しかし制御トランジスタM N 1 , M N 3 はいずれも書き込み制御線4 4 における論理に依存して導通し、かつそれらの導通によってアクセストランジスタM N 2 , M N 4 のゲートへと書き込みワード線3 1 における論理を伝達する。そこで図1 7 に示すように、制御トランジスタM N 3 をM N 1 にマージした変形も可能であり、必要な面積の縮小が可能である。

#### 【0 0 9 0】

実施の形態4 .

図1 8 は本実施の形態にかかるメモリセルM C の一つの構成を例示する回路図である。従来の技術と同様に、行の位置及び列の位置を示す添字は省略しているが、図1 で示されたM C<sub>i,j</sub> の各々として採用することができる。メモリセルM C は、図1 6 で示された構成と比較して、制御トランジスタM N 1 , M N 3 が制御トランジスタM N 5 , M N 6 に置換されている。10

#### 【0 0 9 1】

制御トランジスタM N 5 , M N 6 のゲートは共通して書き込みワード線3 1 に接続されている。また制御トランジスタM N 5 は書き込みビット線4 1 とアクセストランジスタM N 2 のゲートとの間に介在し、制御トランジスタM N 6 は書き込み補ビット線4 2 とアクセストランジスタM N 4 のゲートとの間に介在している。従って実施の形態1 と同様に、ノードN 1 とノードN 4 の間及びノードN 2 とノードN 5 の間の導通は、いずれも書き込みワード線3 1 及び書き込み制御線4 4 の両方が“H”である場合に限られる。従って、実施の形態1 と同様にして記憶内容を反転する書き込みを迅速に行いつつ、不要な電力の消費を低減することができる。20

#### 【0 0 9 2】

上述の構成では、制御トランジスタM N 5 とアクセストランジスタM N 2 とが、あるいは制御トランジスタM N 6 とアクセストランジスタM N 4 とが、ソースドレインを共有できない点で実施の形態1 に示された構成と比較して不利である。

#### 【0 0 9 3】

しかし制御トランジスタM N 5 , M N 6 はいずれも書き込みワード線3 1 における論理に依存して導通し、かつそれらの導通によってアクセストランジスタM N 2 , M N 4 のゲートへと書き込み制御線4 4 における論理を伝達する。そこで図1 9 に示すように、制御トランジスタM N 6 をM N 5 にマージした変形も可能であり、必要な面積の縮小が可能である。30

#### 【0 0 9 4】

実施の形態5 .

図2 0 は本実施の形態にかかるメモリセルM C の一つの構成を例示する回路図である。従来の技術と同様に、行の位置及び列の位置を示す添字は省略しているが、図1 2 で示されたM C<sub>i,j</sub> の各々として採用することができる。但し書き込み補制御線4 5 は不要である。メモリセルM C は、図5 3 に示された構成と比較して、主として2 点異なっている。

#### 【0 0 9 5】

第1 の相違点として、トランジスタQ N 9 は直接にはノードN 1 には接続されず、両者の間にパストランジスタM N 9 が介在している。同様にしてトランジスタQ N 1 1 は直接にはノードN 2 には接続されず、両者の間にパストランジスタM N 1 1 が介在している。そして実施の形態1 と同様にパストランジスタM N 9 , M N 1 1 のゲートはノードN 6 において書き込み制御線4 4 に接続されている。トランジスタQ N 9 , M N 9 の接続点をノードN 8 として、トランジスタQ N 1 1 , M N 1 1 の接続点をノードN 9 として、それぞれ表している。40

#### 【0 0 9 6】

第2 の相違点として、電位V<sub>DD</sub> を与える電位点（以下「電位点V<sub>DD</sub> 」とも称す）とノードN 8 との間にいずれもPMOSトランジスタであるトランジスタM P 3 , M P 4 が直列に接続されている。同様にして電位点V<sub>DD</sub> とノードN 9 との間にいずれもPMOSトランジスタであるトランジスタM P 5 , M P 6 が直列に接続されている。トランジスタM P 4 、50

M P 6 のいずれにおいても、電流電極対の一方には電位 V<sub>DD</sub> が印加され、そのゲートには書き込み補ワード線 3 4 が接続されている。そしてトランジスタ M P 3 , M P 5 の電流電極対の一方にはそれぞれノード N 8 , N 9 が接続される。トランジスタ M P 3 , M P 4 の電流電極対の他方同士、トランジスタ M P 5 , M P 6 の電流電極対の他方同士は、それぞれ共通に接続される。トランジスタ M P 3 , M P 5 のゲートはそれぞれ書き込みビット線 4 1 、書き込み補ビット線 4 2 に接続されている。

#### 【 0 0 9 7 】

以上のような構成では、ストレージセル S C の外部からノード N 1 を “ H ” へと設定し得るトランジスタ M P 3 , M P 4 が、ノード N 2 を “ H ” へと設定し得るトランジスタ M P 5 , M P 6 が設けられたので、記憶内容を反転する書き込みを迅速に行うことができる。  
しかもノード N 1 , N 8 の間の導通及びノード N 2 , N 9 の間の導通が、それぞれパストランジスタ M N 9 , M N 1 0 によって、いずれも書き込み制御線 4 4 の論理に依存する。よってノード N 1 と書き込みビット線 4 1 、ノード N 2 と書き込み補ビット線 4 2 との間ににおける電位の衝突に起因した、不要な電力の消費を低減することができる。

10

#### 【 0 0 9 8 】

トランジスタ M P 3 , M P 4 , Q N 9 , Q N 1 0 及びトランジスタ M P 5 , M P 6 , Q N 1 1 , Q N 1 2 は、それぞれノード N 8 , N 9 を出力端とするトライステートインバータを構成している。本実施の形態にかかるメモリセル M C の動作を、これらのトライステートインバータの動作という観点で以下に説明する。

20

#### 【 0 0 9 9 】

これらのトライステートインバータは、書き込みワード線 3 1 が “ H ” 、従って書き込み補ワード線 3 4 が “ L ” の場合にのみインバータとして機能する。つまり書き込みビット線 4 1 の論理と相補的な論理がノード N 8 に与えられ、書き込み補ビット線 4 2 の論理と相補的な論理がノード N 9 に与えられる。そして書き込みワード線 3 1 が “ L ” 、従つて書き込み補ワード線 3 4 が “ H ” の場合には、たとえトランジスタ M P 3 , Q N 9 がオンしても、ノード N 8 の電位はトライステートインバータによっては設定されない (tristate condition)。またたとえトランジスタ M P 5 , Q N 1 1 がオンしても、ノード N 9 の電位はトライステートインバータによっては設定されない。

#### 【 0 1 0 0 】

書き込み対象となったメモリセル M C の属する行のワード線群 3 0 、つまり選択されたワード線群 3 0 では、書き込みワード線 3 1 、書き込み補ワード線 3 4 にそれぞれ “ H ” , “ L ” の電位が与えられ、ノード N 8 , N 9 にはそれぞれ書き込みビット線 4 1 、書き込み補ビット線 4 2 と相補的な論理が与えられる。また、書き込み対象となったメモリセル M C の属する列のビット線群 4 0 、つまり選択されたビット線群 4 0 では、書き込みビット線 4 1 、書き込み補ビット線 4 2 には互いに相補的な論理が与えられるので、書き込み制御線 4 4 における論理は “ H ” となってパストランジスタ M N 9 , M N 1 1 が導通する。従つて、ノード N 1 , N 2 にはそれぞれ書き込みビット線 4 1 、書き込み補ビット線 4 2 と相補的な論理が、たとえストレージセル S C の記憶内容を反転する場合であっても、迅速に記憶される。

30

#### 【 0 1 0 1 】

選択されたワード線群 3 0 に対応する行に配置されたメモリセル M C では、トライステートインバータがインバータとして機能している。しかし、選択されないビット線群 4 0 に対応する列に配置されたメモリセル M C では、書き込みビット線 4 1 、書き込み補ビット線 4 2 が互いにほぼ等しい電位にプリチャージされるので、書き込み制御線 4 4 における論理は “ L ” であって、パストランジスタ M N 9 , M N 1 1 は導通しない。よってノード N 1 と書き込みビット線 4 1 、ノード N 2 と書き込み補ビット線 4 2 との間は遮断され、電位の衝突に起因した、不要な電力の消費を低減することができる。

40

#### 【 0 1 0 2 】

基板効果によるパストランジスタ M N 9 , M N 1 0 のしきい値分の電圧低下を避けるため、これらをトランスマッシュョンゲートに置換してもよい。あるいはパストランジスタ M N

50

9, MN10の基板効果を補償すべく、書き込みワード線31の電位をしきい値分だけ昇圧してもよい。

#### 【0103】

図21は本実施の形態の第1の変形にかかるメモリセルMCの構成を示す回路図である。図20に示された構成に対し、トランジスタQN9, QN10の直列接続の順序を入れ替え、トランジスタQN11, QN12の直列接続の順序を入れ替えた構成を有している。かかる変形においても本実施の形態の効果を得ることは当然である。

#### 【0104】

図22は本実施の形態の第2の変形にかかるメモリセルMCの構成を示す回路図である。図21に示された構成に対し、ストレージセルSCへ論理“H”を供給するトランジスタMP3, MP4, MP5, MP6が削除されている。更に、パストランジスタMN9とトランジスタQN10との直列接続の順序と、パストランジスタMN11とトランジスタQN12との直列接続の順序が、それぞれ入れ替えられている。

10

#### 【0105】

あるいは図53に示された回路と比較すれば、トランジスタQN9, QN10の、ノードN1と電位点V<sub>ss</sub>との間での直列接続の順序を入れ替え、かつトランジスタQN9, QN10の間に、書き込み制御線44における論理によって導通が制御されるパストランジスタMN9が介在している。同様にしてトランジスタQN11, QN12の、ノードN2と電位点V<sub>ss</sub>との間での直列接続の順序を入れ替え、かつトランジスタQN11, QN12の間に、書き込み制御線44における論理によって導通が制御されるパストランジスタMN11が介在している。

20

#### 【0106】

このような構成では、ストレージセルSCに対して外部から“H”を設定することはできない。従ってストレージセルSCの記憶する内容を反転する書き込みを迅速に行えない点で不利である。しかし、図20や図21に示された構成と比較して、書き込み補ワード線34を必要とせず、図1に示されたSRAMのメモリセルMCとして採用できるという利点がある。また図53に示された構成と比較して、選択されないビット線群40の書き込みビット線41、書き込み補ビット線42の電位を“L”、“H”的いずれにプリチャージしてもよい点で有利でもある。

30

#### 【0107】

もちろん、トランジスタQN10, MN9, QN9の直列接続の順序は6通りあって、そのいずれの順序を採用しても上述の効果が得られることは当然である。トランジスタQN12, MN11, QN11の直列接続の順序についても同様である。

#### 【0108】

図23は本実施の形態の第3の変形にかかるデュアル書き込みポート型のスタティックメモリセルの回路図である。ここではワード線群（読み出し補ワード線32、読み出しづるワード線33を除く）及びビット線群（読み出しビット線43を除く）並びにビット線群に対するトライステートインバータは、2組設けられている。第1の組及び第2の組には、それぞれ図21に採用された符号に対して、末尾に記号a, bを付加して得られる符号が採用されている。

40

#### 【0109】

このようなデュアル書き込みポート型のスタティックメモリセルにおいても、ストレージセルSCの記憶内容を反転する場合に迅速に記憶し、電位の衝突に起因した不要な電力の消費を低減できることは当然である。

#### 【0110】

図24は本実施の形態の第4の変形にかかるメモリセルMCの構成を示す回路図である。図21に示された構成に対し、トライステートインバータの出力端となるノードN8とトランジスタMP3, QN9及びノードN1との間に介在する素子の構成、他のトライステートインバータの出力端となるノードN9とトランジスタMP5, QN11及びノードN2との間に介在する素子の構成が変更されている。

50

**【 0 1 1 1 】**

ノードN 8 は PMOSトランジスタMP 9 を介してトランジスタMP 3 に、 NMOSトランジスタMN 9 を介してトランジスタQN 9 に、 NMOSトランジスタQN 10 を介してノードN 1 に、 それぞれ接続されている。ノードN 9 は PMOSトランジスタMP 11 を介してトランジスタMP 5 に、 NMOSトランジスタMN 11 を介してトランジスタQN 11 に、 NMOSトランジスタQN 12 を介してノードN 2 に、 それぞれ接続されている。

**【 0 1 1 2 】**

この変形では書き込み補ワード線3 4 は採用されず、 代わりに書き込み補制御線4 5 が採用されている。そしてトランジスタMP 9 , MP 11 のゲートはノードN 7 において書き込み補制御線4 5 に、 トランジスタMN 9 , MN 11 のゲートはノードN 6 において書き込み制御線4 4 に、 それぞれ接続されている。また、 トランジスタQN 10 , QN 12 のゲートは書き込みワード線3 1 に接続されている。

10

**【 0 1 1 3 】**

選択された行において書き込みワード線3 1 は活性化し、 トランジスタQN 10 , QN 12 がオンする。よってノードN 1 , N 2 はそれぞれノードN 8 , N 9 と導通する。そして選択された列において書き込み制御線4 4 、 書き込み補制御線4 5 はそれぞれ“ H ”、“ L ”となるので、 トランジスタMP 9 , MP 11 , MN 9 , MN 11 はいずれもオンする。よって書き込み対象となったメモリセルMCのノードN 1 , N 2 には、 それぞれノードN 8 , N 9 を介して、 書き込みビット線4 1 に与えられた論理、 書き込み補ビット線4 2 に与えられた論理のそれぞれを反転して、 書き込まれるべきデータが与えられる。これはストレージセルSCの記憶するデータを反転する場合であっても迅速に行われる。

20

**【 0 1 1 4 】**

選択された行には配置されるものの、 書き込み対象となっていないメモリセルMC（即ち選択されない列に配置されたメモリセルMC）では書き込み制御線4 4 、 書き込み補制御線4 5 はそれぞれ“ L ”、“ H ”となるので、 トランジスタMP 9 , MP 11 , MN 9 , MN 11 はいずれもオフする。ノードN 8 , N 9 はtristate conditionとなる。従ってノードN 1 , N 2 にはストレージセルSCの外部から論理が強制的に設定されことがなく、 電位の衝突に起因する不要な電力の消費が防止できる。

30

**【 0 1 1 5 】**

図2 5 は本実施の形態の第5 の変形にかかるメモリセルMCの構成を示す回路図である。この構成は、 図2 4 の構成に対して、 ノードN 8 と電位点V<sub>DD</sub>との間でのトランジスタMP 3 , MP 9 の直列接続の順序を交換し、 ノードN 8 と電位点V<sub>SS</sub>との間でのトランジスタMN 9 , QN 9 の直列接続の順序を交換し、 ノードN 9 と電位点V<sub>DD</sub>との間でのトランジスタMP 5 , MP 11 の直列接続の順序を交換し、 ノードN 9 と電位点V<sub>SS</sub>との間でのトランジスタMN 11 , QN 11 の直列接続の順序を交換した構成を有している。従って、 図2 5 に示された構成でも、 迅速にデータを書き込み、 かつ不要な電力消費を低減する効果がある。

**【 0 1 1 6 】**

図2 6 は本実施の形態の第6 の変形にかかるメモリセルMCの構成を示す回路図である。図2 1 に示された構成に対して、 ノードN 8 と電位点V<sub>DD</sub>との間でのトランジスタMP 3 , MP 4 の直列接続の順序を交換し、 ノードN 9 と電位点V<sub>DD</sub>との間でのトランジスタMP 5 , MP 6 の直列接続の順序を交換し、 更にトランジスタMP 4 , MP 6 をマージして一つのトランジスタとして設けている。同様に、 ノードN 8 と電位点V<sub>SS</sub>との間でのトランジスタQN 9 , QN 10 の直列接続の順序を交換し、 ノードN 9 と電位点V<sub>SS</sub>との間でのトランジスタQN 11 , QN 12 の直列接続の順序を交換し、 更にトランジスタQN 10 , QN 2 をマージして一つのトランジスタとして設けている。よって図2 1 に示された回路と比較して、 トランジスタの数を低減し、 本実施の形態の効果を得るために必要な面積を小さくすることができる。

40

**【 0 1 1 7 】**

50

ノードN<sub>8</sub>, N<sub>9</sub>は、図53に示されたノードN<sub>1</sub>, N<sub>2</sub>と同様の接続関係で電位点V<sub>SS</sub>に接続されている。しかし、ノードN<sub>8</sub>とノードN<sub>1</sub>との間、及びノードN<sub>9</sub>とノードN<sub>2</sub>との間は、それぞれトランジスタMN<sub>9</sub>, MN<sub>11</sub>によって、いずれも書き込み制御線44が“H”的ときのみ導通する。これは選択されないビット線群40の書き込みビット線41、書き込み補ビット線42の電位を“L”、“H”的いずれにプリチャージした場合でも当てはまる。よって図21と同じ効果を得ることができる。

#### 【0118】

図27は第I行のメモリセルMC<sub>j1</sub>~MC<sub>jn</sub>において図26に示された構成を応用した構成を示す回路図である。同じ行に属する複数のメモリセルMC<sub>j1</sub>は、書き込みワード線31、書き込み補ワード線34を共通に使用する。従ってn個のメモリセルMC<sub>j1</sub>~MC<sub>jn</sub>について、トランジスタMP4(あるいはトランジスタMP6)及びトランジスタQN10(あるいはQN12)は、それぞれ一つのPMOSトランジスタMP400及びNMOSトランジスタQN100へとマージすることができる。このようなマージにより、トランジスタ数を一層低減することができる。

#### 【0119】

実施の形態6.

本実施の形態は、回路図に現れる構成は実施の形態1乃至実施の形態5と同様である。本実施の形態において特徴的な点は、メモリセルMCを構成するMOSFETがSOI(Semiconductor On Insulator or Silicon On Insulator)基板上に形成される点である。

#### 【0120】

まず従来のメモリセルMCを構成するMOSFETが、SOI基板上に形成された場合の問題点を説明する。図28は、図52に示されたアクセストランジスタQN4をSOI基板上にMOSトランジスタとして形成した場合の構成を例示する断面図である。

#### 【0121】

半導体基板91、埋め込み酸化膜92、SOI基板93がこの順に積層されている。SOI基板93には選択的に絶縁分離体94が埋め込まれている。SOI基板93はノードN2, N5にそれぞれ接続され、いずれもn型であるドレイン93a、ソース93bと、ドレイン93a及びソース93bに挟まれ、P型のチャネル領域93cとに区分されている。ソース93bとチャネル領域93cとの間にはpn接合J11が、ドレイン93aとチャネル領域93cとの間にはpn接合J12が、それぞれ形成される。ゲート電極98はゲート絶縁膜95を介してチャネル領域93cと対峙して設けられ、その頂面及び側面は絶縁膜96で覆われている。サイドウォール97は絶縁膜96を介してゲート電極98の側面に対峙して設けられている。ゲート電極98はゲート絶縁膜95に近い方から順に、ドープされたポリシリコン98a、タングステン窒化膜98b、タングステン98cが積層して構成されている。かかる構成では、絶縁分離体94がSOI基板93を周囲から絶縁するので、チャネル領域93cの電位を固定する機構が別途に設けられない限り、通常はいわゆるfloating bodyの状態にある。

#### 【0122】

図52に示された構造のメモリセルMCであって、いずれも第j番目の列に属する2つのメモリセルMC<sub>xj</sub>, MC<sub>yj</sub>を想定する。メモリセルMC<sub>xj</sub>のノードN1, N2にそれぞれ“L”、“H”が書き込まれた後に、メモリセルMC<sub>yj</sub>のノードN1, N2にそれぞれ“H”、“L”を書き込む動作を行う場合の、いわゆるhalf-select write disturbを考察する。

#### 【0123】

メモリセルMC<sub>xj</sub>の書き込み動作終了後では書き込みワード線31<sub>x</sub>は“L”であり、メモリセルMC<sub>yj</sub>への書き込み動作においても書き込みワード線31<sub>x</sub>は“L”的ままであるので、当該アクセストランジスタQN4ではソース93bとチャネル領域93cとドレイン93aとが横型の寄生バイポーラトランジスタを構成し、それぞれエミッタ/ベース/コレクタとして機能する。

#### 【0124】

10

20

30

40

50

メモリセルMC<sub>xj</sub>の書き込み動作終了後、書き込みビット線41<sub>j</sub>、書き込み補ビット線42<sub>j</sub>はいずれも“H”にプリチャージされるので、メモリセルMC<sub>xj</sub>のアクセストランジスタQN4はオンしないままで、そのソース93bとドレイン93aとが“H”である状態が保たれる。そしてチャネル領域93cはP型でフローティングの状態であるので、ここには正孔（図中+印で模式的に表示）が熱的に蓄積される。

#### 【0125】

このような状態において、メモリセルMC<sub>yz</sub>への書き込み動作のために書き込みビット線41<sub>j</sub>に“H”が、書き込み補ビット線42<sub>j</sub>に“L”が、それぞれプリチャージされると、メモリセルMC<sub>xj</sub>のアクセストランジスタQN4のpn接合J11は順バイアスになる。よってソース93bからチャネル領域93cへと電子が注入され、チャネル領域93cに蓄積された正孔は放電される。この際にpn接合J11を流れる電流I1は、上述の寄生バイポーラトランジスタの実効ベース電流として機能する。そのため、ドレイン93aからチャネル領域93cへと流れるスパイク状の電流I2を誘起する。特にメモリセルMC<sub>yz</sub>への書き込みまでの時間が長いと、熱的に蓄積される正孔の量も多くなって電流I2も大きい。その場合には、ノードN2に蓄積されている電荷を放電してその電位を“H”から“L”へと下げ、メモリセルMC<sub>xj</sub>の記憶内容を反転させる場合がある。

#### 【0126】

しかし、本発明の回路構成を採用する場合には、上記問題を回避することができる。例えば図2に示された構成では、トランジスタMN11,MN12を介して書き込み補ビット線42の論理がノードN2に書き込まれる。一般的にはトランジスタMN11,MN12を相互に接続する配線は、書き込み補ビット線42と比較して非常に短い。よって図52に示された構造のメモリセルMCのアクセストランジスタQN4と比較すると、トランジスタMN11では、電流電極対のうち書き込み補ビット線42に近い方（例えばソース）に接続される寄生容量が小さい。図11で示された様に不純物領域を共有する場合はなおさらである。従ってトランジスタMN11が図28に示されたSOI FETであっても、寄生バイポーラトランジスタは十分に動作しない。よって本実施の形態の回路構成を採用することにより、half-select write disturbの発生確率を小さくすることができる。

#### 【0127】

なお、非選択の書き込みワード線31における論理“L”に相当する電位を、書き込み補ビット線42における論理“L”に相当する電位よりも低く、例えばV<sub>SS</sub>-0.3Vb～V<sub>SS</sub>-Vb程度にすることも望ましい。ここでVbはドレイン93a及びチャネル領域93cが形成するビルトイン電圧である。このような電位を非選択の書き込みワード線31に与えることにより、チャネル領域93cでアキュムレーションを回避しつつ、pn接合J11での順バイアスを軽減できる。このような書き込みワード線31の電位の設定は、特に図16に示された回路構成において有効である。トランジスタMN4の電流電極対はノードN2,N5に接続されており、寄生容量の観点からも図52に示されたトランジスタQN4と同様だからである。

#### 【0128】

もちろん、チャネル領域93cの電位を固定した構成を採って、上記half-select write disturbを回避してもよい。

#### 【0129】

上述した実施の形態ではデュアルポートスタティックメモリセルを例にとって説明したが、マルチポートスタティックメモリセルへに応用できることはいうまでもない。

#### 【0130】

実施の形態7.

実施の形態1乃至実施の形態6では書き込みワード線31のみならず書き込み制御線44の活性化によって書き込み動作を許可することにより、所定の効果を得ていた。しかし、書き込み制御線44の論理を決定するには、電位V<sub>SS</sub>,V<sub>DD</sub>、あるいは電位(V<sub>DD</sub>+V<sub>SS</sub>)/2であっても、プリチャージによって書き込みビット線41、書き込み補ビット線42の電位を決定しておく必要がある。換言すれば、書き込みビット線41、書き込み補ビ

10

20

30

40

50

ット線 4 2 がフローティングの状態にあることを許せば、書き込み制御線 4 4 の電位は決定されない懸念もある。また書き込みビット線 4 1、書き込み補ビット線 4 2 がフローティングの状態にある場合にも、書き込み動作の対象となるメモリセルと同じ行に属し、かつ異なる列に属するメモリセルにおいて、書き込みビット線 4 1、書き込み補ビット線 4 2 をストレージセル S C が充放電することによる電力消費が生じる可能性もある。

#### 【 0 1 3 1 】

特にマルチポート S R A M 、例えばデュアルポート S R A M のように、各セルに複数の読み書きのバスを有し、バイナリ情報の読み書きが独立に、かつ、非同期に行うことができる場合には、ストレージセル S C が書き込みビット線 4 1 及び書き込み補ビット線 4 2 のみならず、読み出しビット線 4 3 をも併行してドライブする場合も生じる。

10

#### 【 0 1 3 2 】

図 5 4 は、いずれか一方が書き込みポートとなり、他方が読み出しポートとなる第 1 及び第 2 のポートを有しているデュアルポート S R A M 8 0 と、その動作を制御する装置との接続を示すブロック図である。第 1 のマイクロプロセッサ 8 1 は第 1 のリード / ライト制御回路 8 2 を介して、デュアルポート S R A M 8 0 の第 1 ポートを使用した読み書き動作を行う。一方、第 2 のマイクロプロセッサ 8 4 は第 2 のリード / ライト制御回路 8 3 を介して、デュアルポート S R A M 8 0 の第 2 ポートを使用した読み書き動作を行う。

#### 【 0 1 3 3 】

図 2 9 はデュアルポート S R A M 8 0 に採用され得るメモリセル M C の構成を例示する回路図である。図 5 2 に示された構成と比較して、読み出し回路 R K の代わりにいずれも N M O S トランジスタであるアクセストランジスタ Q N 1 3 , Q N 1 4 が設けられている。アクセストランジスタ Q N 1 3 はノード N 1 と読み出しビット線 4 3 との間に介在し、そのゲートは読み出しワード線 3 3 に接続されている。アクセストランジスタ Q N 1 4 はノード N 2 と読み出し補ビット線 4 6 との間に介在し、そのゲートは読み出しワード線 3 3 に接続されている。

20

#### 【 0 1 3 4 】

図 2 9 に示された構成は、図 5 2 に示された構成と比較して、メモリセル M C 一つあたりのトランジスタ数が 2 つ低減できる利点を有する。しかしつつストレージセル S C は、トランジスタ Q N 1 3 , Q N 1 4 がオンした際に、読み出し回路 R K のトランジスタ Q P 3 , Q N 6 のゲートよりも大きな静電容量を有する読み出しビット線 4 3 、読み出し補ビット線 4 6 をそれぞれノード N 3 , N 1 0 において充放電することになる。そのため、いずれも第 i 行に配置されたメモリセル M C<sub>i x</sub> , M C<sub>i y</sub> ( x = y ) に対し、それぞれ第 1 のリード / ライト制御回路 8 2 による書き込み動作と、第 2 のリード / ライト制御回路 8 3 による読み出し動作とが併行して行われた場合、書き込みワード線 3 1<sub>i</sub> 、読み出しワード線 3 3<sub>i</sub> が同時に “ H ” となる期間がある。この期間では、メモリセル M C<sub>i y</sub> のストレージセル S C は読み出しビット線 4 3 、読み出し補ビット線 4 6 のみならず書き込みビット線 4 1 、書き込み補ビット線 4 2 をもドライブすることになり、読み出し動作が遅くなるという可能性がある。

30

#### 【 0 1 3 5 】

図 3 0 はこの発明の実施の形態 7 にかかる S R A M のメモリセルアレイ周辺の構成を示す概念図である。図 1 に示された構成と比較して、書き込み制御線 4 4 を読み出し補ビット線 4 6 と置換し、読み出し補ワード線 3 2 を省いた構成となっている。

40

#### 【 0 1 3 6 】

図 3 1 は図 3 0 に示されたメモリセル M C の一つの構成を例示する回路図である。従来の技術と同様に、行の位置及び列の位置を示す添字は省略している。メモリセル M C は図 2 9 に示された構成に対して、トランジスタ Q N 3 , Q N 4 の代わりにいずれも N M O S トランジスタのトランジスタ Q N 1 5 , Q N 1 6 , Q N 1 7 , Q N 1 8 を備えた構造を有している。もちろん、読み出し補ワード線 3 2 をも使用して、メモリセル M C においてトランジスタ Q N 1 3 , Q N 1 4 の代わりに読み出し回路 R K を採用してもよい。しかし、本実施の形態は上述のように、ノード N 1 , N 2 がトランジスタのゲートではなく、読み出

50

レビット線 4 3、読み出し補ビット線 4 6 を充放電する可能性のある読み出し機構を有する場合に特に効果的である。

**【 0 1 3 7 】**

トランジスタ Q N 1 7 の電流電極対の一方、例えばソースには電位  $V_{SS}$  が供給され、電流電極対の他方、例えばドレインにはノード N 2 が接続される。またトランジスタ Q N 1 8 の電流電極対の一方、例えばソースには電位  $V_{SS}$  が供給され、電流電極対の他方、例えばドレインにはノード N 1 が接続される。

**【 0 1 3 8 】**

トランジスタ Q N 1 5 の電流電極対の一方、例えばソースにはノード N 4 において書き込みビット線 4 1 が接続され、電流電極対の他方、例えばドレインにはトランジスタ Q N 1 7 のゲートが接続される。またトランジスタ Q N 1 6 の電流電極対の一方、例えばソースには書き込み補ビット線 4 2 が接続され、電流電極対の他方、例えばドレインにはトランジスタ Q N 1 8 のゲートが接続される。そしてトランジスタ Q N 1 5 , Q N 1 6 のゲートはいずれも書き込みワード線 3 1 に接続される。

10

**【 0 1 3 9 】**

このような構成における書き込み動作では、まずノード N 1 , N 2 に与えるべき論理に対応する電位が、それぞれ書き込みビット線 4 1 、書き込み補ビット線 4 2 にプリチャージされる。例えば “ H ” 、 “ L ” に対応してそれぞれ電位  $V_{DD}$  ,  $V_{SS}$  が書き込みビット線 4 1 、書き込み補ビット線 4 2 に与えられる。その後に書き込みワード線 3 1 が活性化し、トランジスタ Q N 1 5 , Q N 1 6 がオンし、トランジスタ Q N 1 7 , Q N 1 8 のゲートにそれぞれ電位 ( $V_{DD} - V_{thn}$ ) ,  $V_{SS}$  が印加される（但しトランジスタ Q N 1 5 のしきい値電圧を  $V_{thn} > 0$  とした）。これにより、トランジスタ Q N 1 7 , Q N 1 8 はそれぞれオン、オフの状態となる。そしてトランジスタ Q N 1 7 がオンとなっているので、ノード N 2 には電位  $V_{SS}$  が伝達される。よってインバータ L 1 の機能によってノード N 1 には論理 “ H ” が記憶される。

20

**【 0 1 4 0 】**

その後、書き込みビット線 4 1 、書き込み補ビット線 4 2 はいずれも電位  $V_{SS}$  に設定されてトランジスタ Q N 1 7 , Q N 1 8 のゲートが “ L ” となり、これらはオフの状態となる。その後に書き込みワード線 3 1 が非活性化して “ L ” となり、トランジスタ Q N 1 5 , Q N 1 6 がオフして、トランジスタ Q N 1 7 , Q N 1 8 のゲートをフロー・ティング状態にする。

30

**【 0 1 4 1 】**

また読み出し動作は、読み出しワード線 3 3 が活性化することにより、トランジスタ Q N 1 3 , Q N 1 4 がオンし、ノード N 1 , N 2 において記憶された論理がそれ respective ノード N 3 , N 1 0 において読み出しひット線 4 3 、読み出し補ビット線 4 6 へと伝達される。読み出し速度を早めるために読み出しワード線 3 3 の活性化に先立ってプリチャージが行われることが望ましい。

**【 0 1 4 2 】**

以上のような構成では、書き込み動作において書き込みビット線 4 1 、書き込み補ビット線 4 2 からストレージセル S C へと電荷が供給されるのではなく、電位  $V_{SS}$  をノード N 1 , N 2 のいずれか一方にのみ与えている。即ち書き込みビット線 4 1 、書き込み補ビット線 4 2 とノード N 1 , N 2 との間には、電荷が直接に移動する経路が存在しない。従って書き込みワード線 3 1 が活性化しており、かつ書き込みビット線 4 1 、書き込み補ビット線 4 2 がフロー・ティングの状態にあっても、これらがストレージセル S C によって充放電されることはなく、不要な電力が消費されない。よって書き込みワード線 3 1 、読み出しワード線 3 3 が同時に “ H ” となる期間があっても読み出し動作が遅くなることもない。

40

**【 0 1 4 3 】**

上記の書き込み動作の終了時においては、トランジスタ Q N 1 7 , Q N 1 8 がオフしてからトランジスタ Q N 1 5 , Q N 1 6 をオフする手順を説明した。しかし逆に、トランジスタ Q N 1 5 , Q N 1 6 がオフしてからトランジスタ Q N 1 7 , Q N 1 8 をオフすることも

50

可能である。この場合、トランジスタ Q N 17, Q N 18 のいずれか一方がオンとなる状態でそれぞれのゲートがフローティング状態に移行するので、ストレージセル S C の情報をバックアップする効果がある。例えば中性子線等の宇宙線が照射されることに起因して、ストレージセル S C に記憶された内容が反転するソフトエラーが考えられる。よってストレージセル S C の情報をバックアップすることで、ソフトエラーが生じるのに必要な臨界電荷量が増加し、つまりソフトエラーが起こりにくくすることができる。

#### 【 0 1 4 4 】

図 3 2 は本実施の形態の変形を示す回路図である。書き込みワード線 3 1 を書き込み補ワード線 3 4 に置換し、トランジスタ Q N 15, Q N 16 をいずれも PMOS トランジスタ Q P 15, Q P 16 に置換した構成を有している。

10

#### 【 0 1 4 5 】

この構成においても論理の伝搬という点で図 3 1 に示された構成と同様の効果がある。但し、トランジスタ Q N 17, Q N 18 のゲートに “ H ” を与える際、しきい値電圧  $V_{thn}$  ( $> 0$ ) だけ電位が低下することを回避できる。

#### 【 0 1 4 6 】

その一方、PMOS トランジスタ Q P 15, Q P 16 のしきい値電圧を  $V_{thp}$  ( $< 0$ ) とすると、トランジスタ Q N 17, Q N 18 のゲートに “ L ” を与える際、その電位が  $V_{ss} - V_{thp}$  と上昇する。よってトランジスタ Q N 17, Q N 18 を確実にオフさせ、ノード N 1, N 2 から電位点  $V_{ss}$  へのリーキ電流を抑制するという点では、図 3 1 に示された構成の方が有利である。

20

#### 【 0 1 4 7 】

図 3 3 は本実施の形態の更なる変形を示す回路図である。書き込みワード線 3 1 及び書き込み補ワード線 3 4 の両方を採用し、ノード N 4 とトランジスタ Q N 17 のゲートとの間には、トランジスタ Q P 15, Q N 15 の並列接続によるトランスマッシュゲートが接続され、ノード N 5 とトランジスタ Q N 18 のゲートとの間には、トランジスタ Q P 16, Q N 16 の並列接続によるトランスマッシュゲートが接続される。そして PMOS トランジスタ Q P 15, Q P 16 のゲートは書き込み補ワード線 3 4 に、NMOS トランジスタ Q N 15, Q N 16 のゲートは書き込みワード線 3 1 に、それぞれ接続される。

#### 【 0 1 4 8 】

このような構成により、トランジスタ Q N 17, Q N 18 のオン / オフを正確に制御することができる。

30

#### 【 0 1 4 9 】

実施の形態 8 .

図 3 4 は本実施の形態にかかるメモリセル M C の一つの構成を例示する回路図である。従来の技術と同様に、行の位置及び列の位置を示す添字は省略しているが、図 3 0 で示された  $M C_{ij}$  の各々として採用することができる。

#### 【 0 1 5 0 】

メモリセル M C は、図 5 3 で示された構成と比較して、ストレージセル S C の構成が特徴的に異なっている。簡単にいうと、ストレージセル S C はトランジスタ Q N 1, Q N 2 を有さず、トランジスタ Q P 1, Q P 2 のクロスカップルで構成されている。

40

#### 【 0 1 5 1 】

より具体的にいえば、記憶ノード N 2 は、トランジスタ Q N 9, Q N 10 の直列接続を介してのみ電位点  $V_{ss}$  に接続されている。トランジスタ Q N 9, Q N 10 のゲートはそれぞれ書き込みビット線 4 1、書き込みワード線 3 1 に接続されており、これらの論理によって導通が制御される。同様にして記憶ノード N 1 は、トランジスタ Q N 11, Q N 12 の直列接続を介してのみ電位点  $V_{ss}$  に接続されている。トランジスタ Q N 11, Q N 12 のゲートはそれぞれ書き込み補ビット線 4 2、書き込みワード線 3 1 に接続されており、これらの論理によって導通が制御される。

#### 【 0 1 5 2 】

なお、図 5 3 で示された構成と比較して、ストレージセル S C の記憶ノード N 1, N 2 か

50

ら読み出しを行うための構成は異なっている。即ち、読み出し回路 R K ではなく、実施の形態 7 で示されたトランジスタ Q N 1 3 , Q N 1 4 が用いられている。読み出しワード線 3 3 が活性化することにより、トランジスタ Q N 1 3 , Q N 1 4 がオンし、ノード N 1 , N 2 において記憶された論理がそれぞれノード N 3 , N 1 0 において読み出しひット線 4 3 、読み出し補ヒット線 4 6 へと伝達される。読み出し速度を早めるために読み出しワード線 3 3 の活性化に先立って読み出しひット線 4 3 、読み出し補ヒット線 4 6 のプリチャージが行われることが望ましい。

#### 【 0 1 5 3 】

図 3 5 は図 3 4 に示されたメモリセル M C の動作を示すタイミングチャートの一例である。同図 ( a ) , ( b ) , ( c ) , ( d ) , ( e ) はそれぞれ読み出しワード線 3 3 、読み出しひット線 4 6 、書き込みワード線 3 1 、書き込みヒット線 4 1 、記憶ノード N 2 の電位を示している。ここでは “ H ” が記憶されていた記憶ノード N 2 に “ L ” を書き込む場合が例示されている。

#### 【 0 1 5 4 】

時刻  $t_1$  以前はスタンバイ時であり、読み出しひット線 4 6 は読み出しひット線 4 3 と共に、実線のように電位  $V_{SS}$  に、あるいは破線のように電位  $(V_{DD} + V_{SS}) / 2$  に、プリチャージされている。そして時刻  $t_1$  に至って読み出しひット線 4 6 は読み出しひット線 4 3 と共に、電位  $(V_{DD} + V_{SS}) / 2$  にプリチャージされる。その後、時刻  $t_2$  において読み出しワード線 3 3 が電位  $V_{DD}$  への遷移を開始し、当該遷移を契機としてトランジスタ Q N 1 4 はトランジスタ Q N 1 3 と共に ON する。これにより、時刻  $t_3$  において読み出しひット線 4 6 は記憶ノード N 2 が保存していた論理 “ H ” に起因して、その電位が電位  $V_{DD}$  へと遷移し始める。その後、時刻  $t_4$  において読み出しワード線 3 3 が電位  $V_{SS}$  への遷移を開始し、更にその後の時刻  $t_5$  において書き込みヒット線 4 1 が電位  $V_{DD}$  への遷移を開始する。当該遷移を契機としてトランジスタ Q N 9 は ON する。更にその後、時刻  $t_6$  において書き込みワード線 3 1 も電位  $V_{DD}$  への遷移を開始し、当該遷移を契機としてトランジスタ Q N 1 0 も ON する。これにより、記憶ノード N 2 はトランジスタ Q N 9 , Q N 1 0 を介して電位点  $V_{SS}$  に接続されることになり、時刻  $t_7$  において記憶ノード N 2 の電位は電位  $V_{DD}$  から電位  $V_{SS}$  へと遷移し始める。この後、書き込みワード線 3 1 が電位  $V_{SS}$  へと遷移してスタンバイ動作となり、書き込みヒット線 4 1 も電位  $V_{SS}$  へと遷移する。

10

20

30

#### 【 0 1 5 5 】

もちろん、記憶ノード N 2 に “ L ” が記憶されていた状態に対して “ L ” を書き込む場合も同様にして、トランジスタ Q N 9 , Q N 1 0 を介して電位点  $V_{SS}$  に接続されることによって実現される。そして記憶ノード N 2 に “ L ” が書き込まれれば、トランジスタ Q P 1 は ON し、これを介して記憶ノード N 1 は電位点  $V_{DD}$  に接続されることで “ H ” が書き込まれる。

#### 【 0 1 5 6 】

本実施の形態においても実施の形態 7 と同様にして、書き込みヒット線 4 1 、書き込み補ヒット線 4 2 とノード N 1 , N 2 との間には、電荷が直接に移動する経路が存在しない。従って書き込みワード線 3 1 が活性化しており、かつ書き込みヒット線 4 1 、書き込み補ヒット線 4 2 がフローティングの状態にあっても、これらがストレージセル S C によって充放電されることはなく、不要な電力が消費されない。よって書き込みワード線 3 1 、読み出しワード線 3 3 が同時に “ H ” となる期間があつても読み出し動作が遅くならない。

40

#### 【 0 1 5 7 】

しかも、図 5 3 で示された構成と比較して、トランジスタ数が少ないため、ストレージセル一つ当たりトランジスタ 2 個分、面積を縮小することができる。またインバータ L 1 , L 2 は情報を安定に保持するために高いスタティックノイズマージンを持つように設計されており、記憶内容を反転するのに時間がかかる。しかし本実施の形態の構成ではトランジスタのクロスカップルによって記憶を保持しているので、書き込み動作を高速に行うこ

50

とができる。

#### 【0158】

また本実施の形態の構成を有するメモリセルでは、half-select write disturbを回避することができる。図36は図34に示された構造のメモリセルMCがマトリクス状に配置された構成の一部を示す回路図である。そして第x番目の行であって第j番目の列に属するメモリセルMC<sub>xj</sub>と、第x番目の行であって第z番目の列に属するメモリセルMC<sub>xz</sub>と、第y番目の行であって第j番目の列に属するメモリセルMC<sub>yz</sub>とを抽出して描いている。

#### 【0159】

まずメモリセルMC<sub>xj</sub>の記憶ノードN1に情報を書き込む場合を想定する。書き込みビット線41<sub>j</sub>、書き込み補ビット線42<sub>j</sub>がそれぞれ“H”, “L”である場合に書き込みワード線31<sub>x</sub>が“H”となると、メモリセルMC<sub>xj</sub>のトランジスタQN9, QN10を介して記憶ノードN2に電位V<sub>SS</sub>が与えられる。このとき、メモリセルMC<sub>xj</sub>のトランジスタQN11はオフしている。また記憶ノードN2に電位V<sub>SS</sub>が与えられているのでメモリセルMC<sub>xj</sub>のトランジスタQP1はONし、記憶ノードN1には電位V<sub>DD</sub>が与えられる。

#### 【0160】

この際、メモリセルMC<sub>xz</sub>のトランジスタQN10, QN12も、書き込みワード線31<sub>x</sub>が“H”となることによってONする。しかし書き込みビット線41<sub>z</sub>、書き込み補ビット線42<sub>z</sub>をいずれも電位V<sub>SS</sub>にプリチャージしてスタンバイ状態としておくことにより、メモリセルMC<sub>xz</sub>のトランジスタQN9, QN11をオフさせておくことができる。よってメモリセルMC<sub>xz</sub>の記憶内容が書き換えられることはない。

#### 【0161】

また、メモリセルMC<sub>yz</sub>のトランジスタQN9も、書き込みビット線41<sub>j</sub>が“H”となることによってONする。しかし書き込みワード線31<sub>y</sub>が選択されていないので“L”であり、よってメモリセルMC<sub>yz</sub>のトランジスタQN10, QN12をオフさせておくことができる。よってメモリセルMC<sub>yz</sub>の記憶内容が書き換えられることはない。以上のことから、half-select write disturbを回避することができる。

#### 【0162】

図37は本実施の形態の第1の変形にかかるメモリセルの構成を示す回路図である。当該メモリセルでは図34に示された構成に対し、書き込みワード線31ではなく、書き込み補ワード線34を採用している。そしてNMOSトランジスタQN10, QN12をそれぞれPMOSトランジスタQP10, QP12に置換している。書き込み動作において書き込み補ワード線34には書き込みワード線31と相補的な論理が与えられるので、書き込みワード線31と書き込み補ワード線34とに与えられた論理に関し、PMOSトランジスタQP10, QP12はNMOSトランジスタQN10, QN12と同様の動作をする。従って、図37に示された構成も図34に示された構成と同様の効果を得ることができる。

#### 【0163】

図38は本実施の形態の第2の変形にかかるメモリセルの構成を示す回路図である。当該メモリセルでは図34に示された構成に対し、NMOSトランジスタQN9, QN11をそれぞれPMOSトランジスタQP11, QP9に置換している。そしてPMOSトランジスタQP9, QP11のゲートにはそれぞれ書き込みビット線41、書き込み補ビット線42が接続されている。書き込みビット線41、書き込み補ビット線42には書き込み動作の際に相互に相補的な論理が与えられるので、PMOSトランジスタQP9, QP11は、書き込みビット線41、書き込み補ビット線42に与えられた論理に対してNMOSトランジスタQN11, QN9と同様の動作をする。従って、図38に示された構成も図34に示された構成と同様の効果を得ることができる。

#### 【0164】

図39は本実施の形態の第3の変形にかかるメモリセルの構成を示す回路図である。当該メモリセルでは図34に示された構成と、高電位側と低電位側を入れ替えた構成を有して

10

20

30

40

50

いる。即ち、記憶ノードN2は、トランジスタQ P 1 1 , Q P 1 0の直列接続を介してのみ電位点V<sub>DD</sub>に接続されている。トランジスタQ P 1 1 , Q P 1 0のゲートはそれぞれ書き込みビット線4 1、書き込み補ワード線3 4に接続されており、これらの論理によって導通が制御される。同様にして記憶ノードN1は、トランジスタQ P 9 , Q N 1 2の直列接続を介してのみ電位点V<sub>DD</sub>に接続されている。トランジスタQ P 9 , Q P 1 2のゲートはそれぞれ書き込み補ビット線4 2、書き込み補ワード線3 4に接続されており、これらの論理によって導通が制御される。このような構成でも図3 4に示された構成と同様の効果が得られるのは明白である。

#### 【0165】

図4 0は本実施の形態の第4の変形にかかるメモリセルの構成を示す回路図である。当該メモリセルでは図3 9に示された構成に対し、書き込み補ワード線3 4ではなく、書き込みワード線3 1を採用している。そしてPMOSトランジスタQ P 1 0 , Q P 1 2をそれぞれNMOSトランジスタQ N 1 0 , Q N 1 2に置換している。書き込み動作において書き込み補ワード線3 4には書き込みワード線3 1と相補的な論理が与えられるので、書き込みワード線3 1と書き込み補ワード線3 4とに与えられた論理に関し、NMOSトランジスタQ N 1 0 , Q N 1 2はPMOSトランジスタQ P 1 0 , Q P 1 2と同様の動作をする。従って、図4 0に示された構成も図3 9に示された構成と同様の効果を得ることができる。10

#### 【0166】

図4 1は本実施の形態の第5の変形にかかるメモリセルの構成を示す回路図である。当該メモリセルでは図3 9に示された構成に対し、PMOSトランジスタQ P 9 , Q P 1 1をそれぞれNMOSトランジスタQ N 1 1 , Q N 9に置換している。そしてNMOSトランジスタQ N 1 1 , Q N 9のゲートにはそれぞれ書き込みビット線4 1、書き込み補ビット線4 2が接続されている。書き込みビット線4 1、書き込み補ビット線4 2には書き込み動作の際に相互に相補的な論理が与えられるので、NMOSトランジスタQ N 9 , Q N 1 1は、書き込みビット線4 1、書き込み補ビット線4 2に与えられた論理に対してPMOSトランジスタQ P 1 1 , Q P 9と同様の動作をする。従って、図4 1に示された構成も図3 9に示された構成と同様の効果を得ることができる。20

#### 【0167】

図4 2は本実施の形態の第6の変形にかかるメモリセルの構成を示す回路図である。当該セルは図3 4に示された構成において、トランジスタQ N 1 2をトランジスタQ N 1 0で兼用した構成を有している。また図4 3は本実施の形態の第7の変形にかかるメモリセルの構成を示す回路図である。当該セルは図3 9に示された構成において、トランジスタQ P 1 2をトランジスタQ P 1 0で兼用した構成を有している。第6の変形も第7の変形も、1つのメモリセル当たり、2つのトランジスタをマージしてトランジスタの数を1つ減らしている。これにより、メモリセルの占有面積を低減しつつも、本実施の形態の効果を得ることができる。30

#### 【0168】

図4 4は第i行のメモリセルM C<sub>i1</sub> ~ M C<sub>in</sub>において図4 2に示された構成を応用した構成を示す回路図である。同じ行に属する複数のメモリセルM C<sub>ij</sub>は、書き込みワード線3 1を共通に使用する。従ってn個のメモリセルM C<sub>i1</sub> ~ M C<sub>in</sub>について、トランジスタQ N 1 0 (あるいはQ N 1 2)は、一つのNMOSトランジスタQ N 1 0 0へとマージすることができる。図4 5は第i行のメモリセルM C<sub>i1</sub> ~ M C<sub>in</sub>において図4 3に示された構成を応用した構成を示す回路図である。同じ行に属する複数のメモリセルM C<sub>ij</sub>は、書き込み補ワード線3 4を共通に使用する。従ってn個のメモリセルM C<sub>i1</sub> ~ M C<sub>in</sub>について、トランジスタQ P 1 0 (あるいはQ P 1 2)は、一つのPMOSトランジスタQ P 1 0 0へとマージすることができる。このようなマージにより、トランジスタ数を一層低減することができる。40

#### 【0169】

本実施の形態で示されたトランジスタはシリコン基板を用いて形成しても良いし、公知の50

S O I 基板、S O N (Silicon On Nothing) 基板を用いて形成しても良い。

**【 0 1 7 0 】**

実施の形態 9 .

図 4 6 は本実施の形態にかかるメモリセル M C の一つの構成を例示する回路図である。従来の技術と同様に、行の位置及び列の位置を示す添字は省略しているが、図 1 で示された M C<sub>i,j</sub> の各々として採用することができる。但し、読み出し回路は省略している。

**【 0 1 7 1 】**

図 4 6 に示されたメモリセル M C は、図 1 0 に示された構成に対し、ストレージセル S C をクロスカップルされた一対のトランジスタで構成した点で特徴的に異なっている。即ち、記憶ノード N 1 にはトランジスタ Q N 1 のドレインとトランジスタ Q N 2 のゲートとが共通に接続され、記憶ノード N 2 にはトランジスタ Q N 1 のゲートとトランジスタ Q N 2 のドレインとが共通に接続されており、更にトランジスタ Q N 1 , Q N 2 のソースには共通に電位点 V<sub>SS</sub> が接続されている。

**【 0 1 7 2 】**

クロスカップルされた一対のインバータではなく、クロスカップルされた一対のトランジスタでストレージセル S C を構成することにより、ストレージセル一つ当たりトランジスタ 2 個分、面積を縮小することができる。またインバータ L 1 , L 2 のように高いスタティックノイズマージンを持たせる設計が行われることもなく、書き込み動作を高速に行うことができる。

**【 0 1 7 3 】**

トランジスタ M N 9 , M N 1 0 は記憶ノード N 1 と書き込みビット線 4 1 との間に直列に接続され、トランジスタ M N 1 1 , M N 1 2 は記憶ノード N 2 と書き込み補ビット線 4 2 との間に直列に接続されている。そしてトランジスタ M N 9 , M N 1 1 はいずれも N M O S トランジスタであってそのゲートに共通して書き込み制御線 4 4 が接続されている。またトランジスタ M N 1 0 , M N 1 2 はいずれも N M O S トランジスタであってそのゲートに共通して書き込みワード線 3 1 が接続されている。

**【 0 1 7 4 】**

従って、選択された行の書き込みワード線 3 1 を共通にするメモリセルの各々のトランジスタ M N 1 0 , M N 1 2 は導通する。しかし選択されていない列のメモリセルの各々のトランジスタ M N 9 , M N 1 1 は導通しない。逆に、選択された列の書き込み制御線 4 4 を共通にするメモリセルの各々のトランジスタ M N 9 , M N 1 1 は導通する。しかし選択されていない行のメモリセルの各々のトランジスタ M N 1 0 , M N 1 2 は導通しない。従って half-select write disturb を回避することができる。

**【 0 1 7 5 】**

図 4 7 ~ 図 4 9 は本実施の形態の変形を示す回路図である。図 4 7 に示された構成は、図 4 6 に示された構成に対し、書き込み制御線 4 4 を書き込み補制御線 4 5 に置換し、N M O S トランジスタ M N 9 , M N 1 1 をそれぞれ P M O S トランジスタ M P 9 , M P 1 1 に置換した構成を有している。書き込み補制御線 4 5 には書き込み制御線 4 4 と相補的な論理が与えられるので、図 4 7 に示された構成も図 4 6 に示された構成と同様に動作することは明白である。

**【 0 1 7 6 】**

図 4 8 に示された構成は、図 4 6 に示された構成に対し、書き込みワード線 3 1 を書き込み補ワード線 3 4 に置換し、N M O S トランジスタ M N 1 0 , M N 1 2 をそれぞれ P M O S トランジスタ M P 1 0 , M P 1 2 に置換した構成を有している。書き込み動作において書き込み補ワード線 3 4 には書き込みワード線 3 1 と相補的な論理が与えられるので、書き込みワード線 3 1 と書き込み補ワード線 3 4 とに与えられた論理に関し、P M O S トランジスタ M P 1 0 , M P 1 2 は N M O S トランジスタ M N 1 0 , M N 1 2 と同様の動作をする。従って、図 4 8 に示された構成も図 4 6 に示された構成と同様の効果を得ることができる。

**【 0 1 7 7 】**

10

20

30

40

50

図49に示された構成は、図48に示された構成に対し、書き込み制御線44を書き込み補制御線45に置換し、NMOSトランジスタMN9,MN11をそれぞれPMOSトランジスタMP9,MP11に置換した構成を有している。図49に示された構成も図46に示された構成と同様に動作することは明白である。

#### 【0178】

図50は本実施の形態の他の変形を示す回路図である。図49に示された構成において、ストレージセルSCの構成のみが異なっている。図50ではクロスカップルされた一対のトランジスタはPMOSトランジスタQP1, QP2である。即ち、記憶ノードN1にはトランジスタQP1のドレインとトランジスタQP2のゲートとが共通に接続され、記憶ノードN2にはトランジスタQP1のゲートとトランジスタQP2のドレインとが共通に接続されており、更にトランジスタQP1, QP2のソースには共通に電位点 $V_{DD}$ が接続されている。図50に示された構成も図46に示された構成と同様に動作することは明白である。

10

#### 【0179】

図46に示された構成では、メモリセルMCが全てNMOSトランジスタで構成されているので、PMOSトランジスタとNMOSトランジスタとの間の分離領域を設ける必要が無く、メモリセルMCの占有面積を小さくすることができる。図50に示された構成ではメモリセルMCが全てPMOSトランジスタで構成されているので、同様にしてメモリセルMCの占有面積を小さくすることができる。

20

#### 【0180】

図46に示された構成では、書き込みビット線41に与えられた論理が“L”で電位 $V_{SS}$ が与えられる場合は、NMOSトランジスタMN9, MN10のしきい値は問題とならず、記憶ノードN1には電位 $V_{SS}$ が与えられる。しかし書き込みビット線41に与えられた論理が“H”で電位 $V_{DD}$ が与えられる場合は、NMOSトランジスタMN9, MN10のしきい値電圧を $V_{thn} (> 0)$ として、記憶ノードN1には電位( $V_{DD} - 2V_{thn}$ )が与えられる。そのため記憶ノードN1に“H”を書き込む場合は、“L”を書き込む場合と比較してストレージセルSCの安定は遅くなる。

#### 【0181】

図49や図50に示された構成では、書き込みビット線41に電位 $V_{DD}$ が与えられる場合は、PMOSトランジスタMP9, MP10のしきい値は問題とならず、記憶ノードN1には電位 $V_{DD}$ が与えられる。しかし書き込みビット線41に電位 $V_{SS}$ が与えられる場合は、PMOSトランジスタMP9, MP10のしきい値電圧を $V_{thp} (< 0)$ として、記憶ノードN1には電位( $V_{SS} - 2V_{thp}$ )が与えられる。そのため記憶ノードN1に“L”を書き込む場合は、“H”を書き込む場合と比較してストレージセルSCの安定は遅くなる。

30

#### 【0182】

これに対して図47に示された構成では書き込みビット線41に電位 $V_{DD}$ が与えられた場合、PMOSトランジスタMP9でのしきい値分の減少はなく、記憶ノードN1には電位( $V_{DD} - V_{thn}$ )が与えられる。逆に書き込みビット線41に電位 $V_{SS}$ が与えられた場合、NMOSトランジスタMN10でのしきい値分の減少はなく、記憶ノードN1には電位( $V_{SS} - V_{thp}$ )が与えられる。従ってストレージセルSCの安定に必要な時間の最悪値(最大値)を図49や図50に示された構成よりも小さくすることができる。これは図48に示された構成についても同様である。

40

#### 【0183】

本実施の形態の説明は全て書き込み回路について説明したが、これらは読み出し回路について採用できることは明白である。即ち書き込みワード線31、書き込み補ワード線34、書き込みビット線41、書き込み補ビット線42をそれぞれ読み出しワード線33、読み出し補ワード線32、読み出しひット線43、読み出し補ビット線46と読み替えればよい。更に書き込み制御線44、書き込み補制御線45はそれぞれ読み出し制御線、読み出し補制御線と読み替えればよい。

50

**【0184】**

ここで読み出し制御線には読み出し時に活性化（例えば“H”）、スタンバイ時に非活性化（例えば“L”）する信号が与えられ、読み出し補制御線には読み出し時において読み出し制御線と相補的な論理を採る信号が与えられる。読み出し制御線に与える信号としては、読み出しワード線33に与えられる論理と読み出し補ワード線32に与えられる論理との論理的排他和を採用することができる。

**【0185】**

もちろん、ワード線対、ピット線対を読み出し／書き込みの両方に採用することもできる。本実施の形態はマルチポート、シングルポートのいずれのタイプにも適用することができる。

10

**【0186】**

本実施の形態で示されたトランジスタはシリコン基板を用いて形成しても良いし、公知のSOI基板、SON (Silicon On Nothing) 基板を用いて形成しても良い。

**【0187】****【発明の効果】**

この発明のうち請求項1にかかる記憶装置によれば、書き込み動作時においては、書き込み対象となるメモリセルにおいて、書き込みワード線と、書き込み制御線のいずれもが活性化するので、第1の記憶ノードが第1のスイッチを介して書き込みピット線と接続される。よって書き込みピット線に与えられた論理の如何によらず、第1の記憶ノードに於いて記憶される論理を反転するのに必要な時間は短い。その一方で、書き込み対象とならないメモリセルにおいては書き込み制御線が活性化しないので、第1のスイッチは第1の記憶ノードを書き込みピット線に接続しない。従って、かかるメモリセルにおける不要な電力の消費を低減できる。

20

**【0188】**

そして、選択されないピット線群において書き込みピット線及び書き込み補ピット線はプリチャージされる。このプリチャージは通常、書き込みピット線及び書き込み補ピット線を等しい電位に設定するので、両者の排他的論理和を採ることにより、書き込み制御線を非活性化することができる。

**【0189】**

この発明のうち請求項2にかかる記憶装置によれば、プリチャージの際に書き込みピット線及び書き込み補ピット線に与えられる電位が、相補的な論理に相当する2つの電位の中間の電位であっても、排他的論理和を正確に得ることができる。

30

**【0190】**

この発明のうち請求項3又は請求項4にかかる記憶装置によれば、第1のスイッチを第1及び第2のトランジスタで実現することができる。

**【0194】**

この発明のうち請求項5にかかる記憶装置によれば、第2トランジスタをSOI基板上に形成しても、書き込みワード線が非活性の際に第1電流電極とボディとの間に実効ベース電流が流れることを抑制できるので、いわゆるhalf-select write disturbを解消することができる。

40

**【図面の簡単な説明】**

**【図1】** この発明の実施の形態1にかかるSRAMを示す概念図である。

**【図2】** この発明の実施の形態1にかかるメモリセルの一つを例示する回路図である。

**【図3】** トライステートインバータを例示する回路図である。

**【図4】** X OR回路を例示する回路図である。

**【図5】** X NOR回路を例示する回路図である。

**【図6】** X AND回路を例示する回路図である。

**【図7】** X OR回路を例示する回路図である。

**【図8】** X NOR回路を例示する回路図である。

**【図9】** X AND回路を例示する回路図である。

50

- 【図10】 この発明の実施の形態1の変形を示す回路図である。
- 【図11】 この発明の実施の形態1を例示する模式図である。
- 【図12】 この発明の実施の形態2にかかるSRAMを示す概念図である。
- 【図13】 この発明の実施の形態2にかかるメモリセルの一つを例示する回路図である。  
。
- 【図14】 この発明の実施の形態2の変形を示す回路図である。
- 【図15】 この発明の実施の形態2の他の変形を示す回路図である。
- 【図16】 この発明の実施の形態3にかかるメモリセルの一つを例示する回路図である。  
。
- 【図17】 この発明の実施の形態3の変形を示す回路図である。 10
- 【図18】 この発明の実施の形態4にかかるメモリセルの一つを例示する回路図である。  
。
- 【図19】 この発明の実施の形態4の変形を示す回路図である。
- 【図20】 この発明の実施の形態5にかかるメモリセルの一つを例示する回路図である。  
。
- 【図21】 この発明の実施の形態5の第1の変形にかかるメモリセルを示す回路図である。
- 【図22】 この発明の実施の形態5の第2の変形にかかるメモリセルを示す回路図である。 20
- 【図23】 この発明の実施の形態5の第3の変形にかかるメモリセルを示す回路図である。
- 【図24】 この発明の実施の形態5の第4の変形にかかるメモリセルを示す回路図である。
- 【図25】 この発明の実施の形態5の第5の変形にかかるメモリセルを示す回路図である。
- 【図26】 この発明の実施の形態5の第6の変形にかかるメモリセルを示す回路図である。
- 【図27】 この発明の実施の形態5の第6の変形にかかるメモリセルの複数を示す回路図である。 30
- 【図28】 従来のアクセストランジスタを例示する断面図である。
- 【図29】 デュアルポートSRAMに採用され得るメモリセルを例示する回路図である。  
。
- 【図30】 この発明の実施の形態7にかかるSRAMを示す概念図である。
- 【図31】 この発明の実施の形態7にかかるメモリセルの一つを例示する回路図である。  
。
- 【図32】 この発明の実施の形態7の変形にかかるメモリセルを示す回路図である。
- 【図33】 この発明の実施の形態7の更なる変形にかかるメモリセルを示す回路図である。
- 【図34】 この発明の実施の形態8にかかるメモリセルの一つを例示する回路図である。 40
- 【図35】 この発明の実施の形態8にかかるメモリセルの動作を例示するタイミングチャートである。
- 【図36】 この発明の実施の形態8にかかるメモリセルがマトリクス状に配置された構成の一部を示す回路図である。
- 【図37】 この発明の実施の形態8の第1の変形にかかるメモリセルの構成を示す回路図である。
- 【図38】 この発明の実施の形態8の第2の変形にかかるメモリセルの構成を示す回路図である。
- 【図39】 この発明の実施の形態8の第3の変形にかかるメモリセルの構成を示す回路図である。 50

【図40】 この発明の実施の形態8の第4の変形にかかるメモリセルの構成を示す回路図である。

【図41】 この発明の実施の形態8の第5の変形にかかるメモリセルの構成を示す回路図である。

【図42】 この発明の実施の形態8の第6の変形にかかるメモリセルの構成を示す回路図である。

【図43】 この発明の実施の形態8の第7の変形にかかるメモリセルの構成を示す回路図である。

【図44】 この発明の実施の形態8の第6の変形にかかるメモリセルの複数を示す回路図である。 10

【図45】 この発明の実施の形態8の第7の変形にかかるメモリセルの複数を示す回路図である。

【図46】 この発明の実施の形態9にかかるメモリセルMCの一つの構成を例示する回路図である。

【図47】 この発明の実施の形態9の変形を示す回路図である。

【図48】 この発明の実施の形態9の変形を示す回路図である。

【図49】 この発明の実施の形態9の変形を示す回路図である。

【図50】 この発明の実施の形態9の他の変形を示す回路図である。

【図51】 従来のSRAMを示す概念図である。

【図52】 従来のメモリセルを例示する回路図である。 20

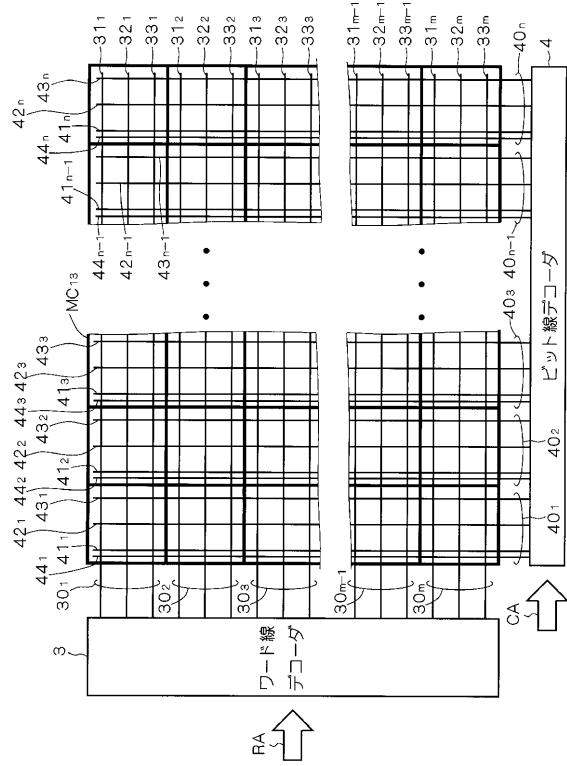
【図53】 従来のメモリセルを例示する回路図である。

【図54】 デュアルポートSRAMと、その動作を制御する装置との接続を示すプロック図である。

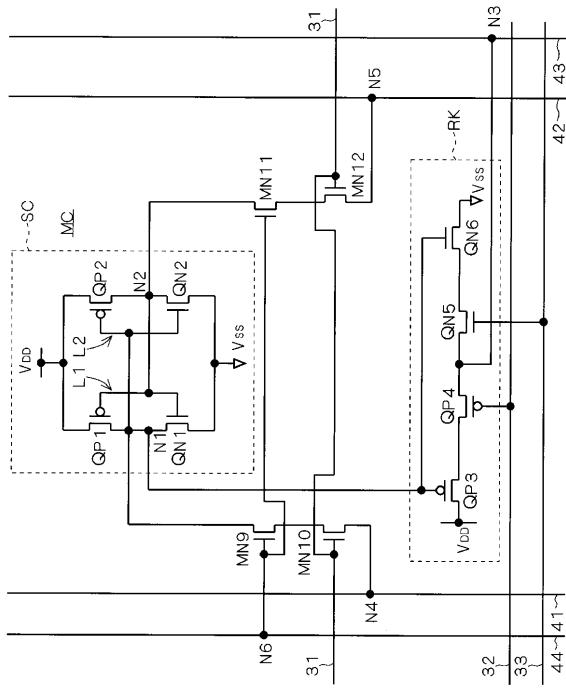
【符号の説明】

30 ワード線群、31 書き込みワード線、32 読み出し補ワード線、33 読み出しづード線、34 書き込み補ワード線、40 ビット線群、41 書き込みビット線、42 書き込み補ビット線、43 読み出しふット線、44 書き込み制御線、45 書き込み補制御線、46 読み出し補ビット線、MC  
メモリセル。

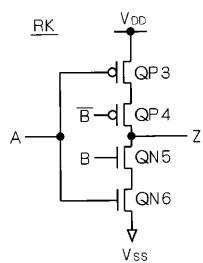
【図1】



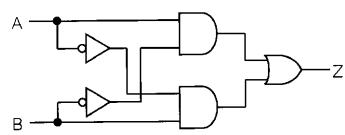
【図2】



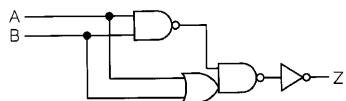
【図3】



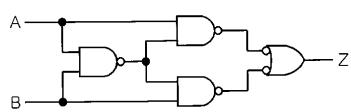
【図4】



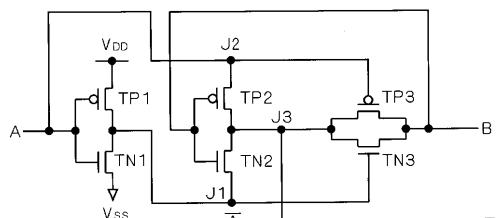
【図5】



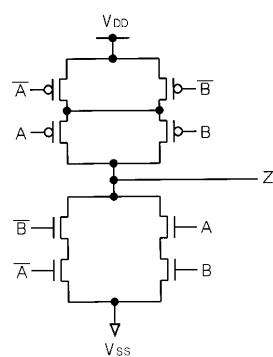
【図6】



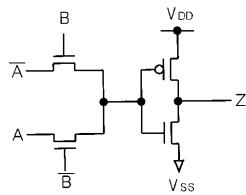
【図7】



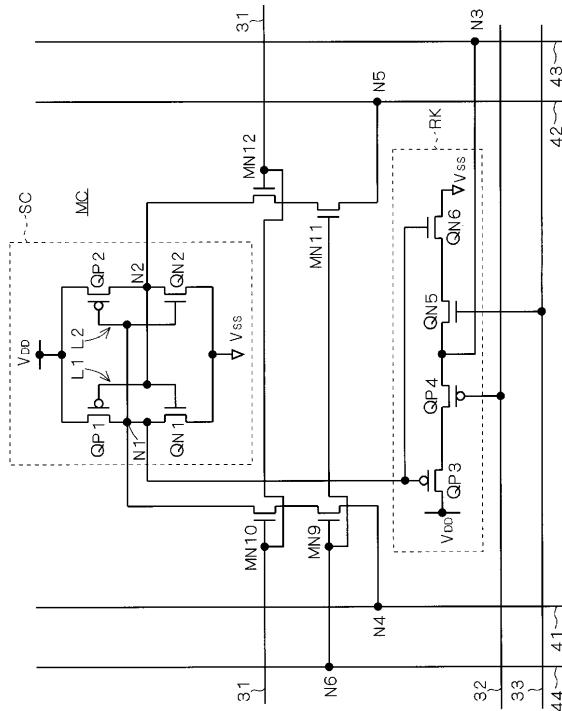
【図8】



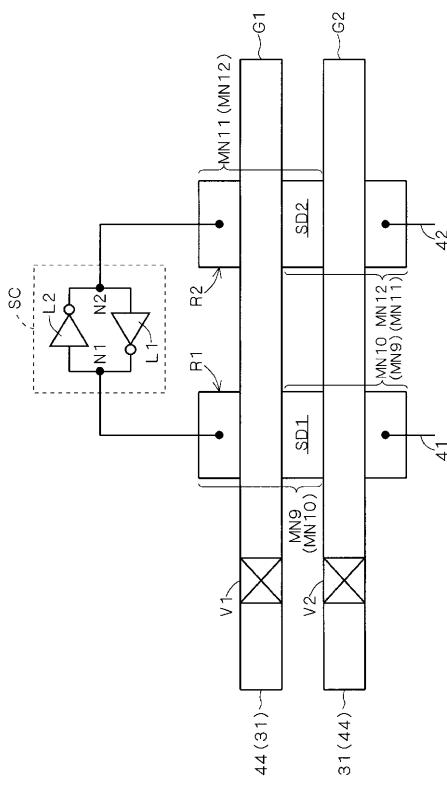
【図9】



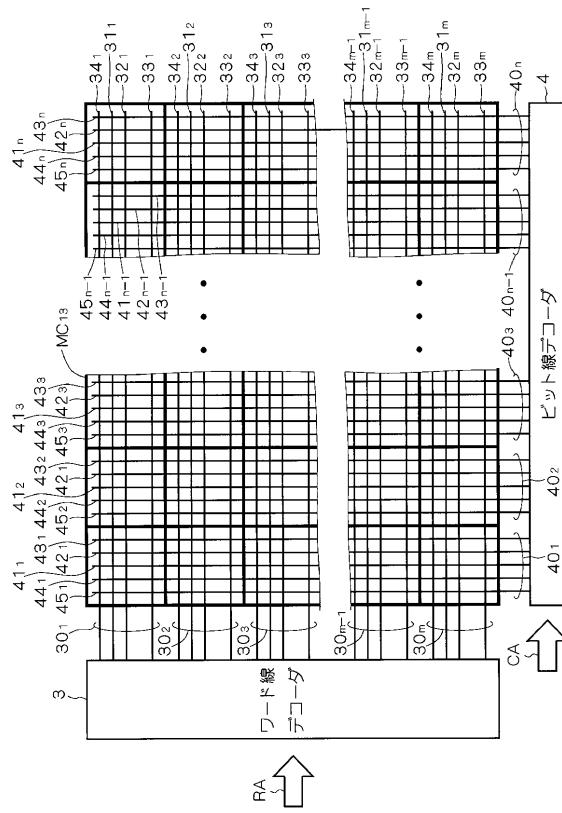
【図10】



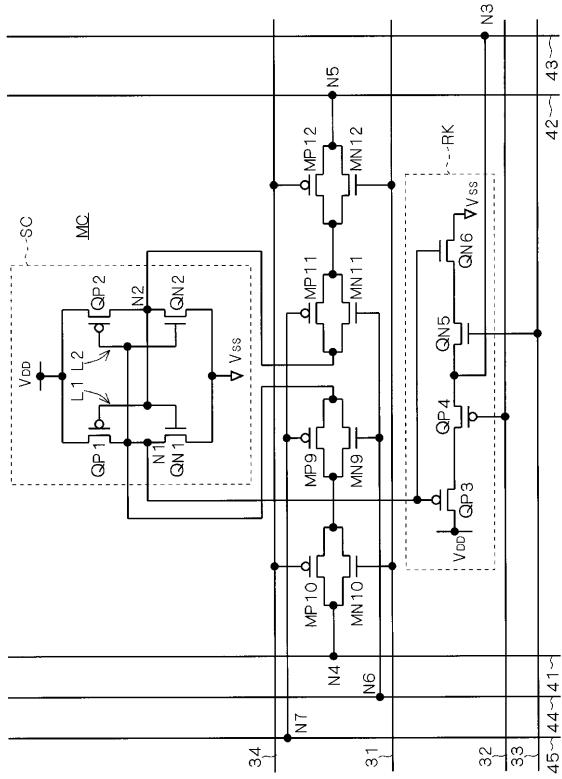
【図11】



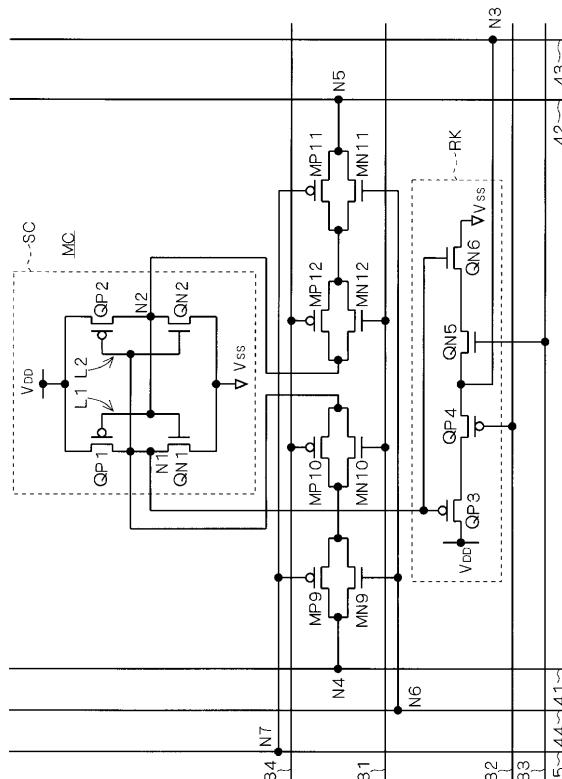
【図12】



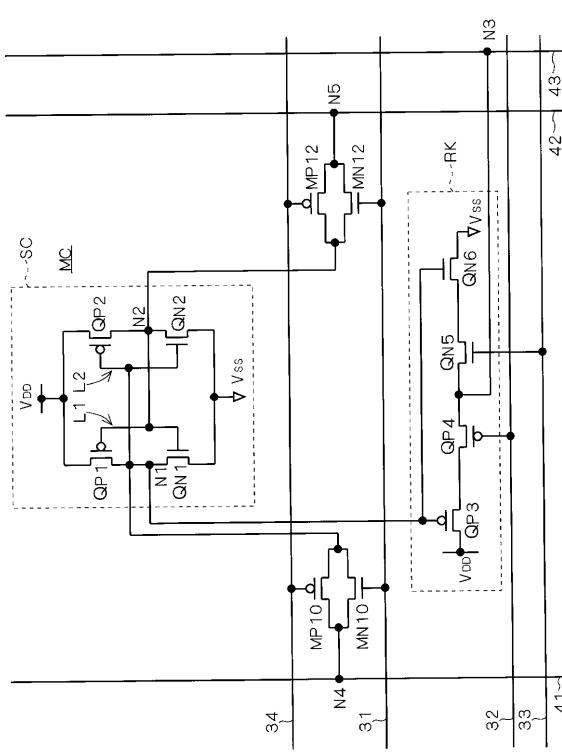
【図 1 3】



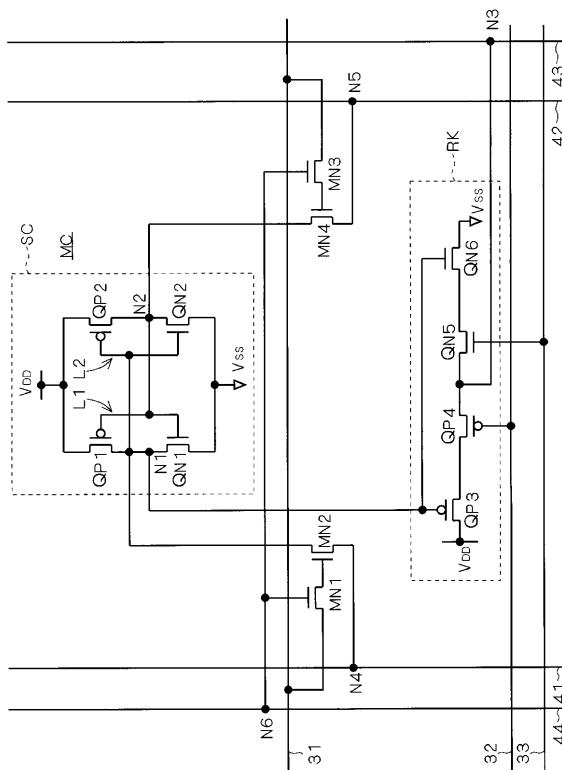
【図 1 4】



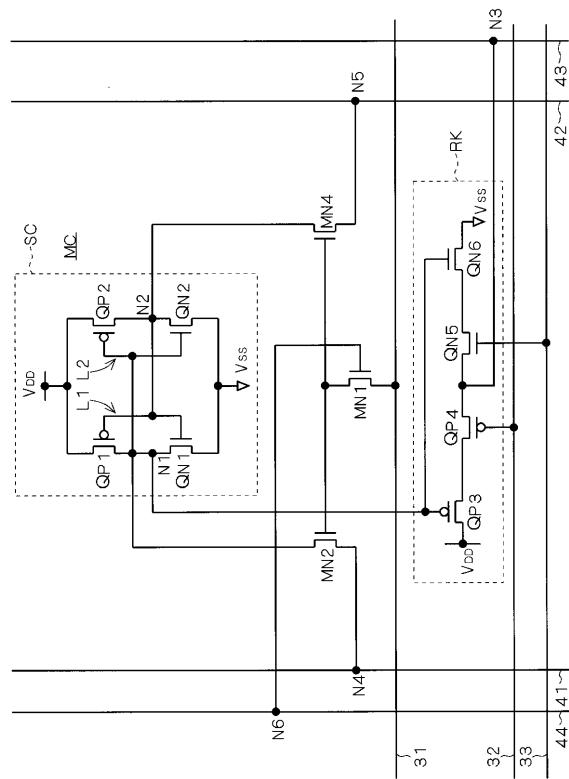
【図 1 5】



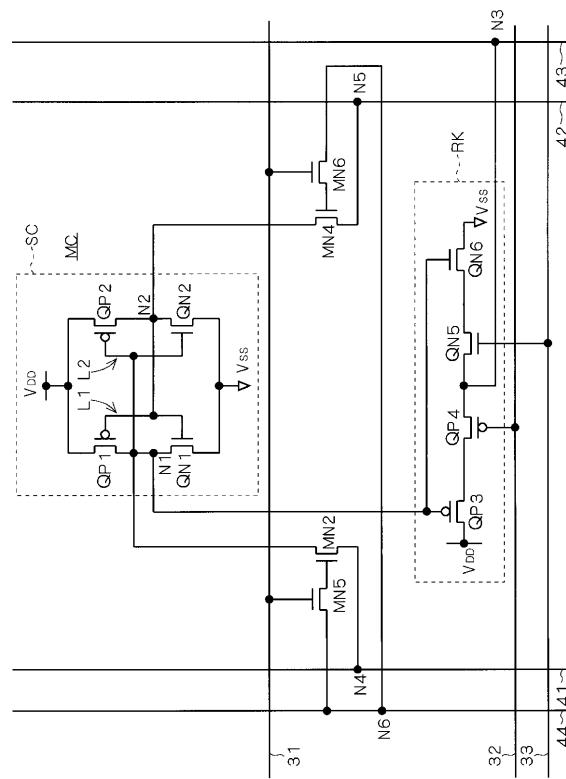
【図 1 6】



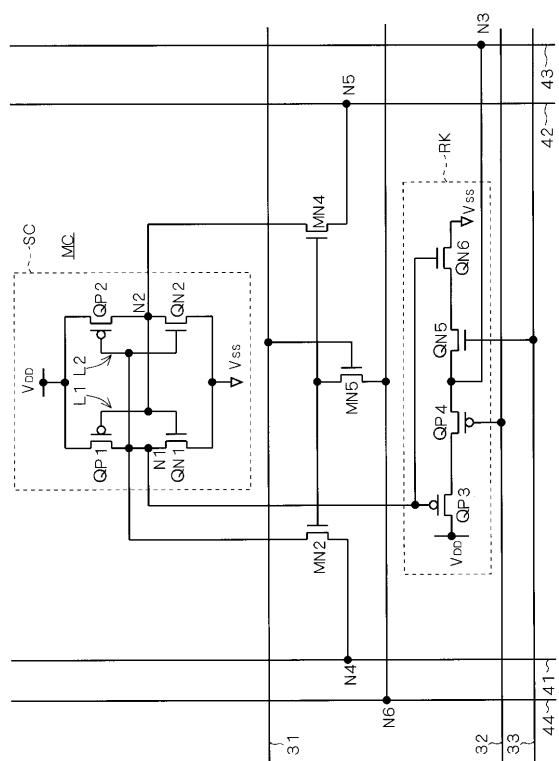
【図17】



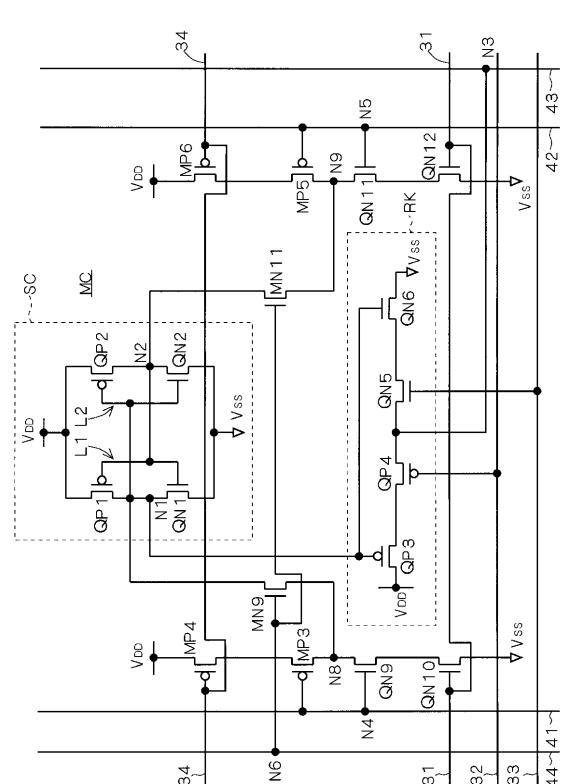
【図18】



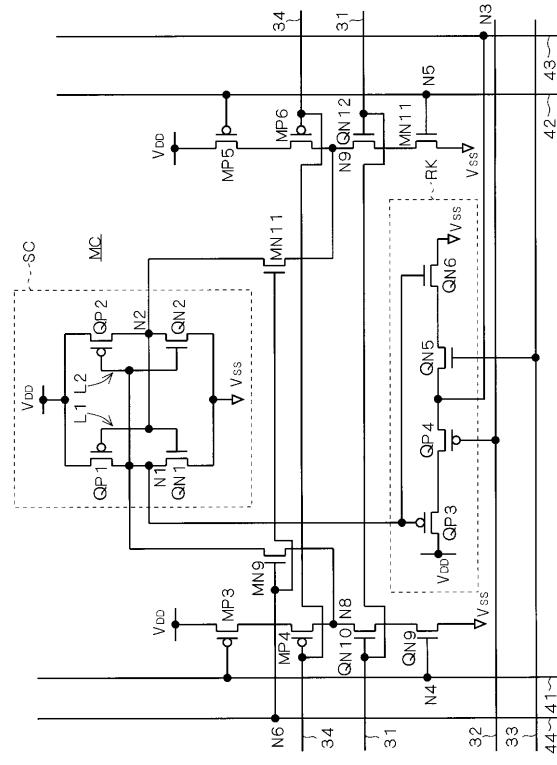
【図19】



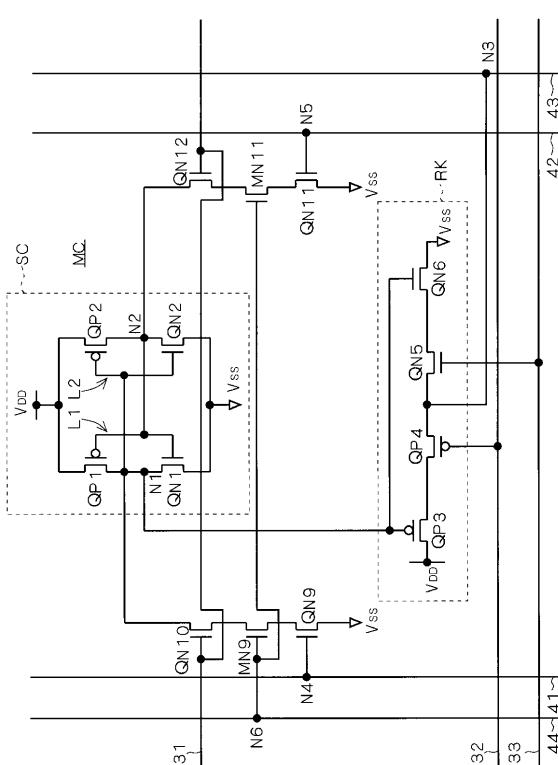
【図20】



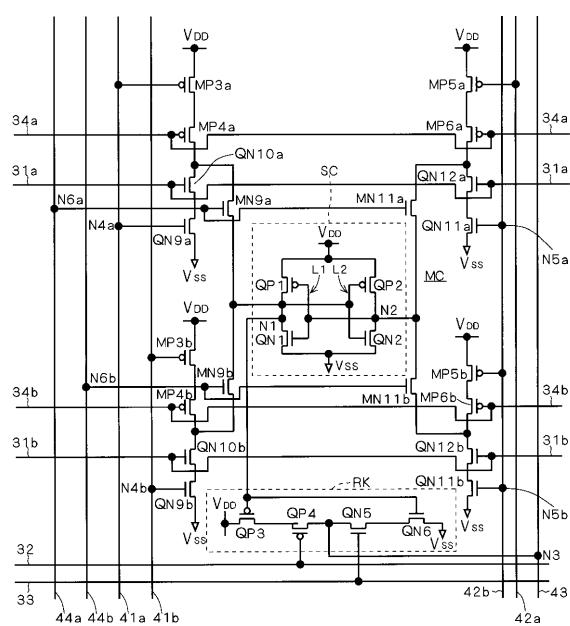
【図21】



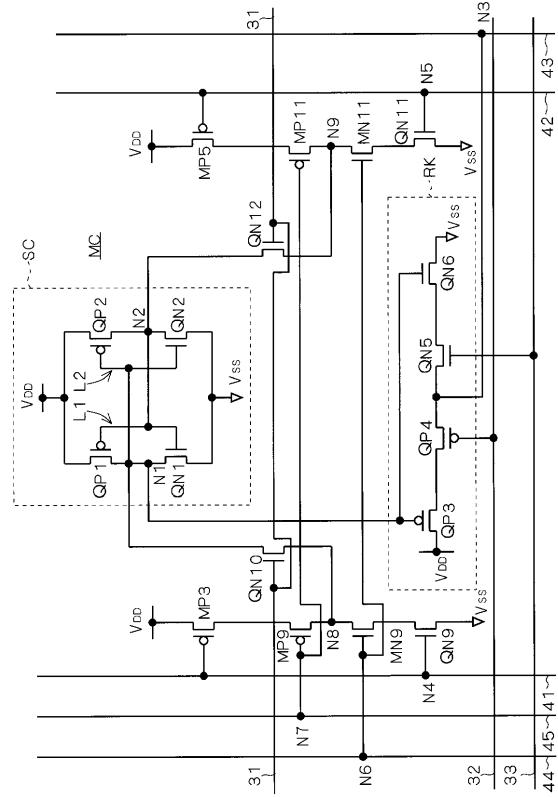
【図22】



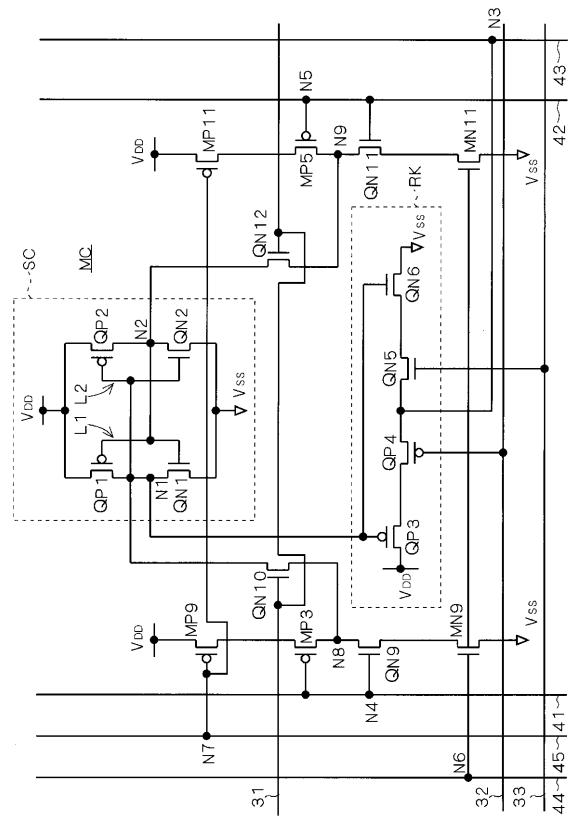
【図23】



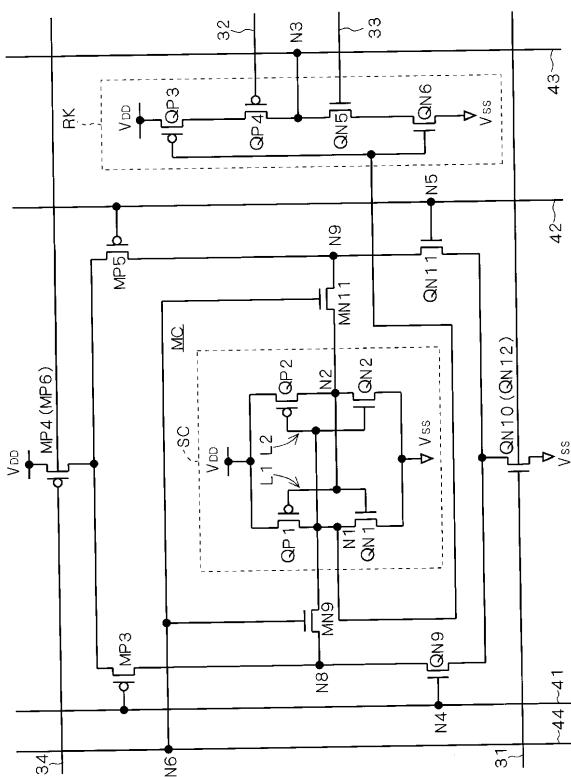
【図24】



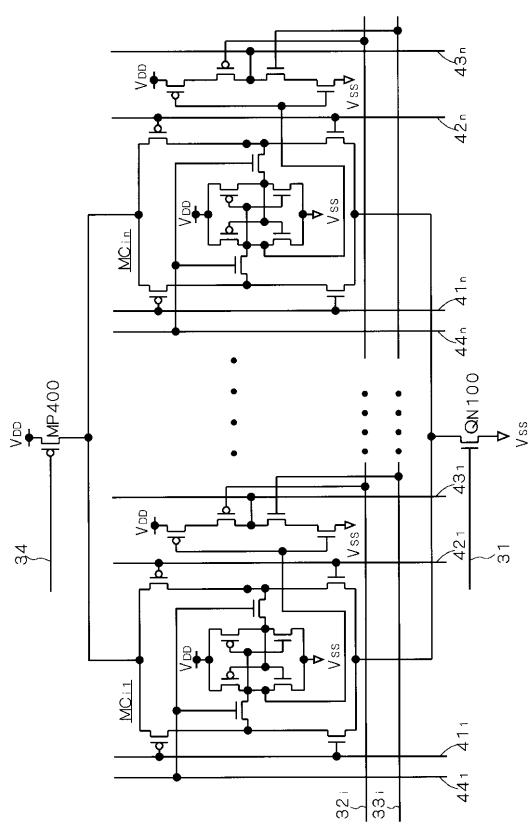
【図25】



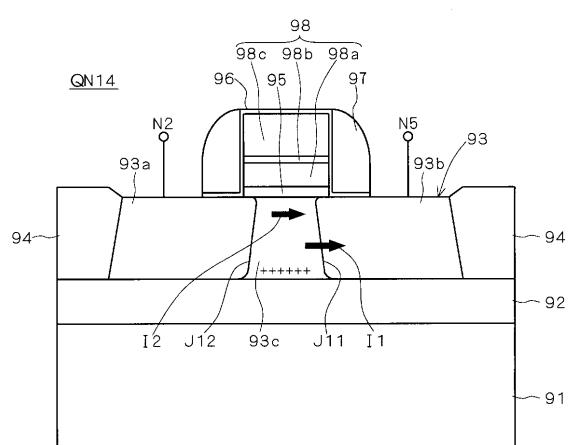
【図26】



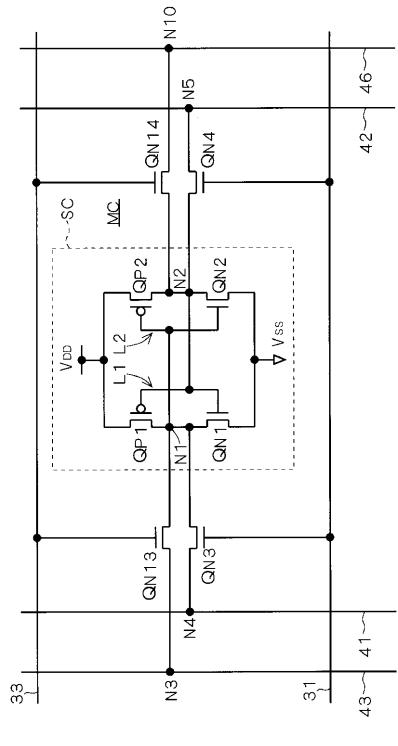
【図27】



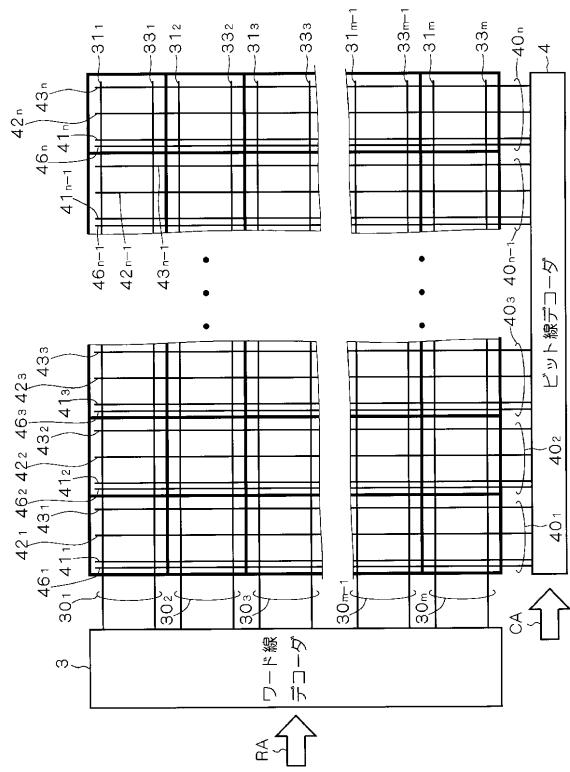
【図28】



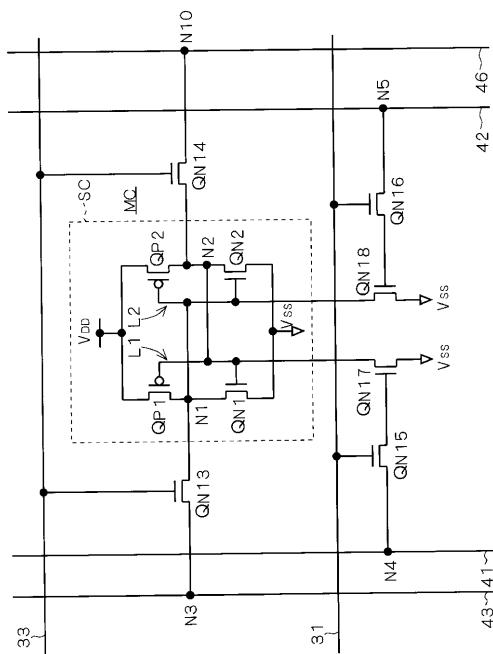
【図29】



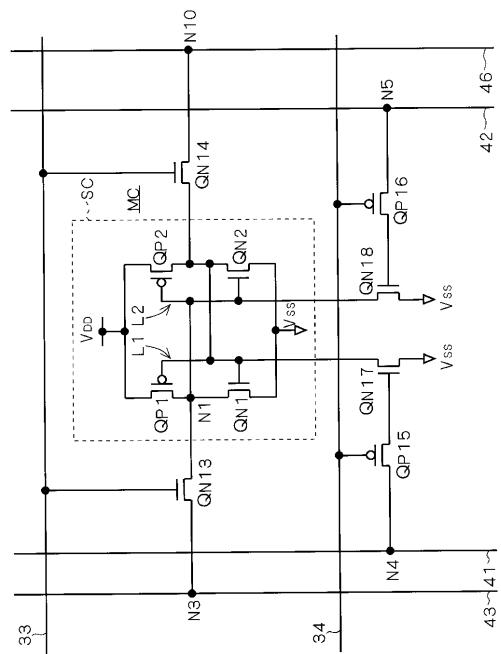
【図30】



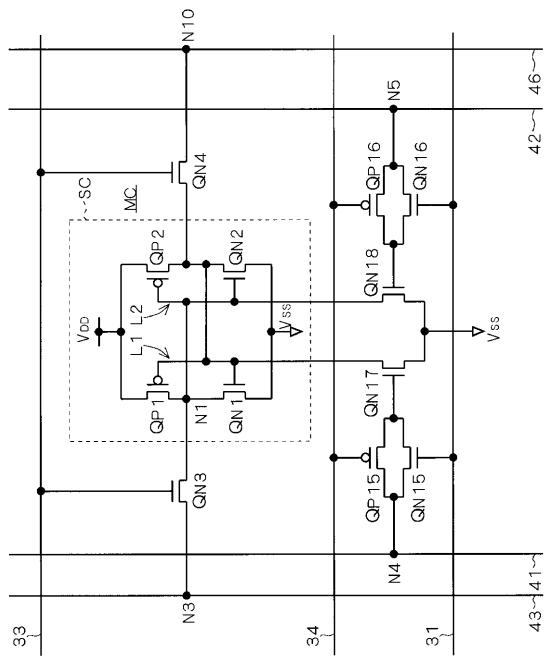
【図31】



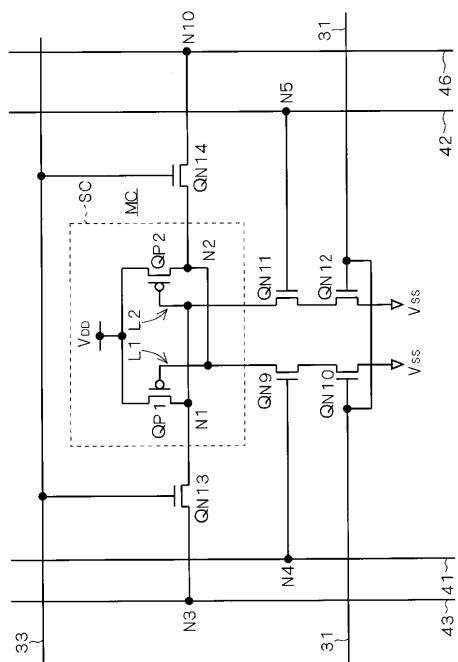
【図32】



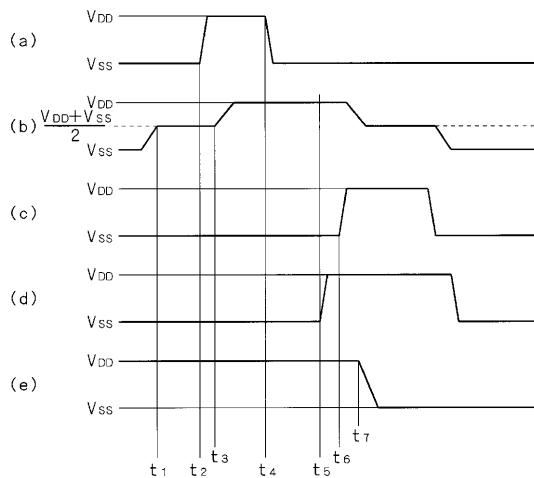
【図 3 3】



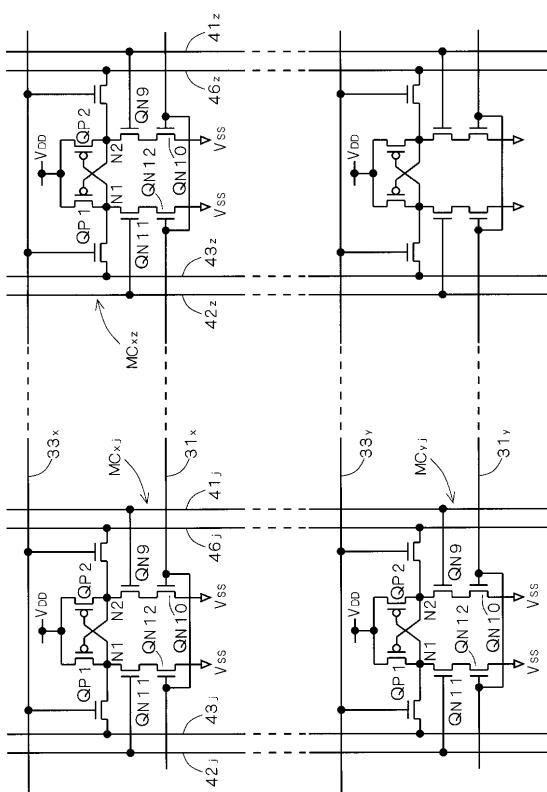
【図 3 4】



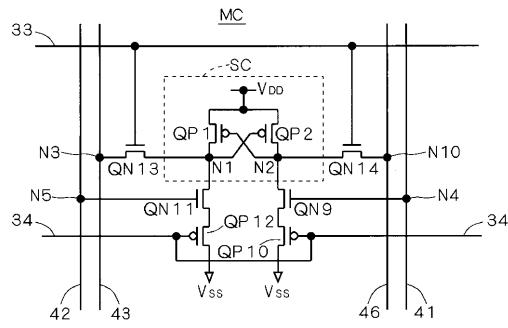
【図 3 5】



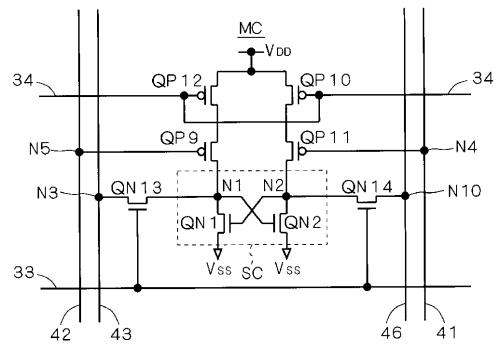
【図 3 6】



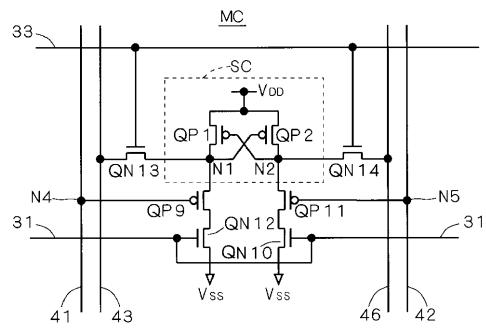
【図37】



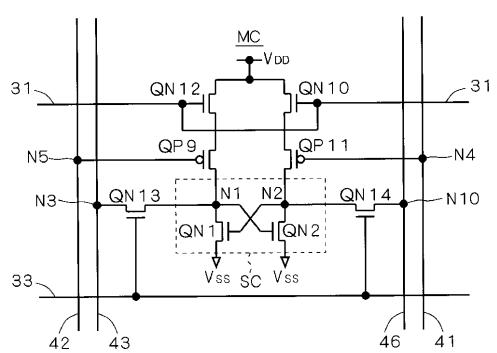
【図39】



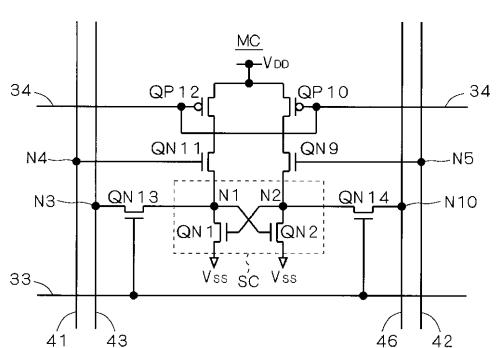
【図38】



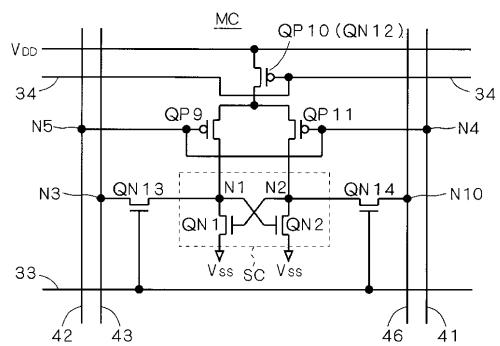
【図40】



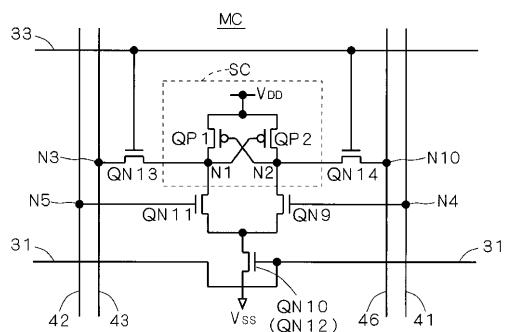
【図41】



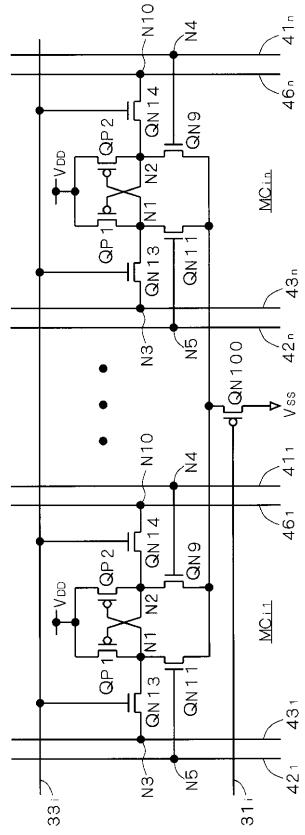
【図43】



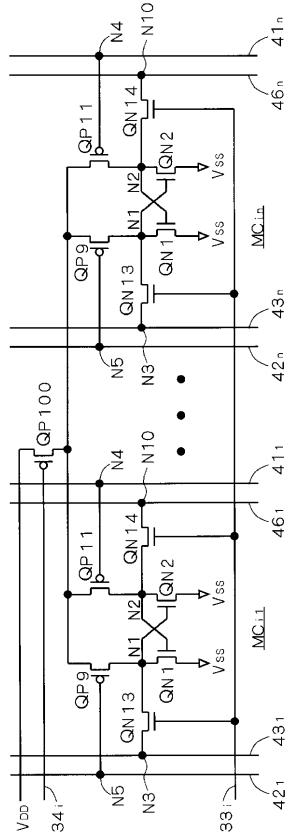
【図42】



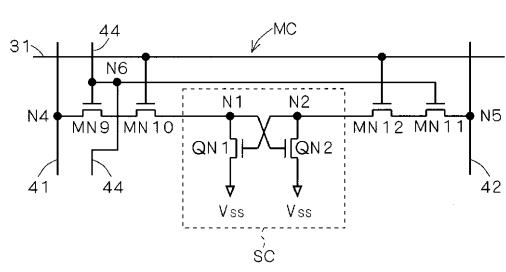
【図44】



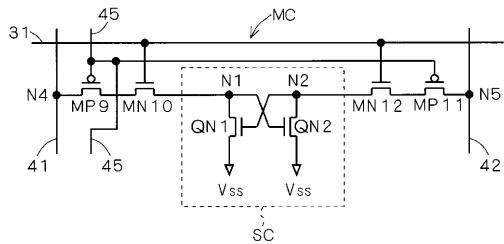
【図45】



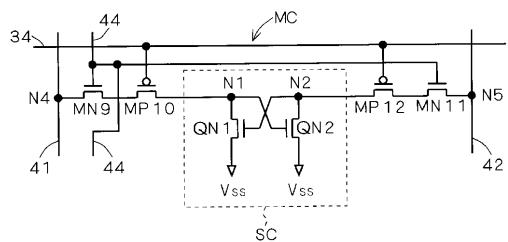
【図46】



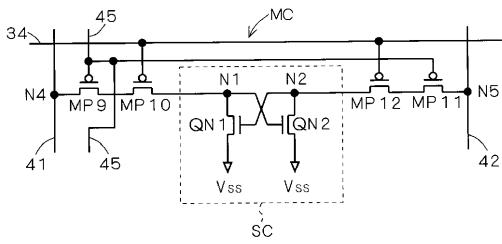
【図47】



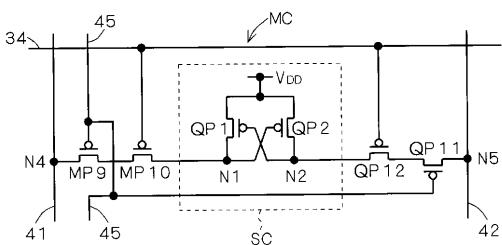
【図48】



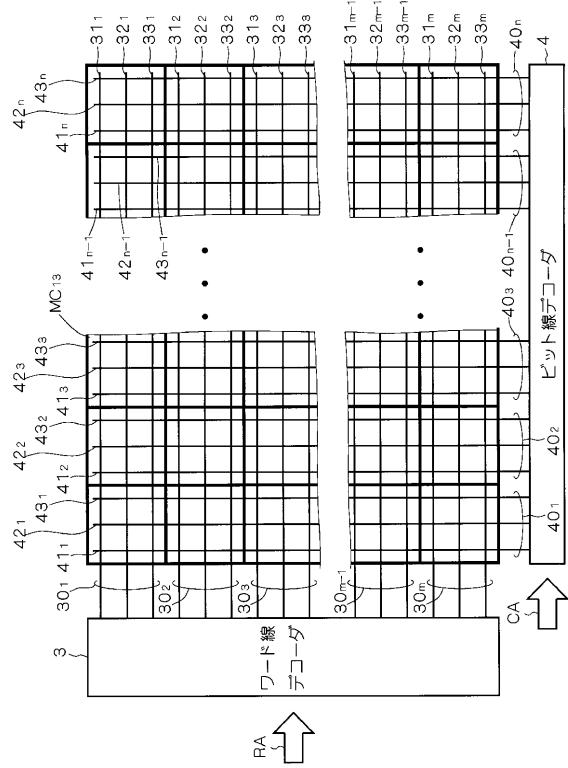
【図49】



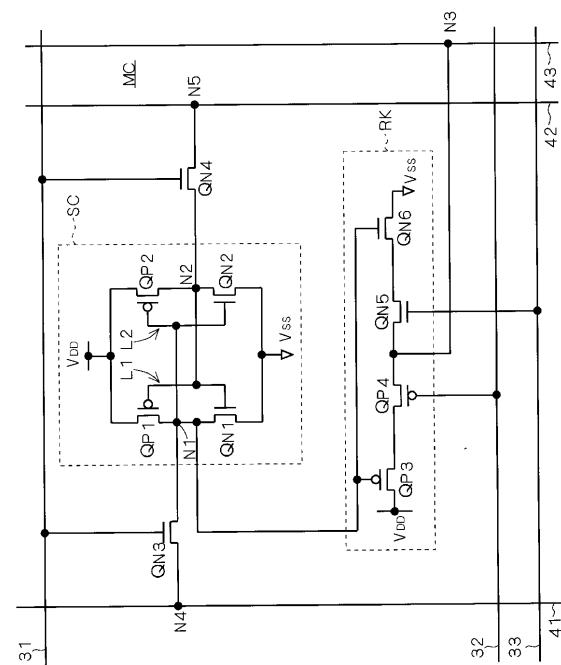
【図50】



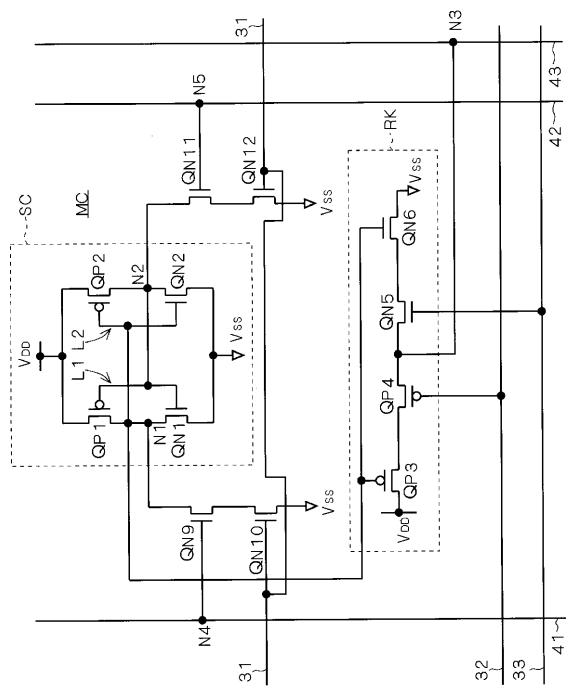
【図 5 1】



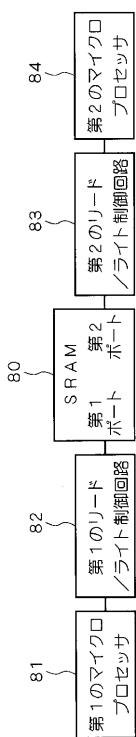
【図 5 2】



【図 5 3】



【図 5 4】



---

フロントページの続き

(56)参考文献 特開平10-222986(JP,A)  
特開平03-137893(JP,A)  
実開昭51-040231(JP,U)  
特開平11-007775(JP,A)  
特開平10-340584(JP,A)  
特開昭54-064433(JP,A)  
特開平04-372793(JP,A)  
特開平04-298887(JP,A)  
特開昭62-170090(JP,A)  
特開昭60-008553(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/418  
G11C 11/41  
G11C 11/412