



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년06월03일
 (11) 등록번호 10-1403097
 (24) 등록일자 2014년05월27일

(51) 국제특허분류(Int. Cl.)
 H01L 21/8238 (2006.01) H01L 21/336 (2006.01)
 H01L 29/78 (2006.01)
 (21) 출원번호 10-2012-0109955
 (22) 출원일자 2012년10월04일
 심사청구일자 2012년10월04일
 (65) 공개번호 10-2013-0103281
 (43) 공개일자 2013년09월23일
 (30) 우선권주장
 13/415,967 2012년03월09일 미국(US)
 (56) 선행기술조사문헌
 KR1020100082339 A*
 JP2007184584 A
 KR1020070094807 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 (72) 발명자
 능 진언
 타이완 신쑤 시티 300 이스트 디스트릭트 진산 노
 스트 1번 스트리트 넘버 7 6 에프
 첸 포니엔
 타이완 미아올리 카운티 360 미아올리 시티 차오
 유 노스트 스트리트 라인 246 넘버 6
 (뒷면에 계속)
 (74) 대리인
 신정건, 김태홍

전체 청구항 수 : 총 10 항

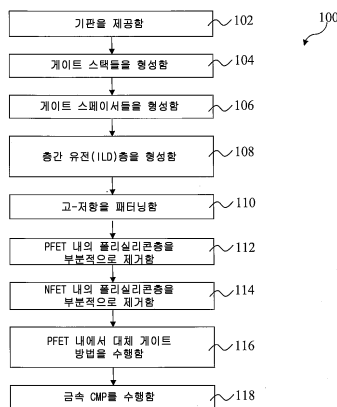
심사관 : 구본재

(54) 발명의 명칭 하이브리드 하이-k/금속-게이트 스택 제조 방법

(57) 요약

하이브리드 HK/금속 게이트 스택을 갖는 반도체 소자를 제조하는 방법이 개시된다. 이 방법은 PFET 영역과 NFET 영역 사이에 복수의 분리 특징부를 갖는 반도체 기판을 제공하는 단계와, 반도체 기판상에 게이트 스택을 형성하는 단계를 포함한다. PFET 영역에서, 게이트 스택은 HK/금속 게이트로서 형성된다. NFET 영역에서, 게이트 스택은 폴리실리콘 게이트로서 형성된다. 고-저항은 다른 폴리실리콘 게이트를 활용함으로써 반도체 기판상에 또한 형성된다.

대표도 - 도1



(72) 발명자

정 쟈첸

타이완 신추 타운티 302 쉐베이 시티 주양징 5번
스트리트 넘버 55-1 6 에프

영 바오루

타이완 신추 카운티 302 쉐베이 시티 리우지아 2번
스트리트 라인 1 넘버 7

정 학-래이

싱가포르 536176 파야 래바 크래센트 51

특허청구의 범위

청구항 1

반도체 소자를 제조하기 위한 방법에 있어서,

복수의 분리 특징부와 제1 하이-k(high-k; HK) 유전 물질을 갖는 반도체 기판을 제공하는 단계;

상기 반도체 기판상에 제1, 제2, 및 제3 폴리실리콘 게이트 스택을 형성하는 단계;

상기 폴리실리콘 게이트 스택상에 측벽 스페이서를 형성하는 단계;

상기 반도체 기판상에 소스 및 드레인을 형성하는 단계;

상기 반도체 기판상에 층간 유전(interlayer dielectric; ILD)층을 형성하는 단계;

상기 ILD층에 대해 화학 기계적 평탄화(chemical mechanical planarization; CMP)를 수행하는 단계;

상기 반도체 기판상에 고-저항을 규정하도록 상기 제1 폴리실리콘 게이트 스택상에 패터닝된 하드 마스크를 형성하는 단계;

상기 반도체 기판상에 상기 제2 폴리실리콘 게이트 스택을 갖는 n형 전계 효과 트랜지스터(n-type field-effect transistor; NFET) 영역과, 상기 제3 폴리실리콘 게이트 스택을 갖는 p형 전계 효과 트랜지스터(p-type field-effect transistor; PFET) 영역을 패터닝하고 규정하는 단계;

상기 PFET 영역 내의 상기 제3 폴리실리콘 게이트 스택을 부분적으로 제거하도록 제1 게이트 에칭을 수행하는 단계;

NFET 게이트 트렌치를 형성하도록 상기 NFET 영역 내에 상기 제2 폴리실리콘 게이트 스택을 부분적으로 제거하기 위해 제2 게이트 에칭을 수행하는 단계; 및

PFET 게이트 트렌치를 형성하도록 상기 PFET 영역 내의 폴리실리콘을 제거하는 단계; 및

상기 제1 폴리실리콘 게이트 스택상에 상기 패터닝된 하드 마스크를 제거하는 단계;

상기 PFET 게이트 트렌치와 상기 NFET 게이트 트렌치 내에 제2 HK 유전 물질을 증착하는 단계;

상기 PFET 게이트 트렌치와 상기 NFET 게이트 트렌치 내의 상기 제2 HK 유전 물질상에 p형 일함수(p-type work function; p-WF) 금속층을 증착하는 단계;

상기 p-WF 금속층상에 채움(filling) 금속층을 증착하는 단계;

상기 NFET 영역 및 PFET 영역 내에 HK/금속 게이트 스택을 형성하도록 과잉 금속층과 과잉 제2 HK 유전 물질을 제거하기 위해 금속 CMP를 수행하는 단계를

포함하는, 반도체 소자를 제조하기 위한 방법.

청구항 2

제1항에 있어서, 상기 NFET 영역 내의 상기 제2 폴리실리콘 게이트 스택이 게이트-퍼스트(gate-first) 방법에 의해 형성되는 것인, 반도체 소자를 제조하기 위한 방법.

청구항 3

제1항에 있어서, 상기 PFET 영역 내의 상기 HK/금속 게이트 스택은 게이트-라스트(gate-last) 방법에 의해 형성되는 것인, 반도체 소자를 제조하기 위한 방법.

청구항 4

하이브리드 HK/금속 게이트를 갖는 반도체 소자에 있어서,

복수의 소스 특징부 및 드레인 특징부를 포함하는 반도체 기판;

상기 반도체 기판을 NFET 영역과 PFET 영역으로 분리시키기 위한 복수의 분리 특징부; 및
 상기 반도체 기판 위에 형성되고 상기 소스 특징부와 드레인 특징부 사이에 배치된 복수의 게이트 스택을
 포함하고,

상기 PFET 영역 내의 게이트 스택은,
 상기 반도체 기판 위에 형성된 계면층;
 상기 계면층 위에 형성된 하이-k(high-k; HK) 유전층;
 상기 HK 유전층의 상단상에 형성된 p형 일함수(p-type work function; p-WF) 금속층; 및
 상기 p-WF 금속층의 상단상에 형성된 채움 금속층을
 포함하고,

상기 NFET 영역 내의 게이트 스택은,
 상기 반도체 기판 위에 형성된 계면층;
 상기 계면층 위에 형성된 HK 유전층;
 상기 HK 유전층 위에 형성된 캡핑층;
 상기 캡핑층 위에 형성된 폴리실리콘층;
 상기 폴리실리콘층의 상단상에 형성된 p-WF 금속층; 및
 상기 p-WF 금속층상에 형성된 금속층을
 포함하는 것인, 반도체 소자.

청구항 5

제4항에 있어서, 상기 게이트 스택의 측벽상에 형성된 스페이서를 더 포함하고, 상기 스페이서는 밀봉 스페이서와 주요(main) 스페이서를 포함하는 것인, 반도체 소자.

청구항 6

제5항에 있어서, 상기 밀봉 스페이서는 실리콘질화물을 포함하는 것인, 반도체 소자.

청구항 7

제5항에 있어서, 상기 주요 스페이서는 이중층 구조를 포함하는 것인, 반도체 소자.

청구항 8

반도체 소자를 제조하는 방법에 있어서,

NFET 영역 및 PFET 영역을 분리시키도록 복수의 STI(shallow trench isolation) 특징부를 갖는 반도체 기판을 제공하는 단계;

상기 반도체 기판상에 복수의 폴리실리콘 게이트 스택을 형성하는 단계;

상기 폴리실리콘 게이트 스택 각각 상에 측벽 스페이서를 형성하는 단계;

상기 반도체 기판상에 소스 영역 및 드레인 영역을 형성하는 단계;

상기 반도체 기판상에 층간 유전(interlayer dielectric; ILD)층을 형성하는 단계;

상기 반도체 기판상에 고-저항을 규정하도록 폴리실리콘 게이트 스택 중 하나의 스택 상에 패터닝된 하드 마스크를 형성하는 단계;

상기 PFET 영역을 노출시키지만, 상기 NFET 영역은 노출시키지 않으며, 상기 PFET 영역 내의 폴리실리콘 게이트 스택으로부터 폴리실리콘을 부분적으로 제거하도록 제1 게이트 에칭을 수행하는 단계;

상기 제1 게이트 에칭 후에, 상기 NFET 영역과 상기 PFET 영역 모두를 노출시키고, NFET 게이트 트렌치를 형성하도록 상기 NFET 영역 내의 폴리실리콘 게이트 스택으로부터 부분적으로 폴리실리콘을 제거하고, PFET 게이트 트렌치를 형성하도록 상기 PFET 영역 내의 폴리실리콘 게이트 스택으로부터 폴리실리콘을 제거하기 위해, 제2 게이트 에칭을 수행하는 단계;

상기 PFET 게이트 트렌치와 상기 NFET 게이트 트렌치 내에 하이-k(HK) 유전 물질을 증착하는 단계;

HK/금속 게이트 스택을 형성하도록 상기 PFET 게이트 트렌치와 상기 NFET 게이트 트렌치 내에 채움 금속층을 증착하는 단계를

포함하는, 반도체 소자를 제조하는 방법.

청구항 9

제8항에 있어서, 상기 PFET 내의 상기 HK/금속 게이트 스택은 게이트-라스트 방법에 의해 형성되는 것인, 반도체 소자를 제조하는 방법.

청구항 10

제8항에 있어서, 상기 NFET 내의 상기 HK/금속 게이트 스택은 게이트-퍼스트 방법에 의해 형성되는 것인, 반도체 소자를 제조하는 방법.

명세서

기술분야

[0001] 본 발명은 하이브리드 하이-k/금속-게이트 스택 제조 방법에 대한 것이다.

배경기술

[0002] 반도체 집적회로(integrated circuit; IC) 산업은 급속한 성장을 경험해 왔다. IC 물질 및 설계에서의 기술적 진보는 여러 세대의 IC를 생산해 왔으며, 각 세대는 이전 세대보다 더 작고 더 복잡한 회로를 가진다. 하지만, 이러한 진보는 IC의 처리 및 제조의 복잡도를 증가시켜 왔고, 이러한 진보가 실현되기 위해, IC 처리 및 제조에 서서의 유사한 발전이 필요하다. 금속 산화막 반도체 전계 효과 트랜지스터(metal-oxide-semiconductor field-effect transistor; MOSFET)와 같은 반도체 소자가 다양한 기술 노드(node)를 통해 스케일 다운될 때, 예를 들면, 하이-k(high-k; HK) 유전 물질과 금속 게이트(metal gate; MG) 전극 구조, 변형 공학(strain engineering), 3차원 게이트 트랜지스터와 초박막 본체(ultra-thin body; UTB)를 사용하는 것과 같은 여러 전략이 소자 성능을 향상시키기 위해 채용되어 왔다.

발명의 내용

해결하려는 과제

[0003] 진보된 HK/MG 공정과 종래의 폴리실리콘 게이트 공정 사이에서 용이한 적응과 유연성을 제공하도록 공정 통합을 개발하는 것이 요구된다.

과제의 해결 수단

[0004] 본 발명은 반도체 소자를 제조하기 위한 방법을 제공하며, 이 방법은 복수의 분리 특징부와 제1 하이-k(high-k; HK) 유전 물질을 갖는 반도체 기판을 제공하는 단계; 상기 반도체 기판상에 제1, 제2, 및 제3 폴리실리콘 게이트 스택을 형성하는 단계; 상기 폴리실리콘 게이트 스택상에 측벽 스페이서를 형성하는 단계; 상기 반도체 기판상에 소스 및 드레인을 형성하는 단계; 상기 반도체 기판상에 층간 유전(interlayer dielectric; ILD)층을 형성하는 단계; 상기 ILD층에 대해 화학 기계적 평탄화(chemical mechanical planarization; CMP)를 수행하는 단계; 상기 반도체 기판상에 고-저항을 규정하도록 상기 제1 폴리실리콘 게이트 스택상에 패터닝된 하드 마스크를 형성하는 단계; 상기 반도체 기판상에 상기 제2 폴리실리콘 게이트 스택을 갖는 n형 전계 효과 트랜지스터(n-type field-effect transistor; NFET) 영역과, 상기 제3 폴리실리콘 게이트 스택을 갖는 p형 전계 효과 트랜지스터(PFET) 영역을 패터닝하고 규정하는 단계; 상기 PFET 영역 내의 상기 제3 폴리실리콘 게이트 스택을 부분적으로 제거하도록 제1 게이트 에칭을 수행하는 단계; 상기 제1 게이트 에칭 후에, 상기 NFET 영역, 상기

PFET 영역과 상기 고-저항 모두를 노출시키는 단계; NFET 게이트 트렌치를 형성하도록 상기 NFET 영역 내에 상기 제2 폴리실리콘 게이트 스택을 부분적으로 제거하기 위해 제2 게이트 에칭을 수행하는 단계; 및 PFET 게이트 트렌치를 형성하도록 상기 PFET 영역 내의 폴리실리콘을 제거하는 단계; 및 상기 제1 폴리실리콘 게이트 스택 상에 상기 패터닝된 하드 마스크를 제거하는 단계; 제2 HK 유전 물질을 사용해서 상기 PFET 게이트 트렌치와 상기 NFET 게이트 트렌치 모두를 채우는 단계; 상기 PFET 게이트 트렌치와 상기 NFET 게이트 트렌치 모두상의 상기 제2 HK 유전 물질상에 p형 일함수(p-type work function; p-WF) 금속을 증착하는 단계; 상기 p-WF 금속층상에 채움(filling) 금속층을 증착하는 단계; 상기 NFET 영역 및 PFET 영역 내에 HK/금속 게이트 스택을 형성하도록 과잉 금속층과 과잉 제2 HK 유전 물질을 제거하기 위해 금속 CMP를 수행하는 단계를 포함한다.

[0005] 또한, 본 발명은 하이브리드 HK/금속 게이트를 갖는 반도체 소자를 제공하며, 이 소자는 복수의 소스 특징부 및 드레인 특징부를 포함하는 반도체 기판과, 상기 반도체 기판을 NFET 영역과 PFET 영역으로 분리시키기 위한 복수의 분리 특징부; 및 상기 반도체 기판 위에 형성되고 상기 소스 특징부와 드레인 특징부 사이에 배치된 복수의 게이트 스택을 포함하고, 상기 PFET 영역 내의 게이트 스택은, 상기 반도체 기판 위에 형성된 계면층; 상기 계면층 위에 형성된 하이-k(high-k; HK) 유전층; 상기 HK 유전층의 상단상에 형성된 p형 일함수(p-type work function; p-WF) 금속층; 상기 p-WF 금속층의 상단상에 형성된 채움 금속층을 포함하고, 상기 NFET 영역 내의 게이트 스택은 상기 반도체 기판 위에 형성된 계면층; 상기 계면층 위에 형성된 HK 유전층; 상기 HK 유전층 위에 형성된 캡핑층; 상기 캡핑층 위에 형성된 폴리실리콘층; 상기 폴리실리콘층의 상단상에 형성된 p-WF 금속층; 상기 p-WF 금속층상에 형성된 금속층을 포함한다.

[0006] 또한, 본 발명은 반도체 소자를 제조하는 방법을 제공하며, 이 방법은 NFET 영역 및 PFET 영역을 분리시키도록 복수의 STI(shallow trench isolation) 특징부를 갖는 반도체 기판을 제공하는 단계; 상기 반도체 기판상에 복수의 폴리실리콘 게이트 스택을 형성하는 단계; 상기 폴리실리콘 게이트 스택 각각 상에 측벽 스페이서를 형성하는 단계; 상기 반도체 기판상에 소스 영역 및 드레인 영역을 형성하는 단계; 상기 반도체 기판상에 층간 유전(interlayer dielectric; ILD)층을 형성하는 단계; 상기 반도체 기판상에 고-저항을 규정하도록 폴리실리콘 게이트 스택 중 하나의 스택 상에 패터닝된 하드 마스크를 형성하는 단계; 상기 PFET 영역을 노출시키지만, 상기 NFET 영역은 노출시키지 않으며, 상기 PFET 영역 내의 폴리실리콘 게이트 스택으로부터 폴리실리콘을 부분적으로 제거하도록 제1 게이트 에칭을 수행하는 단계; 상기 제1 게이트 에칭 후에, 상기 NFET 영역과 상기 PFET 영역 모두를 노출시키고, NFET 게이트 트렌치를 형성하도록 상기 NFET 영역 내의 폴리실리콘 게이트 스택으로부터 부분적으로 폴리실리콘을 제거하고, PFET 게이트 트렌치를 형성하도록 상기 PFET 영역 내의 폴리실리콘 게이트 스택으로부터 폴리실리콘을 부분적으로 제거하기 위해, 제2 게이트 에칭을 수행하는 단계; 하이-k(HK) 유전 물질을 사용해서 상기 PFET 게이트 트렌치와 상기 NFET 게이트 트렌치 모두를 채우는 단계; HK/금속 게이트 스택을 형성하도록 상기 PFET 게이트 트렌치와 상기 NFET 게이트 트렌치 모두상에 채움 금속층을 증착하는 단계를 포함한다.

도면의 간단한 설명

[0007] 본 발명 개시의 양상은 첨부된 도면과 함께 읽을 때 이하의 상세한 설명으로부터 가장 잘 이해된다. 업계의 표준 실행에 따라, 다양한 특징은 실제 크기에 따라 그려지 않는다는 사실이 강조된다. 사실상, 다양한 특징부의 크기는 논의의 명확성을 위해 임의로 증가되거나 감소될 수 있다.

도 1은 본 발명 개시의 다양한 양상에 따라 구성된 하이브리드 하이-k/금속 게이트 스택을 갖는 반도체 소자를 제조하기 위한 예시적인 방법의 흐름도이다.

도 2 내지 9는 도 1의 방법에 따라 구성된 제조 단계들에서 하이브리드 HK 라스트/금속 게이트 스택 구조를 갖는 예시적인 반도체 소자의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 하기의 개시는 다양한 실시예의 상이한 특징을 구현하기 위한 많은 상이한 실시예 또는 예시를 제공한다는 것으로 이해된다. 본 발명의 개시를 간략화하기 위해, 컴포넌트 및 배열의 특정 예시들이 이하에서 설명된다. 물론, 이런 것들은 단지 예시일 뿐이고, 제한하는 것으로 의도되지는 않는다. 또한, 본 발명의 개시는 다양한 예시들에서 참조 번호 및/또는 문자를 반복할 수 있다. 이러한 반복은 간략화와 명료함의 목적을 위한 것이고, 논의된 다양한 실시예들 및/또는 구성 사이의 관계를 그 자체가 명시하지는 않는다. 또한, 이하 설명에서, 제2 특징부 위 또는 상에 제1 특징부의 형성은 제1 및 제2 특징부가 직접 접촉해서 형성되는 실시예를 포함할 수 있고, 추가적인 특징부가 제1 및 제2 특징부 사이에서 형성될 수 있어 그 결과 제1 및 제2 특징부가 직접 접촉할

수 없는 실시예를 또한 포함할 수 있다.

- [0009] 도 1은 본 발명 개시의 양상에 따라 구성된 하이브리드 하이-k/금속 게이트 스택을 갖는 반도체 소자를 제조하는 방법(100)의 일 실시예의 흐름도이다. 도 2 및 9는 다양한 제조 스테이지들에서 게이트 스택을 갖는 반도체 소자(200)의 일 실시예의 단면도이다. 반도체 소자(200) 및, 이런 반도체 소자를 제조하는 방법(100)은 도 1 내지 9를 참조해서 총괄적으로 설명된다.
- [0010] 방법(100)은 반도체 기판(210)을 제공함으로써 단계(102)에서 시작한다. 기판(210)은 실리콘을 포함한다. 대안적으로, 기판은 게르마늄, 실리콘 게르마늄, 갈륨비화물, 또는 다른 적절한 반도체 물질을 포함할 수 있다. 또한, 대안적으로, 반도체 기판(210)은 에피택셜층을 포함할 수 있다. 예를 들면, 기판(210)은 벌크 반도체 위에 놓인 에피택셜층을 구비할 수 있다. 또한, 기판(210)은 성능 향상을 위해 변형될 수 있다. 예를 들면, 에피택셜층은 선택적 에피택셜 성장(SEG: selective epitaxial growth)을 포함하는 공정에 의해 형성된 벌크 실리콘 게르마늄 위에 놓인 실리콘층 또는 벌크 실리콘 위에 놓인 실리콘 게르마늄층과 같은 벌크 반도체 물질과는 상이한 반도체 물질을 포함할 수 있다. 또한, 기판(210)은 매립된 유전층과 같은 SOI(semiconductor-on-insulator) 구조를 포함할 수 있다. 또한, 대안적으로, 기판은 산소 주입(SIMOX) 기술, 웨이퍼 본딩, SEG, 또는 다른 적절한 방법에 의한 분리라고 지칭되는 방법에 의해 형성되는 것과 같이, 매립된 산화물(buried oxide; BOX)층과 같은 매립된 유전층을 포함할 수 있다. 사실상, 다양한 실시예는 다양한 기판 구조 및 물질 중 임의의 것을 포함할 수 있다.
- [0011] 반도체 기판(210)은 이온 주입과 같은 적절한 기술에 의해 형성한 n-웰 및 p-웰과 같은 다양한 도핑된 영역을 또한 포함한다. 반도체 기판(210)은 다양한 소자를 분리시키기 위해 기판 내에 형성된 STI(shallow trench isolation)(212)와 같은 다양한 분리 특징부를 또한 포함한다. STI(212)의 형성은 기판 내에 트렌치를 에칭하는 단계와, 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산화질화물과 같은 절연 물질로 트렌치를 채우는 단계를 포함할 수 있다. 채워진 트렌치는 트렌치를 채우는 실리콘 질화물을 갖는 열 산화물 라이너층과 같은 다중층 구조를 가질 수 있다. 일 실시예에서, STI(212) 구조는 패드 산화물을 성장시키는 단계, 저압 화학적 증기 증착(low pressure chemical vapor deposition; LPCVD) 질화물층을 형성하는 단계, 포토레지스트를 사용해서 STI 개구를 패터닝 및 마스크하는 단계, 기판 내에 트렌치를 에칭하는 단계, 트렌치 계면을 향상시키기 위해 열 산화물 트렌치 라이너를 선택적으로 성장시키는 단계, CVD 산화물로 트렌치를 채우는 단계와, 과잉 유전 금속층을 제거하도록 화학 기계적 평탄화(chemical mechanical planarization; CMP)를 사용하는 단계와 같은 공정 시퀀스를 사용해서 생성될 수 있다.
- [0012] 방법(100)은 반도체 기판(210)상에 복수의 게이트-스택을 형성함으로써 단계(104)로 전진한다. 일 실시예에서, 계면층(213)은 실리콘 기판(210)상에 형성된다. 계면층(213)은 원자층 증착(atomic layer deposition; ALD), 열 산화 또는 UV-오존 산화와 같은 적절한 기술에 의해 형성된 실리콘 산화물을 포함할 수 있다.
- [0013] 제1 하이-k(HK: high-k) 유전층(214)은 계면층(213) 위에 증착된다. 본 발명 실시예에서, 제1 HK 유전층(214)은 HfO₂를 포함한다. 대안적으로, 제1 HK 유전층(214)은 HfSiO, HfSiON, HfTaO, HfTiO, HfZrO, 지르코늄 산화물, 알루미늄 산화물, hafnium 산화물, hafnium 이산화물-알루미나(HfO₂-Al₂O₃) 합금, 다른 적절한 HK 유전 물질, 또는 이것들의 조합을 포함할 수 있다. 제1 HK 유전층(214)은 ALD와 같은 적절한 공정에 의해 형성된다. 하이-k 유전 물질층을 형성하기 위한 다른 방법은 금속 유기 화학적 증기 증착(metal organic chemical vapor deposition; MOCVD), 물리적 증기 증착(physical vapor deposition; PVD), UV-오존 산화 또는 분자 빔 에피택시(molecular beam epitaxy; MBE)를 포함한다.
- [0014] 캡핑층(215)은 HK 유전층(214)상에 형성될 수 있다. 캡핑층은 당업계에서 알려진 적절한 공정에 의해 형성된 난용 금속 및 그 질화물(예, TiN, TaN, W₂N, TiSiN, TaSiN)을 포함할 수 있다. 폴리실리콘층(220)이 캡핑층(215)상에 형성된다. 폴리실리콘층(220)은 종래 방식으로 CVD와 같은 적절한 기술에 의해 형성된다.
- [0015] 패터닝된 하드 마스크(222)가, 제거될 게이트-스택 물질층을 노출시키는 다양한 개구와 다양한 게이트 스택 영역을 규정하도록 폴리실리콘층(220)상에 형성된다. 패터닝된 하드 마스크(222)는 실리콘 질화물 및/또는 실리콘 산화물, 또는 대안적으로 포토레지스트를 포함한다. 패터닝된 하드 마스크(222)는 이중층을 포함할 수 있다. 본 발명 실시예에서, 하드 마스크(222)는 CVD 공정에 의해 증착된 실리콘 질화물 및 실리콘 산화물의 이중층을 포함한다. 실리콘 질화물층과 실리콘 산화물층은 패터닝된 포토레지스트층을 형성하기 위한 포토리소그래피 공정과, 패터닝된 포토레지스트층의 개구 내에 실리콘 질화물 및 실리콘 산화물을 에칭하기 위한 에칭 공정을 사용해서 추가적으로 패터닝된다.

- [0016] 도 2를 또한 참조하면, 패터닝된 하드 마스크(222)를 에칭 마스크로서 사용함으로써, 폴리실리콘층(220), 캡핑층(215), 제1 HK 유전층(214)과, 계면층(213)을 에칭함으로써 게이트-스택(230)을 형성하도록 에칭 공정이 적용된다. 에칭 공정은 건식 에칭, 습식 에칭, 또는 건식 에칭 및 습식 에칭의 조합을 포함한다. 건식 에칭 공정은 불소 함유 기체(예, CF₄, SF₆, CH₂F₂, CHF₃, 및/또는 C₂F₆), 염소 함유 기체(예, Cl₂, CHCl₃, CCl₄, 및/또는 BC1₃), 브롬 함유 기체(예, HBr 및/또는 CHBR₃), 요오드 함유 기체, 또는 다른 적합한 기체 및/또는 플라즈마, 및/또는 이것들의 조합을 구현할 수 있다. 에칭 공정은 에칭 선택도, 유연성, 및 원하는 에칭 프로파일을 얻도록 다단계 에칭을 포함할 수 있다. 본 발명 실시예에서, 다단계 건식 에칭은 종래의 방식으로 채용된다.
- [0017] 방법(100)은 도 3에 도시된 바와 같이 게이트 스택(230)의 측벽상에 제1 게이트 스페이서(302)(밀봉 스페이서라고 지칭됨)와 제2 게이트 스페이서(306)(주요 스페이서라고 지칭됨)를 형성함으로써 단계(106)로 진행한다. 게이트 스페이서(302 및 306)는 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물, 또는 이것들의 조합과 같은 하나 이상의 유전 물질을 포함한다. 밀봉 스페이서(302)는 게이트 스택(230)의 측벽상에 형성되고, 주요 스페이서(306)는 밀봉 스페이서(302)상에 형성된다. 일 실시예에서, 스페이서는 추가적인 층을 포함한다. 예를 들면, 먼저 유전층(304)이 밀봉 스페이서(302)상에 형성되고, 그런 다음, 주요 스페이서(306)가 유전층(304)상에 형성된다. 따라서, 주요 스페이서는 스페이서들(304 및 306)을 갖는 이중층 스페이서라고 간주될 수 있다. 본 발명 실시예에서, 밀봉 스페이서(302)는 실리콘 질화물을 포함하고, 유전층(304)은 실리콘 산화물을 포함하고, 주요 스페이서(306)는 실리콘 질화물을 포함한다. 스페이서(302, 304, 및 306)는 종래 방식대로 증착, 포토리소그래피, 및 에칭 공정에 의해 형성된다.
- [0018] 도 3을 또한 참조하면, 소스 및 드레인 영역(310)은 하나 이상의 이온 주입과 같은 적절한 기술에 의해 형성된다. 일 실시예에서, 규화물 특징부(미도시)는 접촉 저항을 감소시키도록 소스 및 드레인 영역(310)상에 추가적으로 형성될 수 있다. 규화물 특징부는 실리콘 기관상으로 금속 증착(예, 니켈 증착)을 포함하는 자가-정렬된 규화물(살리사이드)로서 지칭되는 기술과, 규화물(NiSi)을 형성하도록 금속을 실리콘과 반응하게 하는 열 어닐링과, 반응하지 않은 금속을 제거하는 에칭에 의해 형성될 수 있다. 소스 및 드레인 영역(310)은 밀봉 스페이서(302)와 실질적으로 정렬된 저농도 도핑된(lightly doped; LDD) 영역과, 주요 스페이서(306)와 실질적으로 정렬된 고농도 도핑된 영역을 더 포함할 수 있다.
- [0019] 소스 및 드레인(S/D) 영역(310)의 형성 후에, 하나 이상의 어닐링 공정이 S/D 영역을 활성화(activate)시키기 위해 수행될 수 있다. 어닐링 공정은 급속열 어닐링(rapid thermal annealing; RTA), 레이저 어닐링 공정, 또는 다른 적절한 어닐링 공정을 포함한다. 비록 다른 실시예가 상이한 범위 내의 온도를 사용할 수 있지만, 예시로서, 고온 열어닐링 단계는 섭씨 900도에서 1100도 범위의 임의의 온도를 적용할 수 있다. 다른 예시로서, 고온 어닐링은 매우 짧은 지속 시간을 갖는 "스파이크(spike)" 어닐링 공정을 포함한다.
- [0020] 다른 실시예에서, 소스 및 드레인 영역(310)은 적절한 변형 효과를 위해 에피택셜하게 성장한 반도체 물질을 포함하여, 채널 내의 캐리어 이동도의 향상을 초래할 수 있다. 일 실시예에서, 실리콘 게르마늄은 소스와, p형 FET(PFET)를 위한 영역에서 에피택셜하게 성장한다. 다른 실시예에서, 실리콘 탄화물은 소스와 n형 FET(NFET)를 위한 영역에서 에피택셜하게 성장한다. 변형된 구조를 형성하기 위한 방법은 기관 내에 리세스를 형성하기 위한 에칭 단계와, 리세스 내에 반도체 물질의 결정질을 형성하기 위한 에피택셜 성장 단계를 포함한다.
- [0021] 방법(100)은 기관상에서, 그리고 게이트 스택(230) 사이에서 층간 유전(ILD: interlayer dielectric)층(330)을 형성함으로써 단계(108)로 진행한다. ILD층(330)은 CVD와 같은 적절한 기술에 의해 증착된다. ILD층(330)은 실리콘산화물, 실리콘질화물, 저 k 유전물질 또는 이것들의 조합과 같은 유전물질을 포함한다. 일 실시예에서, 추가적인 공정이 ILD층(330) 증착 이전에 채용된다. 예를 들면, 추가적인 공정은 습식 에칭에 의해 주요 스페이서(306)를 먼저 부분적으로 제거하는(시닝) 단계를 포함하고, 그런 다음, 건식 에칭에 의해 하드 마스크(222)를 제거하는 단계와, CVD 공정에 의해 기관 및 게이트 스택(230)(더 얇은 주요 스페이서를 가짐)상에 접촉 에칭 정지층(contact etch stop layer; CESL)(320)을 증착시키는 단계를 포함한다. 그후에, 화학 기계적 폴리싱(chemical mechanical polishing; CMP) 공정이 도 4에 도시된 바와 같이 ILD(330)의 표면을 평탄화하도록 적용될 수 있다.
- [0022] 방법(100)은 도 5에 도시된 바와 같이, 고-저항(410)을 패터닝함으로써 단계(110)로 진행한다. 복수의 게이트 스택(230)은 고-저항(410){제1 게이트 스택(230)으로 지칭됨}으로 활용될 수 있다. 패터닝된 하드 마스크(415)는 미래의 에칭 공정에서 제1 게이트 스택(230){고-저항(410)}을 보호하도록 형성된다. 본 발명 실시예에서, 하드 마스크(415)는 티타늄 질화물을 포함한다. 패터닝된 하드 마스크(415)는 당업계에서 알려진 증착, 리소그래피 및 에칭의 적절한 공정에 의해 형성된다.

- [0023] 방법(100)은 도 6에 도시된 바와 같이, PFET 영역(420) 내의 게이트 스택(230){제2 게이트 스택(230)이라고 지칭됨} 내의 폴리실리콘층(220)을 부분적으로 제거함으로써 단계(112)로 진행한다. PFET 영역과 NFET 영역의 경계를 규정하도록, 포토레지스트는 미리 결정된 NFET 영역(430){제3 게이트 스택(230)이라고 지칭됨}을 덮기 위해 패터닝된다. 포토레지스트는 제1 게이트 스택(230){고-저항(410)}을 또한 덮는다. 제1 게이트 에칭은 PFET 영역(420) 내의 제2 게이트 스택(230) 내에 폴리실리콘층(220)을 부분적으로 제거하도록 수정되며, 한편, 제1 게이트 스택(230){고-저항(410)}뿐만 아니라, NFET 영역(430) 내의 제3 게이트 스택(230)은 그대로 남게된다. 제1 게이트 에칭은 건식 에칭, 습식 에칭, 또는 건식 및 습식 에칭의 조합을 포함할 수 있다.
- [0024] 방법(100)은 도 7에 도시된 바와 같이, NFET 영역(430) 내 제3 게이트 스택(230) 내의 폴리실리콘층(220)을 부분적으로 제거하고, PFET 영역(420) 내 제2 게이트 스택(230) 내의 폴리실리콘층(220)의 나머지 부분을 제거함으로써 단계(114)로 진행한다. 먼저, (제1 게이트 에칭을 위해) 패터닝된 포토레지스트가 제거되고, NFET 영역(430)이 이제 노출된다. 제2 게이트 에칭은 PFET 영역(420) 내 제2 게이트 스택(230) 내의 폴리실리콘층(220), 캡층(215), 및 제1 HK 유전층(214)의 나머지 부분을 제거하고, PFET 게이트 트렌치(440)를 형성하도록 적용되고 제어된다. 한편, 제2 게이트 에칭은 NFET 영역(430) 내 제3 게이트 스택(230) 내의 폴리실리콘층(220)의 부분적인 제거를 달성하고, NFET 게이트 트렌치(450)를 형성한다. 제2 게이트 에칭은 제1 게이트 스택(230){고-저항(410)}상에 패터닝된 하드 마스크를 또한 제거한다. 다단계 에칭은 에칭 선택도와 유연성을 얻기 위해 채용될 수 있다.
- [0025] 방법(100)은 도 8에 도시된 것과 같이 PFET 영역(420) 내에 HK/금속 게이트를 형성하도록 대체 게이트 방법을 수행함으로써 단계(116)로 진행한다. 대체 게이트 방법에서, 더미 게이트 구조가 형성되고, 소스 및 그레인 주입 및 어닐링을 자가-정렬(self-align)하도록 사용된다. 고온 공정(예, 소스 및 드레인 어닐링)이 종료된 후에, 더미 게이트가 HK/금속 게이트에 의해 대체된다. 제2 HK 유전층(514)은 NFET 게이트 트렌치(450)뿐만 아니라 PFET 게이트 트렌치(440) 내에 증착된다. 제2 HK 유전층(514)의 형성은 제1 HK 유전층(214)과 연관되어 위에서 논의된 것과 많은 양상에서 유사하다.
- [0026] 도 8을 또한 참조하면, p형 일함수(p-type work function; p-WF) 금속층(516)이 제2 HK 유전층(514)상에 증착된다. p-WF 금속층(516)은 채움(fill) 금속층, 라이너층, 습윤층, 및 접착층을 갖는 것과 같이, 다중-금속층 구조 또는 단일 금속층 구조를 포함한다. p-WF 금속층(516)은 TiN, TaN, Ru, Mo, WN, 및 이것들의 조합을 포함한다. p-WF 금속층(516)은 ALD, PVD, CVD, 또는 다른 적합한 공정에 의해 형성될 수 있다. 채움 금속층(520)은 p-WF 금속층(516)상에 증착된다. 채움 금속층(520)은 알루미늄, 텅스텐, 구리, 또는 다른 적합한 금속을 포함할 수 있다. 채움 금속층(520)은 PVD 또는 도금과 같은 적절한 기술에 의해 증착된다.
- [0027] 방법(100)은 채움 금속층(520), p-WF 금속층(516)과 제2 HK 유전층(514)의 과잉 금속층을 제거하도록 금속 CMP를 수행함으로써 단계(118)로 진행한다. 반도체 기판(210)에서, NFET 영역(430) 내의 게이트 스택의 상단 부분과 폴리실리콘 고-저항(410)이 또한 형성됨에 따라, HK/금속 게이트(550)가 PFET 영역(420)에서 (게이트-라스트 방법에 의해) 형성되고, 폴리실리콘 게이트(560)는 다중 금속층{p-WF 금속층(516)}을 가지며(게이트-처음 방법) 형성된다. CMP 공정은 도 9에 도시된 것과 같이, 게이트 스택(550, 560), 고-저항(410)과, ILD(330)를 위해 실질적으로 평평한 표면을 제공한다.
- [0028] 방법(100)은 다중층 상호연결부를 형성하는 단계를 더 포함할 수 있다. 다중층 상호연결부(미도시)는 종래의 비아 또는 접촉부와 같은 수직 상호연결부와, 금속 라인과 같은 수평 상호연결부를 포함할 수 있다. 다양한 상호연결 특징부는 구리, 텅스텐, 및 규화물을 포함하는 다양한 전도 물질을 구현할 수 있다. 일 예시에서, 다마신(damascene)은 구리와 관련된 다중층 상호연결 구조를 형성하기 위해 사용된다. 다른 실시예에서, 텅스텐은 접촉 홀(hole)에서 텅스텐 플러그를 형성하기 위해 사용된다.
- [0029] 비록 본 발명 개시의 실시예가 자세히 설명되었지만, 당업자는 본 발명의 개시의 정신 및 범위로부터 이탈하지 않으면서 다양한 변경, 대체 및 교체를 할 수 있다는 것을 이해해야 한다. 일 실시예에서, 게이트 전극은 다른 적절한 금속을 대안적으로 또는 추가적으로 포함할 수 있다.
- [0030] 상기 설명에 기초해서, NFET 내에 게이트-퍼스트(gate-first) 폴리 게이트와, PFET 내에 게이트-라스트(gate-last) HK/금속 게이트를 동시에 형성하고, 호환되는 고-저항을 또한 형성하는 하이브리드 게이트 통합 방식을 제공한다. 더 나아가, NFET 내의 게이트-퍼스트 폴리실리콘 게이트는 폴리실리콘 게이트 상단상에 채움 금속 및 p-WF 금속을 가지고 구성되며, 이러한 구성은 (폴리사이드 게이트에서 관찰되는 것과 유사하게) 게이트 저항을 감소시킨다. 하이브리드 게이트 통합 방식은 HK/금속 게이트와 종래의 폴리실리콘 게이트와의 직접적인 수렴

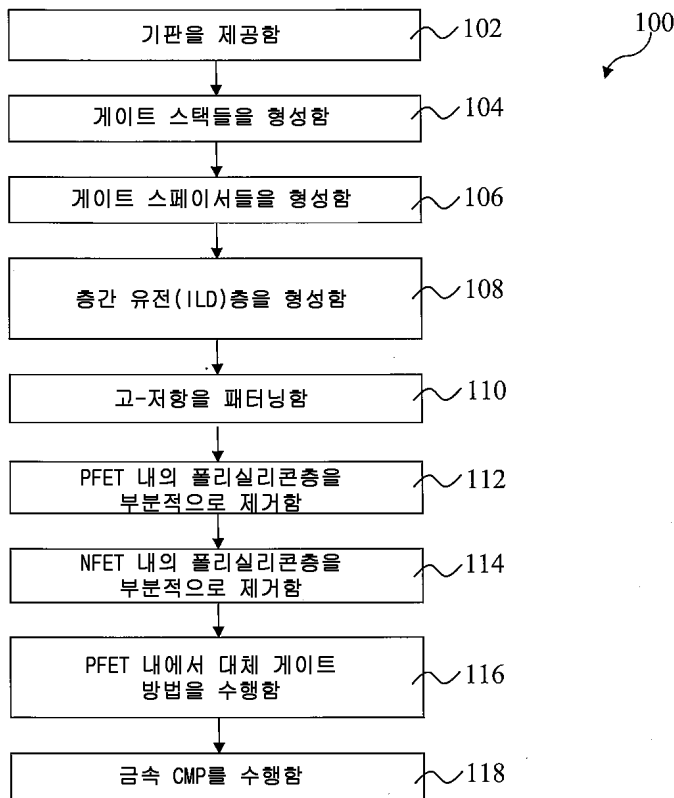
(convergent)을 위한 기술적인 해결책과, 공정 통합을 위한 상당한 유연성을 제공한다.

[0031] 본 발명 개시는 동일 에칭 단계에서 (예, PFET 내의) 폴리실리콘층의 제거와, (예, NFET 내의) 폴리실리콘층의 부분적 제거를 달성하기 위한 방법을 제공한다. (PFET 내의) 게이트-라스트 HK/금속 게이트와, (NFET 내의) 감소된 게이트 저항을 갖는 게이트-퍼스트 폴리 게이트가 동시에 제조된다. 이 방법은 게이트 에칭으로부터 폴리실리콘 게이트 스택을 보호함으로써 고-저항을 구축하기 위한 매우 간단한 방식을 제공한다. 이 방법은 공정 윈도우(window) 향상, 결함 감소와, 공정 제어가능성 향상을 얻기 위해 단일 금속 CMP를 또한 채용한다. 이 방법은 기존의 제조 공정 흐름에 쉽게 적응된다.

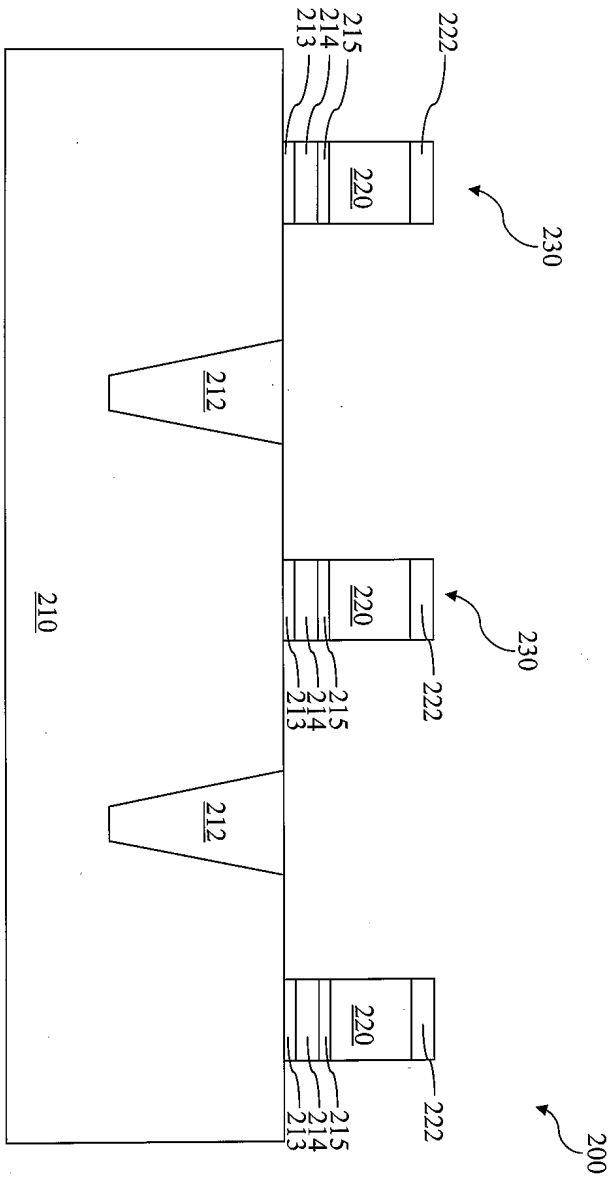
[0032] 전술된 설명은 다수의 실시예의 특징을 요약하였다. 당업자는 자신들이 여기서 소개된 실시예들의 동일한 목적을 수행하기 위해 및/또는 동일한 이익을 달성하도록 다른 공정 및 구조를 설계하거나 수정하기 위한 기초로서 본 발명의 개시를 쉽게 사용할 수 있다는 것을 인식해야 한다. 당업자는 이러한 등가의 구성이 본 발명의 개시의 정신 및 범위로부터 이탈하지 않는다는 것과, 본 발명의 개시의 정신 및 범위로부터 이탈하지 않고 다양한 변경, 교체 및 대체를 할 수 있다는 것을 또한 인식해야 한다.

도면

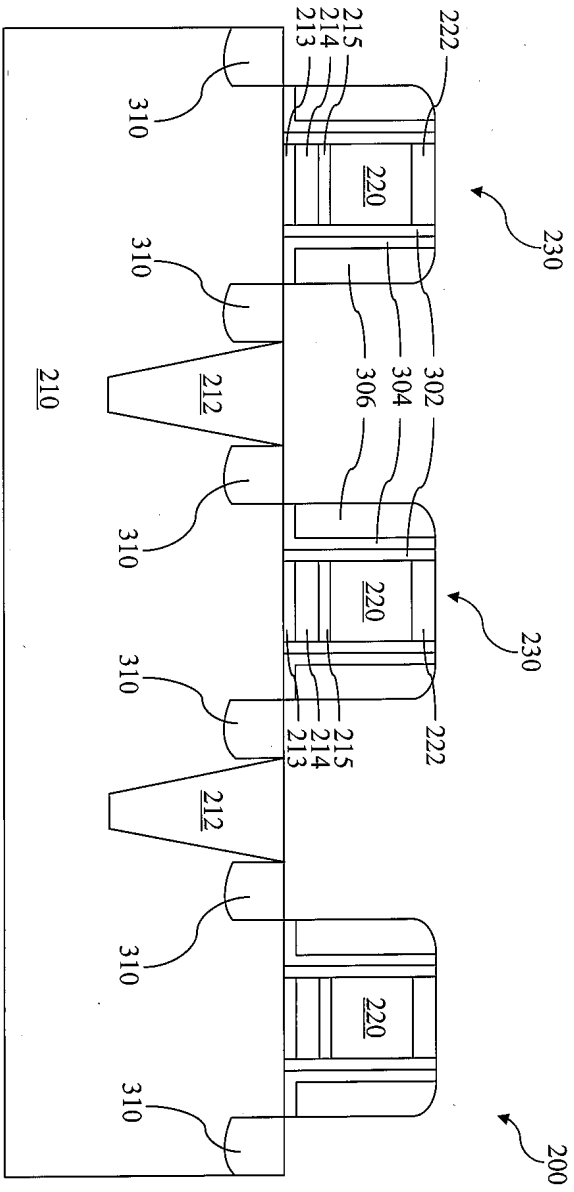
도면1



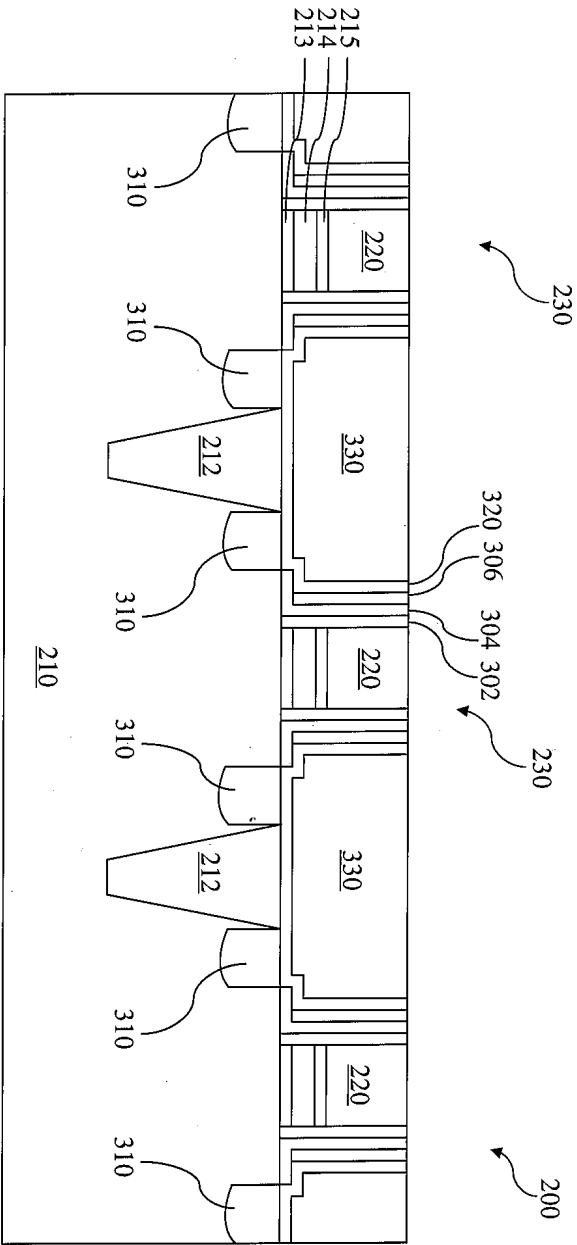
도면2



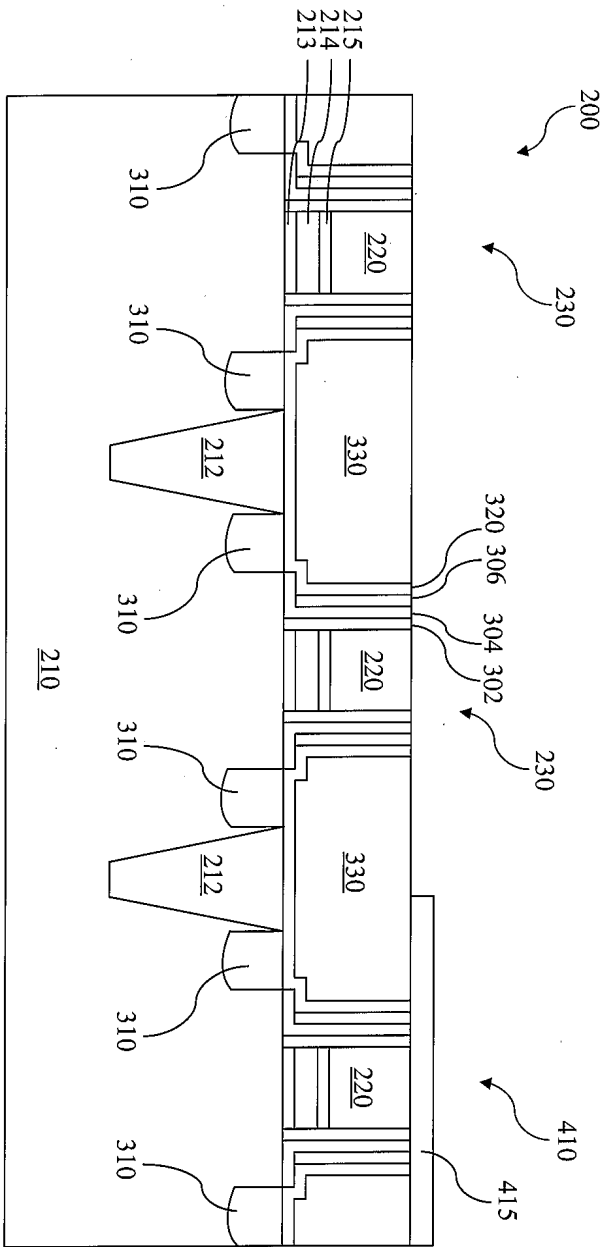
도면3



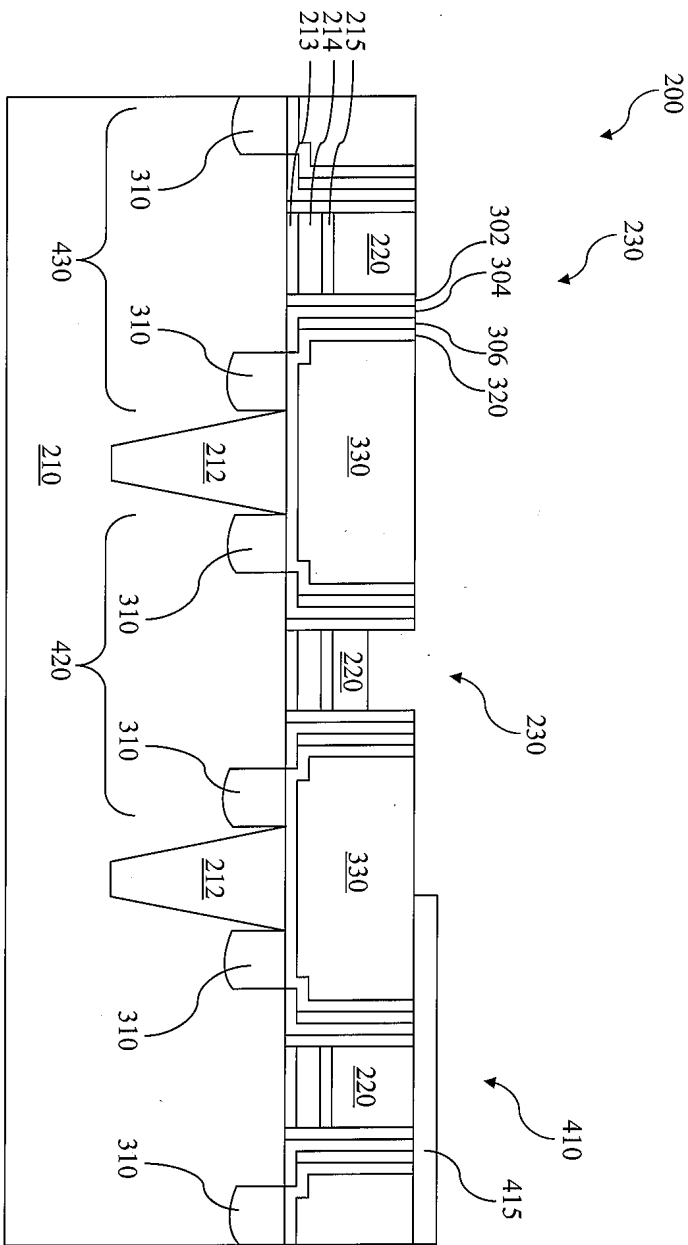
도면4



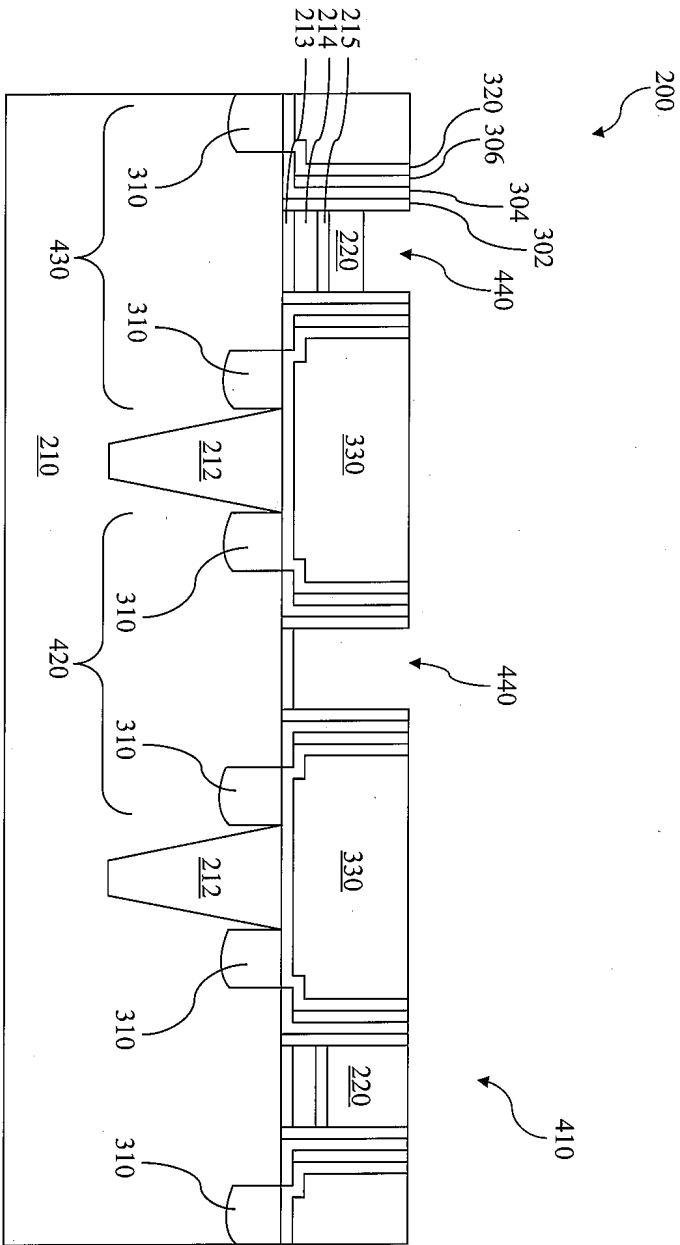
도면5



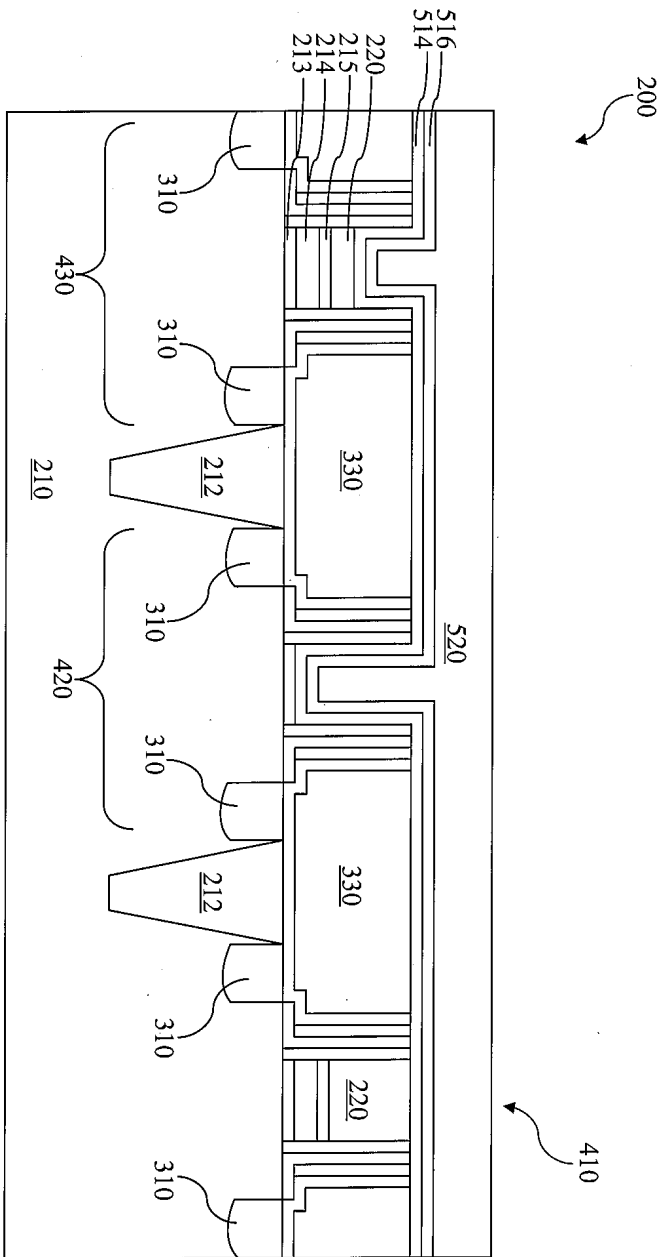
도면6



도면7



도면8



도면9

