

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成24年4月19日(2012.4.19)

【公開番号】特開2009-231842(P2009-231842A)

【公開日】平成21年10月8日(2009.10.8)

【年通号数】公開・登録公報2009-040

【出願番号】特願2009-70509(P2009-70509)

【国際特許分類】

H 0 1 L 27/10 (2006.01)

B 8 1 B 3/00 (2006.01)

【F I】

H 0 1 L 27/10 4 5 1

B 8 1 B 3/00

【手続補正書】

【提出日】平成24年3月6日(2012.3.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセル内に具備され、電荷を保存するためのストレージノードと、
メモリセル内に具備される第 1 電極及び第 2 電極とを含み、
前記第 1 電極は第 2 部分と電気的に接続される第 1 部分を含み、前記第 1 部分は前記第 2 部分に電圧が印加された際、移動して前記ストレージノードと接続することを特徴とするメモリ素子。

【請求項 2】

電圧センシング回路が前記第 2 部分の端部と接続することを特徴とする請求項 1 記載のメモリ素子。

【請求項 3】

前記第 1 部分及び第 2 部分はコンタクトプラグを通じて接続することを特徴とする請求項 1 記載のメモリ素子。

【請求項 4】

前記第 1 部分の第 1 端部は前記ストレージノードに保存された電荷をリードするか或いは前記ストレージノードに電荷を保存するために、第 1 位置から第 2 位置へ移動することを特徴とする請求項 3 記載のメモリ素子。

【請求項 5】

前記第 2 電極に電圧が印加される際、前記第 1 部分の第 1 端部が前記ストレージノードと接触するために前記第 1 部分の第 1 端部は前記第 2 位置に位置することを特徴とする請求項 4 記載のメモリ素子。

【請求項 6】

前記第 1 部分の第 2 端部がコンタクトプラグ上に接触することを特徴とする請求項 5 記載のメモリ素子。

【請求項 7】

前記第 1 位置及び第 2 位置間の第 1 距離は前記第 2 電極と前記第 1 電極の第 1 部分間の第 2 距離と実質的に同一であることを特徴とする請求項 6 記載のメモリ素子。

【請求項 8】

前記第 1 位置及び第 2 位置間の第 1 距離は前記第 2 電極と前記第 1 電極の第 1 部分間の第 2 距離よりも短いことを特徴とする請求項 6 記載のメモリ素子。

【請求項 9】

前記第 1 部分は少なくとも 2 層の膜を含むことを特徴とする請求項 1 記載のメモリ素子。

【請求項 10】

前記第 1 部分は前記第 2 部分よりも実質的に短いことを特徴とする請求項 1 記載のメモリ素子。

【請求項 11】

前記第 2 電極は電圧が印加される際、活性化されることを特徴とする請求項 1 記載のメモリ素子。

【請求項 12】

基板をさらに含み、前記基板上に第 2 部分が形成され、前記基板はガラス、半導体、またはプラスチックの内、少なくとも 1 つからなることを特徴とする請求項 1 記載のメモリ素子。

【請求項 13】

前記ストレージノードは第 3 電極、誘電膜、及び第 4 電極を含むコンデンサを含むことを特徴とする請求項 4 記載のメモリ素子。

【請求項 14】

前記第 3 電極は前記第 1 部分の第 1 端部を受け入れ、前記第 4 電極は導電性プレート上に形成されることを特徴とする請求項 13 記載のメモリ素子。

【請求項 15】

前記ストレージノードは絶縁物質によって囲まれている導電性パターンを含むことを特徴とする請求項 1 記載のメモリ素子。

【請求項 16】

導電性プレートがさらに含まれ、前記導電性プレート上に前記ストレージノードが形成されることを特徴とする請求項 1 記載のメモリ素子。

【請求項 17】

前記第 1 電極はビットラインを含み、前記第 2 電極はワードラインを含むことを特徴とする請求項 1 記載のメモリ素子。