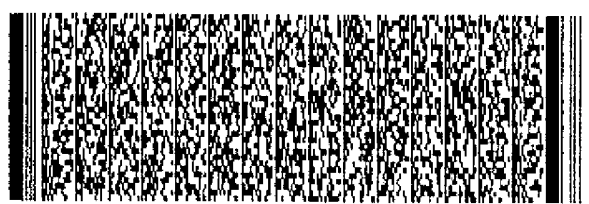


申請日期: 88.1.5	案號: 88/00051
類別: H01L 27/247, H01L 27/115	

(以上各欄由本局填註)

公告本	發明專利說明書
-----	---------

一、發明名稱	中文	用以平面化自行對準浮動閘極至絕緣之方法
	英文	METHOD FOR PLANARIZED SELF-ALIGNED FLOATING GATE TO ISOLATION
二、發明人	姓名 (中文)	1. 喬伊士 蒙萊利 亞庫西拉 2. 雷帝 威廉 曼恩
	姓名 (英文)	1. JOYCE MOLINELLI ACOCELLA 2. RANDY WILLIAM MANN
	國籍	1. 美國 2. 美國
	住、居所	1. 美國紐約州后波維爾強迅市亞派路5號 2. 美國佛蒙特州傑瑞其市郵政第52號信箱
三、申請人	姓名 (名稱) (中文)	1. 美商萬國商業機器公司
	姓名 (名稱) (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州阿蒙市新果園路
	代表人姓名 (中文)	1. 費羅普
	代表人姓名 (英文)	1. MARSHALL C. PHELPS, JR.



409367

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/01/08 09/004,571

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

1. 發明範疇

本發明大致上關於記憶格，而且尤其關於半導體非揮發記憶體元件。

2. 背景技藝

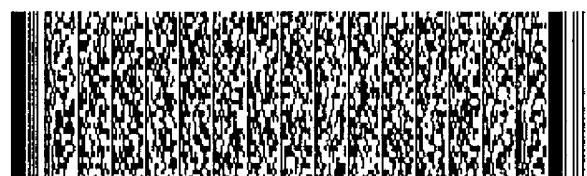
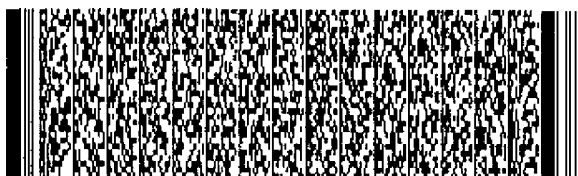
在非揮發記憶體元件中，一記憶格的浮動多晶矽(浮動閘極)及控制閘極的置入對於非揮發儲存電晶體元件的正確操作功能極為重要。亦即，需要用浮動閘極來重疊記憶格的絕緣結構，而控制閘極必須與浮動閘極對準以確保形成完好的元件。

因為特徵大小已減少為次微米的大小以達成元件的更高封裝密度，所以產生一些問題。第一控制閘極中的大步階會導致處理問題。通常控制閘極多晶矽沈積在非平面區域上，因此會向上增加到浮動閘極上，而產生控制閘極的大步階。因此在後續處理中，控制閘極中的步階會極端變化，以致於形成間隔物或是使得矽化物斷裂，因而劣化記憶格是品質。

第二，微影步階器的聚焦深度變的較小，因此不同特徵的不同高度會產生場深的問題。

最後，一種稱為鳥嘴問題的問題發生在源極及汲極區域中向底材漸減的絕緣結構中。此一漸減會使得電的寬度小於光罩大小。

明顯的，製程中的許多不同高度及數個對準步階都防止精密微影製程及其他製程的足夠使用以便於底材上產生高



五、發明說明 (2)

的元件封裝密度，因為場深隨著較小尺寸而相對減小，這是定比例大小所需的。

這些問題的部分解答可在以下美國專利案中找到：1996年9月授予Inoue的美國專利號5,559,048，名稱「以渠溝絕緣製造雙層浮動閘極EPROM之方法」；1992年12月授予Gill等人的美國專利號5,173,436，名稱「以渠溝絕緣位元線製造EEPROM之方法」；及1992年2月授予Haskell的美國專利號5,091,326，名稱「使用自行對準製程之EPROM元件」。這些專利揭露一些自行對準方法以避免浮動閘極對準時的一些問題。

雖然上述專利使用自行對準技術，但是部分技術具有複雜的製程，而且仍不能減少記憶格大小。此外在一些情況下控制閘極仍會產生一步階而影響記憶格品質。

發明總結

因此本發明的優點是提供一種用以平面化及自行對準浮動閘極至絕緣之方法，藉以減少記憶格大小。

本發明的另一優點是提供一種不在控制閘極中產生步階之下用以自行對準控制閘極至浮動閘極之方法。

本發明優點可藉由一種在非揮發記憶格中形成浮動閘極區域之方法而達成，各記憶格具有一浮動閘極及一控制閘極。首先，在一底材中形成眾多絕緣結構，其在底材表面之上下延伸。一氮化層厚度決定絕緣結構在單晶矽表面上之延伸。接著，在絕緣結構之至少一部分上及之間之底材上形成一浮動閘極層。最後，將浮動閘極層平面化至絕緣



五、發明說明 (3)

結構用以形成被絕緣結構絕緣之眾多浮動閘極區域。浮動閘極層平面化至絕緣結構也允許一平面控制閘極。

本發明的上述及其他優點與特徵，由附圖及以下本發明較佳實施例的詳細說明即可更加明白。

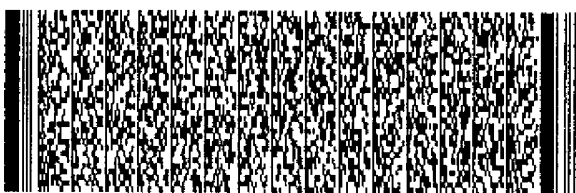
圖式簡單說明

以下配合附圖以說明本發明較佳典型實施例，其中相同數字表示相同元件，而且：

圖1是根據本發明較佳實施例的記憶格的簡圖；以及圖2，3，4，5，6，及7的剖視圖在顯示根據本發明較佳實施例的圖1的製程。

附圖之詳細說明

參考圖1，其以高度簡化的形式顯示根據本發明的非揮發記憶格10。在此結構中，用絕緣材料如氧化物形成絕緣結構20（如淺渠溝絕緣或STI）。氧化層是打凹的（凹陷的氧化層或ROX），因為部分氧化層凹入底材22中。用薄的隧穿氧化膜24覆蓋絕緣結構20之間的區域。浮動閘極26（其最好是由多晶矽形成）從隧穿氧化膜24延伸，並且根據本發明而以絕緣結構20來平面化。可用化學/機械研磨操作來完成此平面化，但不限於此。平面化允許多晶矽間介電（最好分別是氧化氮化物氧化物（ONOX）成份及結構28，30及32），而控制閘極34在不使表面外形特徵劣化之下形成在平面化的表面上。在本發明中大致可去除微影暴露聚焦的問題，而且可以將記憶格定比例為一種比習用記憶格更小的設計（約30%-40%的小）。



五、發明說明 (4)

現在參考圖2-7，將討論本發明較佳實施例的製造。如圖2所示，在矽底材22上長出約10-40埃厚度的墊氧化層23。接著在墊氧化層23上形成氮化層52。由以下附圖中可知氮化層對於絕緣結構的發展很重要，主要是因為氮化層的厚度決定絕緣結構的延伸。氮化層的大約厚度範圍是在約1000-2500埃之間。接著將一防蝕塗層42或光罩材料置於氮化層上，以指示絕緣區域的位置。

現在參考圖3，將一渠溝蝕刻45通過氮化層52，墊氧化層23並進入底材22而產生一絕緣結構。雖然僅顯示一蝕刻45，但是可了解的是在單一半導體底材上可使用許多的這種渠溝如圖1所示，其中各表示一元件的後續動作區域。接著以絕緣材料如氧化物來填充渠溝，並且平面化至氮化層52以形成一絕緣結構20如圖4所示。如上所述，絕緣結構20的厚度是依氮化層52的厚度以及矽的蝕刻深度而定。氮化層52對於化學/機械研磨法的硬度及防蝕力允許絕緣結構的平面化為自限式。先沈積氮化層，接著以沈積的氧化物填充淺渠溝區域並且將絕緣結構平面化(如本發明所述)，以避免形成上述的鳥嘴及其相關問題。接著用工業標準技術將氮化層52及墊氧化層23剝去。

如圖5所示接著成長出薄的隧穿氧化層24，隧穿氧化層的厚度在約50-150埃之間。接著將第一多晶矽層26在適當區域上沈積為毯覆層。第一多晶矽層26的厚度範圍在約300-1200埃之間。如圖6所示，接著將第一多晶矽層26平面化至絕緣結構20的表面，而產生浮動閘極結構及一平面

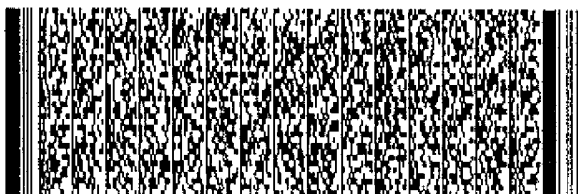


五、發明說明 (5)

化的表面。因而此平面化將浮動閘極結構26與絕緣結構自行對準。絕緣結構的突出高度根據本發明而重新界定其厚度。本發明的一特徵是包含使用一定型防蝕塗層以選擇性的在記憶體陣列的期望記憶格中發展出浮動閘極結構。因此浮動閘極結構不必在整個陣列上延伸，然而許多習用方法都是在整個陣列上延伸。

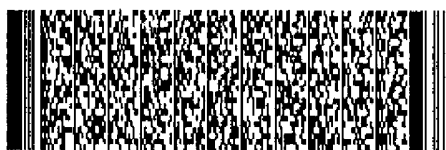
如圖7所示，接著形成一多晶矽間介電(最好是氧化氮化物氧化物(ONO)成份26, 30, 32)。第一氧化膜26一般在50-150埃之間。氮化物膜30以50-150埃沈積。接著使用一定型防蝕塗層以便(用反應離子蝕刻或RIE)在要形成習用CMOS邏輯區域(未示)的區域中，將氮化物膜30，氧化膜26及浮動閘極區域26蝕刻掉。在CMOS邏輯區域中也將隧穿氧化層24去除，並接著在CMOS區域的單晶矽上面長出一閘氧化層32。可以用數次的預先清洗蝕刻或額外的乾蝕刻來防止邏輯區域中的過度高絕緣結構，並輔助絕緣結構蝕刻以準備閘氧化層32的成長。閘氧化會在氮化層表面上形成最後的氧化層32，其成長厚度為10-40埃之間。接著將第二多晶矽層34沈積以形成控制閘極及習用的CMOS閘。如上所述，第二多晶矽層34會是覆蓋在NVRAM陣列及CMOS區域上的表面。接著執行習用CMOS製程以形成並強化閘結構附近的電晶體動作(這是習知的)。

因此本發明提供一種將浮動閘極結構自行對準至絕緣結構之方法，並且在平面化的表面上形成一控制閘極，以減少總記憶格大小。



五、發明說明 (6)

雖然已參考本發明的較佳實施例而特別顯示並敘述本發明，但是熟於此技術者可了解的是在不違反本發明的精神及範圍下，可以對上述及形式與細節作其他變化。

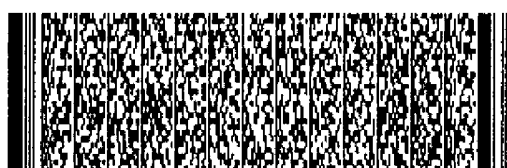
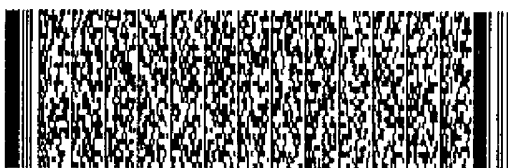


四、中文發明摘要 (發明之名稱：用以平面化自行對準浮動閘極至絕緣之方法)

茲揭露一種在非揮發記憶格中形成浮動閘極區域之方法，各記憶格具有一浮動閘極及一控制閘極。首先，在一底材中形成眾多絕緣結構，其在底材表面之上下延伸。接著，在絕緣結構之至少一部分上及之間之底材上形成一浮動閘極層。最後，將浮動閘極層平面化至絕緣結構用以形成被絕緣結構絕緣之眾多浮動閘極區域。

英文發明摘要 (發明之名稱：METHOD FOR PLANARIZED SELF-ALIGNED FLOATING GATE TO ISOLATION)

A method for forming floating gate regions in non-volatile memory cells each having a floating gate and a control gate is disclosed. First, a plurality of isolation structures in a substrate extending above and below a surface of the substrate is formed. Second, a floating gate layer on the substrate over and between at least a portion of the isolation structures is formed. Finally, the floating gate layer is planarized down to the isolation structures for forming a



四、中文發明摘要 (發明之名稱：用以平面化自行對準浮動閘極至絕緣之方法)

英文發明摘要 (發明之名稱：METHOD FOR PLANARIZED SELF-ALIGNED FLOATING GATE TO ISOLATION)

plurality of the floating gate regions isolated by the isolation structures.



六、申請專利範圍

1. 一種用以在非揮發記憶格中形成浮動閘極區域之方法，該方法包含以下步驟：

a) 在一底材中形成眾多絕緣結構，其在底材表面之上下延伸；

b) 在諸絕緣結構之至少一部分上及之間之底材上形成一浮動閘極層；以及

c) 將浮動閘極層平面化至諸絕緣結構用以形成被諸絕緣結構絕緣之眾多浮動閘極區域。

2. 如申請專利範圍第1項之方法，更包含在步驟a)之前之步驟：在具有一預選厚度之底材上形成一氮化層，其中厚度決定諸絕緣結構在底材表面上延伸之距離。

3. 如申請專利範圍第2項之方法，更包含在步驟a)之後但是在步驟b)之前之步驟：去除該氮化層。

4. 如申請專利範圍第2項之方法，其中步驟a)更包含以下步驟：

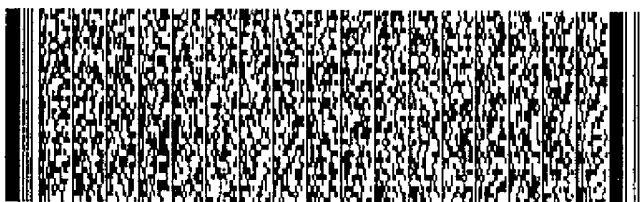
a1) 在氮化層及底材中形成一渠溝；

a2) 以絕緣材料填充該渠溝；以及

a3) 平面化該絕緣材料至該氮化層以形成該等絕緣結構。

5. 如申請專利範圍第2項之方法，其中該預設厚度約在1000至2500埃範圍中。

6. 如申請專利範圍第1項之方法，更包含在步驟a)之後但是在步驟b)之前之步驟：在諸絕緣結構之至少一部分間之底材上形成一隧穿氧化層，其中沈積該浮動閘極層。



六、申請專利範圍

7. 如申請專利範圍第1項之方法，其中藉由包含一化學/機械研磨步驟之製程以執行步驟c)。

8. 如申請專利範圍第1項之方法，更包含以下步驟：

d) 在浮動閘極層及該等絕緣結構之暴露區域上形成一多晶矽間介電層。

9. 如申請專利範圍第8項之方法，更包含以下步驟：

e) 在多晶矽間介電層上形成一控制閘極層，其中該控制閘極層係表面。

10. 一種用以在非揮發記憶格中形成浮動閘極區域之方法，該方法包含以下步驟：

a) 在具有一預選厚度之底材上形成一氮化層；

b) 在一底材中形成眾多絕緣結構，其在底材表面之上下延伸，並且在底材表面上延伸該氮化層之預選厚度之距離；

c) 去除該氮化層；

d) 在諸絕緣結構之至少一部分上及之間之底材上形成一浮動閘極層；以及

e) 將浮動閘極層平面化至諸絕緣結構用以形成被諸絕緣結構絕緣之眾多浮動閘極區域。

11. 如申請專利範圍第10項之方法，其中步驟b)更包含以下步驟：

b1) 在氮化層及底材中形成一渠溝；

b2) 以絕緣材料填充該渠溝；以及

b3) 平面化該絕緣材料至該氮化層以形成該等絕緣結

六、申請專利範圍

構。

12. 如申請專利範圍第10項之方法，其中該預設厚度約在1000至2500埃範圍中。

13. 如申請專利範圍第10項之方法，更包含在步驟c)之後但是在步驟d)之前之步驟：在諸絕緣結構之至少一部分間之底材上形成一隧穿氧化層，其中沈積該浮動閘極層。

14. 如申請專利範圍第10項之方法，其中藉由包含一化學/機械研磨步驟之製程以執行步驟e)。

15. 如申請專利範圍第10項之方法，更包含以下步驟：

f) 在浮動閘極層及該等絕緣結構之暴露區域上形成一多晶矽間介電層。

16. 如申請專利範圍第15項之方法，更包含以下步驟：

g) 在多晶矽間介電層上形成一控制閘極層，其中該控制閘極層係表面。

17. 一種用以形成非揮發記憶格之方法，該方法包含以下步驟：

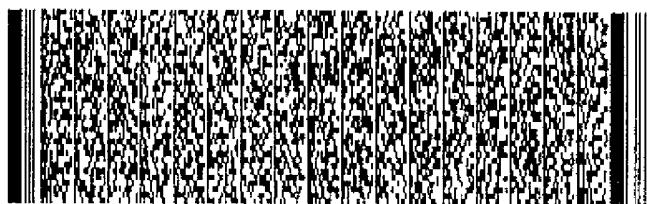
a) 在一底材上形成一墊氧化層；

b) 在該墊氧化層上形成一氮化層，該氮化層具有一預選厚度；

c) 在一底材中形成眾多絕緣結構，其在底材表面之上下延伸，並且在底材表面上延伸該氮化層之預選厚度之距離；

d) 去除該墊氧化層及該氮化層；

e) 在諸絕緣結構之至少一部分間之底材上形成一隧穿



六、申請專利範圍

氧化層及一浮動閘極層；

f) 將浮動閘極層平面化至諸絕緣結構用以形成被諸絕緣結構絕緣之眾多浮動閘極區域；

g) 在浮動閘極層及該等絕緣結構之暴露區域上形成一多晶矽間介電層；

h) 在多晶矽間介電層上形成一控制閘極層，其中該控制閘極層係表面；以及

i) 完成該非揮發記憶格。

18. 如申請專利範圍第17項之方法，其中步驟c)更包含以下步驟：

c1) 在氮化層及底材中形成一渠溝；

c2) 以絕緣材料填充該渠溝；以及

c3) 平面化該絕緣材料至該氮化層以形成該等絕緣結構。

19. 如申請專利範圍第17項之方法，其中該預設厚度約在1000至2500埃範圍中。

20. 如申請專利範圍第17項之方法，其中藉由包含一化學/機械研磨步驟之製程以執行步驟f)。



圖式

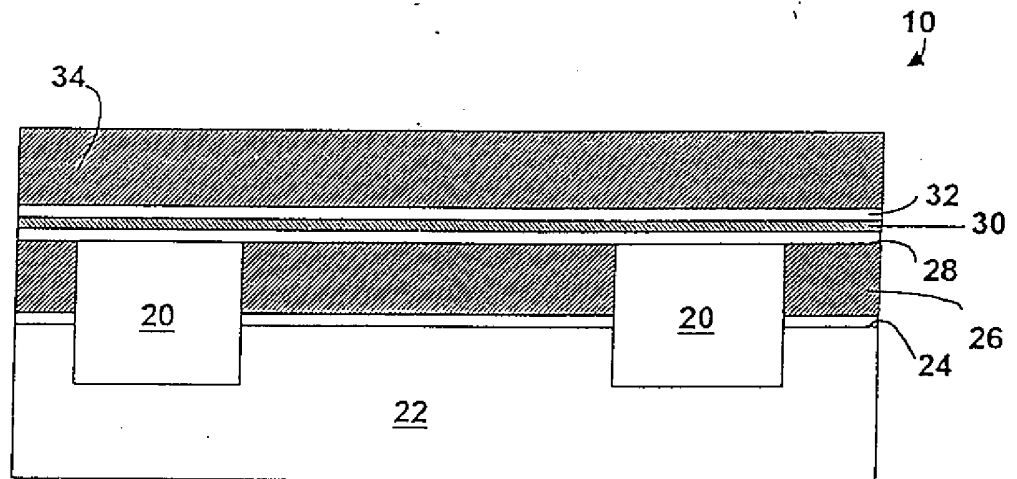


圖1

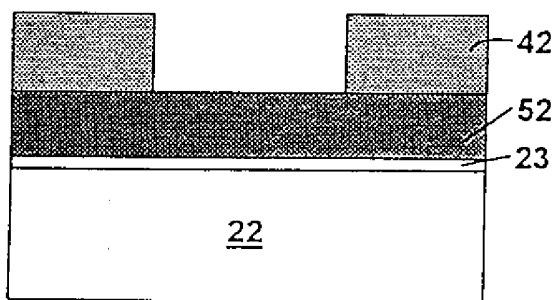


圖2

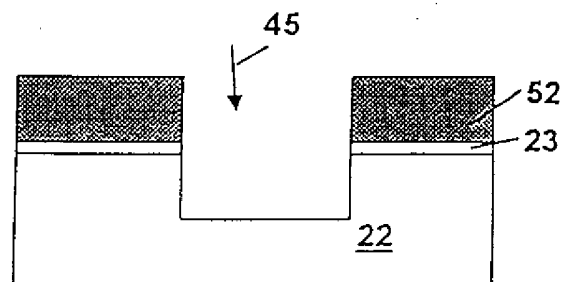


圖3

圖式

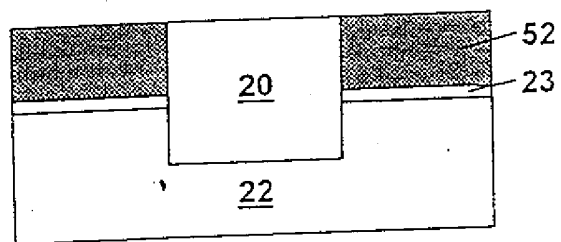


圖4

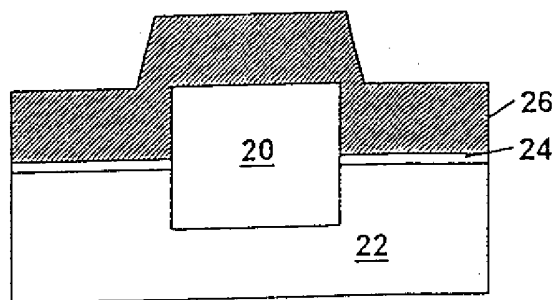


圖5

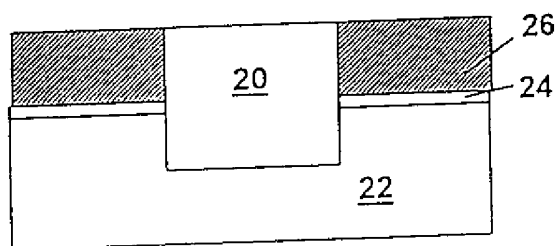


圖6

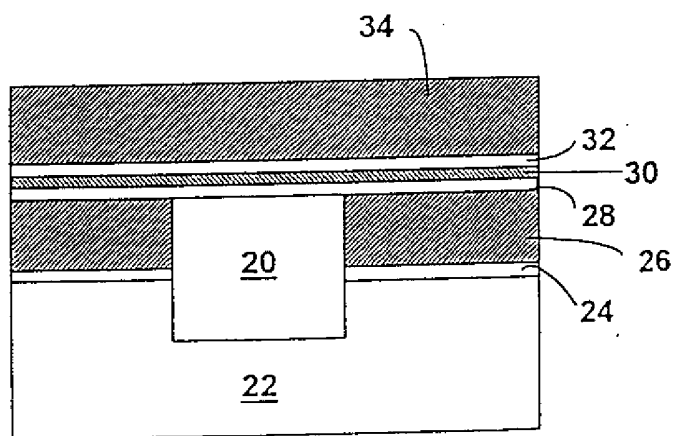


圖7