

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04Q 1/18 (2006.01)

H04Q 3/545 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03115979.6

[45] 授权公告日 2009年3月25日

[11] 授权公告号 CN 100473176C

[22] 申请日 2003.3.21 [21] 申请号 03115979.6

[73] 专利权人 中兴通讯股份有限公司

地址 518057 深圳市南山区高新技术产业园科技南路中兴通讯大厦法律部

[72] 发明人 夏亮

[56] 参考文献

US5274455A 1993.12.28

CN1379330A 2002.11.13

CN1288161A 2001.3.21

CN1393748A 2003.1.29

审查员 何琳琳

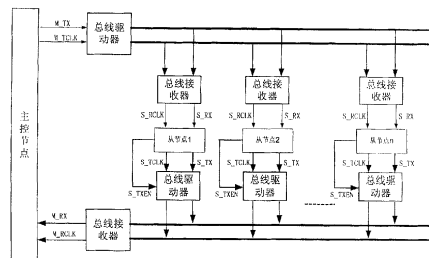
权利要求书 3 页 说明书 10 页 附图 4 页

[54] 发明名称

一种判断单板在位的装置

[57] 摘要

本发明涉及一种判断单板在位的装置，特别涉及一种在设备中用于判断功能单板是否在位的装置。本发明利用当前数字电路设计中常用的可编程逻辑器件，采用 VHDL 语言设计，通用性好，成本低，极大的提高了板在位判断的准确性和实时性，提高了系统的稳定性。在主控板和被检测单板之间设计一条专用的总线，总线上传送的信息由硬件产生，通过这条总线来完成相应的功能。采用本发明所述装置，与现有技术相比，由于它采用的独特硬件结构，不需要占用系统其他通信口的带宽，不需要软件参与处理，同时主从节点的连线少，结构简单，因此，该发明具有简单可靠，成本低的优点。



1. 一种判断单板在位的装置，其特征在于该装置包括：

主控节点、从节点、通信总线；

所述主控节点通过通信总线经总线驱动器、总线接收器至从节点，所述从节点通过通信总线经总线驱动器、总线接收器再至主控节点；

所述主控节点主动发送数据；

所述从节点被动应答接收主控节点发送的数据，所有从节点共享同一通信总线；

由主控节点发送板在位查询命令，从节点收到后返回在位标志字，主控节点据此判定板在位情况。

2. 如权利要求1所述判断单板在位的装置，其特征在于：

采用通用可编程逻辑器件实现主控节点和从节点逻辑控制；

所述主控节点的逻辑控制包括：发送部分和接收部分；

所述从节点逻辑控制包括：

接收移位寄存器，用于从节点从接收数据总线按位接收数据，采用接收时钟的边沿接收数据，并且将接收到的数据送给接收数据分析逻辑处理；

接收数据分析逻辑，用于对接收的数据进行分析，判断主控节点发送的数据是否合法，是否是板在位查询命令，判断为正确的板在位查询命令，则将结果送至发送控制逻辑；

发送控制逻辑，在接收数据分析逻辑的触发下，启动从节点的应答数据发送；

发送移位寄存器，在发送控制逻辑的作用下，将应答数据以串行的方式发送到发送数据总线；

板位地址寄存器，用于存放当前从节点所处的槽位地址，该槽位地址具有唯一性；

发送时钟管理，将从节点的接收时钟作为从节点的发送时钟，使从节点的发送始终具有相同的周期和相位，确保了从节点的发送数据不会相互冲突；

当系统工作时，主控节点向从节点发送板在位查询命令，从节点上的逻辑使用其接收时钟锁存总线上的数据，并且将数据移入接收移位寄存器中，从节点将接收移位寄存器中的数据交给接收数据分析逻辑处理，判断收到的主控节点板在位查询命令是否正确，接收数据分析逻辑将处理结果送给发送控制逻辑，在发送控制逻辑的控制下，从节点发送移位寄存器将从节点的应答消息通过总线发送给主控节点，主控节点根据收到的应答数据确定单板在位情况。

3. 如权利要求 2 所述判断单板在位的装置，其特征在于：

所述主控节点发送部分包括主控节点发送控制逻辑、主控节点发送数据 BUFFER 和主控节点发送移位寄存器；其中主控节点发送控制逻辑由 CPU 通过通信总线访问，并进行初始化，用于启动和终止发送数据，控制将主控节点发送数据 BUFFER 中的数据传送到主控节点发送移位寄存器，并用时钟将数据串行发出到发送数据总线；一旦主控节点发送控制逻辑启动发送板在位查询命令，主控节点发送移位寄存器就会循环发送板在位查询命令，在两个相邻的板在位查询命令中间，主控节点发送控制逻辑会控制主控节点发送移位寄存器等待足够长的时钟周期，在这段时间内，接收部分接收从节点的应答数据，通过分析判断，更新板在位状态寄存器的值，并且通过中断逻辑告诉 CPU，CPU 通过读取板在位状态寄存器获取从节点的在位情况；同时 CPU 通过通信总线读写主控节点发送数据 BUFFER，用于改变发送的命令数据，主控节点发送移位寄存器在主控节点发送控制逻辑的作用下，将主控节点发送数据 BUFFER 的数据以串行的方式发送到发送数据总线。

4. 如权利要求 2 所述判断单板在位的装置，其特征在于：

所述主控节点接收部分包括：主控节点接收移位寄存器、主控节点接收数据分析逻辑和主控节点板在位状态寄存器；其中主控节点接收数据分析逻辑对接收的数据，也就是从节点的应答数据进行分析，确定是哪个槽位上的从节点上报的数据，从而判断该槽位上是否有从节点存在，将分析结果送主控节点板在位状态寄存器，CPU 读取该寄存器从而了解板在位情况，或者主控节点板在位状态寄存器产生中断，用中断的方式通知 CPU。

5. 如权利要求 2 所述判断单板在位的装置，其特征在于：

所述从节点发送使能信号，在从节点不发送数据时，将总线驱动器设置为高阻。

6. 如权利要求 2 所述判断单板在位的装置，其特征在于：

从节点发送控制逻辑根据从节点的板位地址不同，在不同的时间片内使能发送使能信号。

7. 如权利要求 3 所述判断单板在位的装置，其特征在于所述主控节点发送的板在位查询命令包括：

前导字节，用来界定一个消息的开始；

消息 ID，表明当前发送消息的类型；

单板 ID，代表单板的识别信息，每个单板的 ID 是唯一的，各个单板之间 ID 是互不相同的。

8. 如权利要求 7 所述判断单板在位的装置，其特征在于：

板在位查询命令的应答命令由一个字节构成，字节的内容固定为一个值。

## 一种判断单板在位的装置

### 技术领域

本发明涉及一种判断单板在位的装置,特别涉及一种在设备中用于判断功能单板是否在位的装置。

### 背景技术

尤其是在通信设备中,往往一套设备是由若干功能单板组成的,这些单板通过通信总线和一个或多个主控单板通信,从而完成对设备中各个部分的控制,实现设备的各种功能,主控单板必须知道与它通信的单板的配置情况,单板是否插到了设备上等信息。如何有效的管理和了解各个功能单板的配置情况是实现整套设备功能的基础,因此必须找到一种稳定可靠的判断单板在位情况的装置。只有在正确判断出单板在位情况的基础上,设备才能正常工作。

在通信设备中用于板在位检测的技术有很多种,比如通过单板在位线的方法来检测单板在位情况,这种方法是通过每个单板提供给主控板一根在位信号线,由主控板检测这些信号线的电平来判断某个单板是否在位,因为每个单板都需要一个信号线与主控板相连,因此这种方法需要较多的信号线,特别是在复杂的系统中,单板数量很大,这势必造成背板和主控板的设计十分复杂,PCB布线困难,造成子架、机架间连线过多,无形中也增加了系统的不稳定性,给调试和生产带来不便,经常发生由于在位线的焊接问题导致板在位判断的错误。

另外,还有一种方法,这种方法利用了设备中主控板和单板之间的通

信总线，通过通信口使用软件轮询的方式检测板在位的方法，虽然这种方法减少了连线，但占用了通信口的带宽，造成通信总线的阻塞，不但影响了正常的通信，而且对板在位的判断也不可靠，此外这种方法效率较低，可靠性较差，由于需要软件参与，因此一旦软件出现故障，板在位检测就会出现异常。

## 发明内容

本发明的目的是为了解决目前通信设备中板在位判断的不稳定性，占用系统有限的通信资源，需要软件参与等缺点。发明一种用于判断单板在位的装置。使用本发明的装置，逻辑上较为简单，可靠性、实时性和效率都大大提高。

本发明利用当前数字电路设计中常用的可编程逻辑器件，采用 VHDL 语言设计，通用性好，成本低，极大的提高了板在位判断的准确性和实时性，提高了系统的稳定性。在主控板和被检测单板之间设计一条专用的总线，总线上传送的信息由硬件产生，通过这条总线来完成相应的功能。

本发明是这样实现的：

一种判断单板在位的装置，包括：主控节点、从节点、通信总线；

所述主控节点通过通信总线经总线驱动器、总线接收器至从节点，所述从节点通过通信总线经总线驱动器、总线接收器再至主控节点；所述主控节点主动发送数据；所述从节点被动应答接收主控节点发送的数据，所有从节点共享同一通信总线；由主控节点发送板在位查询命令，从节点收到后返回在位标志字，主控节点据此判定板在位情况。

所述判断单板在位的装置采用通用可编程逻辑器件实现主控节点和从节点逻辑控制；所述主控节点的逻辑控制包括：发送部分和接收部分；

所述从节点逻辑控制包括：接收移位寄存器，用于从节点从接收数据总线按位接收数据，采用接收时钟的边沿接收数据，并且将接收到的数据送给接收数据分析逻辑处理；接收数据分析逻辑，用于对接收的数据进行分析，判断主控节点发送的数据是否合法，是否是板在位查询命令，判断为正确的板在位查询命令，则将结果送至发送控制逻辑；发送控制逻辑，在接收数据分析逻辑的触发下，启动从节点的应答数据发送；发送移位寄存器，在发送控制逻辑的作用下，将应答数据以串行的方式发送到发送数据总线；板位地址寄存器，用于存放当前从节点所处的槽位地址，该槽位地址具有唯一性；发送时钟管理，将从节点的接收时钟作为从节点的发送时钟，使从节点的发送始终具有相同的周期和相位，确保了从节点的发送数据不会相互冲突；当系统工作时，主控节点向从节点发送板在位查询命令，从节点上的逻辑使用其接收时钟锁存总线上的数据，并且将数据移入接收移位寄存器中，从节点将接收移位寄存器中的数据交给接收数据分析逻辑处理，判断收到的主控节点板在位查询命令是否正确，接收数据分析逻辑将处理结果送给发送控制逻辑，在发送控制逻辑的控制下，从节点发送移位寄存器将从节点的应答消息通过总线发送给主控节点，主控节点根据收到的应答数据确定单板在位情况。

所述主控节点发送部分包括主控节点发送控制逻辑、主控节点发送数据 BUFFER 和主控节点发送移位寄存器；其中主控节点发送控制逻辑由 CPU 通过通信总线访问，并进行初始化，用于启动和终止发送数据，控制将主控节点发送数据 BUFFER 中的数据传送到主控节点发送移位寄存器，并用时钟将数据串行发出到发送数据总线；一旦主控节点发送控制逻辑启动发送板在位查询命令，主控节点发送移位寄存器就会循环发送板在位查询命令，在两个相邻的板在位查询命令中间，主控节点发送控制逻辑会控制主控节点发送移位寄存器等待足够长的时钟周期，在这段时间内，接收部分接收从节点的应答数据，通过分析判断，更新板在位状态寄存

器的值，并且通过中断逻辑告诉 CPU，CPU 通过读取板在位状态寄存器获取从节点的在位情况；同时 CPU 通过通信总线读写主控节点发送数据 BUFFER，用于改变发送的板在位查询命令数据，主控节点发送移位寄存器在主控节点发送控制逻辑的作用下，将主控节点发送数据 BUFFER 的数据以串行的方式发送到发送数据总线。

所述主控节点接收部分包括：主控节点接收移位寄存器、主控节点接收数据分析逻辑和主控节点板在位状态寄存器；其中主控节点接收数据分析逻辑对接收的数据，也就是从节点的应答数据进行分析，确定是哪个槽位上的从节点上报的数据，从而判断该槽位上是否有从节点存在，将分析结果送主控节点板在位状态寄存器，CPU 读取该寄存器从而了解板在位情况，或者主控节点板在位状态寄存器产生中断，用中断的方式通知 CPU。

所述从节点发送使能信号，在从节点不发送数据时，将总线驱动器设置为高阻。

从节点发送控制逻辑根据从节点的板位地址不同，在不同的时间片内使能发送使能信号。

所述主控节点发送的板在位查询命令包括：前导字节，用来界定一个消息的开始；消息 ID，表明当前发送消息的类型；单板 ID，代表单板的识别信息，每个单板的 ID 是唯一的，各个单板之间 ID 是互不相同的。

所述板在位查询命令的应答命令由一个字节构成，字节的内容固定为一个值。

本发明克服了以前板在位检测的复杂性和不稳定性，降低了成本，增强了系统的可靠性，同时为空间有限的 PCB 板节省了空间。

采用本发明所述装置，与现有技术相比，由于它采用的独特硬件结构，不需要占用系统其他通信口的带宽，不需要软件参与处理，同时主从节点的连线少，结构简单，因此，该发明具有简单可靠，成本低的优



点。采用该发明可极大的提高板在位查询的稳定性和实时性。

## 附图说明

图 1 板在位检测硬件原理框图。

图 2 主、从节点的逻辑控制原理框图。

图 3 实施例硬件结构图。

图 4 主控节点时序关系图。

## 具体实施方式

本发明采用目前常用的通用可编程逻辑器件。

如图 1 所示：本发明的系统硬件结构，采用一主多从的总线结构，通过合理的选择总线驱动器可提供长距离、大负荷的通信体系。从图中可以看出，硬件结构主要包括 3 个部分：主控节点、从节点和通信总线。

主控节点在系统中处于主导地位，它和各个从节点间通过总线进行通信。通信接口侧主控节点包含四个信号：主控节点发送数据 M-TX、主控节点发送时钟 M-TCLK、主控节点接收数据 M-RX 和主控节点接收时钟 M-RCLK。主控节点主动发送数据，所有从节点都能接收到主控节点发送的数据；从节点采用被动应答的方式和主控节点通信。主控节点采用通用的可编程逻辑器件设计，用于完成主控节点的所有逻辑控制。

从节点在系统中处于从属地位，因为所有从节点共享同一通信总线，所以从节点采用被动应答的方式和主控节点通信，从节点不能主动随机发送数据，否则将产生总线数据冲突，影响系统性能，损坏器件。从节点通信口侧包含五个信号：从节点发送数据 S-TX、从节点发送时钟 S-TCLK、从节点接收数据 S-RX、从节点接收时钟 S-RCLK 和从节点发送使

能 S\_TXEN。S\_TXEN 发送使能控制从节点在不发送数据时将总线驱动器置为高阻以避免发生冲突烧坏驱动芯片。

通信总线是连接主控节点和从节点的纽带,主从节点的通信必须通过通信总线来实现。本系统采用一主多从的架构设计,在总线设计过程中主要要考虑:总线带宽、带负载能力、传输距离和总线冲突等因素。其中总线时钟频率是衡量总线带宽的关键因素,频率越高带宽越大,但频率过高会影响到总线的传输距离,而且受总线驱动器的频率限制。

采用可编程逻辑器件实现主控节点逻辑,图 2 中 M 部分是主控节点的逻辑原理框图。虚线框内就是主从节点的逻辑控制原理框图,其中 M 是主控节点的逻辑框图,S 是从节点的原理框图。

主要包括两个部分:发送部分和接收部分。

发送部分可具体化分为:发送控制逻辑、发送数据 BUFFER 和发送移位寄存器。以下分别进行描述:

发送控制逻辑:如图 2 中的 201。CPU 可以通过通信总线访问该模块,对控制模块进行初始化,201 主要的作用是用于启动和终止发送数据,用于控制将发送数据 BUFFER 中的数据传送到发送移位寄存器中,并用时钟将数据串行发出到发送数据总线上。一旦发送控制逻辑启动发送板在位查询命令,发送移位寄存器就会循环发送板在位查询命令,在两个相邻的板在位查询命令中间,发送控制逻辑会控制发送移位寄存器等待足够长的时钟周期,在这段时间内,接收部分可以接收从节点的应答数据,通过分析判断,更新板在位状态寄存器的值,并且可通过中断逻辑告诉 CPU,CPU 读取板在位状态寄存器就可知道从节点的在位情况。201 的输出同时作用于 202 和 203。

发送数据 BUFFER:如图 2 中的 202。CPU 可以通过通信总线读写 202,202 主要的作用是用于存放欲发送的命令数据。202 的输出作为 203 的输入。

发送移位寄存器：如图 2 中的 203。203 在 201 的作用下，将 202 的数据以串行的方式发送到发送数据总线上。

接收部分可具体化分为：接收移位寄存器、接收数据分析逻辑和板在位状态寄存器。以下分别进行描述：

接收移位寄存器：如图 2 中的 204。204 从接收数据总线按位接收数据，采用接收时钟的下降沿接收数据，并且将接收到的数据送 205 处理。

接收数据分析逻辑：如图 2 中的 205。205 对接收的数据进行分析，确定是哪个槽位上的从节点上报的数据，从而可判断该槽位上是否有从节点存在，205 将分析得到结果送 206，用于 206 的更新。

板在位状态寄存器：如图 2 中的 206。206 存放当前从节点的在位状态，CPU 可读取该寄存器从而了解板在位情况，206 也可产生中断，用中断的方式通知 CPU。

采用可编程逻辑器件实现从节点逻辑，图 2 中 S 部分是从节点的逻辑原理框图。主要包括 6 部分：接收移位寄存器、接收数据分析逻辑、发送控制逻辑、发送移位寄存器、板位地址寄存器和发送时钟管理。以下分别进行描述：

接收移位寄存器：如图 2 中的 301。301 用于从节点从接收数据总线按位接收数据，采用接收时钟的下降沿接收数据，并且将接收到的数据送 302 处理。

接收数据分析逻辑：如图 2 中的 302。302 对接收的数据进行分析，判断主控节点发送的数据是否合法，是否是板在位查询命令。如果判断为正确的板在位查询命令，则将结构送发送控制逻辑 303。

发送控制逻辑：如图 2 中的 303。303 在 302 的触发下启动从节点的应答数据发送。从节点由于共享同一发送数据总线，因此各个从节点的发送数据必须在时间上相互错开，不能同时发送，以避免数据冲突。由于从节点的板位地址是唯一的，因此 303 采用了板位地址的唯一性，根

据从节点的板位地址不同在不同的时间片内使能发送使能信号。

发送移位寄存器：如图 2 中的 304。304 在 303 的作用下，将应答数据以串行的方式发送到发送数据总线上。

板位地址寄存器：如图 2 中的 305。305 的作用是存放当前从节点所处的槽位地址。

发送时钟管理：如图 2 中的 306。由于各个从节点之间的发送数据是在不同时间片内完成的，都是针对同一时钟基准而言的，因此各个从节点的发送时钟必须相同，306 采用了从节点的接收时钟作为从节点的发送时钟，而从节点的接收时钟都来自同一节点——主控节点，因此它们具有相同的周期和相位，从而确保了从节点的发送数据不会相互冲突。这样也简化了主控节点的接收逻辑设计，提高了系统的稳定性。

通信总线协议为自定义，命令格式和种类可见表 1 和表 2。主控节点提供发送时钟和命令数据，从节点上的逻辑使用此时钟锁存总线上的数据，并判断是否收到主控节点命令以及收到命令的种类。

总线完成在位查询功能方法为：由主控节点发送板在位查询命令，从节点收到后返回在位标志字，主控节点据此判定板在位情况。

主控节点发送的消息结构定义如下：

表 1 总线消息格式

前导字节	消息 ID	单板 ID
------	-------	-------

前导字节用来界定一个消息的开始，消息 ID 表明当前发送消息的类型，消息 ID 和前导字节在定义上应该充分考虑硬件的可实现性，应可以满足实际需要以及扩展要求，单板 ID 代表单板的识别信息，每个单板的 ID 是唯一的，各个单板之间 ID 是互不相同的。

板在位查询命令的应答命令由一个字节构成，字节的内容可以固定为一个特殊的值。

在本实施例中通信总线物理层采用了 RS485 标准，总线收发器采用国

半的 DS1487, 可编程逻辑器件采用 XILINX 的 SPARTEN 系列的 XCS20TQ144, 主控节点和从节点的逻辑都用它实现。系统原理图见图 1。

可编程器件逻辑设计采用 XILINX FOUNDATION 3.1i, 利用原理图和 VHDL 语言进行逻辑功能的实现。

通信总线协议为自定义, 命令格式和种类可见表 2 和表 3。主控节点提供发送时钟和命令数据, 从节点上的逻辑使用此时钟锁存总线上的数据, 并判断是否收到主控节点命令以及收到命令的种类。

主控节点发送的消息结构定义如下:

表 2 实施例总线消息格式

前导字节 (1BYTE)	消息 ID (1BYTE)	机架地址 (1BYTE)	子架 + 槽位地址 (1BYTE)
-----------------	------------------	-----------------	----------------------

在本实施例中单板 ID 由机架地址、子架号和槽位地址三部分组成, 共占用两个字节, 消息 ID 占用一个字节, 该字节的最高位定义为 0, 次高位定义为 1, 最低位定义为 1, 次低位定义为 0, 这样该消息 ID 可以产生 16 个有效的 ID, 应当可以满足实际需要以及扩展要求, 前导字节定义为 0xF0, 按照这样的定义可得到如表 4 所示的一个比特流: 其中 x 表示其值可取 0 或 1。由于 bit4—bit0 不可能出现均为 0 的情况 (假定槽位地址 0 保留), 因此在这样一个消息流中判断出前导字节将很容易, 不会出现误判的情况。

根据上述原则可以给出总线支持的消息的定义 (此定义为推荐使用方案, 可以根据要求进行修改或扩充), 见表 3:

表 3 总线命令字协议

	前导字节 (1BYTE)	消息 ID (1BYTE)	机架地址 (1BYTE)	槽位地址 (1BYTE)
板板在位查询 命令	0xF0	0x49	XX(00 保留)	XX(0x00 保留)

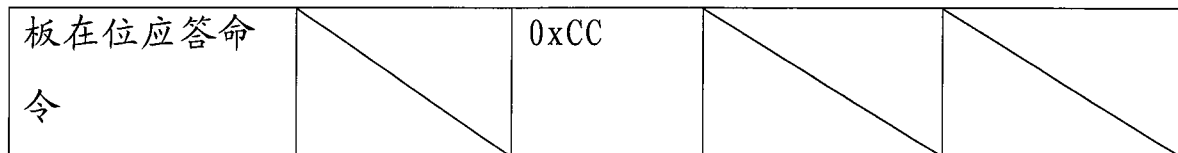


表 4 总线消息比特排列

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
1	1	1	1	0	0	0	0	0	1	X	X	X	X	0	1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X

表 4 中 bit31 到 bit24 是串行比特流中的第一个字节，内容固定为 0xF0；bit23 到 bit16 是串行比特流中的第二个字节，内容固定为 0x49；bit15 到 bit8 是串行比特流中的第三个字节，其高 4 比特固定为 0，低 4 比特表示机架号，范围是 1-15，0 保留；bit7 到 bit0 是串行比特流中的第四个字节，高三位代表子架号，0 保留，取值范围是 1-7，低五为代表槽位号，0 保留，取值范围是 1-31。

板在位查询命令的应答命令由一个字节构成，字节的内容定义为 0xCC。具体时序可见图 4，主控节点在其发送时钟 M\_TCLK 的上升沿将数据发送到发送数据线 M\_TX 上，在接收时钟 M\_RCLK 的下降沿采样数据。相应的从节点应该在其接收时钟 S\_RCLK 的下降沿采样接收数据 S\_RX，在发送时钟 S\_TCLK 的上升沿打出数据。

采用该方法实现板在位查询功能，实践证明该方法稳定可靠，能够稳定可靠的实现板在位查询功能，节省了系统的资源，给板在位查询带来了极大的稳定性。

本发明所述的板在位查询方法，解决了通信系统中各个功能单板板在位查询的不稳定性问题，同时不占用系统其它资源，不需软件直接参与处理，节省了 CPU 的处理时间，保障了系统的稳定可靠性，降低了成本。

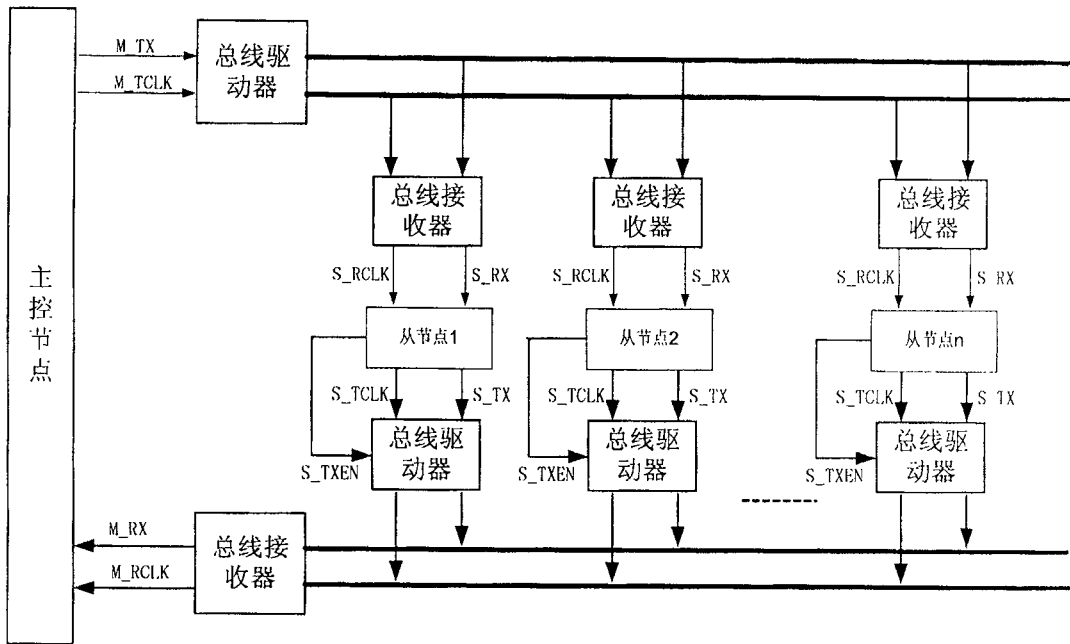


图 1

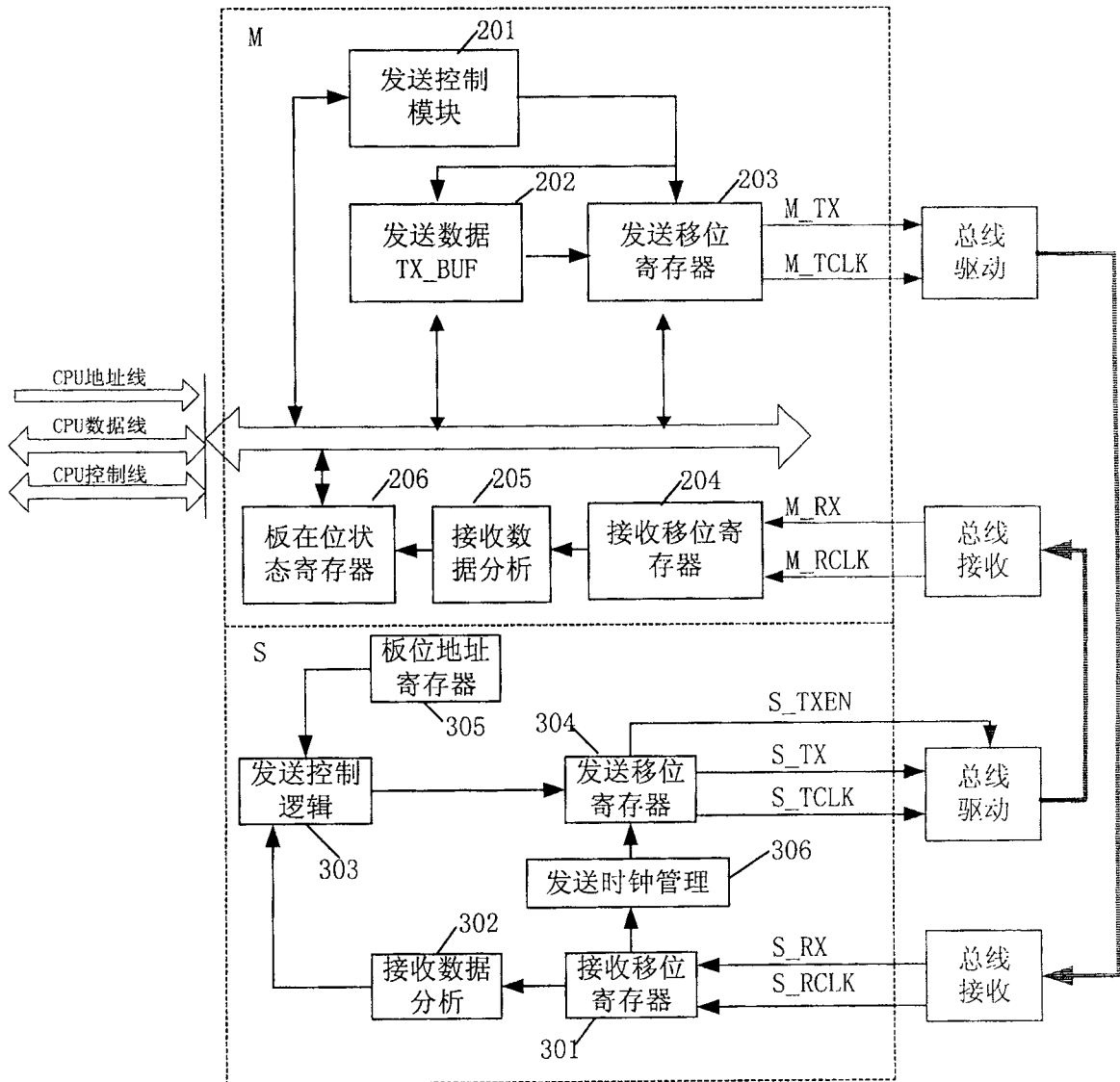


图 2



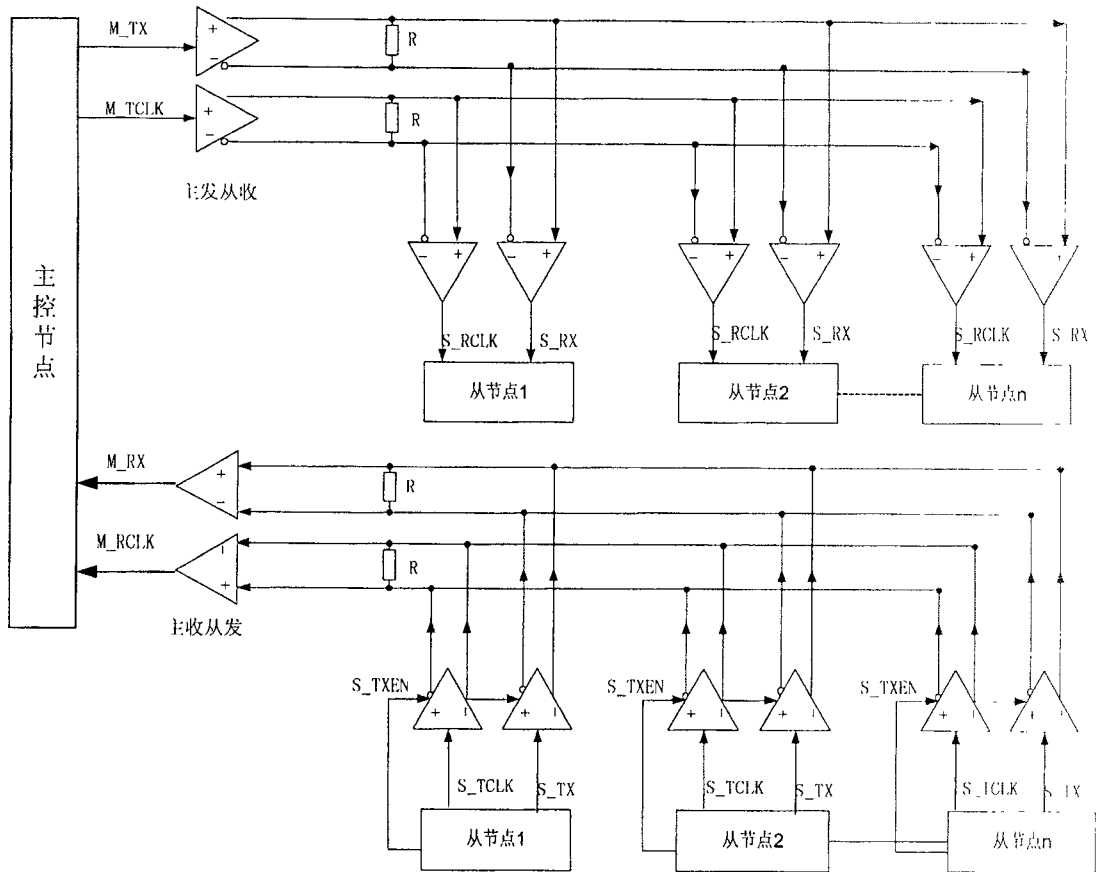


图 3

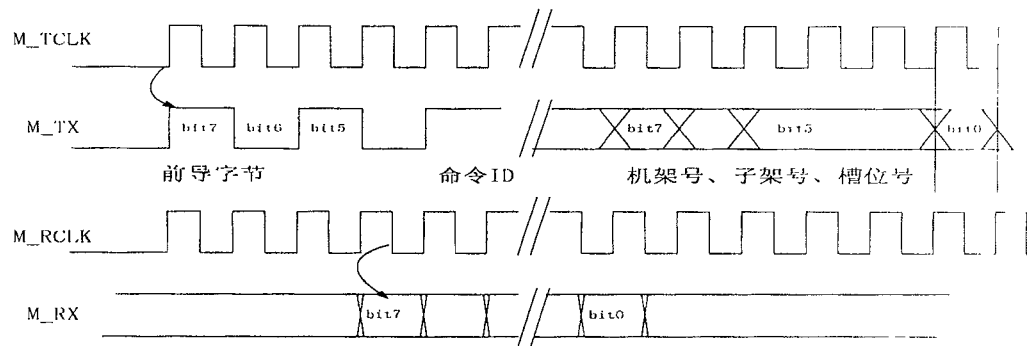


图 4