



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 293 704**

51 Int. Cl.:
G05B 19/042 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **99116239 .7**

86 Fecha de presentación : **17.08.1999**

87 Número de publicación de la solicitud: **0982641**

87 Fecha de publicación de la solicitud: **01.03.2000**

54 Título: **Interfaz de bus.**

30 Prioridad: **21.08.1998 DE 198 38 130**

45 Fecha de publicación de la mención BOPI:
16.03.2008

45 Fecha de la publicación del folleto de la patente:
16.03.2008

73 Titular/es: **SIEMENS AKTIENGESELLSCHAFT
Wittelsbacherplatz 2
80333 München, DE**

72 Inventor/es: **Tretter, Albert y
Plewa, Christian**

74 Agente: **Carvajal y Urquijo, Isabel**

ES 2 293 704 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

ES 2 293 704 T3

DESCRIPCIÓN

Interfaz de bus.

5 La presente invención se relaciona con una interfaz de bus, particularmente una interfaz de bus para un bus de campo, particularmente un profibus, implementándose la interfaz de bus preferentemente como ASIC.

10 La descentralización de la técnica de automatización ha alcanzado un enorme progreso desde la entrada en vigor de los buses de campo. El profibus DP ha salido a relucir además como bus de campo más eficiente y más versátil.

15 Como constantemente se transmite más funcionalidad a través del bus de campo, el profibus DP se amplió al amparo de la organización de usuarios de profibus para contener las funciones acíclicas de comunicación (protocolo DPV1). Esta tendencia tiene que apoyarse por parte del equipo mediante la correspondiente integración de las nuevas funcionalidades.

20 Ya desde 1993, la compañía Siemens, S.A. ofrece los más diversos ASICS para la conexión al profibus-DP. Los crecientes requisitos de comunicación de los dispositivos de transmisión y sistemas de automatización, así como la necesidad de optimizar el acoplamiento del campo de acción, han conducido al desarrollo de un profibus ASIC adicional.

25 Este profibus ASIC contiene, además de una RAM de 6 Kb, como característica principal, un núcleo 8031 integrado, ya que en muchos dispositivos periféricos ahora como antes se utilizan procesadores de 8 bits, especialmente derivados del Intel 8031. Mediante la integración del núcleo 8031 en el controlador del esclavo DP se logra una optimización de los costes de hardware, la reducción de las necesidades de espacio de un interfaz esclavo del profibus-DP, un aumento de la ejecución del dispositivo de campo mediante preprocesamiento de la comunicación, así como un aumento del espectro de aplicación debido a la libre programabilidad.

30 Además, el ámbito de aplicación no se limita sólo al dominio clásico de la industria de fabricación. Mediante un Power Management (gestión de la potencia) consecuente, en la tecnología de 3,3V se logra la posibilidad de empleo también en el campo de acción de la ingeniería de procesos, en conexión con los profibus-PA. Para una unión de los más diversos clases de dispositivos al profibus-DP, el fabricante de equipos dispone, en función de la necesidad de comunicación, de ASICs esclavos adaptados a su componente.

35 Ya en dispositivos sencillos de transmisión con una necesidad de comunicación baja y fija, como por ejemplo, componentes E/A o terminal de válvulas, se emplea un ASIC conocido.

40 Los dispositivos de transmisión inteligentes complejos con una necesidad de comunicación alta y variable, como por ejemplo, accionamientos o sistemas de identificación, disponen de otro ASIC esclavo conocido, que, además del protocolo DP, que está completamente integrado, soporta también las funciones acíclicas de comunicación del protocolo DPV1 con un software adicional. Este ASIC esclavo cuenta, por otra parte, con una RAM de 1,5 Kb, a través de la cual se cambian los datos con la aplicación. Hasta ahora se ha empleado un tercer ASIC esclavo para el acoplamiento de los dispositivos de campo al profibus-PA.

45 En el nuevo ASIC esclavo se reunieron las diferentes propiedades de los ASICs individuales en un chip. Un revelador del dispositivo de campo puede efectuar un amplio espectro de sus aplicaciones con este módulo, sin tener que cambiar el hardware o software.

50 Una característica importante del nuevo interfaz de bus, designado en lo sucesivo sinónimamente también como nuevo ASIC esclavo o abreviadamente como módulo, consiste en que en una memoria a la que tenga acceso al menos una unidad funcional comparable a un procesador, en lo que se refiere a la funcionalidad del proceso, con un propio espacio de memoria de programas, pueden construirse bloques de tamaño variable, reduciéndose el tamaño del segundo bloque al aumentar el tamaño del primer bloque y viceversa, pudiéndose intercalar el primer bloque mediante una conmutación en el espacio de memoria de programas de la unidad funcional. En la descripción del ejemplo de ejecución se destina siempre un núcleo 8031 a la unidad funcional.

55 En el manual "Siemens: microcontroladores de 16 bits; derivados C167" se describen los controladores monochip citados en el título. En el manual "MC68360; controlador QUad integrado de comunicaciones" se trata asimismo la unidad funcional citada en el título.

60 Otras características, ventajas y posibilidades de aplicación de la invención se deducen de las Subreivindicaciones, la siguiente descripción de un ejemplo de ejecución en base a las Figuras y las propias Figuras. Además, todas las características descritas y/o representadas gráficamente, por sí mismas o en cualquier combinación, son el objeto de la presente invención, independientemente de su resumen en las Reivindicaciones o su referencia retrospectiva.

65 Muestran:

Fig 1, 3 a 5 un diagrama de bloques de la interfaz de bus

ES 2 293 704 T3

Fig 2 una representación esquemática de la distribución de la memoria.

La Fig 1 proporciona una panorámica de los bloques funcionales individuales del nuevo ASIC esclavo en un diagrama de bloques. EL nuevo ASIC esclavo contiene además de un “módulo DP” ampliado del ASIC esclavo ya conocido, con el calificativo interno SPC3, una interfaz 5 incluida en el núcleo 8031 2 y otra interfaz 6, que pueda emplearse o bien como ampliación de puerto para el núcleo 8031 integrado 2 o para la conexión a un procesador externo. Como en el SPC3, también en el nuevo ASIC esclavo se integró todo el protocolo del esclavo DP. La interfaz para la aplicación conforma la RAM 1 de 6 Kb, a través de la cual la aplicación comunica con la parte de comunicación. La interfaz que usuario que opera satisfactoriamente en la práctica se encuentra también aquí disponible. Con esta arquitectura se consigue la descarga de la aplicación de todas las funciones de comunicación temporalmente críticas. Todos los temporizadores necesarios para la comunicación, así como todas las funciones de control para la aplicación se integraron asimismo en el módulo. Tal y como pone en evidencia el diagrama de bloques, varias instancias acceden a esta RAM 1, es decir, si fuera necesario, un microcontrolador externo, el núcleo 8031 interno 2 así como microse secuenciadores internos 3. Los accesos a la RAM 1 se coordinan además a través de un controlador multipuerto transparente de la RAM 4.

La Fig 2 muestra el reparto de la RAM 1 en distintas zonas.

Conforme a la Fig 2, el rango de direcciones del nuevo ASIC esclavo comprende 8 Kb, Encontrándose los registros en los 2 Kb inferiores 101 y, por encima de ellos, la RAM 102 de 6 Kb. Los bloques 103 separables, cuyo tamaño puede ajustarse a 0, 2, 3 ó 4 Kb, se pueden emplear como memoria de código del núcleo interno 8031 2. En la RAM 102 se localiza, además de las celdas de parámetros 104 y celdas internas de operación 105, el rango completo 106, en el que han de instalarse los buffers de comunicación, pudiendo regularse también su tamaño, a saber, a 6, 4, 3 ó 2 Kb. En la RAM 102 se halla adicionalmente otro rango de operación 107 más, disponible, por ejemplo, para un rango de acumulación, para puntos de acceso al servicio “Service Access Points”, para diferentes colas o buffers temporales. En la memoria separable 103, accesible primero como RAM normal, puede cargarse código 8031. Mediante una conmutación del hardware se intercala entonces esta memoria 103 en el espacio de memoria de programas del núcleo interno 8031 2.

El acoplamiento al bus físico se lleva a cabo por medio de una unidad física 7, que, además de la interfaz asíncrona 71 para la interfaz RS485, comprende adicionalmente una interfaz síncrona 72. Esta interfaz permite acoplar también el ASIC del bus a la técnica síncrona de transmisión del profibus-PA a través de una interfaz ahorradora de corriente.

Se prevén además una PLL y una unidad de reloj 8, efectuándose la generación de reloj por medio de la PLL y la distribución de reloj en el módulo por medio de la unidad de reloj. La PLL integrada produce los 48 MHz necesarios internamente, de forma que el oscilador de cuarzo de 48 MHz necesario en caso contrario pueda reemplazarse por un oscilador de 12 MHz más económico. La PLL puede desconectarse para el funcionamiento síncrono, ya que, en este modo de operación, la reducida frecuencia del reloj de alternativamente 2, 4, 8 ó 16 MHz ha de suministrarse externamente.

Para la conexión de componentes compatibles con SPI como la E2PROMs o el transformador A/D se prevé una interfaz síncrona en serie 9, una interfaz SSC como módulo SSC 9. Tanto el núcleo 8031 interno 2 como también un microcontrolador externo pueden acceder a este módulo 9. El módulo SSC 9 puede configurarse de manera flexible a través de registros de modo y de control. Por tanto, son posibles, por ejemplo, los siguientes ajustes: con/sin paridad, paridad impar/par (se genera y/o examina automáticamente), velocidad ajustable de ciclo de 46,8 kHz hasta un máximo de 12 MHz, así como el número de bits a enviar y/o recibir de 1 bit a 8 bits.

El núcleo 8031 integrado 2 es compatible con los derivados 8031 estándar. De este modo pueden emplearse entornos estándar de desarrollo, programación y depuración. El núcleo 8031 2 se indexa en la operación a 48 MHz con la mitad de la velocidad de ciclo, o sea, con 24 MHz. El núcleo 8031 integrado 2 comprende en el nuevo ASIC esclavo una RAM “interna” no representada de 256 bytes de tamaño, así como el “temporizador 2” de los derivados 8032, de forma que al final se disponga de un verdadero controlador 8032. Para el núcleo interno 8031 2 se integró además en den ASIC esclavo una firmware ROM 21 de 24 Kb, depositándose en esta ROM las siguientes funciones: funciones de lectura y escritura para una E2PROM compatible con SPI, bootloader para la aplicación monochip, así como todas las funciones del sistema necesarias para la ejecución de un “DP esclavo”.

Se prevé además, depositar también las funciones acíclicas de comunicación del protocolo DPV1 en la ROM 21, de forma que la nueva ASIC esclavo sea capaz de descargar completamente al procesador de aplicaciones de los objetivos de comunicación. Esto puede evaluarse, bien para aumentar la ejecución de su dispositivo de campo, o para emplear menos procesadores de aplicaciones más eficientes y, por tanto, más económicos para la reducción de costes. La selección de la funcionalidad de la ROM 21 se lleva a cabo a través de pins de configuración externos, no representados.

La interfaz 8031-I/O 5 proporciona todas las señales del controlador 8031, para acoplar los componentes correspondientes. La interfaz 5 comprende cuatro puertos, así como funciones especiales. Los puertos 0 y 2, que corresponden a los puertos A y/o C del DPC31, han de emplearse siempre como bus de direcciones y bus de datos, obteniéndose esta comprobación en vista de una simple depuración con el estándar ICE.

ES 2 293 704 T3

La interfaz I/O 6 multifuncional posibilita la conexión de manera sencilla del módulo a un procesador externo o sirve como ampliación de puerto para el núcleo interno 8031 2 para la conexión directa de las señales I/O. El ajuste del modo de operación se lleva a cabo a través de pins, pudiendo seleccionarse los siguientes modos: interfaz del microprocesador del tipo Intel síncrono/asíncrono y/o interfaz del microprocesador del tipo Motorola síncrono/asíncrono. Por otra parte, la interfaz I/O 6 se puede operar como interfaz I/O adicional con hasta 27 puertos desde la perspectiva del núcleo interno 8031 2.

El módulo puede emplearse, debido al núcleo 8031 integrado 2, en una multitud de aplicaciones. Las clases de aplicaciones más importantes ejecutables con este módulo, deberían describirse posteriormente de manera abreviada mediante las Figs 3 a 5, primero mediante la Fig 3. La integración oportuna del módulo en el empleo de los dispositivos de campo se garantiza mediante una correspondiente interfaz de software. El software contiene, además de las rutinas de inicialización, macros para el funcionamiento de las funciones esclavo DP cíclicas, así como funciones para el desarrollo de las funciones acíclicas de comunicación del canal C1- y C2 de la DPV1.

Tal y como ya se ha citado, en la ROM interna 21 del módulo se encuentran todas las funciones necesarias para el desarrollo de una "aplicación monochip" para los profibus-DP. Por tanto, el nuevo módulo se presenta como alternativa ideal a los módulos conocidos, que, a decir verdad, son suficientes para la respectiva estructura cuantitativa, pero son demasiado inflexibles. Un usuario puede escribir una aplicación de hasta 4 Kb de grande, que se almacena en una EEPROM en serie 91. Esta EEPROM 91 está conectada a la interfaz SSC 9. El módulo cargará en el arranque el contenido de la EEPROM 91 en una posición definida en la RAM 1 (en la Fig 3, símbolo de referencia 103), conmutará entonces el área cargada como código-RAM y procesará la aplicación allí depositada. Todas las funciones necesarias para el funcionamiento del módulo se localizan en la ROM interna 21, de forma que en la EEPROM en serie externa 91 "sólo" se ha de depositar el código puro de aplicación. La producción de una aplicación de este tipo se simplifica mediante el correspondiente software, de forma que se presente a un usuario de manera idéntica a la provisión habitual de una aplicación esclavo. Al módulo se le pueden conectar actuadores o sensores 50 a través de la interfaz 6 y/o actuadores y/o sensores 51a través de la interfaz 5.

En otra ordenación, el módulo puede operarse con ROM/RAM externa, tal y como se representa en la Fig 4. En esta variante la interfaz 8031 estándar 5 se emplea como interfaz del bus de direcciones o del bus de datos, para a ella acoplar una ROM 30 y/o RAM 31. En la ROM externa 30 se encuentra, además del firmware de aplicación, también uno de comunicación, que se enlaza para la aplicación. En esta constelación, la ROM interna 21 del núcleo 8031 integrado 2 está casi muerta, tal y como se sugiere en la representación conforme a la Fig 4. El núcleo 8031 interno 2 opera en cada momento desde la ROM 30 conectada externamente. El módulo SSC 9 puede utilizarse libremente en este modo de operación y está disponible, por ejemplo, para la conexión de una EEPROM en serie 91 o para la conexión de un transformador A/D 60. Algo similar se aplica también para la interfaz externa del microprocesador 6, que, en este caso, puede emplearse naturalmente como ampliación de puerto del núcleo interno 8031 2. Un funcionamiento de este tipo del núcleo interno 8031 2 como procesador de comunicación y aplicación ahorra el controlador utilizado hasta ahora externamente y posibilita además el empleo de las habilidades ampliadas de comunicación del módulo.

En principio pueden concebirse una multitud de aplicaciones, en las que no basta la ejecución de un núcleo 8031 y/o que tengan además incluso una mayor necesidad de comunicación, que la que podrían desempeñar los módulos conocidos. El nuevo módulo ofrece a estos dispositivos de transmisión la posibilidad de conectar la interfaz 6 de cualquier procesador huésped al módulo a través del microprocesador externo, tal y como se representa ejemplarmente en la Fig 5. El usuario sólo tiene que considerar los tiempos y niveles especificados durante el dimensionado de la interfaz de hardware. El procesador externo 65 "ve" respecto a la comunicación el mismo interfaz que el núcleo 8031 integrado 2. También en esta constelación se puede emplear libremente el módulo SSC 9. El procesador externo 65 puede desconectar el núcleo 8031 integrado 2, si éste no se emplea en otro lugar. El procesador externo 65 accede, si fuera necesario, a la propia RAM 66 y a una ROM 67 propia.

En otra ordenación se prevé, que el núcleo 8031 interno 2 se emplea para procesar las funciones acíclicas de comunicación completas, para aligerar, de este modo, esta carga al procesador huésped. Para este propósito se integran estas funciones en la ROM interna de 24 Kb 21. Entonces se lleva a cabo sólo la sustitución de los servicios productivos puros a través de un mecanismo de cola, mientras las máquinas de protocolo son procesadas por el núcleo interno 8031 2.

El núcleo 8031 integrado del módulo puede emplearse, por consiguiente, durante la operación con un procesador externo para propósitos de preprocesamiento o asumir los objetivos de comunicación completos.

Debido a la compatibilidad del núcleo 8031 respecto a los derivados 8031 puede emplearse un estándar - ICE para la depuración, que se conecte al módulo a través de la interfaz 8031-I/O 5. El núcleo 8031 interno 2 se desconecta a través de un pin especial del módulo para el modo de prueba y ahora se pueden abordar y probar sin restricción todos los módulos con el controlador 8031 acoplado a través la ICE. Como características adicionales del módulo hay que mencionar, que el módulo está realizado en una tecnología de 3,3V, de forma que sobre una tarjeta ha de considerarse un correspondiente suministro de tensión de 3,3V. Para organizar de la manera más simple posible el ajuste en un diseño mixto de 5V a 3,3V, se emplearon celdas Pad especiales, tolerantes respecto a las entradas 5V. Esto posibilita, aplicar directamente 5V a los pins iniciales del módulo. El ajuste de los niveles de salida de 3,3V a 5V se tiene que efectuar, si fuera necesario, externamente. En el caso de que una salida del módulo está cableada directamente a una

ES 2 293 704 T3

entrada TTL, no será necesario este ajuste, ya que el alto nivel de módulos TTL se encuentra a 2V y el propio módulo se acciona hasta aprox. 3,1V para un suministro de tensión con 3,3V. Sin embargo, si se tiene que efectuar un ajuste a CMOS 5V, el nivel faltante puede equilibrarse mediante una resistencia de polarización o componentes especiales del controlador.

5

El módulo está encapsulado en una carcasa de 100-Pin-PQFP y puede operarse a una temperatura ambiente de -40°C a +85°C. Debido al Power Management (gestión de potencia) integrado podría reducirse sustancialmente la pérdida de potencia. El módulo consume menos de 200 mW funcionando a 48 MHz. Por tanto, también se midieron valores correspondientemente bajos en el funcionamiento síncrono con núcleo 8031 activo (5 mW a 2 MHz; 10 MW a 4 MHz).

10

15

20

25

30

35

40

45

50

55

60

65

REIVINDICACIONES

5 1. Interfaz de bus con una memoria (1) reunida en un módulo, un módulo de comunicación, así como una unidad funcional (2) con un espacio de memoria de programas propio, que acceden ambos a la misma memoria (1), pudiendo formarse en la memoria (1) bloques (103, 106) de tamaño variable, reduciéndose el tamaño del segundo bloque (106) al aumentar el tamaño del primer bloque (103) y viceversa, pudiéndose instalar en el segundo bloque (106) variable en tamaño buffers de comunicación, **caracterizada** porque el primer bloque (103) puede intercalarse mediante una conmutación en el espacio de memoria de programas de la unidad funcional (2).

10 2. Interfaz de bus acorde a la Reivindicación 1, **caracterizada** porque para el acoplamiento al bus físico se prevé una unidad física (7) con una interfaz asíncrona (71) y una interfaz síncrona (72).

15 3. Interfaz de bus acorde a la Reivindicación 1, **caracterizada** porque se prevé una PLL y unidad de reloj 8, llevándose a cabo una generación de reloj por medio de la PLL y una distribución de reloj por medio de la unidad de reloj.

20 4. Interfaz de bus acorde a la Reivindicación 1, **caracterizada** porque para la conexión de componentes compatibles con SPI se prevé un interfaz síncrono en serie (9) configurable flexiblemente a través de registros de modo y de control.

25

30

35

40

45

50

55

60

65

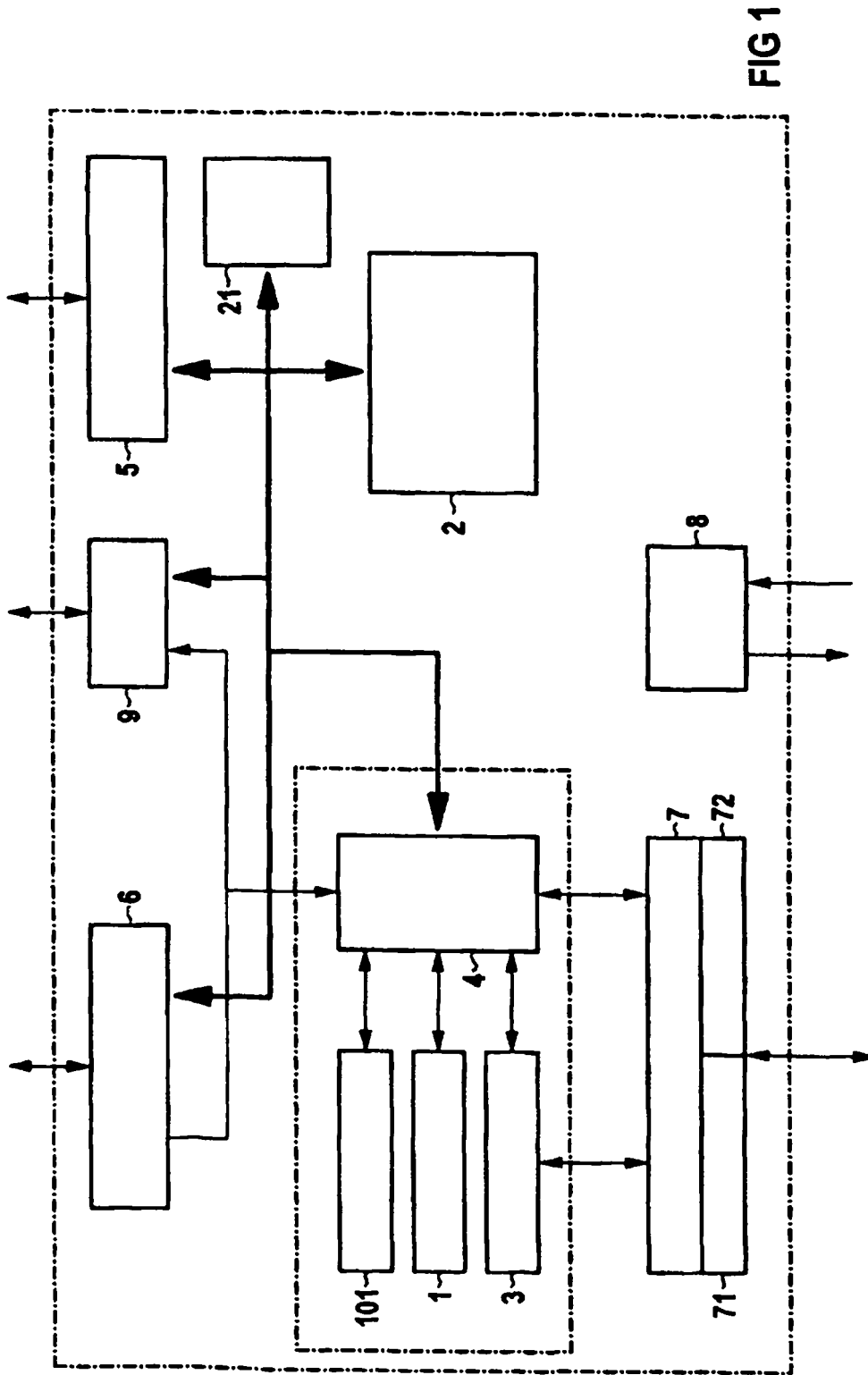


FIG 1

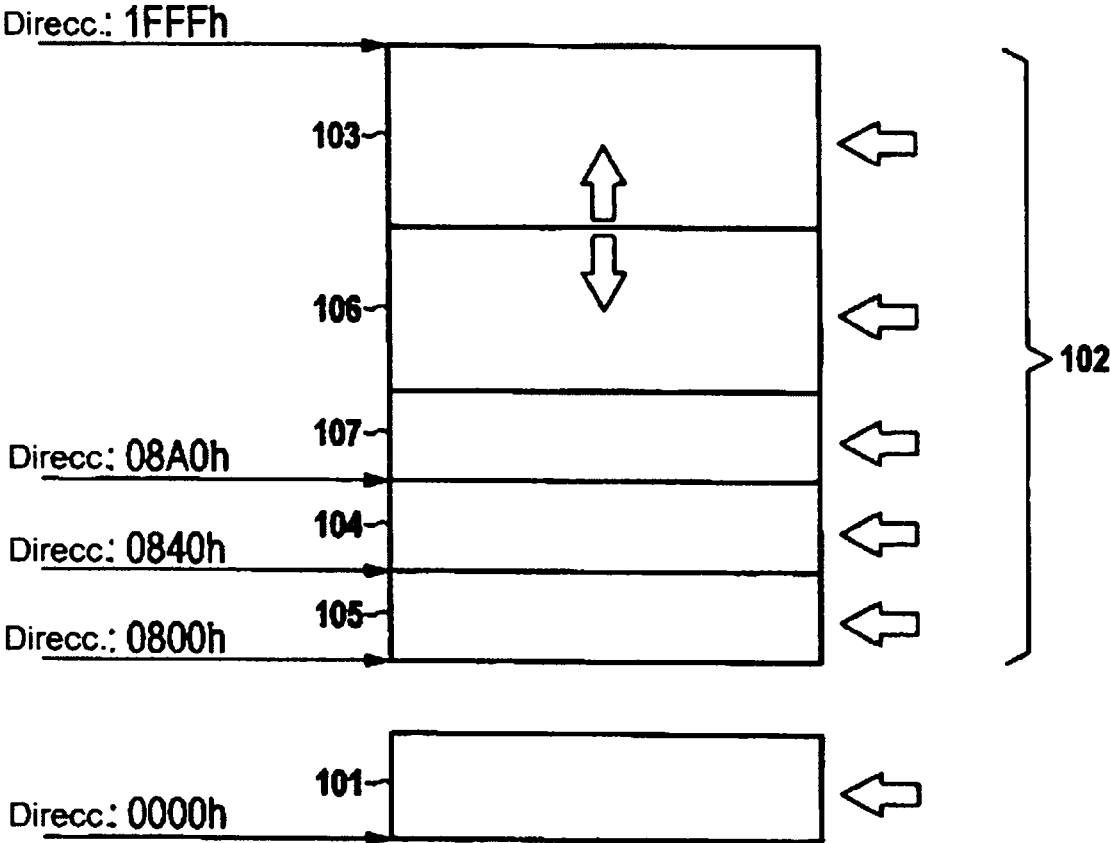


FIG 2

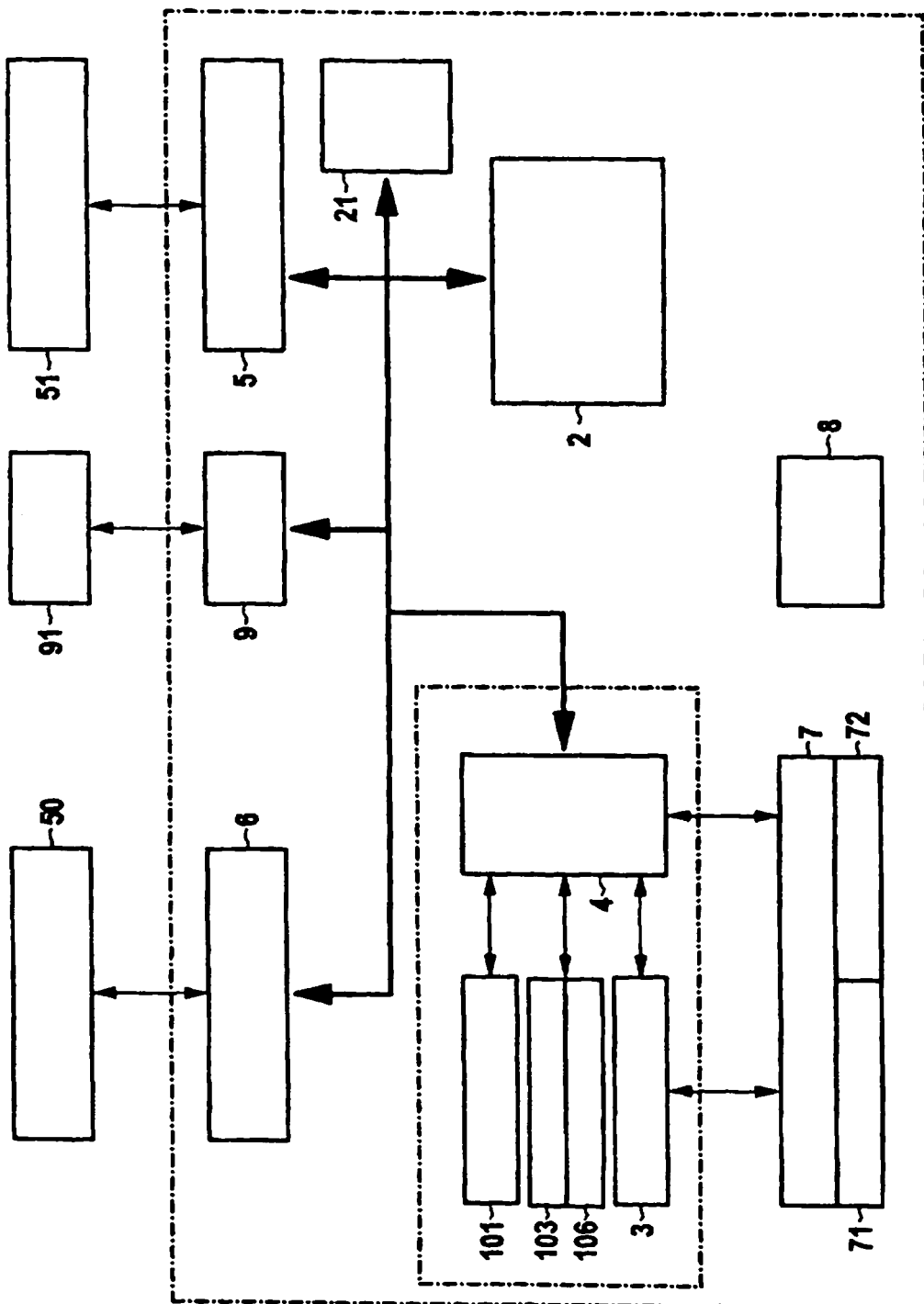


FIG 3

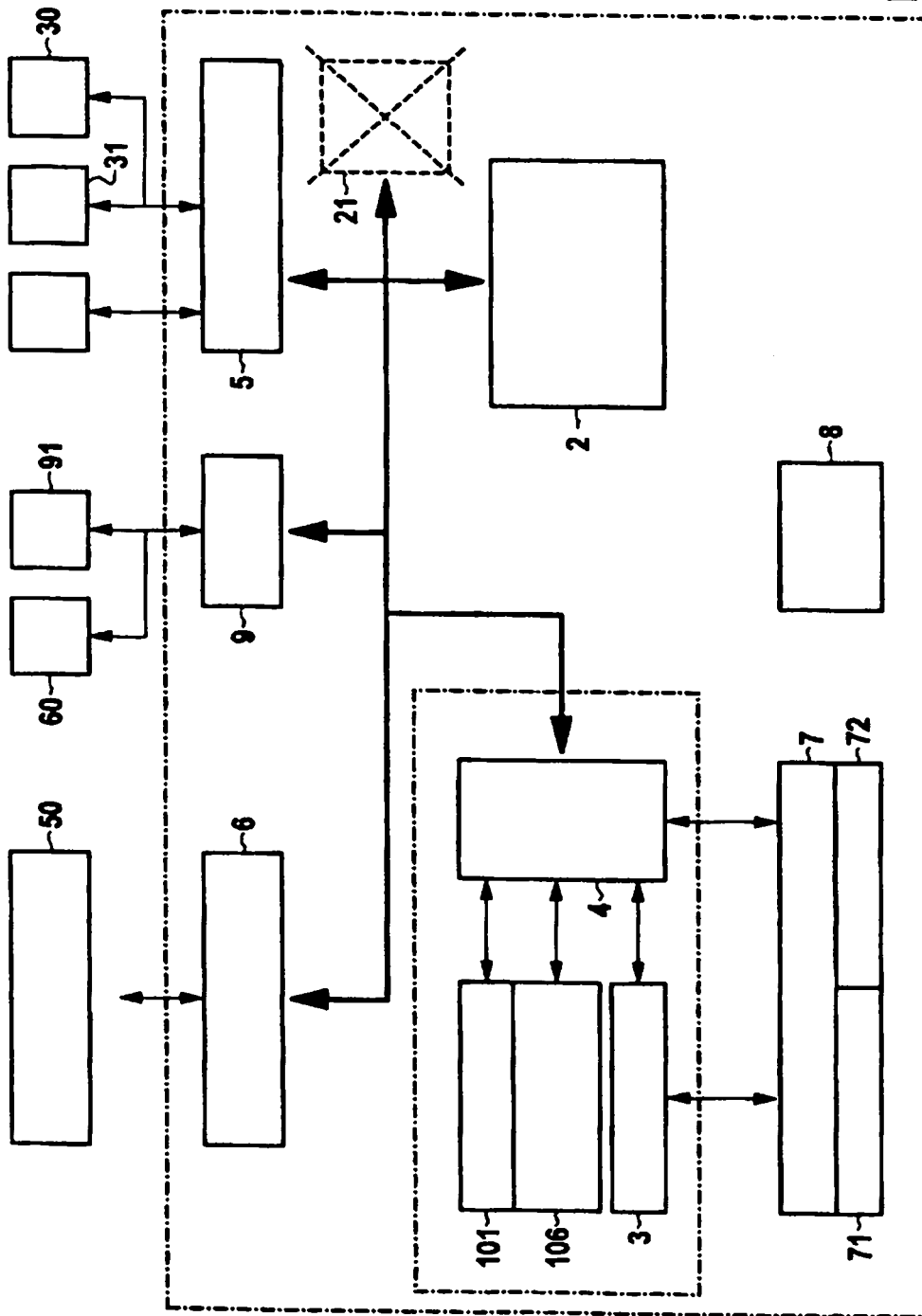


FIG 4

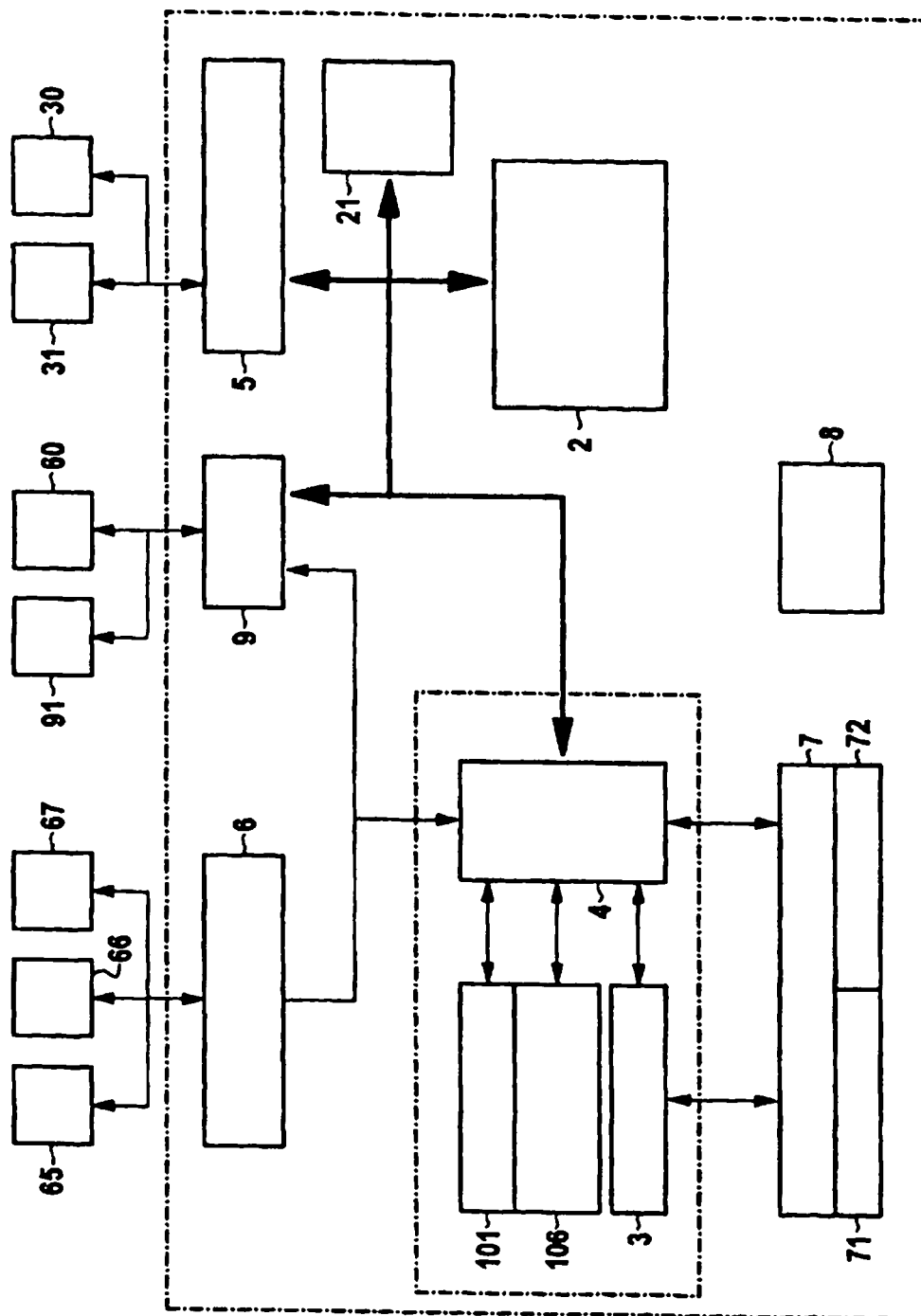


FIG 5