

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-123716

(P2005-123716A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int.Cl.⁷

H03F 3/30

H03F 1/02

H03F 3/45

F I

H03F 3/30

H03F 1/02

H03F 3/45

テーマコード (参考)

5J500

A

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願2003-353709 (P2003-353709)

(22) 出願日 平成15年10月14日 (2003.10.14)

(71) 出願人 594021175

旭化成マイクロシステム株式会社

東京都新宿区西新宿一丁目2 3番7号

(74) 代理人 100066980

弁理士 森 哲也

(74) 代理人 100075579

弁理士 内藤 嘉昭

(74) 代理人 100103850

弁理士 崔 秀▲てつ▼

(72) 発明者 山村 健

神奈川県厚木市岡田3050番地 旭化成
マイクロシステム株式会社内

最終頁に続く

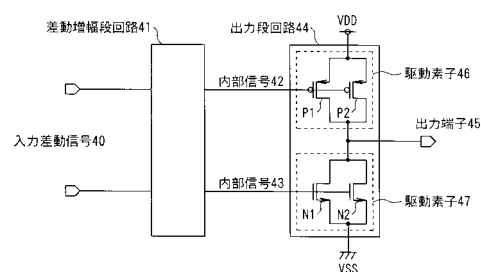
(54) 【発明の名称】 差動増幅器

(57) 【要約】

【課題】 無信号出力時の消費電流の個体間バラツキが小さく、また無信号出力時の消費電流が少ない差動増幅器を提供すること。

【解決手段】 入力される差動信号40を増幅する差動増幅段回路41と、この差動増幅段回路41から出力される内部信号42, 43に応じて動作する出力段回路44とを有する。そして、出力段回路44は、正側電源VDDと当該出力段回路44の出力端子45との間に接続され、内部信号42, 43に応じて電流駆動する第1の駆動素子46と、負側電源VSSと出力端子45との間に接続され、内部信号42, 43に応じて電流駆動する第2の駆動素子47とを備え、第1の駆動素子46は、各々閾値電圧が異なる2種類以上の能動素子P1, P1が並列に接続されて構成され、第2の駆動素子47は、各々閾値電圧が異なる2種類以上の能動素子N1, N1が並列に接続されて構成されるようにする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力される差動信号を増幅する差動増幅段回路と、この差動増幅段回路から出力される増幅信号に応じて動作する出力段回路とを有する差動増幅器において、

前記出力段回路は、

正側電源と当該出力段回路の出力端子との間に接続され、前記増幅信号に応じて電流駆動する第 1 の駆動回路と、

負側電源と当該出力段回路の出力端子との間に接続され、前記増幅信号に応じて電流駆動する第 2 の駆動回路とを備え、

前記第 1 及び第 2 の駆動回路の少なくとも 1 つは、各々閾値電圧が異なる 2 種類以上の能動素子が並列に接続されてなる

ことを特徴とする差動増幅器。

【請求項 2】

前記第 1 及び第 2 の駆動回路は、プッシュ・プル動作を行う

ことを特徴とする請求項 1 に記載の差動増幅器。

【請求項 3】

前記第 1 及び第 2 の駆動回路の少なくとも 1 つにおいて並列に接続されてなる 2 種類以上の能動素子の何れかが、前記出力端子における出力信号が無い無信号出力状態時に、オフの状態になっている

ことを特徴とする請求項 1 または請求項 2 に記載の差動増幅器。

【請求項 4】

前記第 1 及び第 2 の駆動回路の少なくとも 1 つにおいて並列に接続されてなる 2 種類以上の能動素子は、閾値電圧の絶対値の大きな能動素子の素子サイズが、閾値電圧の絶対値の小さな能動素子の素子サイズより大きくなされている

ことを特徴とする請求項 1 から 3 の何れか 1 項に記載の差動増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体製造技術によって製造される差動増幅器において、特に、無信号出力時の消費電流の個体間バラツキが小さく、また無信号出力時の消費電流が少ない差動増幅器に関する。

【背景技術】

【0002】

現在、差動増幅器を用いてアナログ信号の信号処理や信号出力を行う装置として、例えば音楽再生機器のアナログ信号出力を行うことによってスピーカやヘッドホン等の低インピーダンス素子を駆動するための装置がある。この種の装置においては、大きな駆動能力を有して大きな音を鳴らすことが求められており、また電力の無駄使いを無くすためにも、その中でも特にポータブル音楽再生機器では電源を供給する電池の寿命を少しでも延ばすために、消費電力を少なくすることが望まれている。

【0003】

例えば、音楽の曲間や曲前曲後の無音時に無駄な電力を消費しないことは極めて重要であり、この無信号出力時の消費電流を仕様に定義して製造販売される半導体デバイスは、その電流値を少なく、また個体間のバラツキを小さくすることが望まれている。

従来からこのような分野に用いられる差動増幅器においては、差動増幅器の出力段回路を、相補型のトランジスタを出力段回路の出力端子と正側電源の間、及び、出力端子と負側電源との間に配置し、出力電流のソース時（出力端子から外部に電流を流し出す時）とシンク時（出力端子に外部から電流が流れ込む時）でそれぞれの半導体素子を、プッシュ・プル動作（後述にて説明）させるものが知られている。

【0004】

例えば、第 1 の従来例として下記非特許文献 1 に記載のものがある。この非特許文献 1

10

20

30

40

50

の差動増幅器は、図 7 に示すように、M O S トランジスタ Q 1 ~ Q 1 0 及びコンデンサ C 1 を備えて構成されており、差動段のトランスコンダクタンスアンプにより発生した差動電流を出力段回路にミラーして出力段回路トランジスタ Q 9 , Q 1 0 をプッシュ・プル動作させる構成となっている。更に、その駆動能力を改善した例も示されている。

【 0 0 0 5 】

また、第 2 の従来例として下記特許文献 1 に記載のものがある。この特許文献 1 の差動増幅器は、図 8 に示すように、M O S トランジスタ Q 1 1 ~ Q 3 5、コンデンサ C 2 ~ C 4、及び抵抗器 R 1 を備えて構成されており、差動段で発生した差動電流を電圧変換してより大きな振幅にして出力段回路の相補型トランジスタ Q 3 4 , Q 3 5 をプッシュ・プル動作させることで、第 1 の従来例より大きな駆動力を得やすい構成とされている。

10

【 0 0 0 6 】

また、第 3 の従来例として下記特許文献 2 に記載のものがある。この特許文献 2 の差動増幅器は、図 9 に示すように、M O S トランジスタ Q 3 6 ~ Q 5 0 を備えて構成されており、出力段回路の相補型トランジスタ Q 4 9 , Q 5 0 をプッシュ・プルさせる場合に、出力電流ソース時及びシンク時で、駆動トランジスタ Q 4 9 , Q 5 0 が最大限の駆動可能能力を得るためゲート電位を電源電圧まで振ることが可能な構成とされている。

【 0 0 0 7 】

これらの第 1 ~ 第 3 の従来例に共通する差動増幅器の回路構成を図 1 0 に示し、その説明を行う。

図 1 0 において、入力差動信号 6 0 は差動増幅段回路 6 1 で増幅され、この増幅された内部信号 6 2 , 6 3 が出力段回路 6 4 へ出力され、それら信号 6 2 , 6 3 によって出力段回路 6 4 が動作される。出力段回路 6 4 は、正側電源 V D D と出力段回路 6 4 の出力端子 6 5 との間に第 1 の駆動素子 6 6 が接続され、また、負側電源 V S S と出力端子 6 5 との間に第 2 の駆動素子 6 7 が接続されて構成されている。

20

【 0 0 0 8 】

駆動素子 6 6 として P 型の M O S トランジスタ P 3 を用い、駆動素子 6 7 として N 型の M O S トランジスタ N 3 を用いた。また、M O S トランジスタ P 3 のゲート端子には内部信号 6 2 が供給され、M O S トランジスタ N 3 のゲート端子には内部信号 6 3 が供給される。

このような駆動素子 6 6 と駆動素子 6 7 はプッシュ・プル動作を行う。このプッシュ・プル動作について説明する。出力電流のソース時は、駆動素子 6 6 が電流駆動力を上げ、駆動素子 6 7 が電流駆動力を下げ、両者の差分電流をソース電流として流出させる。また出力電流のシンク時は、駆動素子 6 6 が電流駆動力を下げ、駆動素子 6 7 が電流駆動力を上げ、両者の差分電流をシンク電流として流入させる。つまり、2 つの駆動素子 6 6 , 6 7 が相反する方向の動作（プッシュとプルの関係に相当する動作）を行うことで効率よく電流を流出・流入させることをプッシュ・プル動作という。

30

【 0 0 0 9 】

また、無信号出力状態では、M O S トランジスタ P 3 と N 3 はオンになっており、P 3 を流れる電流が全て N 3 を流れ、出力端子 6 5 からの入出力電流がない状態となっている。

40

正極性の大信号を出力するために大電流をソースする場合は、内部信号 6 2 及び 6 3 が下降し、M O S トランジスタ P 3 が強くオンになる。

負極性の大信号を出力するために大電流をシンクする場合は、内部信号 6 2 及び 6 3 が上昇し、M O S トランジスタ N 3 が強くオンになる。

このような従来例における入力差動信号 6 0 の入力電圧と、出力端子 6 5 からの出力電流との関係を、図 1 1 に示す。

曲線 I - P 3、I - N 3 は、それぞれ M O S トランジスタ P 3、N 3 を流れる電流を示し、その総和が出力電流 I - t o t a l 2 となる。

【 0 0 1 0 】

グラフ中央の「無信号出力状態」と指されているところでは、M O S トランジスタ P 3

50

とN3がONとなっており流れる電流が等しく、その差である出力電流はゼロとなっている。正極性の大信号を出力するのは、入力電圧が左側の方向に向かった場合であり、この状態ではMOSトランジスタP3の電流駆動力が支配的になる。一方、負極性の大信号を出力するのは、入力電圧が右側の方向に向かった場合であり、この状態ではMOSトランジスタN3の電流駆動力が支配的になる。

【非特許文献1】Marc.G.Degrauwe他、「Adaptive Biasing COMSAmplifiers」、IEEE journal of solid-state circuits Vol.SC-17 No.3 P522、1982年6月。

【特許文献1】特開平05 - 191162号公報

【特許文献2】特開平11 - 163644号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0011】

ところで、従来の差動増幅器においては、上記の第1の従来例、第2の従来例、第3の従来例の順で、第3の従来例側が出力の駆動能力が大きくなるようになるが、大信号出力時十分な駆動力（出力電流の供給能力）を得るためには、差動増幅器の出力段回路トランジスタサイズを十分大きくする必要があり、また、無信号出力時の消費電流を少なくするためには、各素子の $V_{ON} \{ (\text{ソース・ゲート端子間電圧}) - (\text{閾値電圧}) \}$ を小さくする必要がある。

【0012】

しかし、大信号出力トランジスタは半導体基板上でMOSトランジスタとして作成した際に広い面積を占有するため、半導体上の電源線による電圧降下の影響がトランジスタの場所ごとに異なってしまう。このため、トランジスタのソース電位が異なり、ゲート電位が一定でもゲート・ソース間電圧が異なる等の理由で、 V_{ON} が変わり、トランジスタの動作状態にバラツキが生じやすくなる。この結果、無信号出力時の消費電流のバラツキが大きいという問題がある。

20

【0013】

また、消費電流のバラツキを考慮した回路設計は極めて難しいだけでなく、僅かな V_{ON} の違いでも、 V_{ON} が小さい場合にはデバイス個体（差動増幅器固体）毎の無信号出力時の消費電流が大きくバラツキ、無信号出力時の消費電流が多くなってしまった個体は規格外品として商品価値が無くなり、また無信号出力時の消費電流が少なくなってしまう固体は出力段回路の駆動力不足のため無信号出力時に発振してしまう。

30

【0014】

このため、十分な駆動力を有する大きな出力駆動用トランジスタに比較的大き目の V_{ON} を与えるようにするため、無信号出力時の消費電流を多目にせざるを得ないという問題が生じる。

ここで、何故 V_{ON} の小さなトランジスタは V_{ON} の変化に感度が高いかを、一例を上げて分かりやすく説明する。あるMOSトランジスタの V_{ON} が0.3Vで1mAの電流を流しているとする、仮にソース電位が一定のままゲート電位が0.1V上昇すると V_{ON} は0.4Vとなり、飽和状態のMOSトランジスタでは電流が V_{ON} の2乗に比例する。このため、 V_{ON} が(4/3)倍になったため電流はその2乗の(16/9)倍である約1.78mAになる。

40

【0015】

これが、駆動力を大きくするために大きなサイズのMOSトランジスタが使われるとし、 V_{ON} が0.2Vで同様に1mAの電流を流しているとする、同様にゲート電位が0.1V上昇すると V_{ON} は0.3Vとなり、電流は V_{ON} が1.5倍になったため電流は2.25倍の2.25mAになる。

このように素子サイズが大きいために V_{ON} が小さくなっているトランジスタほど電流量はゲート電位の変動を受けやすい。

【0016】

次に、ゲート電位が0.1V下降する場合は、前例前者 V_{ON} が0.3Vで1mAのM

50

ＯＳトランジスタの V_{ON} は $0.2V$ となり電流は $(4/9)$ 倍の約 $0.44mA$ になる。前例後者 V_{ON} が $0.2V$ で $1mA$ のＭＯＳトランジスタの V_{ON} は $0.1V$ となり電流は 0.25 倍の約 $0.25mA$ となり、やはり V_{ON} が小さくなっているトランジスタほど電流量はゲート電位の変動を受けやすい。

本発明は、このような課題に鑑みてなされたものであり、無信号出力時の消費電流の個体間バラツキが小さく、また無信号出力時の消費電流が少ない差動増幅器を提供することを目的としている。

【課題を解決するための手段】

【００１７】

上記目的を達成するために、本発明の請求項１による差動増幅器は、入力される差動信号を増幅する差動増幅段回路と、この差動増幅段回路から出力される増幅信号に応じて動作する出力段回路とを有する差動増幅器において、前記出力段回路は、正側電源と当該出力段回路の出力端子との間に接続され、前記増幅信号に応じて電流駆動する第１の駆動回路と、負側電源と当該出力段回路の出力端子との間に接続され、前記増幅信号に応じて電流駆動する第２の駆動回路とを備え、前記第１及び第２の駆動回路の少なくとも１つは、各々閾値電圧が異なる２種類以上の能動素子が並列に接続されてなることを特徴としている。

【００１８】

この構成によれば、出力段回路の出力端子における入出力電流が無い無信号出力状態でも、閾値電圧が小さい能動素子によって大きな V_{ON} （ソース・ゲート端子間電圧）－（閾値電圧）が与えられる状態となる。閾値電圧が小さい能動素子では、無信号出力状態の消費電流の個体間バラツキが小さくなるので、電流が少なくなりすぎて発振等の不具合を発生するリスクが減る。このため、無信号出力時の消費電流を少なく設定することが可能になり、製造される多数個の個体の平均値としての無信号出力時の消費電流が少ない差動増幅器を製造することができる。

【００１９】

また、本発明の請求項２による差動増幅器は、請求項１において、前記第１及び第２の駆動回路は、プッシュ・プル動作を行うことを特徴としている。

この構成によれば、出力端子から外部に電流を流しだす時は、例えば第１の駆動回路が電流駆動力を上げ、第２の駆動回路が電流駆動力を下げ、両者の差分電流をソース電流として流出させる。一方、出力端子に外部から電流が流れ込む時は、第１の駆動回路は電流駆動力を下げ、第２の駆動回路は電流駆動力を上げ、両者の差分電流をシンク電流として流入させる。つまり、２つの駆動回路が相反する方向の動作（プッシュ・プル動作）を行うことで効率よく電流を流出・流入させることができる。

【００２０】

また、本発明の請求項３による差動増幅器は、請求項１または２において、前記第１及び第２の駆動回路の少なくとも１つにおいて並列に接続されてなる２種類以上の能動素子の何れかが、前記出力端子における出力信号が無い無信号出力状態時に、オフの状態になっていることを特徴としている。

この構成によれば、並列接続されたある能動素子がオン状態となっている場合でも、何れか１つの能動素子がオフ状態となっているので、このオフの能動素子を出力端子側に配置すれば、無信号出力状態の消費電流を少なくすることができる。

【００２１】

また、本発明の請求項４による差動増幅器は、請求項１から３の何れか１項において、前記第１及び第２の駆動回路の少なくとも１つにおいて並列に接続されてなる２種類以上の能動素子は、閾値電圧の絶対値の大きな能動素子の素子サイズが、閾値電圧の絶対値の小さな能動素子の素子サイズより大きくなされていることを特徴としている。

この構成によれば、出力段回路の出力端子における入出力電流が無い無信号出力状態でも、素子サイズが小さい能動素子によって大きな V_{ON} が与えられる状態となる。素子サイズが小さい能動素子では、無信号出力状態の消費電流の個体間バラツキが小さくなるの

で、電流が少なくなりすぎて発振等の不具合を発生するリスクが減る。このため、無信号出力時の消費電流を少なく設定することが可能になり、製造される多数個の個体の平均値としての無信号出力時の消費電流が少ない差動増幅器を製造することができる。

【発明の効果】

【0022】

以上説明したように本発明の差動増幅器によれば、出力段回路の出力端子における入出力電流が無い無信号出力状態でも、閾値電圧が小さい能動素子によって大きな V_{ON} が与えられる状態となるようにした。これによって、閾値電圧が小さい能動素子では、無信号出力状態の消費電流の個体間バラツキが小さくなるので、電流が少なくなりすぎて発振等の不具合を発生するリスクが減る。このため、無信号出力時の消費電流を少なく設定することが可能になり、製造される多数個の個体の平均値としての無信号出力時の消費電流が少ない差動増幅器を製造することができる。

言い換えれば、無信号出力時の消費電流の個体間バラツキが小さく、また無信号出力時の消費電流が少ない差動増幅器を提供することができるという効果がある。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態を、図面を参照して説明する。

(実施の形態)

図1は、本発明の実施の形態に係る差動増幅器の回路構成図である。

図1に示す差動増幅器においては、入力差動信号40が差動増幅段回路41で増幅され、この増幅された内部信号42, 43が出力段回路44へ出力され、それら信号42, 43によって出力段回路44が動作されるようになっている。出力段回路44は、正側電源 V_{DD} と出力段回路44の出力端子45との間に第1の駆動素子46が接続され、また、負側電源 V_{SS} と出力端子45との間に第2の駆動素子47が接続されて構成されている。

【0024】

第1の駆動素子46は、P型のMOSトランジスタP1とP2の並列接続で構成されており、P2の閾値電圧の絶対値はP1の閾値電圧の絶対値より大きい関係にある。またMOSトランジスタP1とP2のゲート端子にはともに内部信号42が供給されるようになっている。

第2の駆動素子47は、N型のMOSトランジスタN1とN2の並列接続で構成されており、N2の閾値電圧の絶対値はN1の閾値電圧の絶対値より大きい関係にある。またMOSトランジスタN1とN2のゲート端子にはともに内部信号43が供給されるようになっている。

【0025】

また、駆動素子46と駆動素子47は、プッシュ・プル動作を行う。即ち、出力電流のソース時（出力端子から外部に電流を流しだす時）、駆動素子46は電流駆動力を上げ、駆動素子47は電流駆動力を下げ、両者の差分電流をソース電流として流出させる。また出力電流のシンク時（出力端子に外部から電流が流れ込む時）、駆動素子46は電流駆動力を下げ、駆動素子47は電流駆動力を上げ、両者の差分電流をシンク電流として流入させる。つまり2つの駆動素子46, 47が相反する方向の動作（プッシュ・プル動作）を行うことで効率よく電流を流出・流入させる。

【0026】

また、無信号出力状態では、内部信号42はMOSトランジスタP1をオンできるが、MOSトランジスタP2はオンできない程度の電位に設定され、P1がオンでP2がオフとなっている。同様に、内部信号43はMOSトランジスタN1をオンできるが、MOSトランジスタN2はオンできない程度の電位に設定され、N1がオンでN2がオフとなっている。

ここで、MOSトランジスタP1を流れる電流が全てN1を流れ、出力端子45からの入出力電流がない状態となっている。

10

20

30

40

50

また、MOSトランジスタP2はP1に比べて素子サイズが大きく、MOSトランジスタN2はN1に比べて素子サイズが大きい関係にある。

正極性の大信号を出力端子45から出力するために大電流をソースする場合は、内部信号42及び43が下降し、MOSトランジスタP1及びP2が強くオンになるが、P2がP1に対して大きくなっているため、駆動電流の大半がP2によって与えられるようになっている。

【0027】

負極性の大信号を出力端子45から出力するために大電流をシンクする場合は、内部信号42及び43が上昇し、MOSトランジスタN1及びN2が強くオンになるが、N2がN1に対して大きくなっているため、駆動電流の大半がN2によって与えられるようになっている。

10

このような本実施の形態の差動増幅器における入力差動信号40の入力電圧と、出力端子45からの出力電流との関係を図2に示す。

曲線I - P1、I - P2、I - N1、I - N2は、それぞれMOSトランジスタP1、P2、N1、N2を流れる電流を表し、その総和が曲線I - total1で表す出力電流となる。

グラフ中央の「無信号出力状態」と指されているところでは、MOSトランジスタP1とN1がONとなっており、P2とN2はオフとなっているが、P1とN1を流れる電流が等しく、その差である出力電流I - total1はゼロとなっている。

【0028】

20

MOSトランジスタP1、N1は、小さ目のトランジスタで大き目のVONが与えられており、ゲート端子電圧の変化に対する電流変化の感度は低くなっている。正極性の大信号を出力するのは入力電圧が左側の方向に向かった場合でありP2の電流駆動力が支配的になる。また負極性の大信号を出力するのは入力電圧が右側の方向に向かった場合でありN2の電流駆動力が支配的になる。

【0029】

従来例と比較して本実施の形態の差動増幅器では、従来例のトランジスタP3と本実施の形態のトランジスタP2を同じ大きさにすることは可能であり、また従来例のトランジスタN3と本実施の形態のトランジスタN2を同じ大きさにすることは可能であるので、同等の駆動力を有することができる。

30

しかし、従来例の差動増幅器では無信号出力状態では、大きなトランジスタP3、N3で小さなVONが与えられる状態となっており、本実施の形態の差動増幅器では無信号出力状態では、小さなトランジスタP1、N1で大きなVONが与えられる状態となっており、前述の「背景技術」において原理を説明したとおり、本実施の形態の方が無信号出力状態の消費電流の個体間バラツキが小さくなる。

【0030】

また、無信号出力時の消費電流の個体間バラツキが小さいので、電流が少なくなりすぎて発振等の不具合を発生するリスクが減るため、無信号出力時の消費電流を少なく設定することが可能になり、製造される多数個の個体の平均値としての無信号出力時の消費電流が少ない差動増幅器を製造することができるようになる。

40

以上、本発明を実施するための最良の形態について述べてきたが、本発明の差動増幅器を構成する素子、あるいは出力段回路を構成する駆動素子はMOSトランジスタで実現される場合のみならず、バイポーラトランジスタにより実現される物であっても良いし、MOSトランジスタとバイポーラトランジスタの混合により実現されるものであっても良い。

【0031】

また、本発明における閾値電圧の異なる駆動素子は、拡散イオン濃度の差によって形成されるものであっても良いし、あるいは拡散されるイオン種の違い、複数種の配合されるイオン種の割合の違い、基盤のイオン濃度の違い、トランジスタのゲート端子長の違い、ゲート端子幅の違い、ゲート端子膜厚の違い等によって与えられるものであってもよい。

50

また、請求項 4 で述べられている素子サイズとは、素子の駆動能力のことを意図し、大きな素子とは大きな駆動力を有する素子ということである。M O S トランジスタの場合は、一例として電流通過方向のチャンネルの幅を「W」、電流通過方向のチャンネル長を「L」とすると W/L という比率が大きい方が、駆動能力が大きくなるので素子サイズの大きな素子といえることができる。

【0032】

従って、同じ「L」の素子同士である場合には「W」が大きな方の素子が素子サイズの大きな素子であり、同じ「W」の素子同士である場合には「L」が小さい方が大きな素子サイズとなる。バイポーラトランジスタの場合は、一例としてエミッタ面積に比例した駆動能力を有するときには、エミッタ面積の広い素子が大きな素子といえる。

10

次に、このような本実施の形態の差動増幅器を、より具体的に実現した実施例を説明する。

【0033】

(第 1 の実施例)

図 3 は、本発明の第 1 の実施例による差動増幅器の回路構成図であり、上記の実施の形態の原理に基き図 7 に示した従来例の差動増幅器を改良したものである。

図 3 に示す差動増幅器は、M O S トランジスタ Q 5 1 ~ Q 6 2 及びコンデンサ C 5 を備えて構成されており、出力段回路には閾値電圧の低い P 型のトランジスタ Q 6 2 と閾値電圧の高い P 型のトランジスタ Q 6 0 が並列接続され、また閾値電圧の低い N 型のトランジスタ Q 6 1 と閾値電圧の高い N 型のトランジスタ Q 5 9 が並列接続されている。無信号出力時は Q 6 2 と Q 6 1 がオン、Q 6 0 と Q 5 9 がオフとなるようになされている。出力段回路の無信号出力時の消費電流は Q 6 2 と Q 6 1 で少なく設定され、大信号駆動時は Q 6 0 あるいは Q 5 9 で大駆動電流を得ることができる。

20

また、無信号出力時に出力段回路でオンとなっている Q 6 2 と Q 6 1 に適切なバイアス電位を設定するために、Q 5 4 と Q 6 2 は同じ閾値電圧の素子となっており、Q 5 7 と Q 6 1 も同じ閾値電圧の素子となっている。

【0034】

(第 2 の実施例)

図 4 は、本発明の第 2 の実施例による差動増幅器の回路構成図であり、上記の実施の形態の原理に基き図 8 に示した従来例の差動増幅器を改良したものである。

30

図 4 に示す差動増幅器は、M O S トランジスタ Q 6 3 ~ Q 8 9、コンデンサ C 6 ~ C 8、及び抵抗器 R 2 を備えて構成されており、出力段回路には閾値電圧の低い P 型のトランジスタ Q 8 8 と閾値電圧の高い P 型のトランジスタ Q 8 9 が並列接続され、また閾値電圧の低い N 型のトランジスタ Q 8 6 と閾値電圧の高い N 型のトランジスタ Q 8 7 が並列接続されている。無信号出力時は Q 8 8 と Q 8 6 がオン、Q 8 9 と Q 8 7 がオフとなるようになされている。出力段回路の無信号出力時の消費電流は Q 8 8 と Q 8 6 で少なく設定され、大信号駆動時は Q 8 9 あるいは Q 8 7 で大駆動電流を得ることができる。

また、無信号出力時に出力段回路でオンとなっている Q 8 8 と Q 8 6 に適切なバイアス電位を設定するために、Q 7 7、Q 7 8、Q 8 8 は同じ閾値電圧の素子となっており、Q 8 0、Q 8 1、Q 8 6 も同じ閾値電圧の素子となっている。

40

【0035】

(第 3 の実施例)

図 5 は、本発明の第 3 の実施例による差動増幅器の回路構成図であり、上記の実施の形態の原理に基き図 9 に示した従来例の差動増幅器を改良したものである。

図 5 に示す差動増幅器は、M O S トランジスタ Q 9 0 ~ Q 1 0 6 を備えて構成されており、出力段回路には閾値電圧の低い P 型のトランジスタ Q 1 0 5 と閾値電圧の高い P 型のトランジスタ Q 1 0 6 が並列接続され、また閾値電圧の低い N 型のトランジスタ Q 1 0 3 と閾値電圧の高い N 型のトランジスタ Q 1 0 4 が並列接続されており、無信号出力時は Q 1 0 5 と Q 1 0 3 がオン、Q 1 0 6 と Q 1 0 4 がオフとなるようになされている。出力段回路の無信号出力時の消費電流は Q 1 0 5 と Q 1 0 3 で少なく設定され、大信号駆動時は

50

Q 1 0 6 あるいは Q 1 0 4 で大駆動電流を得ることができる。

また、無信号出力時に出力段回路でオンとなっている Q 1 0 5 と Q 1 0 3 に適切なバイアス電位を設定するために、Q 1 0 0 と Q 1 0 5 は同じ閾値電圧の素子となっている。

【 0 0 3 6 】

(第 4 の実施例)

図 6 は、本発明の第 4 の実施例による差動増幅器の回路構成図であり、上記の第 1 の実施例の差動増幅器を改良したものである。

図 6 に示す差動増幅器は、M O S トランジスタ Q 1 0 7 ~ Q 1 2 6 とコンデンサ C 9 , C 1 0 を備えて構成されており、出力段回路を 2 組有し、互いに相反する極性動作を行うことで全差動信号出力を得られるようになっている。このような差動増幅器と同等の回路は、全差動回路でも実現可能となっている。 10

O U T _ P を出力とする出力段回路には、閾値電圧の低い P 型のトランジスタ Q 1 2 3 と閾値電圧の高い P 型のトランジスタ Q 1 2 4 が並列接続され、また閾値電圧の低い N 型のトランジスタ Q 1 2 5 と閾値電圧の高い N 型のトランジスタ Q 1 2 6 が並列接続されている。

【 0 0 3 7 】

O U T _ N を出力とする他方の出力段回路には、閾値電圧の低い P 型のトランジスタ Q 1 1 0 と閾値電圧の高い P 型のトランジスタ Q 1 0 9 が並列接続され、また閾値電圧の低い N 型のトランジスタ Q 1 0 8 と閾値電圧の高い N 型のトランジスタ Q 1 0 7 が並列接続されている。 20

無信号出力時は Q 1 2 3 、 Q 1 2 5 、 Q 1 1 0 、 Q 1 0 8 がオン、Q 1 2 4 、 Q 1 2 6 、 Q 1 0 9 、 Q 1 0 7 がオフとなっている。出力段回路の無信号出力時の消費電流は Q 1 2 3 と Q 1 2 5 及び Q 1 1 0 と Q 1 0 8 で少なく設定され、大信号駆動時は Q 1 2 4 と Q 1 0 7 、あるいは Q 1 2 6 と Q 1 0 9 で大駆動電流を得ることができる。

【 0 0 3 8 】

また、無信号出力時に出力段回路でオンとなっている Q 1 1 0 、 Q 1 0 8 、 Q 1 2 3 、 Q 1 2 5 に適切なバイアス電位を設定するために、Q 1 1 0 、 Q 1 1 3 、 Q 1 1 9 、 Q 1 2 0 、 Q 1 2 2 、 Q 1 2 3 は同じ閾値電圧の素子となっており、Q 1 0 8 、 Q 1 1 4 、 Q 1 2 1 、 Q 1 2 5 も同じ閾値電圧の素子となっている。

なお、本例の全差動回路の場合、出力の動作中点電圧を適正に維持するため、動作中点電圧を検出し、バイアス電流を制御するいわゆるコモンモードフィードバック回路も用いることが可能である。 30

【 図面の簡単な説明 】

【 0 0 3 9 】

【 図 1 】 本発明の実施の形態に係る差動増幅器の回路構成図である。

【 図 2 】 本実施の形態の差動増幅器における入力差動信号の入力電圧と、出力端子からの出力電流との関係を示す図である。

【 図 3 】 本発明の第 1 の実施例による差動増幅器の回路構成図である。

【 図 4 】 本発明の第 2 の実施例による差動増幅器の回路構成図である。

【 図 5 】 本発明の第 3 の実施例による差動増幅器の回路構成図である。 40

【 図 6 】 本発明の第 4 の実施例による差動増幅器の回路構成図である。

【 図 7 】 第 1 の従来例による差動増幅器の回路構成図である。

【 図 8 】 第 2 の従来例による差動増幅器の回路構成図である。

【 図 9 】 第 3 の従来例による差動増幅器の回路構成図である。

【 図 1 0 】 第 1 ~ 第 3 の従来例に共通する差動増幅器の回路構成を示す図である。

【 図 1 1 】 従来例の差動増幅器における入力差動信号の入力電圧と、出力端子からの出力電流との関係を示す図である。

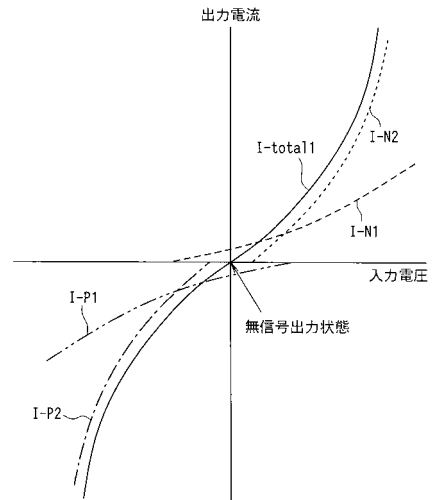
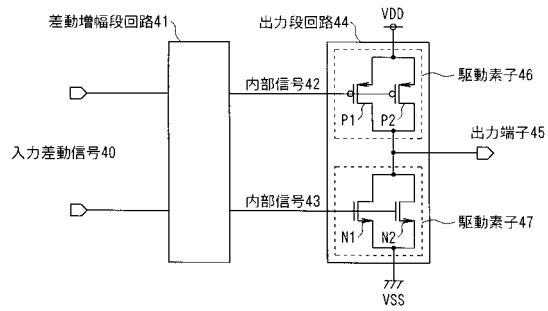
【 符号の説明 】

【 0 0 4 0 】

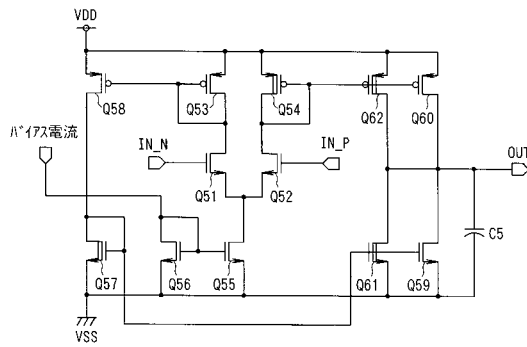
4 0 入力差動信号

4 1	差動増幅段回路	
4 2 , 4 3	内部信号	
4 4	出力段回路	
4 5	出力端子	
4 6	第 1 の駆動素子	
4 7	第 2 の駆動素子	
V D D	正側電源	
V S S	負側電源	
P 1 , P 2	P 型の M O S トランジスタ	
N 1 , N 2	N 型の M O S トランジスタ	10
I - P 1	M O S トランジスタ P 1 を流れる電流を表す曲線	
I - P 2	M O S トランジスタ P 2 を流れる電流を表す曲線	
I - P 3	M O S トランジスタ P 3 を流れる電流を表す曲線	
I - P 4	M O S トランジスタ P 4 を流れる電流を表す曲線	
I - t o t a l 1	M O S トランジスタ P 1 ~ P 4 の電流の総和を表す曲線	
Q 5 1 , Q 5 2 , Q 5 5 , Q 5 6 , Q 5 7 , Q 5 9 , Q 6 1 , Q 6 3 , Q 6 4 , Q 6 5 , Q 6 6 , Q 6 7 , Q 6 8 , Q 6 9 , Q 7 4 , Q 7 5 , Q 7 6 , Q 8 0 , Q 8 1 , Q 8 2 , Q 8 6 , Q 8 7 , Q 9 0 , Q 9 1 , Q 9 5 , Q 9 7 , Q 9 8 , Q 1 0 1 , Q 1 0 3 , Q 1 0 4 , Q 1 0 7 , Q 1 0 8 , Q 1 1 4 , Q 1 1 5 , Q 1 1 6 , Q 1 1 7 , Q 1 1 8 , Q 1 2 1 , Q 1 2 5 , Q 1 2 6	N 型の M O S トランジスタ	20
Q 5 3 , Q 5 4 , Q 5 8 , Q 6 0 , Q 6 2 , Q 7 0 , Q 7 1 , Q 7 2 , Q 7 3 , Q 7 7 , Q 7 8 , Q 7 9 , Q 8 3 , Q 8 4 , Q 8 5 , Q 8 8 , Q 8 9 , Q 9 2 , Q 9 3 , Q 9 4 , Q 9 6 , Q 9 9 , Q 1 0 0 , Q 1 0 2 , Q 1 0 5 , Q 1 0 6 , Q 1 0 9 , Q 1 1 0 , Q 1 1 3 , Q 1 1 9 , Q 1 2 0 , Q 1 2 2 , Q 1 2 3 , Q 1 2 4	P 型の M O S トランジスタ	
C 5 ~ C 1 0	コンデンサ	
R 2	抵抗器	

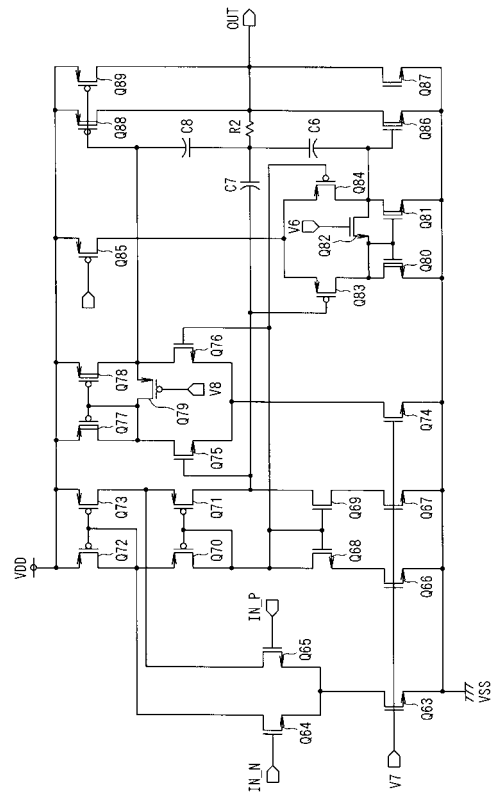
【 図 2 】



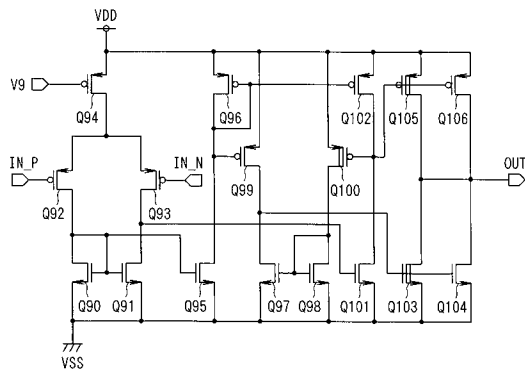
【 図 3 】



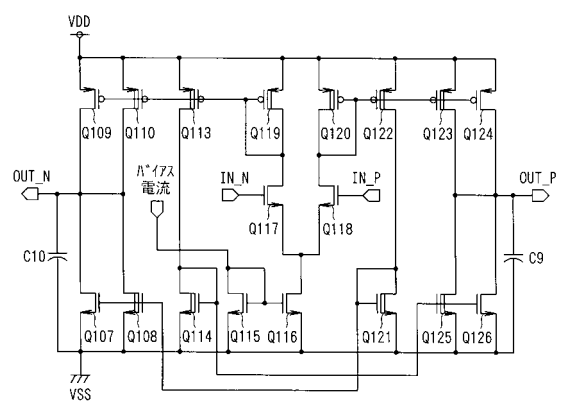
【 図 4 】



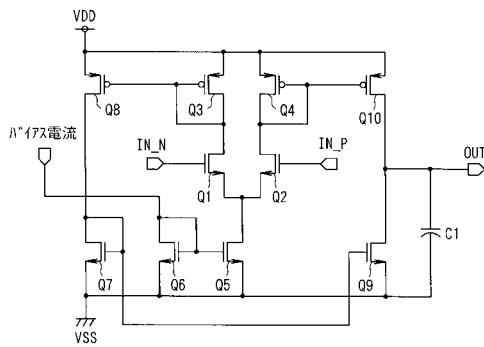
【図 5】



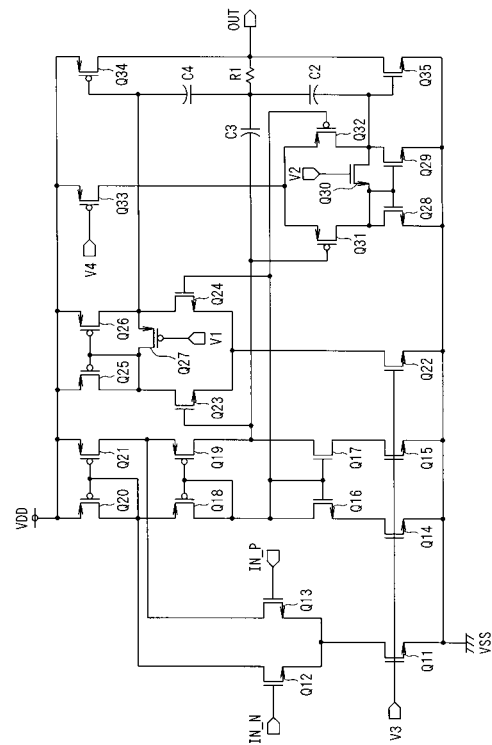
【図 6】



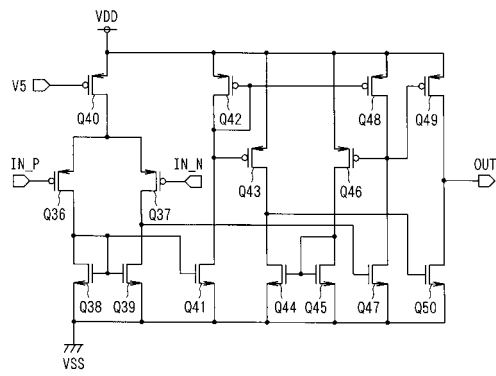
【図 7】



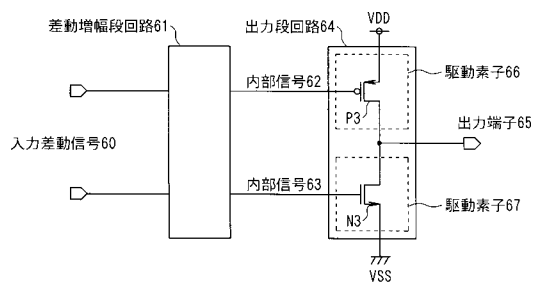
【図 8】



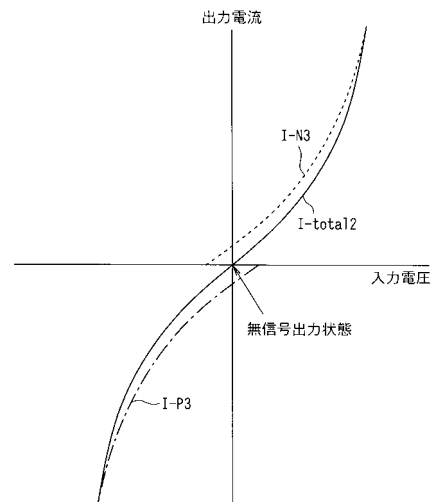
【図 9】



【図 10】



【図 11】



フロントページの続き

F ターム(参考) 5J500 AA02 AA12 AA18 AA22 AA41 AC15 AC36 AF00 AH10 AH17
AH25 AH29 AK02 AK09 AK47 AM19 AM21 AS05 DN12 DN22
DN24 DP02 WU09