

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2009年4月2日 (02.04.2009)

PCT

(10) 国際公開番号  
WO 2009/041061 A1

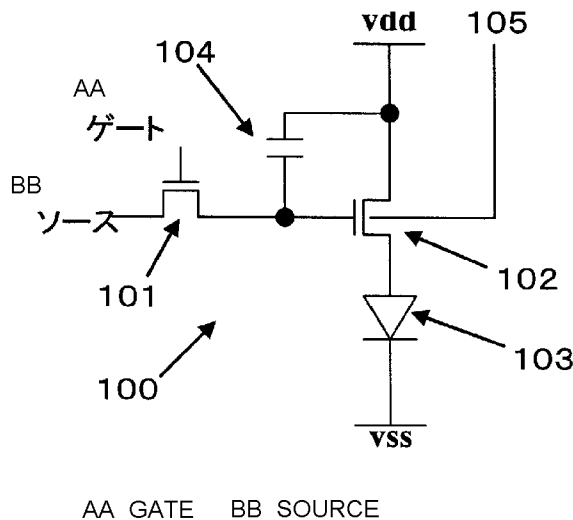
- (51) 国際特許分類:  
G09G 3/30 (2006.01) H01L 51/50 (2006.01)  
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2008/002689
- (22) 国際出願日: 2008年9月26日 (26.09.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2007-253335 2007年9月28日 (28.09.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鐘ヶ江有宣 (KANEGAE, Arinobu). 小野晋也 (ONO, Shinya). 中村美香 (NAKAMURA, Mika).
- (74) 代理人: 特許業務法人 有古特許事務所 (PATENT CORPORATE BODY ARCO PATENT OFFICE); 〒6500031 兵庫県神戸市中央区東町123番地の1 貿易ビル3階 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LIGHT-EMITTING ELEMENT CIRCUIT AND ACTIVE MATRIX TYPE DISPLAY DEVICE

(54) 発明の名称: 発光素子回路およびアクティブマトリクス型表示装置

[図2]



(57) Abstract: An active matrix type display device has light-emitting element circuits (100) each disposed in correspondence to a plurality of gate lines and a plurality of source lines, which are arranged so as to intersect with each other. Each of the light-emitting element circuits (100) comprises a light-emitting element (103) that emits light in response to a supplied current, a driving transistor (102) for controlling the current supplied to the light-emitting element (103), and a control transistor (101) for controlling the on/off operation of the driving transistor (102). In this configuration, the driving transistor (102) has a body terminal and a voltage applied to the body terminal is used to correct the brightness of the light-emitting element (103).

(57) 要約: 本発明のアクティブマトリクス型表示装置は、互いに交差するように配列された複数のゲートラインおよび複数のソースラインに対応してそれぞれ配設される発光素子回路(100)が、供給される電流に応じて発光する発光素子(103)と、発光素子(103)に供給する電流を制御する駆動用トランジスタ(102)と、駆動用トランジスタ(102)のオンオフ動作を制御する制御用トランジスタ(101)とを備え、駆動用トランジスタ(102)は、ボディ端子を具備しており、このボディ端子に与えられた電圧を用いて、発光素子(103)の輝度補正を行うように構成されている。

WO 2009/041061 A1



添付公開書類：  
— 国際調査報告書

— 補正書

## 明 細 書

発光素子回路およびアクティブマトリクス型表示装置

### 技術分野

[0001] 本発明は、例えば有機エレクトロルミネッセンス（EL）素子などの自発光素子を具備する発光素子回路、およびその発光素子回路を備えるアクティブマトリクス型表示装置に関する。

### 背景技術

[0002] 近年では、CRT（Cathode Ray Tube）に代わり、FPD（Flat Panel Display）に対する関心が高まってきている。代表的なFPDとしては、LCD（Liquid Crystal Display）およびPDP（Plasma Display Panel）が既に実用化されている。しかし、これらのFPDには、次のような問題点があることが指摘されている。

[0003] すなわち、LCDはそれ自体が非発光であるため、高輝度のバックライトを必要とし、その結果、消費電力が高くなる傾向がある。また、視野角および応答速度に関しても、CRTと比べて、LCDは劣っている。他方、PDPは自発光素子を用いており、しかも、視野角および応答速度についてもCRTと同等以上の性能を有している。しかしながら、PDPの場合、駆動するために高電圧が必要となるため、低消費電力化を実現することが困難であるという問題がある。

[0004] LCDおよびPDPが上記のような問題を有しているのに対して、有機ELデバイスは、これらの問題を解決しうる可能性がある。そのため、次世代のFPDの候補として、有機ELデバイスを備える表示装置が注目されている。

[0005] 有機ELデバイスは、通常、次のような方法で作成される。まず、洗浄されたガラス、石英、またはプラスチックなどの支持基板上に、陽極（アノード）を形成し、パターニングを行う。一般的に、陽極としては、仕事関数

の大きいITO (Indium Tin Oxide) が選ばれるが、その他の金属であってもよい。陽極の形成には、通常、スパッタ法が用いられる。

- [0006] このようにして陽極を形成した後、有機EL層（発光層）の形成を行う。一般的に、低分子有機ELの場合であれば、真空蒸着法により有機EL層が形成され、他方、高分子有機ELの場合であれば、スピコート法またはインクジェット法により形成される。ここで、インクジェット法は、有機ELの塗り分けが必要な場合に選択される。
- [0007] なお、有機EL層を形成する前後において、発光効率を高めるために、中間層（インターレイヤー）及びホール注入層を形成する場合もある。
- [0008] 有機EL層の形成後、陰極（カソード）を真空蒸着などによって形成し、封止する。これにより、有機ELデバイスが完成する。
- [0009] このようにして作成される有機ELデバイスを表示装置に適用する場合、一般的には、有機ELデバイスがマトリクス状に配設される。有機ELデバイスとともに薄膜トランジスタ（TFT: Thin Film Transistor）を形成し、このTFTによって有機ELを駆動するものをアクティブマトリクス駆動型の表示装置と呼び、TFTを形成せずに電極のみで駆動するものをパッシブマトリクス駆動型の表示装置と呼ぶ。
- [0010] アクティブマトリクス駆動の場合、各画素に設けられたTFTによりスイッチングを行うため、クロストークが極めて小さいという利点、及びパッシブマトリクス駆動のように高輝度で発光させる必要がないため、寿命を延ばすことができるという利点等がある。その一方で、アクティブマトリクス駆動の場合、TFTの閾値及び移動度等のバラツキに起因して輝度ムラが発生するという欠点がある。そのため、良好な画像表示を実現するためには、このような輝度ムラの補償（初期輝度補償）を行う必要が生じる。
- [0011] この初期輝度補償には、TFTを用いて構成されるプログラム回路により電圧プログラムを行うことにより補償を行う内部補償方式（例えば、特許文献1を参照。）と、パネルの外部メモリに輝度データを持たせることにより

補償を行う外部補償方式（例えば、特許文献2を参照。）とがある。

- [0012] 上記の初期輝度補償が問題となる一方で、TFT及び有機ELの特性の経時劣化も問題となる。有機ELデバイスは直流電流駆動型のデバイスであり、駆動時間に応じてTFT及び有機ELの特性が劣化し、ひいては輝度ムラが発生してしまう。これについては有機ELを流れる電流をフィードバックすることで輝度ムラの補償（経時輝度補償）を行う対策が考えられている（特許文献3参照）。

特許文献1：特開2004-341444号公報

特許文献2：特開平9-305146号公報

特許文献3：特開2002-278513号公報

## 発明の開示

### 発明が解決しようとする課題

- [0013] しかしながら、上記のような従来の駆動方法および表示装置の場合、次のような問題があった。すなわち、初期輝度補償の対策としての、電圧プログラム及び電流プログラムに代表される内部補償方式においては、各画素に必要となるTFT数及び配線数が大幅に増加するため、歩留まりの低下をもたらす。また、外部補償方式においては、表示に必要となるデータビット以外に、輝度補償用のデータビットが必要となるため、データを出力するソースドライバが高価になるという問題があった。
- [0014] また、経時輝度補償の場合であっても、上記の外部補償方式と同様に輝度補償用のデータビットが必要となるため、ソースドライバが高価になるという問題があった。
- [0015] さらに、インクジェットに代表される印刷手段により有機ELを形成する場合、印刷方向に沿って膜厚ムラが発生しやすく、それによりライン状に輝度ムラが発生しやすいという問題がある。
- [0016] 本発明は斯かる事情に鑑みてなされたものであり、その目的は高価なソースドライバを使用することなく、また、各画素のTFT数を大幅に増加させることなく簡易に輝度補償を実現することができる発光素子回路、及びその

発光素子回路を備えるアクティブマトリクス型表示装置を提供することにある。

- [0017] また、本発明の他の目的は、印刷に起因する輝度ムラを簡易且つ安価に補償することができる発光素子回路及びアクティブマトリクス型表示装置を提供することにある。

### 課題を解決するための手段

- [0018] 上述した課題を解決するために、本発明の発光素子回路は、互いに交差するように配列された複数のゲートラインおよび複数のソースラインの交点に対応してそれぞれ配設される発光素子回路において、供給される電流に応じて発光する発光素子と、前記発光素子に供給する電流を制御する駆動用トランジスタと、前記駆動用トランジスタのオンオフ動作を制御する制御用トランジスタとを備え、前記駆動用トランジスタは、ボディ端子を備えており、当該ボディ端子に与えられる電圧を用いて、前記発光素子の輝度補正を行うように構成されている。
- [0019] このように、駆動用トランジスタがボディ端子を備え、そのボディ端子に与えられる電圧により発光素子の輝度補正を行うことによつて、簡易な構成で輝度ムラを補償することが可能になる。
- [0020] 本発明のアクティブマトリクス型表示装置は、互いに交差するように配列された複数のゲートラインおよび複数のソースラインと、当該複数のゲートラインおよび当該複数のソースラインの交点に対応してそれぞれ配設される発光素子回路とを備えるアクティブマトリクス型表示装置において、前記発光素子回路のそれぞれは、供給される電流に応じて発光する発光素子と、前記発光素子に供給する電流を制御する駆動用トランジスタと、前記駆動用トランジスタのオンオフ動作を制御する制御用トランジスタとを備え、前記駆動用トランジスタは、ボディ端子を備えており、当該ボディ端子に与えられる電圧を用いて、前記発光素子の輝度補正を行うように構成されている。
- [0021] また、前記発明に係るアクティブマトリクス型表示装置において、列方向または行方向に並設された複数の前記発光素子回路が備える前記駆動用ト

ンジスタの前記ボディ端子が共通接続されていてもよい。

[0022] また、前記発明に係るアクティブマトリクス型表示装置において、マトリクス状に配設された複数の前記発光素子回路が備える前記駆動用トランジスタの前記ボディ端子が共通接続されていてもよい。

[0023] また、前記発明に係るアクティブマトリクス型表示装置が、前記発光素子回路が備える前記発光素子の劣化状態に応じて、前記駆動用トランジスタの前記ボディ端子に電圧が与えられるように構成されていてもよい。この場合、発光素子の劣化状態は、当該発光素子の輝度、当該発光素子を流れる電流、及び／または当該発光素子の両端の電位を用いて検出されることが好ましい。

[0024] 本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

### 発明の効果

[0025] 本発明によれば、TFT数の増加及びソースドライバの高コスト化等を伴うことなく、有機EL素子を始めとする発光素子の輝度ムラを補償することができる。

### 図面の簡単な説明

[0026] [図1] 図1は本発明の実施の形態1に係るアクティブマトリクス型表示装置の構成を示すブロック図である。

[図2] 図2は本発明の実施の形態1に係る表示装置が備える発光素子回路の構成の一例を示す回路図である。

[図3] 図3は駆動用トランジスタのレイアウト例を示した平面図である。

[図4] 図4は4端子の駆動用トランジスタにおけるゲート・ソース間のドレイン電流とボディ電位との関係を示すグラフである。

[図5] 図5は本発明の実施の形態2に係る表示装置が備えるアクティブマトリクス基板の構成を示す回路図である。

[図6] 図6は印刷装置であるインクジェット装置のヘッドの構成を模式的に示す図である。

[図7]図7は本発明の実施の形態3に係る表示装置が備えるアクティブマトリクス基板の構成を示す回路図である。

[図8]図8は本発明の実施の形態4に係る発光素子回路の構成を示す図である。

[図9]図9は本発明の実施の形態4に係る発光素子回路の動作例を示すタイミングチャートである。

[図10]図10は駆動用トランジスタのソース電流ーゲート・ソース間電圧特性を示すグラフである。

### 符号の説明

- [0027]
- |          |              |
|----------|--------------|
| 1        | 表示装置         |
| 101      | 制御用トランジスタ    |
| 102      | 駆動用トランジスタ    |
| 103      | 有機EL素子       |
| 104      | 容量素子         |
| 105      | 電圧印加ライン      |
| 106      | ゲートライン       |
| 107      | ソースライン       |
| 110      | アクティブマトリクス基板 |
| 120      | ヘッド          |
| 121      | ノズル          |
| 130      | アクティブマトリクス基板 |
| 201      | 制御用トランジスタ    |
| 202, 203 | トランジスタ       |
| 204      | 駆動用トランジスタ    |
| 205      | 有機EL素子       |
| 206, 207 | 容量素子         |
| 212      | ゲートドライバ      |
| 213      | ソースドライバ      |

- 2 1 4 ムラ補正ドライバ
- 3 0 1 ゲート端子
- 3 0 2 ソース端子
- 3 0 3 ドレイン端子
- 3 0 4 ボディ端子
- 3 0 5 半導体層

### 発明を実施するための最良の形態

[0028] 以下、本発明の好ましい実施の形態を、図面を参照しながら説明する。

[0029] (実施の形態 1)

#### [表示装置の構成]

図 1 は、本発明の実施の形態 1 に係るアクティブマトリクス型表示装置（以下、単に「表示装置」という）の構成を示すブロック図である。図 1 に示すように、表示装置 1 は、EL 表示パネル 2 1 1 と、この EL 表示パネル 2 1 1 を駆動するゲートドライバ 2 1 2、ソースドライバ 2 1 3、及びムラ補正ドライバ 2 1 4 とを備えている。

[0030] EL 表示パネル 2 1 1 は、アクティブマトリクス駆動型の有機 EL 表示素子である。この EL 表示パネル 2 1 1 には、ゲートライン 1 0 6 およびソースライン 1 0 7 が交互に交差するように配設されるとともに、それらのゲートライン 1 0 6 およびソースライン 1 0 7 の交点に対応して後述する発光素子回路が配設されている。すなわち、複数の発光素子回路がマトリクス状に配設されている。

[0031] ゲートライン 1 0 6 およびソースライン 1 0 7 は、ゲートドライバ 2 1 2 およびソースドライバ 2 1 3 によってそれぞれ駆動される。

[0032] 上記の発光素子回路は後述するようにボディ端子を有する駆動用トランジスタを有しており、このボディ端子はムラ補正用の電圧印加ライン 1 0 5 と接続されている。この電圧印加ライン 1 0 5 は、ムラ補正ドライバ 2 1 4 と接続されており、このムラ補正ドライバ 2 1 4 によって駆動される。

[0033] [発光素子回路の構成]

次に、上述したようにしてマトリクス状に配設されている発光素子回路の構成について説明する。

[0034] 図2は、本発明の実施の形態1に係る表示装置1が備える発光素子回路の構成の一例を示す回路図である。図2に示すように、発光素子回路100は、ダイオード特性を有する発光素子である有機EL素子103と、有機EL素子103の陽極に接続され、有機EL素子103に供給する電流を制御する駆動用トランジスタ102と、この駆動用トランジスタ102のオンオフ動作を制御する制御用トランジスタ101とを備えている。

[0035] 制御用トランジスタ101は3端子のトランジスタであり、ゲート端子は上述したゲートラインに、ソース端子は上述したソースラインにそれぞれ接続され、また、ドレイン端子は駆動用トランジスタ102のゲート端子に接続されている。

[0036] また、駆動用トランジスタ102は4端子のトランジスタであり、ゲート端子は上記のとおり制御用トランジスタ101のソース端子に、ソース端子は電源線v d dに、ドレイン端子は発光素子103の陽極に、ボディ端子は上記のとおり電圧印加ライン105にそれぞれ接続されている。

[0037] 発光素子回路100は、制御用トランジスタ101と駆動用トランジスタ102との間に容量素子104を備えている。この容量素子104は必ずしも設けられていなくてもよく、設計の際の必要に応じて設けられる。また、容量素子104は、制御用トランジスタ101のドレインと駆動用トランジスタ102のゲートとの間の電圧を保持することができればよく、したがって、駆動用トランジスタ102と電源ラインv d dとの間に設けられるようにしてもよい。

[0038] 図3は、駆動用トランジスタ102のレイアウト例を示した平面図である。駆動用トランジスタ102は、上述したとおり、半導体層305と、その半導体層305に接続された、ゲート端子301、ソース・ドレイン端子302及び303、並びにボディ端子304とを備えている。ここでは、半導体層305が、アモルファスシリコンで形成されたボトムゲート構造を示し

ている。ボディ端子304はソース・ドレインと同じレイヤーで構成されているため、4端子トランジスタを作るために新たなプロセスの増加が発生することはない。

[0039] なお、半導体層305はアモルファスシリコンでなく、マイクロクリスタルシリコン等であっても同様のボトムゲート構造であれば本レイアウトをそのまま適用することが可能である。

[0040] このように、4端子トランジスタは本実施の形態で示したアモルファスシリコントランジスタ以外の場合でも形成することができ、ポリシリコン、または単結晶シリコンのみならず、マイクロクリスタルシリコン、ナノクリスタルシリコン、有機物、酸化物化合物、またはカーボンナノチューブ等のナノ物質等で構成されていてもよい。すなわち、トランジスタ動作を示すものであれば何れのもので構成されていてもよい。但し、本実施の形態に示したボトムゲート構造ではなく、図示しないトップゲート構造のものの方がトランジスタとして望ましい場合もある。どちらの構造を採用するにせよ、4端子トランジスタを構成するために新たなプロセスの増加が発生することはない。

[0041] なお、制御用トランジスタ101の半導体層も、一般的に用いられるアモルファスシリコン、ポリシリコン、または単結晶シリコンのみならず、マイクロクリスタルシリコン、ナノクリスタルシリコン、有機物、酸化物化合物、またはカーボンナノチューブ等のナノ物質等で構成されていてもよい。

[0042] ところで、本実施の形態において、制御用トランジスタ101及び駆動用トランジスタ102は、ホールがキャリアであるPチャネル型のトランジスタにより構成されている。しかし、これに限定されるわけではなく、電子がキャリアとなるNチャネル型のトランジスタによってこれらのトランジスタが構成されていてもよい。

[0043] このように、Pチャネル型およびNチャネル型の何れのトランジスタも用いることが可能である。ただし、製造プロセスを考慮した場合、Pチャネル型およびNチャネル型の両方で構成するよりも、何れか一方のみで構成する

方が、製造コスト、タクトタイム、および歩留まり等の観点から好ましい。

[0044] [表示装置の動作]

以上のように構成された表示装置 1 において、図示しない制御回路が、外部の装置から入力される映像信号に基づいて、ソースドライバ 2 1 3 に対して出力する映像信号を生成する。そして、その制御回路は、そのようにして生成された映像信号をソースドライバ 2 1 3 に出力すると共に、ゲートドライバ 2 1 2 及びソースドライバ 2 1 3 に制御信号を出力する。その結果、ゲートドライバ 2 1 2 が、各発光素子回路 1 0 0 が備える制御用トランジスタ 1 0 1 をオンにするための電圧に対応する走査信号を、ゲートライン 1 0 6 に出力することにより、各発光素子回路 1 0 0 の制御用トランジスタ 1 0 1 を順次オンにする。他方、ソースドライバ 2 1 3 が、そのタイミングに合わせて、ソースライン 1 0 7 を介し、各発光素子回路 1 0 0 に映像信号を書き込む。その結果、各発光素子回路 1 0 0 の駆動用トランジスタ 1 0 2 が動作して、有機 EL 素子 1 0 3 に対して映像信号に応じた電流が流れる。これにより、各発光素子回路 1 0 0 の有機 EL 素子 1 0 3 が発光し、その結果、EL 表示パネル 2 1 1 において、映像信号に対応する画像が表示される。

[0045] 上記のような表示装置の動作において、ムラ補正ドライバ 2 1 4 が電圧印加ライン 1 0 5 を駆動することにより、各発光素子回路 1 0 0 の駆動用トランジスタ 1 0 2 のボディ端子に適宜電圧が印加される。これにより、発光素子 1 0 3 の輝度調整が可能となり、輝度ムラ補償が実現される。以下、この原理について説明する。

[0046] 図 4 は、4 端子の駆動用トランジスタ 1 0 2 におけるゲート・ソース間のドレイン電流とボディ電位との関係を示すグラフである。換言すると、ボディ電位を変化させたときにドレイン電流がどのように変化するかを示したものである。

[0047] 図 4 に示すように、ボディ電位を増加させた場合（図中の矢印方向）、駆動用トランジスタ 1 0 2 の閾値電圧が低下する（基板バイアス効果）。トランジスタが薄膜トランジスタ（TFT）の場合でも同様の効果が起こること

が確認されている。

[0048] なお、この図4に示されているのは、電子がキャリアとなるN型トランジスタの例である。

[0049] このように、ボディ電位を調整することにより、駆動用トランジスタ102の閾値電圧を調整することが可能となる。したがって、上述したとおり、ムラ補正ドライバ214によって駆動用トランジスタ102のボディ端子に電圧を印加することにより、発光素子103の輝度調整が可能となる。

[0050] 以上のように、本実施の形態の発光素子回路及びその発光素子回路を備える表示装置の場合、TFT数を大幅に増加させたり、高価なソースドライバを使用したりすることなく、簡易な構成で輝度補償を実現することができる。

[0051] (実施の形態2)

図5は、本発明の実施の形態2に係る表示装置が備えるアクティブマトリクス基板の構成を示す回路図である。図5に示すとおり、このアクティブマトリクス基板110は、実施の形態1において説明した発光素子回路100をマトリクス状に並べて、各発光素子回路100のボディ端子を列方向で電圧印加ライン105に共通に接続して構成される。

[0052] このように、各発光素子回路100のボディ端子を列方向で共通接続した場合、輝度ムラ補正ドライバによる電圧印加によって、列方向に並ぶ複数の発光素子回路100の輝度ムラの補償を一度に行うことができる。

[0053] この構成は、アクティブマトリクス基板110の上部から下部（または下部から上部）に向かって列方向に印刷を行って発光素子が形成される場合に有効である。

[0054] 図6は、印刷装置であるインクジェット装置のヘッドの構成を模式的に示す図である。図6に示すように、ヘッド120には、複数個のノズル（インク吐出孔）121がアレイ状に形成されている。1つの画素を構成する複数のサブ画素それぞれが、1つのノズル121で形成される。ヘッド120の場合、行方向に並ぶ複数のサブ画素の発光素子を一度に形成することができ

る。したがって、このヘッド120を、アクティブマトリクス基板110の上部から下部（または下部から上部）に向かって列方向に移動させることにより、アクティブマトリクス基板110の全面に発光素子が形成されることになる。

[0055] 一般的に、このような印刷により発光素子を形成する場合、各ノズルのバラツキにより、各ノズルで形成された発光層の膜厚がばらつくことが多い。その結果、アクティブマトリクス基板110に形成された発光素子の輝度が列ライン毎にばらつくため、列方向にライン状のムラが発生してしまう。このような場合に、図5に示したように、列方向で共通接続されているボディ端子の電圧を列ライン毎に与えることにより、上記ライン状のムラを解消することが可能になる。なお、ボディ端子には、発光素子が発光している期間中常に電圧をかけておく必要がある。

[0056] 本実施の形態では、各発光素子回路100の駆動用トランジスタ102のボディ端子が列方向で共通接続しているが、行方向に共通接続している構成も当然考えられる。この構成は、列方向に並ぶ複数のサブ画素の発光素子を一度に形成することができるヘッドを、アクティブマトリクス基板110の左部から右部（または右部から左部）に向かって行方向に移動させることによりアクティブマトリクス基板110の全面に発光素子を形成する場合に有効である。すなわち、発光素子を形成する場合の印刷方向に応じて（膜厚ムラが発生する方向に応じて）、ボディ端子を行方向に共通接続するか列方向に共通接続するかを決定すればよい。

[0057] （実施の形態3）

図7は、本発明の実施の形態3に係る表示装置が備えるアクティブマトリクス基板の構成を示す回路図である。図7に示すとおり、このアクティブマトリクス基板130は、実施の形態1において説明した発光素子回路100をマトリクス状に並べて、各発光素子回路100のボディ端子をすべて電圧印加ライン105に共通に接続して構成される。

[0058] このように、各発光素子回路100のボディ端子をすべて共通接続した場

合、輝度ムラ補正ドライバによる電圧印加によって、すべての発光素子回路 100 の輝度ムラの補償を一度に行うことができる。

[0059] この構成は、各発光素子が初期の状態よりも劣化したために、表示装置全体の輝度補償を行う必要がある場合などに有効になる。ここで、発光素子の劣化を検出する手段としては、発光素子の輝度、発光素子を流れる電流、及び／または発光素子の両端に発生する電位を検出し、その検出した値と所定の閾値とを比較するものが考えられる。

[0060] また、本実施の形態においては発光素子回路 100 以外の一般的な発光素子回路であっても適用することが出来る。具体的には電圧プログラム回路、電流プログラム回路等が挙げられる。但し、少なくとも発光素子を駆動するためのトランジスタ（一般的に駆動トランジスタと呼ばれる）は 4 端子構成にしておく必要がある。

[0061] （実施の形態 4）

図 8 は、本発明の実施の形態 4 に係る発光素子回路の構成を示す図である。図 8 に示すように、発光素子回路 200 は、ダイオード特性を有する発光素子である有機 EL 素子 205 と、有機 EL 素子 205 の陽極に接続され、有機 EL 素子 205 を駆動する駆動用トランジスタ 204 と、この駆動用トランジスタ 204 の動作を制御する制御用トランジスタ 201 とを備えている。

[0062] また、発光素子回路 200 は、駆動用トランジスタ 204 のボディ端子に接続されたトランジスタ 203 と、そのトランジスタ 203 の動作を制御するトランジスタ 202 とを備えている。

[0063] 制御用トランジスタ 201 は 3 端子のトランジスタであり、ゲート端子はゲートラインに、ソース端子はソースラインにそれぞれ接続され、また、ドレイン端子は駆動用トランジスタ 204 のゲート端子に接続されている。

[0064] また、駆動用トランジスタ 204 は 4 端子のトランジスタであり、ゲート端子は上記のとおり制御用トランジスタ 201 のソース端子に、ソース端子は電源線  $v_{dd}$  に、ドレイン端子は発光素子 205 の陽極に、ボディ端子は

上記のとおりトランジスタ203にそれぞれ接続されている。

[0065] また、トランジスタ202は3端子のトランジスタであり、ゲート端子はゲートラインに、ソース端子208は図示しないムラ補正ドライバに、ドレイン端子はトランジスタ203のゲート端子にそれぞれ接続されている。

[0066] さらに、トランジスタ203は4端子のトランジスタであり、ゲート端子は上記のとおりトランジスタ202のソース端子に、ソース端子は電源線vddに、ドレイン端子は駆動用トランジスタ204のボディ端子にそれぞれ接続されている。

[0067] 図8に示すとおり、発光素子回路200は、制御用トランジスタ201と駆動用トランジスタ204との間に容量素子206を、トランジスタ202と203との間に容量素子207をそれぞれ備えている。これらの容量素子206及び207は必ずしも設けられていなくてもよい点は、実施の形態1の場合と同様である。

[0068] 上述したように構成された発光素子回路200の場合、ムラ補正ドライバによって端子208に電圧を印加することで発光素子205の輝度調整を行うことができる。

[0069] 図9は、本発明の実施の形態4に係る発光素子回路の動作例を示すタイミングチャートである。図9に示すように、端子208には、輝度ムラを補正するための電圧がムラ補正ドライバから入力される。ここで、ゲートラインにゲート信号が入力されて制御用トランジスタ201がオンとなったとき（駆動用トランジスタ204に対してデータ電圧を書き込むとき）、トランジスタ202も同時にオンとなる。その結果、発光素子205を駆動する駆動用トランジスタ204の閾値電圧が上述の基板バイアス効果により変化し、輝度ムラを解消する電流が発光素子205に流れる。制御用トランジスタ201及びトランジスタ202がオフになった場合でも、端子208の電位は容量素子207で保持されるため、各画素のムラを補正することが可能となる。

[0070] （実施の形態5）

本発明の実施の形態 5 は、実施の形態 2 において、ムラ補正ドライバ 2 1 4 におけるムラ補償を行うための構成を例示したものである。

[0071] EL 表示パネル 2 1 1 の製造工程において、一般的に、発光素子を形成した後、検査工程において点灯表示によりディスプレイ（EL 表示パネル 2 1 1）の良否が判定される。本実施の形態では、この検査工程において点灯表示によりディスプレイの良否を判定する際に、発光状態にある各画素の輝度（発光素子の輝度）を輝度計により測定する。ここで、印刷による輝度ムラを補正することに特化する場合、輝度ムラは印刷方向に垂直な方向において生じるので、全画素の輝度を測定する必要はない。そこで、本実施の形態では、印刷による輝度ムラを補正することに特化し、印刷方向に垂直な方向において、印刷方向に垂直な方向に配置され全画素分の輝度を測定する。これは必須である。そして、印刷方向の画素間におけるバラツキをも補償するために、これに加えて、印刷方向においても、印刷方向に沿って配置された数画素分の輝度を測定する。すなわち、（印刷方向に沿った数画素）×（印刷方向に垂直な方向の全画素）分の輝度を測定する。印刷方向に沿った測定画素の数を増加させれば、その分、補償精度は向上するが、検査時間も増加する。このトレードオフを勘案して測定画素数が決定される。

[0072] その後、測定した輝度データをもとに、各電圧印加ライン 1 0 5 毎に、各電圧印加ラインに属する発光回路 1 0 0 の駆動用トランジスタ 1 0 2 のボディ端子に印加すべき電圧（以下、補償電圧という）が算出される。この補償電圧は、各駆動用トランジスタ 1 0 2 が、その対応する発光素子 1 0 3 を所定の輝度で発光させるようなドレイン電流を流す電圧である。この算出した補償電圧がムラ補正ドライバ 2 1 4 に組みこまれたメモリ（図示せず）に書き込まれる（記憶される）。そして、表示装置 1 の動作時において、ムラ補正ドライバ 2 1 4 は、このメモリに書き込まれた補償電圧を参照し、各電圧印加ライン 1 0 5 にその対応する補償電圧を印加する。これにより、各電圧印加ライン 1 0 5 に属する発光回路 1 0 0 において、駆動用トランジスタ 1 0 2 のボディ端子に補償電圧が印加され、輝度ムラが補償される。

## [0073] (実施例)

本発明の作用効果を実証するために、本発明の実施例を例示する。本実施例は、本発明の実施形態3を具体化した例を示すものである。

本実施例では、図7の構成を有するアクティブマトリクス基板130を作成した。このアクティブマトリクス基板130においては、16行16列に画素が配置されている。換言すると、行方向に16の発光素子回路100が配置され、列方向に16の発光素子回路100が配置されている。各発光素子回路100は、図2の構成を有している。制御用トランジスタ101及び駆動用トランジスタ102はNチャネル型のアモルファスシリコンTFTでそれぞれ構成されている。発光素子103は、有機EL素子で構成されている。全てのソースラインは相互に接続された。全てのゲートラインは相互に接続された。全ての発光素子回路100の駆動用トランジスタ101のボディ端子は、実施の形態3で述べたように、共通の電圧印加ライン105に接続されている。

[0074] そして、ゲートラインに+30V、ソースラインに+10V、電源線v<sub>dd</sub>に+20V、電源端子v<sub>ss</sub>に0Vの電圧が、それぞれ、印加された。また、電圧印加ライン105に、-10Vから+20Vまで変化させて電圧が印加された。

[0075] ここで、事前のTFT単体の評価によって、制御用トランジスタ101は、ゲート・ソース間電圧として+20Vが印加されるとトランジスタが導通することが判っている。それ故、駆動用トランジスタ102のゲート端子に+10V、ドレイン端子に+20V、ソース端子に発光素子103の両端電圧がかかる。これにより、駆動用トランジスタ102を流れる電流が決定され、ひいては発光素子103を流れる電流が決定される。また、一般的に発光素子103の発光輝度は発光素子103を流れる電流に比例する。

[0076] 図10は駆動用トランジスタ102のソース電流-ゲート・ソース間電圧特性を示すグラフである。4本の曲線は、ボディ端子（電圧印加ライン105）の電圧を、それぞれ、-10V、0V、+10V、+20Vとした場合

におけるソース電流－ゲート・ソース間電圧特性曲線である。ボディ端子の電圧を－10Vから増やしていくと駆動用トランジスタ102の閾値が＋方向に増加し、その結果、駆動用トランジスタ102として流れる電流が増加する。これによりボディ端子の電圧を変化させることで駆動用トランジスタ102を流れる電流、ひいては発光素子103を流れるが変化し、結果としてEL表示パネル211（図1参照）の輝度を変化させることができる。本実施例においては約2倍の輝度変化を実現することができた。これにより、輝度ムラを本発明によって補償できることが実証された。

[0077] なお、上述した各実施の形態においては、発光素子回路が備える発光素子として有機EL素子を例示したが、本発明はこれに限られるわけではなく、自発光の素子であればその他の素子を用いることが可能である。そのような発光素子としては、例えば無機EL素子および発光ダイオード（LED）などを挙げるができる。

[0078] 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

### 産業上の利用可能性

[0079] 本発明の発光素子回路及びアクティブマトリクス型表示装置は、輝度ムラの補償を容易に行うことができ、コンピュータ用および家電用を始めとする種々のディスプレイにとして有用である。

## 請求の範囲

- [1] 互いに交差するように配列された複数のゲートラインおよび複数のソースラインの交点に対応してそれぞれ配設される発光素子回路において、  
供給される電流に応じて発光する発光素子と、  
前記発光素子に供給する電流を制御する駆動用トランジスタと、  
前記駆動用トランジスタのオンオフ動作を制御する制御用トランジスタとを備え、  
前記駆動用トランジスタは、ボディ端子を具備しており、当該ボディ端子に与えられる電圧を用いて、前記発光素子の輝度補正を行うように構成されていることを特徴とする、発光素子回路。
- [2] 互いに交差するように配列された複数のゲートラインおよび複数のソースラインと、当該複数のゲートラインおよび当該複数のソースラインの交点に対応してそれぞれ配設される発光素子回路とを備えるアクティブマトリクス型表示装置において、  
前記発光素子回路のそれぞれは、  
供給される電流に応じて発光する発光素子と、  
前記発光素子に供給する電流を制御する駆動用トランジスタと、  
前記駆動用トランジスタのオンオフ動作を制御する制御用トランジスタとを備え、  
前記駆動用トランジスタは、ボディ端子を具備しており、当該ボディ端子に与えられる電圧を用いて、前記発光素子の輝度補正を行うように構成されていることを特徴とする、アクティブマトリクス型表示装置。
- [3] 列方向または行方向に並設された複数の前記発光素子回路が備える前記駆動用トランジスタの前記ボディ端子が共通接続されている、請求項2に記載のアクティブマトリクス型表示装置。
- [4] マトリクス状に配設された複数の前記発光素子回路が備える前記駆動用トランジスタの前記ボディ端子が共通接続されている、請求項2に記載のアクティブマトリクス型表示装置。

- [5] 前記発光素子回路が備える前記発光素子の劣化状態に応じて、前記駆動用トランジスタの前記ボディ端子に電圧が与えられるように構成されている、請求項4に記載のアクティブマトリクス型表示装置。
- [6] 前記発光素子の劣化状態は、当該発光素子の輝度、当該発光素子を流れる電流、及び／または当該発光素子の両端の電位を用いて検出される、請求項5に記載のアクティブマトリクス型表示装置。

**補正された請求の範囲**  
**[2009年1月27日 (27. 01. 2009) 国際事務局受理]**

- [1] (補正後) 互いに交差するように配列された複数のゲートラインおよび複数のソースラインの交点に対応してそれぞれ配設される発光素子回路において、供給される電流に応じて発光する発光素子と、前記発光素子に供給する電流を制御する駆動用トランジスタと、映像信号に応じて前記発光素子に供給する電流を制御する駆動用トランジスタと、前記ソースラインを介した前記駆動用トランジスタへの前記映像信号への書き込みを、前記ゲートラインを介して入力される走査信号に応じて制御する制御用トランジスタとを備え、前記駆動用トランジスタは、ボディ端子を具備しており、前記駆動用トランジスタの前記ボディ端子が、ムラ補正用の電圧を印加するためのムラ補正ドライバに接続されており、かつ、前記ムラ補正用ドライバによって前記ボディ端子に与えられる前記ムラ補正用の電圧を用いて、前記発光素子の輝度補正を行うように構成されていることを特徴とする、発光素子回路。
- [2] (補正後) 互いに交差するように配列された複数のゲートラインおよび複数のソースラインと、当該複数のゲートラインおよび当該複数のソースラインの交点に対応してそれぞれ配設される発光素子回路とを備えるアクティブマトリクス型表示装置において、ムラ補正用の電圧を印加するためのムラ補正ドライバをさらに備え、前記発光素子回路のそれぞれは、供給される電流に応じて発光する発光素子と、映像信号に応じて前記発光素子に供給する電流を制御する駆動用トランジスタと、前記ソースラインを介した前記駆動用トランジスタへの前記映像信号への書き込みを、前記ゲートラインを介して入力される走査信号に応じて制御する制御用トランジスタとを備え、前記駆動用トランジスタは、ボディ端子を具備しており、

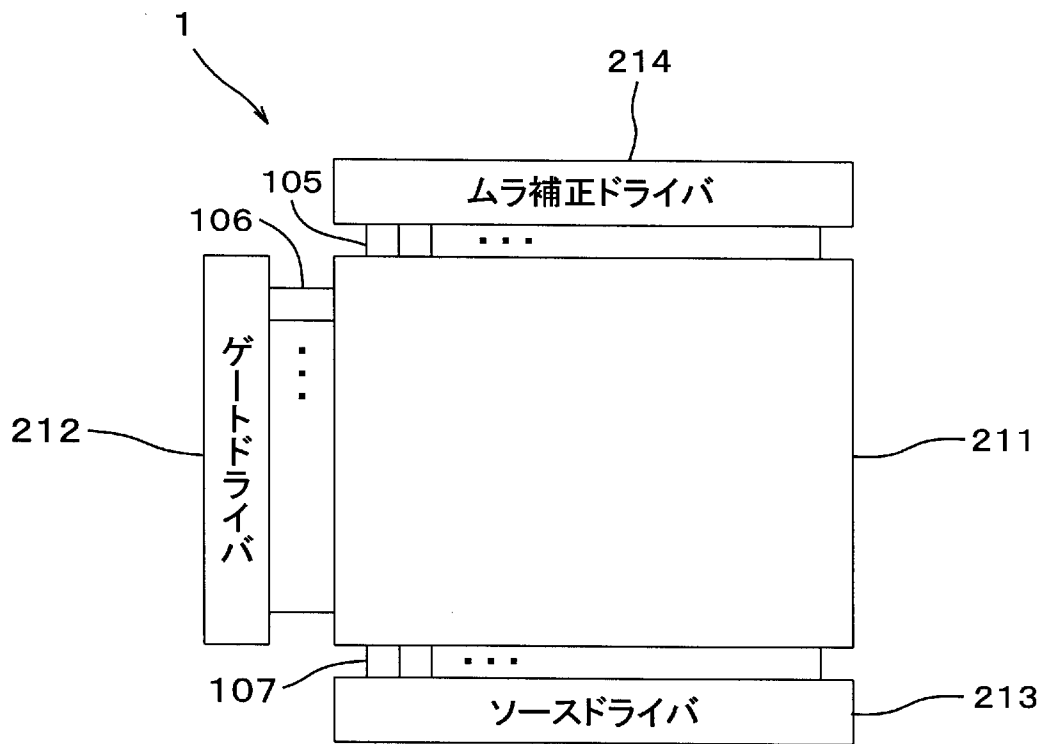
前記駆動用トランジスタの前記ボディ端子が前記ムラ補正ドライバに接続されており、

かつ、前記ムラ補正用ドライバによって前記ボディ端子に与えられる前記ムラ補正用の電圧を用いて、前記発光素子の輝度補正を行うように構成されていることを特徴とする、アクティブマトリクス型表示装置。

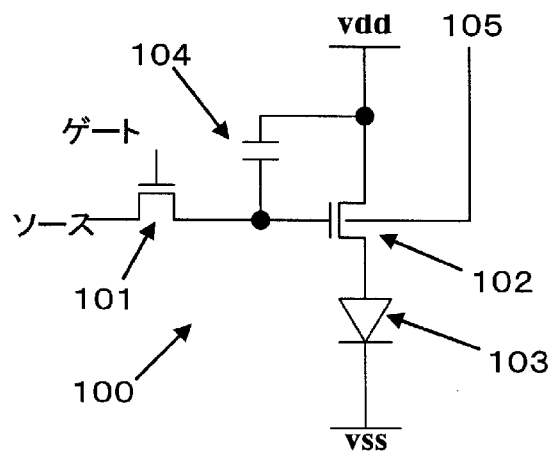
- [3] (補正後) 列方向または行方向に並設された複数の前記発光素子回路が備える前記駆動用トランジスタの前記ボディ端子が、共通接続されかつ前記ムラ補正ドライバに接続されている、請求項2に記載のアクティブマトリクス型表示装置。
- [4] (補正後) マトリクス状に配設された複数の前記発光素子回路が備える前記駆動用トランジスタの前記ボディ端子が、共通接続されかつ前記ムラ補正ドライバに接続されている、請求項2に記載のアクティブマトリクス型表示装置。

- [5] (補正後) 前記発光素子回路が備える前記発光素子の劣化状態に応じて、前記駆動用トランジスタの前記ボディ端子に前記ムラ補正用の電圧が与えられるように構成されている、請求項4に記載のアクティブマトリクス型表示装置。
- [6] 前記発光素子の劣化状態は、当該発光素子の輝度、当該発光素子を流れる電流、及び/または当該発光素子の両端の電位を用いて検出される、請求項5に記載のアクティブマトリクス型表示装置。

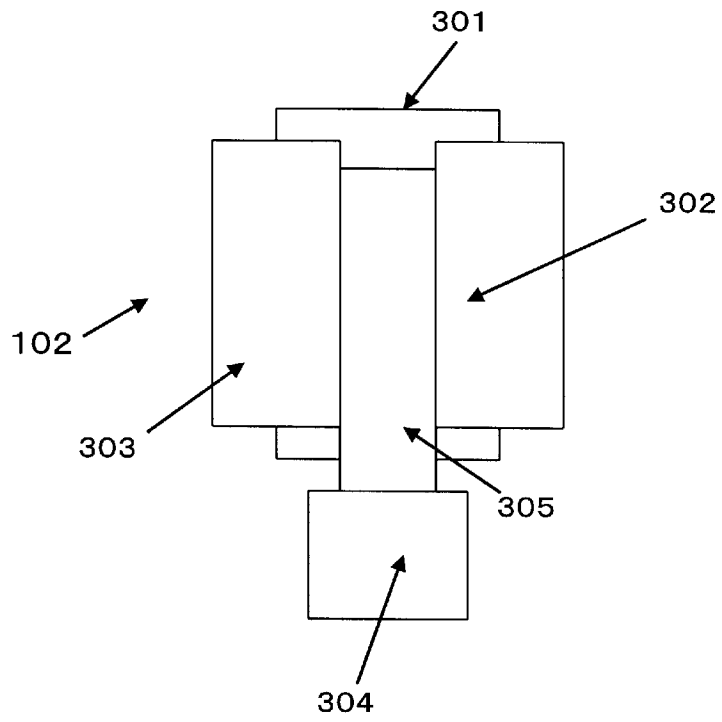
[図1]



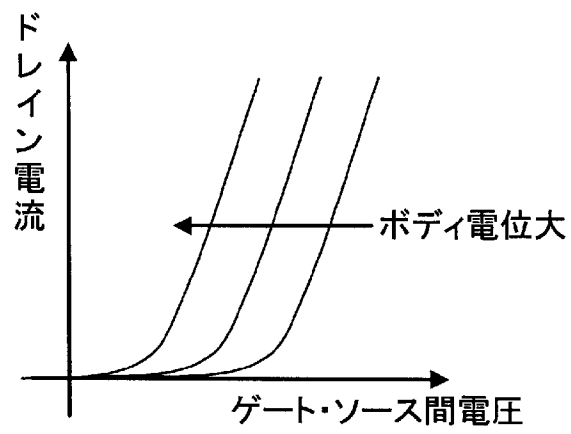
[図2]



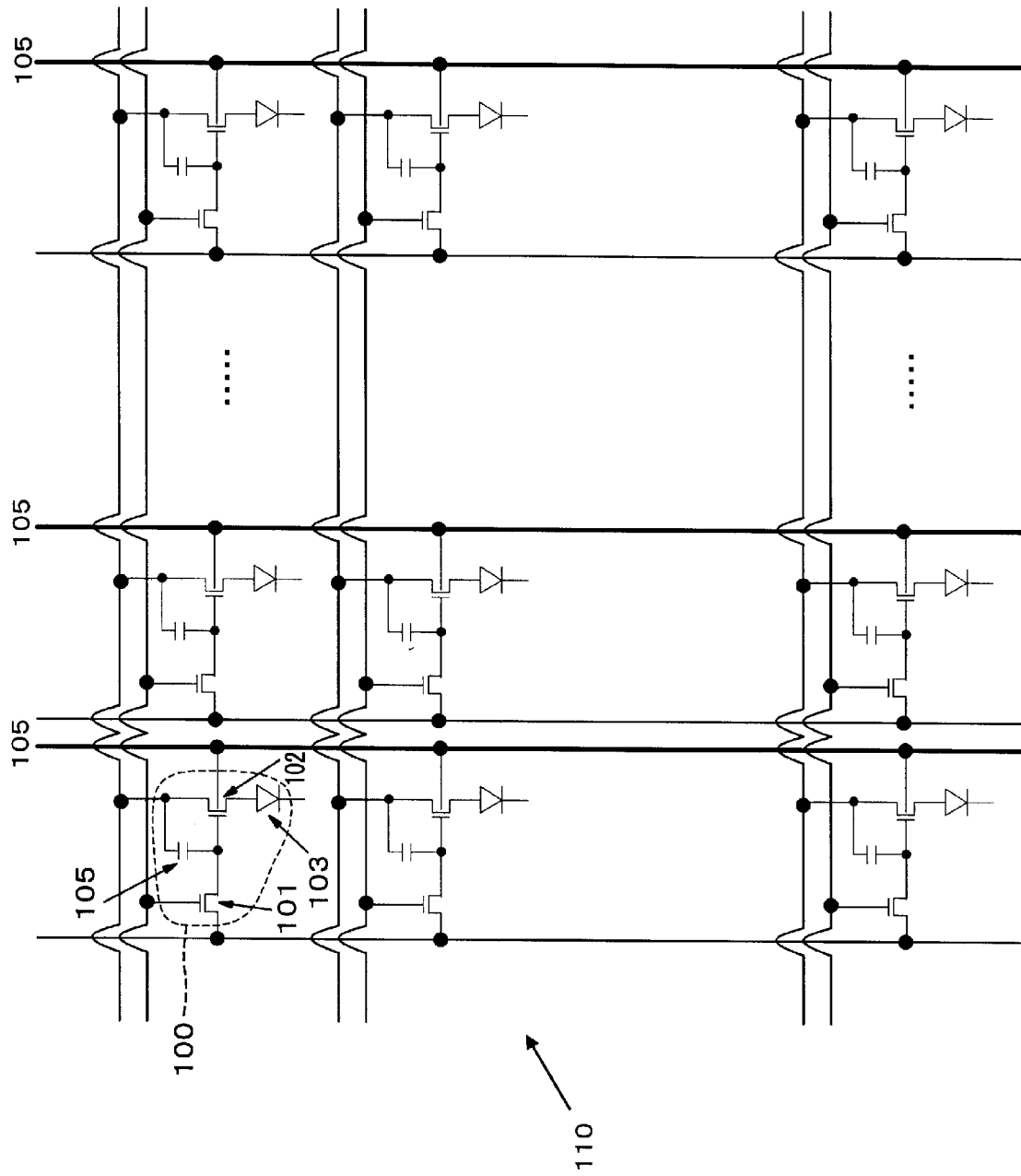
[図3]



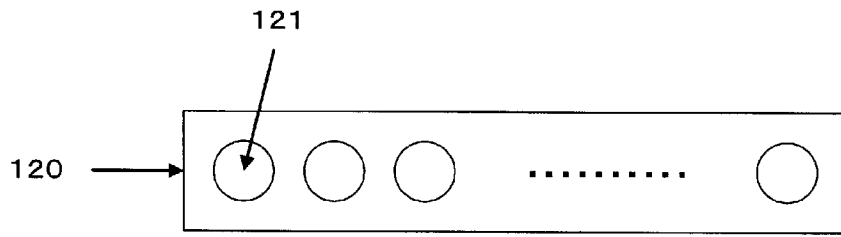
[図4]



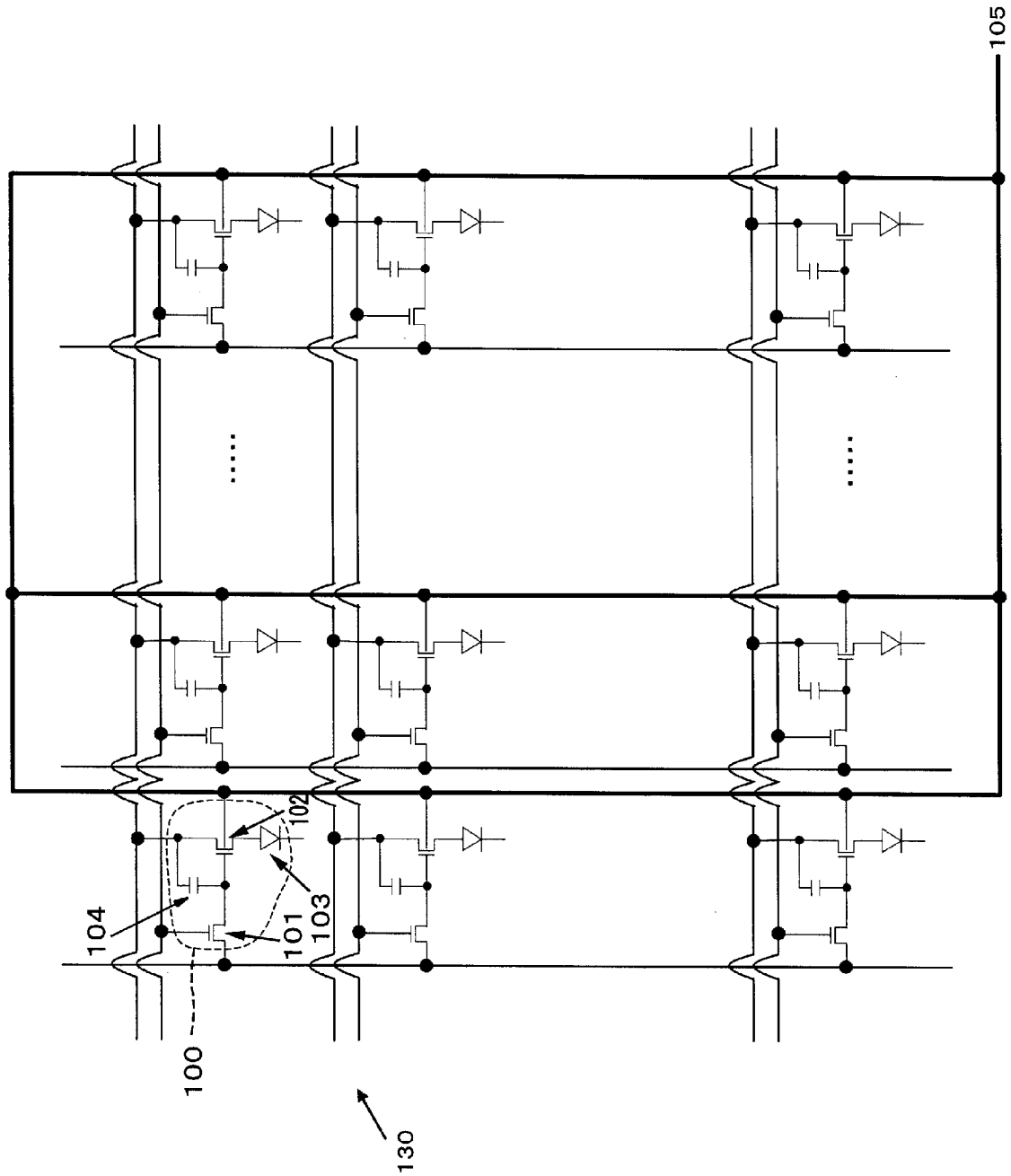
[図5]



[図6]

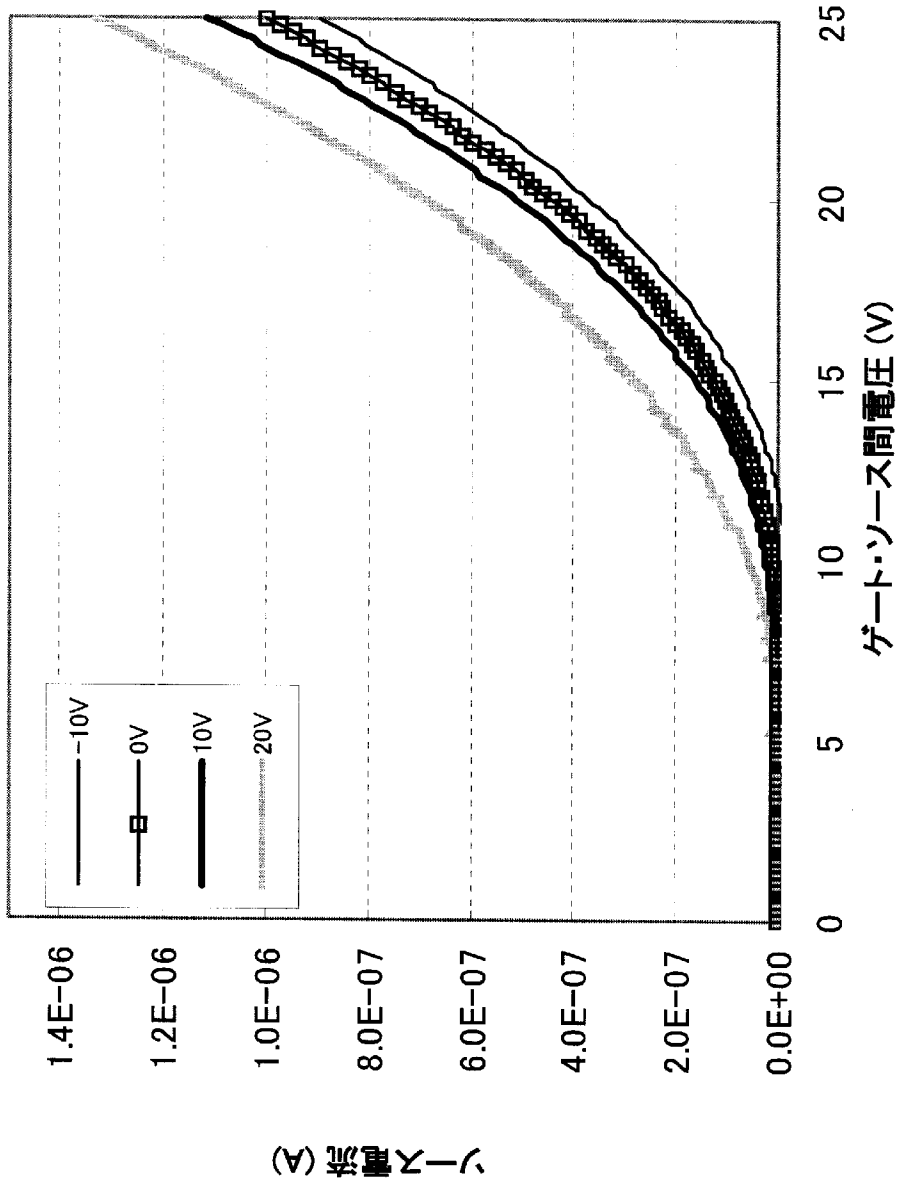


[図7]





[図10]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/002689

## A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-215609 A (Seiko Epson Corp.), 11 August, 2005 (11.08.05), Par. Nos. [0042] to [0075]; Figs. 1 to 7 (Family: none)	1-4 5,6
X A	JP 2005-004183 A (Advanced LCD Technologies Development Center Co., Ltd.), 06 January, 2005 (06.01.05), Par. Nos. [0013] to [0028], [0057] to [0066]; Figs. 1 to 5, 8 to 11 & US 2004/0233147 A1	1-4 5,6
X A	JP 2003-140570 A (Matsushita Electric Industrial Co., Ltd.), 16 May, 2003 (16.05.03), Full text; all drawings (Family: none)	1-4 5,6

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
23 October, 2008 (23.10.08)Date of mailing of the international search report  
04 November, 2008 (04.11.08)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2008/002689

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-224437 A (Sanyo Electric Co., Ltd.), 08 August, 2003 (08.08.03), Full text; all drawings (Family: none)	1-6
A	JP 2003-216102 A (Casio Computer Co., Ltd.), 30 July, 2003 (30.07.03), Full text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2008年  
 日本国実用新案登録公報 1996-2008年  
 日本国登録実用新案公報 1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2005-215609 A (セイコーエプソン株式会社) 2005.08.11, 段落【0042】-【0075】, 【図1】 - 【図7】 (ファミリーなし)	1-4 5,6
X A	JP 2005-004183 A (株式会社 液晶先端技術開発 センター) 2005.01.06, 段落【0013】-【0028】, 【0057】-【0066】, 【図1】-【図5】, 【図8】-【図1 1】 & US 2004/0233147 A1	1-4 5,6

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー                  「A」特に関連のある文献ではなく、一般的な技術水準を示すもの                  「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                  「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)                  「O」口頭による開示、使用、展示等に言及する文献                  「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献                  「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの                  「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                  「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                  「&amp;」同一パテントファミリー文献</p>
--	---

国際調査を完了した日 23.10.2008	国際調査報告の発送日 04.11.2008
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 中村 直行 電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2003-140570 A (松下電器産業株式会社) 2003.05.16, 全文全図 (ファミリーなし)	1-4 5,6
A	JP 2003-224437 A (三洋電機株式会社) 2003.08.08, 全文全図 (ファミリーなし)	1-6
A	JP 2003-216102 A (カシオ計算機株式会社) 2003.07.30, 全文全図 (ファミリーなし)	1-6