

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-192239

(P2017-192239A)

(43) 公開日 平成29年10月19日(2017.10.19)

|              |             |                  |           |            |
|--------------|-------------|------------------|-----------|------------|
| (51) Int.Cl. |             | F I              |           | テーマコード(参考) |
| <b>HO2M</b>  | <b>7/12</b> | <b>(2006.01)</b> | HO2M 7/12 | B 5H006    |
| <b>GO5F</b>  | <b>1/70</b> | <b>(2006.01)</b> | HO2M 7/12 | F 5H420    |
|              |             |                  | HO2M 7/12 | M          |
|              |             |                  | GO5F 1/70 | G          |

審査請求 未請求 請求項の数 8 O L (全 28 頁)

(21) 出願番号 特願2016-81311 (P2016-81311)  
 (22) 出願日 平成28年4月14日 (2016.4.14)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 110001092  
 特許業務法人サクラ国際特許事務所  
 (72) 発明者 新井 卓郎  
 東京都港区芝浦一丁目1番1号 株式会社東芝内  
 (72) 発明者 鈴木 大地  
 東京都港区芝浦一丁目1番1号 株式会社東芝内  
 Fターム(参考) 5H006 AA03 AA05 CA01 CB01 CB08  
 CC01 CC03 CC05 DA04 DC05  
 5H420 BB04 BB12 BB16 CC05 CC09  
 DD04 EA11 EA39 EA42 EA43  
 EB04 EB09 EB38 FF03 FF23

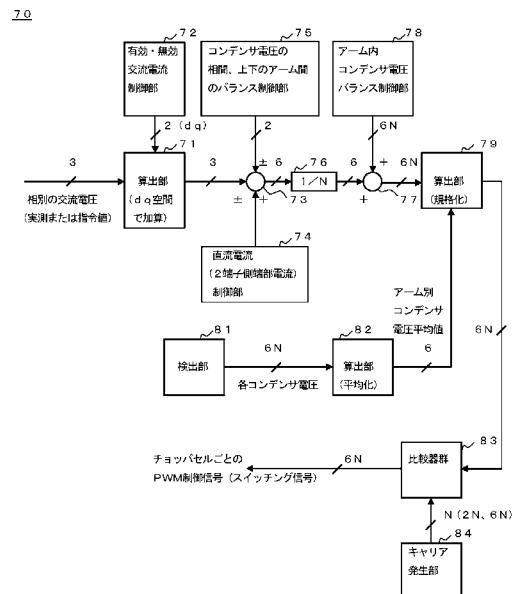
(54) 【発明の名称】 電力変換装置、電力補償装置、制御装置、制御方法

(57) 【要約】

【課題】 正確なPWM制御信号を発生してコンデンサ電圧を精度よく制御する。

【解決手段】 第1、第2のレグの相別交流電圧またはその指令値に基づいて、クラスターごと共通の、2端子回路セルが出力すべき電圧指令値として第1～第4の2端子回路セル出力電圧指令値を算出し、コンデンサそれぞれの両端電圧を検出し、クラスターごとのその算術平均値を第1～第4算術平均値として算出し、第1～第4の2端子回路セル出力電圧指令値を第1～第4算術平均値で除することにより、クラスターごとの規格化2端子回路セル出力電圧指令値を算出し、クラスターに含まれるチョッパセルの数に基づいて、360度を等分割した、互いに異なる位相を有する三角波キャリア群を発生し、第1～第4規格化2端子回路セル出力電圧指令値を第1入力とし三角波キャリア群のそれぞれを第2入力として比較を行い、比較結果に基づいて2端子回路セルのそれぞれをPWM制御する。

【選択図】 図6



## 【特許請求の範囲】

## 【請求項 1】

一対の端子と少なくともひとつのコンデンサとを有し、該少なくともひとつのコンデンサのいずれかひとつ以上に対する充放電が前記一対の端子を介して実行される第 1 のモードと、前記少なくともひとつのコンデンサのいずれに対する充放電もなされずに前記一対の端子の間がゼロ電圧となるように前記一対の端子間のいずれの方向にも電流が流れ得る第 2 のモードとを切り替え可能な 2 端子回路セルをカスケードに複数接続して構成された第 1 の回路セル群と、該第 1 の回路セル群と直列に接続された、該第 1 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 1 のリアクトルと、を有する第 1 の回路クラスターと；前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 の回路セル群とは別に設けられた第 2 の回路セル群と、該第 2 の回路セル群と直列に接続された、該第 2 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 2 のリアクトルと、を有し、かつ前記第 1 の回路クラスターと直列に接続された第 2 の回路クラスターと；を備えた第 1 のレグと、

前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1、第 2 の回路セル群とは別に設けられた第 3 の回路セル群と、該第 3 の回路セル群と直列に接続された、該第 3 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 3 のリアクトルと、を有する第 3 の回路クラスターと；前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 ないし第 3 の回路セル群とは別に設けられた第 4 の回路セル群と、該第 4 の回路セル群と直列に接続された、該第 4 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 4 のリアクトルと、を有し、かつ前記第 3 の回路クラスターと直列に接続された第 4 の回路クラスターと；を備え、かつ前記第 1 のレグと並列に接続された第 2 のレグと、

前記第 1 のレグによるブリッジ端子および前記第 2 のレグによるブリッジ端子のそれぞれにおける電圧である相別交流電圧、または与えられた、前記第 1 および第 2 のレグのそれぞれが出力すべき交流電圧の指令値に基づいて、前記第 1 ないし第 4 の回路セル群に含まれる 2 端子回路セルそれぞれが出力すべき電圧の指令値である 2 端子回路セル出力電圧指令値を前記第 1 ないし第 4 の回路クラスターごとの共通値である第 1 ないし第 4 の 2 端子回路セル出力電圧指令値として算出する第 1 の算出部と、

前記第 1 ないし第 4 の回路セル群に含まれる 2 端子回路セルのコンデンサそれぞれの両端電圧である両端電圧群を検出できるように該コンデンサそれぞれに設けられた検出部と、

前記両端電圧群に基づいて、前記第 1 ないし第 4 の回路クラスターごとの前記両端電圧群の算術平均値を第 1 ないし第 4 の算術平均値として算出する、前記検出部に後置された第 2 の算出部と、

前記第 1 ないし第 4 の回路クラスターごとに、前記第 1 ないし第 4 の 2 端子回路セル出力電圧指令値のうちに対応するものを前記第 1 ないし第 4 の算術平均値のうちに対応するもので除することにより、前記第 1 ないし第 4 の回路クラスターごとの第 1 ないし第 4 の規格化 2 端子回路セル出力電圧指令値を算出する、前記第 1、第 2 の算出部に後置された第 3 の算出部と、

前記第 1 ないし第 4 の回路クラスターそれぞれに含まれる 2 端子回路セルの数に基づいて、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生するキャリア発生部と、

前記第 1 ないし第 4 の規格化 2 端子回路セル出力電圧指令値を第 1 の入力とし前記三角波キャリア群のそれぞれを第 2 の入力として比較を行い、比較結果に基づいて前記第 1 ないし第 4 の回路セル群に含まれる 2 端子回路セルのそれぞれを前記第 1 のモードと前記第 2 のモードとの間で PWM 制御する、前記第 3 の算出部および前記キャリア発生部に後置された比較器群と

を具備する電力変換装置。

## 【請求項 2】

10

20

30

40

50

前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 ないし第 4 の回路セル群とは別に設けられた第 5 の回路セル群と、該第 5 の回路セル群と直列に接続された、該第 5 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 5 のリアクトルと、を有する第 4 の回路クラスターと；前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 ないし第 5 の回路セル群とは別に設けられた第 6 の回路セル群と、該第 6 の回路セル群と直列に接続された、該第 6 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 6 のリアクトルと、を有し、かつ前記第 5 の回路クラスターと直列に接続された第 6 の回路クラスターと；を備え、かつ前記第 1、第 2 のレグと並列に接続された第 3 のレグをさらに具備し、

前記第 1 の算出部が、さらに、前記第 3 のレグによるブリッジ端子における電圧である相別交流電圧、または与えられた、前記第 3 のレグが出力すべき交流電圧の指令値に基づいて、前記第 5、第 6 の回路セル群に含まれる 2 端子回路セルそれぞれが出力すべき電圧の指令値である 2 端子回路セル出力電圧指令値を前記第 5、第 6 の回路クラスターごとの共通値である第 5、第 6 の 2 端子回路セル出力電圧指令値として算出し、

前記検出部が、さらに、前記第 5、第 6 の回路セル群に含まれる 2 端子回路セルのコンデンサそれぞれの両端電圧を含んで前記両端電圧群を検出できるように該コンデンサそれぞれにも設けられており、

前記第 2 の算出部が、さらに、前記両端電圧群に基づいて、前記第 5、第 6 の回路クラスターごとの前記両端電圧群の算術平均値を第 5、第 6 の算術平均値として算出し、

前記第 3 の算出部が、さらに、前記第 5、第 6 の回路クラスターごとに、前記第 5、第 6 の 2 端子回路セル出力電圧指令値のうちの対応するものを前記第 5、第 6 の算術平均値のうちの対応するもので除することにより、前記第 5、第 6 の回路クラスターごとの第 5、第 6 の規格化 2 端子回路セル出力電圧指令値を算出し、

前記比較器群が、さらに、前記第 5、第 6 の規格化 2 端子回路セル出力電圧指令値を第 3 の入力とし前記三角波キャリア群のそれぞれを第 4 の入力として比較を行い、比較結果に基づいて前記第 5、第 6 の回路セル群に含まれる 2 端子回路セルのそれぞれを前記第 1 のモードと前記第 2 のモードとの間で PWM 制御する

請求項 1 記載の電力変換装置。

#### 【請求項 3】

前記キャリア発生部が、前記第 1 ないし第 6 の回路セル群用に、0 度位相の三角波キャリアを含んで、360 度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生する請求項 2 記載の電力変換装置。

#### 【請求項 4】

前記キャリア発生部が、前記第 1 ないし第 6 の回路セル群のそれぞれ用に、360 度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生し、該三角波キャリア群が、前記第 1 ないし第 6 の回路セル群に応じて、オフセット位相を有している請求項 2 記載の電力変換装置。

#### 【請求項 5】

一对の端子と少なくともひとつのコンデンサとを有し、該少なくともひとつのコンデンサのいずれかひとつ以上に対する充放電が前記一对の端子を介して実行されて該いずれかひとつ以上のコンデンサの両端電圧の正極性または逆極性の電圧が出力電圧となる第 1 のモードと、前記少なくともひとつのコンデンサのいずれに対する充放電もなされずに前記一对の端子の間がゼロ電圧となるように前記一对の端子間のいずれの方向にも電流が流れ得る第 2 のモードとを切り替え可能な 2 端子回路セルをカスケードに複数接続して構成された第 1 の回路セル群と、該第 1 の回路セル群と直列に接続された、該第 1 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 1 のリアクトルと、を有する第 1 の回路クラスターと、

前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 の回路セル群とは別に設けられた第 2 の回路セル群と、該第 2 の回路セル群と直列に接続された、該第 2 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 2 のリアクトルと、

10

20

30

40

50

ルと、を有し、かつ前記第 1 の回路クラスターと直列に接続された第 2 の回路クラスターと、

前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1、第 2 の回路セル群とは別に設けられた第 3 の回路セル群と、該第 3 の回路セル群と直列に接続された、該第 3 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 3 のリアクトルと、を有し、かつ前記第 1、第 2 の回路クラスターとの接続関係がスター接続となるように前記第 1、第 2 の回路クラスターに接続された第 3 の回路クラスターと、

スター接続された前記第 1 ないし第 3 の回路クラスターの 3 つの端部における 3 つの線間電圧または 3 つの相電圧に基づいて、前記第 1 ないし第 3 の回路セル群に含まれる 2 端子回路セルそれぞれが出力すべき電圧の指令値である 2 端子回路セル出力電圧指令値を前記第 1 ないし第 3 の回路クラスターごとの共通値である第 1 ないし第 3 の 2 端子回路セル出力電圧指令値として算出する第 1 の算出部と、

前記第 1 ないし第 3 の回路セル群に含まれる 2 端子回路セルのコンデンサそれぞれの両端電圧である両端電圧群を検出できるように該コンデンサそれぞれに設けられた検出部と

、  
前記両端電圧群に基づいて、前記第 1 ないし第 3 の回路クラスターごとの前記両端電圧群の算術平均値を第 1 ないし第 3 の算術平均値として算出する、前記検出部に後置された第 2 の算出部と、

前記第 1 ないし第 3 の回路クラスターごとに、前記第 1 ないし第 3 の 2 端子回路セル出力電圧指令値のうちの対応するものを前記第 1 ないし第 3 の算術平均値のうちの対応するもので除することにより、前記第 1 ないし第 3 の回路クラスターごとの第 1 ないし第 3 の規格化 2 端子回路セル出力電圧指令値を算出する、前記第 1、第 2 の算出部に後置された第 3 の算出部と、

前記第 1 ないし第 3 の回路クラスターそれぞれに含まれる 2 端子回路セルの数に基づいて、360 度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生するキャリア発生部と、

前記第 1 ないし第 3 の規格化 2 端子回路セル出力電圧指令値を第 1 の入力とし前記三角波キャリア群のそれぞれを第 2 の入力として比較を行い、比較結果に基づいて前記第 1 ないし第 3 の回路セル群に含まれる 2 端子回路セルのそれぞれを前記第 1 のモードと前記第 2 のモードとの間で PWM 制御する、前記第 3 の算出部および前記キャリア発生部に後置された比較器群と

を具備する電力補償装置。

#### 【請求項 6】

一对の端子と少なくともひとつのコンデンサとを有し、該少なくともひとつのコンデンサのいずれかひとつ以上に対する充放電が前記一对の端子を介して実行されて該いずれかひとつ以上のコンデンサの両端電圧の正極性または逆極性の電圧が出力電圧となる第 1 のモードと、前記少なくともひとつのコンデンサのいずれに対する充放電もなされずに前記一对の端子の間がゼロ電圧となるように前記一对の端子間のいずれの方向にも電流が流れ得る第 2 のモードとを切り替え可能な 2 端子回路セルをカスケードに複数接続して構成された第 1 の回路セル群と、該第 1 の回路セル群と直列に接続された、該第 1 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 1 のリアクトルと、を有する第 1 の回路クラスターと、

前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 の回路セル群とは別に設けられた第 2 の回路セル群と、該第 2 の回路セル群と直列に接続された、該第 2 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 2 のリアクトルと、を有し、かつ前記第 1 の回路クラスターと直列に接続された第 2 の回路クラスターと、

前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1、第 2 の回路セル群とは別に設けられた第 3 の回路セル群と、該第 3 の回路セル群と直列に接続された、該第 3 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 3 のリ

10

20

30

40

50

リアクトルと、を有し、かつ前記第 1、第 2 の回路クラスターとの接続関係がデルタ接続となるように前記第 1、第 2 の回路クラスターに接続された第 3 の回路クラスターと、

デルタ接続された前記第 1 ないし第 3 の回路クラスターの 3 つの端部における 3 つの線間電圧または 3 つの相電圧に基づいて、前記第 1 ないし第 3 の回路セル群に含まれる 2 端子回路セルそれぞれが出力すべき電圧の指令値である 2 端子回路セル出力電圧指令値を前記第 1 ないし第 3 の回路クラスターごとの共通値である第 1 ないし第 3 の 2 端子回路セル出力電圧指令値として算出する第 1 の算出部と、

前記第 1 ないし第 3 の回路セル群に含まれる 2 端子回路セルのコンデンサそれぞれの両端電圧である両端電圧群を検出できるように該コンデンサそれぞれに設けられた検出部と、

前記両端電圧群に基づいて、前記第 1 ないし第 3 の回路クラスターごとの前記両端電圧群の算術平均値を第 1 ないし第 3 の算術平均値として算出する、前記検出部に後置された第 2 の算出部と、

前記第 1 ないし第 3 の回路クラスターごとに、前記第 1 ないし第 3 の 2 端子回路セル出力電圧指令値のうちの対応するものを前記第 1 ないし第 3 の算術平均値のうちの対応するもので除することにより、前記第 1 ないし第 3 の回路クラスターごとの第 1 ないし第 3 の規格化 2 端子回路セル出力電圧指令値を算出する、前記第 1、第 2 の算出部に後置された第 3 の算出部と、

前記第 1 ないし第 3 の回路クラスターそれぞれに含まれる 2 端子回路セルの数に基づいて、360 度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生するキャリア発生部と、

前記第 1 ないし第 3 の規格化 2 端子回路セル出力電圧指令値を第 1 の入力とし前記三角波キャリア群のそれぞれを第 2 の入力として比較を行い、比較結果に基づいて前記第 1 ないし第 3 の回路セル群に含まれる 2 端子回路セルのそれぞれを前記第 1 のモードと前記第 2 のモードとの間で PWM 制御する、前記第 3 の算出部および前記キャリア発生部に後置された比較器群と

を具備する電力補償装置。

#### 【請求項 7】

一对の端子と少なくともひとつのコンデンサとを有し、該少なくともひとつのコンデンサのいずれかひとつ以上に対する充放電が前記一对の端子を介して実行される第 1 のモードと、前記少なくともひとつのコンデンサのいずれに対する充放電もなされずに前記一对の端子の間がゼロ電圧となるように前記一对の端子間のいずれの方向にも電流が流れ得る第 2 のモードとを切り替え可能な 2 端子回路セルをカスケードに複数接続して構成された第 1 の回路セル群と、該第 1 の回路セル群と直列に接続された、該第 1 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 1 のリアクトルと、を有する第 1 の回路クラスターと；前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 の回路セル群とは別に設けられた第 2 の回路セル群と、該第 2 の回路セル群と直列に接続された、該第 2 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 2 のリアクトルと、を有し、かつ前記第 1 の回路クラスターと直列に接続された第 2 の回路クラスターと；を備えた第 1 のレグと、

前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1、第 2 の回路セル群とは別に設けられた第 3 の回路セル群と、該第 3 の回路セル群と直列に接続された、該第 3 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 3 のリアクトルと、を有する第 3 の回路クラスターと；前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 ないし第 3 の回路セル群とは別に設けられた第 4 の回路セル群と、該第 4 の回路セル群と直列に接続された、該第 4 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 4 のリアクトルと、を有し、かつ前記第 3 の回路クラスターと直列に接続された第 4 の回路クラスターと；を備え、かつ前記第 1 のレグと並列に接続された第 2 のレグと、を具備する電力変換機器を制御する制御装置であって、

10

20

30

40

50

前記第 1 のレグによるブリッジ端子および前記第 2 のレグによるブリッジ端子のそれぞれにおける電圧である相別交流電圧、または与えられた、前記第 1 および第 2 のレグのそれぞれが出力すべき交流電圧の指令値に基づいて、前記第 1 ないし第 4 の回路セル群に含まれる 2 端子回路セルそれぞれが出力すべき電圧の指令値である 2 端子回路セル出力電圧指令値を前記第 1 ないし第 4 の回路クラスターごとの共通値である第 1 ないし第 4 の 2 端子回路セル出力電圧指令値として算出する第 1 の算出部と、

前記第 1 ないし第 4 の回路セル群に含まれる 2 端子回路セルのコンデンサそれぞれの両端電圧である両端電圧群を検出できるように該コンデンサそれぞれに設けられた検出部と、

前記両端電圧群に基づいて、前記第 1 ないし第 4 の回路クラスターごとの前記両端電圧群の算術平均値を第 1 ないし第 4 の算術平均値として算出する、前記検出部に後置された第 2 の算出部と、

前記第 1 ないし第 4 の回路クラスターごとに、前記第 1 ないし第 4 の 2 端子回路セル出力電圧指令値のうちの対応するものを前記第 1 ないし第 4 の算術平均値のうちの対応するもので除することにより、前記第 1 ないし第 4 の回路クラスターごとの第 1 ないし第 4 の規格化 2 端子回路セル出力電圧指令値を算出する、前記第 1、第 2 の算出部に後置された第 3 の算出部と、

前記第 1 ないし第 4 の回路クラスターそれぞれに含まれる 2 端子回路セルの数に基づいて、360 度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生するキャリア発生部と、

前記第 1 ないし第 4 の規格化 2 端子回路セル出力電圧指令値を第 1 の入力とし前記三角波キャリア群のそれぞれを第 2 の入力として比較を行い、比較結果に基づいて前記第 1 ないし第 4 の回路セル群に含まれる 2 端子回路セルのそれぞれを前記第 1 のモードと前記第 2 のモードとの間で PWM 制御する、前記第 3 の算出部および前記キャリア発生部に後置された比較器群と

を具備する制御装置。

#### 【請求項 8】

一对の端子と少なくともひとつのコンデンサとを有し、該少なくともひとつのコンデンサのいずれかひとつ以上に対する充放電が前記一对の端子を介して実行される第 1 のモードと、前記少なくともひとつのコンデンサのいずれに対する充放電もなされずに前記一对の端子の間がゼロ電圧となるように前記一对の端子間のいずれの方向にも電流が流れ得る第 2 のモードとを切り替え可能な 2 端子回路セルをカスケードに複数接続して構成された第 1 の回路セル群と、該第 1 の回路セル群と直列に接続された、該第 1 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 1 のリアクトルと、を有する第 1 の回路クラスターと；前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 の回路セル群とは別に設けられた第 2 の回路セル群と、該第 2 の回路セル群と直列に接続された、該第 2 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 2 のリアクトルと、を有し、かつ前記第 1 の回路クラスターと直列に接続された第 2 の回路クラスターと；を備えた第 1 のレグと、

前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1、第 2 の回路セル群とは別に設けられた第 3 の回路セル群と、該第 3 の回路セル群と直列に接続された、該第 3 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 3 のリアクトルと、を有する第 3 の回路クラスターと；前記 2 端子回路セルがカスケードに複数接続して構成された、前記第 1 ないし第 3 の回路セル群とは別に設けられた第 4 の回路セル群と、該第 4 の回路セル群と直列に接続された、該第 4 の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第 4 のリアクトルと、を有し、かつ前記第 3 の回路クラスターと直列に接続された第 4 の回路クラスターと；を備え、かつ前記第 1 のレグと並列に接続された第 2 のレグと、を具備する電力変換機器を制御する制御方法であって、

前記第 1 のレグによるブリッジ端子および前記第 2 のレグによるブリッジ端子のそれぞ

10

20

30

40

50

れにおける電圧である相別交流電圧、または与えられた、前記第1および第2のレグのそれぞれが出力すべき交流電圧の指令値に基づいて、前記第1ないし第4の回路セル群に含まれる2端子回路セルそれぞれが出力すべき電圧の指令値である2端子回路セル出力電圧指令値を前記第1ないし第4の回路クラスターごとの共通値である第1ないし第4の2端子回路セル出力電圧指令値として算出し、

前記第1ないし第4の回路セル群に含まれる2端子回路セルのコンデンサそれぞれの両端電圧である両端電圧群を検出し、

前記両端電圧群に基づいて、前記第1ないし第4の回路クラスターごとの前記両端電圧群の算術平均値を第1ないし第4の算術平均値として算出し、

前記第1ないし第4の回路クラスターごとに、前記第1ないし第4の2端子回路セル出力電圧指令値のうちの対応するものを前記第1ないし第4の算術平均値のうちの対応するもので除することにより、前記第1ないし第4の回路クラスターごとの第1ないし第4の規格化2端子回路セル出力電圧指令値を算出し、

前記第1ないし第4の回路クラスターそれぞれに含まれる2端子回路セルの数に基づいて、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生し、

前記第1ないし第4の規格化2端子回路セル出力電圧指令値を第1の入力とし前記三角波キャリア群のそれぞれを第2の入力として比較を行い、比較結果に基づいて前記第1ないし第4の回路セル群に含まれる2端子回路セルのそれぞれを前記第1のモードと前記第2のモードとの間でPWM制御する

制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、電力変換に用いられる電力変換装置および電力補償に用いられる電力補償装置、ならびに制御装置および方法に関する。

【背景技術】

【0002】

交直間で電力変換する電力変換装置として、モジュラー・マルチレベル変換器(MMC; Modular Multilevel Converter)が実用化されている。MMCは、概略として、直流側(第1端部側)と3相交流側(第2端部側)とを電力変換する3相フルブリッジの回路形式を有し、ブリッジを構成する各アームが多数のモジュールのカスケード接続で構成されている。

【0003】

各モジュールは2端子回路セルであり、典型として、充放電素子としてコンデンサを有する双方向チョップセル(双方向ハーフブリッジセル)になっていて、コンデンサの充放電電流を入出力電流としその両端電圧を出力電圧とする状態(チョップセルとしてオン状態)と、入出力電流の正負大きさにかかわらずゼロ電圧を出力電圧とする状態(チョップセルとしてオフ状態)とが切り替えられる。この切り替えによって各チョップセルはPWM(pulse width modulation)制御が可能である。

【0004】

また、MMCは、その回路構成を流用して電力補償装置(無効電力補償装置)としての応用も可能であることからその実用化も進められている。この場合のMMCは、スター接続またはデルタ接続の回路クラスターで構成され、3つのクラスターがそれぞれ多数のモジュール(2端子回路セル;フルブリッジセル)のカスケード接続になる。

【0005】

各2端子回路セルにおいてPWMを行うためのスイッチング信号は、原理的に、その2端子回路セルが出力すべき電圧の指令値を、実際に測定、検出された、その2端子回路セルのコンデンサ電圧で規格化し、規格化後の信号を三角波キャリアと比較して発生させることができる。これはPWMの原理に忠実なスイッチング信号の発生方法であるが、現実には、実際に測定、検出されるコンデンサ電圧が、その2端子回路セルがPWM制御さ

10

20

30

40

50

れるがゆえに三角波キャリアの周波数成分を含んだ電圧になっていることに注意が必要である。

【 0 0 0 6 】

PWMに必要なスイッチング信号は、本来、その2端子回路セルの実際のコンデンサ電圧が三角波キャリアの周波数成分を含んでいないと仮定できる場合に、三角波キャリアとの比較によって正確な位相とデューティ比で発生させることができる。実際のコンデンサ電圧が三角波キャリアの周波数成分を含んでいると、その成分は三角波キャリアとの比較動作においては外乱になっていることになる。

【 先行技術文献 】

【 非特許文献 】

10

【 0 0 0 7 】

【 非特許文献 1 】 萩原誠、赤木泰文、「モジュラー・マルチレベル変換器 (MMC) の PWM 制御法と動作検証」、電学論 D、2008年、128巻、7号、pp. 957 - 965

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

本発明が解決しようとする課題は、より正確なPWM制御信号を発生しその結果各2端子回路セルのコンデンサ電圧を精度よく制御することが可能な電力変換装置および電力補償装置ならびに制御装置および方法を提供することである。

20

【 課題を解決するための手段 】

【 0 0 0 9 】

実施形態の電力変換装置は、第1、第2のレグと、第1の算出部と、検出部と、第2の算出部と、第3の算出部と、キャリア発生部と、比較器群とを持つ。

【 0 0 1 0 】

第1のレグは、一对の端子と少なくともひとつのコンデンサとを有し、該少なくともひとつのコンデンサのいずれかひとつ以上に対する充放電が前記一对の端子を介して実行される第1のモードと、前記少なくともひとつのコンデンサのいずれに対する充放電もなされずに前記一对の端子の間がゼロ電圧となるように前記一对の端子間のいずれの方向にも電流が流れ得る第2のモードとを切り替え可能な2端子回路セルをカスケードに複数接続して構成された第1の回路セル群と、該第1の回路セル群と直列に接続された、該第1の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第1のリアクトルと、を有する第1の回路クラスターと；前記2端子回路セルがカスケードに複数接続して構成された、前記第1の回路セル群とは別に設けられた第2の回路セル群と、該第2の回路セル群と直列に接続された、該第2の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第2のリアクトルと、を有し、かつ前記第1の回路クラスターと直列に接続された第2の回路クラスターと；を備えている。

30

【 0 0 1 1 】

第2のレグは、前記2端子回路セルがカスケードに複数接続して構成された、前記第1、第2の回路セル群とは別に設けられた第3の回路セル群と、該第3の回路セル群と直列に接続された、該第3の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第3のリアクトルと、を有する第3の回路クラスターと；前記2端子回路セルがカスケードに複数接続して構成された、前記第1ないし第3の回路セル群とは別に設けられた第4の回路セル群と、該第4の回路セル群と直列に接続された、該第4の回路セル群を貫通して流れる電流の時間微分に比例する電圧を発生する第4のリアクトルと、を有し、かつ前記第3の回路クラスターと直列に接続された第4の回路クラスターと；を備え、かつ前記第1のレグと並列に接続されている。

40

【 0 0 1 2 】

第1の算出部は、前記第1のレグによるブリッジ端子および前記第2のレグによるブリッジ端子のそれぞれにおける電圧である相別交流電圧、または与えられた、前記第1およ

50

び第2のレグのそれぞれが出力すべき交流電圧の指令値に基づいて、前記第1ないし第4の回路セル群に含まれる2端子回路セルそれぞれが出力すべき電圧の指令値である2端子回路セル出力電圧指令値を前記第1ないし第4の回路クラスターごとの共通値である第1ないし第4の2端子回路セル出力電圧指令値として算出する。

【0013】

検出部は、前記第1ないし第4の回路セル群に含まれる2端子回路セルのコンデンサそれぞれの両端電圧である両端電圧群を検出できるように該コンデンサそれぞれに設けられている。

【0014】

第2の算出部は、前記検出部に後置され、前記両端電圧群に基づいて、前記第1ないし第4の回路クラスターごとの前記両端電圧群の算術平均値を第1ないし第4の算術平均値として算出する。

10

【0015】

第3の算出部は、前記第1、第2の算出部に後置され、前記第1ないし第4の回路クラスターごとに、前記第1ないし第4の2端子回路セル出力電圧指令値のうちの対応するものを前記第1ないし第4の算術平均値のうちの対応するもので除することにより、前記第1ないし第4の回路クラスターごとの第1ないし第4の規格化2端子回路セル出力電圧指令値を算出する。

【0016】

キャリア発生部は、前記第1ないし第4の回路クラスターそれぞれに含まれる2端子回路セルの数に基づいて、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生する。

20

【0017】

比較器群は、前記第3の算出部および前記キャリア発生部に後置され、前記第1ないし第4の規格化2端子回路セル出力電圧指令値を第1の入力とし前記三角波キャリア群のそれぞれを第2の入力として比較を行い、比較結果に基づいて前記第1ないし第4の回路セル群に含まれる2端子回路セルのそれぞれを前記第1のモードと前記第2のモードとの間でPWM制御する。

【0018】

また、実施形態の制御装置は、上記のような第1、第2のレグを具備する電力変換機器を制御する制御装置であって、上記のような、第1の算出部と、検出部と、第2の算出部と、第3の算出部と、キャリア発生部と、比較器群とを持つ。

30

【0019】

また、実施形態の制御方法は、上記のような第1、第2のレグを具備する電力変換機器を制御する制御方法であって、(1)前記第1のレグによるブリッジ端子および前記第2のレグによるブリッジ端子のそれぞれにおける電圧である相別交流電圧、または与えられた、前記第1および第2のレグのそれぞれが出力すべき交流電圧の指令値に基づいて、前記第1ないし第4の回路セル群に含まれる2端子回路セルそれぞれが出力すべき電圧の指令値である2端子回路セル出力電圧指令値を前記第1ないし第4の回路クラスターごとの共通値である第1ないし第4の2端子回路セル出力電圧指令値として算出し、(2)前記第1ないし第4の回路セル群に含まれる2端子回路セルのコンデンサそれぞれの両端電圧である両端電圧群を検出し、(3)前記両端電圧群に基づいて、前記第1ないし第4の回路クラスターごとの前記両端電圧群の算術平均値を第1ないし第4の算術平均値として算出し、(4)前記第1ないし第4の回路クラスターごとに、前記第1ないし第4の2端子回路セル出力電圧指令値のうちの対応するものを前記第1ないし第4の算術平均値のうちの対応するもので除することにより、前記第1ないし第4の回路クラスターごとの第1ないし第4の規格化2端子回路セル出力電圧指令値を算出し、(5)前記第1ないし第4の回路クラスターそれぞれに含まれる2端子回路セルの数に基づいて、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生し、(6)前記第1ないし第4の規格化2端子回路セル出力電圧指令値を第1の入力とし前記三角波キャリア群のそれ

40

50

それを第 2 の入力として比較を行い、比較結果に基づいて前記第 1 ないし第 4 の回路セル群に含まれる 2 端子回路セルのそれぞれを前記第 1 のモードと前記第 2 のモードとの間で P W M 制御する。

【図面の簡単な説明】

【 0 0 2 0 】

【図 1】実施形態 1 の電力変換装置である、3 相 6 アームの M M C の概略を示す構成図。

【図 2】図 1 に示した電力変換装置をさらに簡略化して示す構成図。

【図 3】図 1 中に示したチョッパセル 1 1 a 等の動作を示す説明図。

【図 4】図 1 中に示したチョッパセル 1 1 a 等それぞれの制御モードに関する説明図。

【図 5】図 1 中に示したチョッパセルそれぞれにおける P W M のためのスイッチング信号に関する説明図。 10

【図 6】図 1 中に示した制御装置 7 0 に関しその内部構成を簡略的に示す機能ブロック図。

【図 7】図 6 中に示した検出部 8 1 に関しやや詳細にその機能を示すブロック図。

【図 8】図 6 中に示した算出部 8 2 に関しやや詳細にその機能を示すブロック図。

【図 9】図 6 中に示したキャリア発生部 8 4 に関しやや詳細にその機能を示すブロック図。

【図 1 0】図 6 中に示したキャリア発生部 8 4 に関しやや詳細にその機能を示すブロック図（別の例）。

【図 1 1】図 6 中に示したキャリア発生部 8 4 に関しやや詳細にその機能を示すブロック図（さらに別の例）。 20

【図 1 2】実施形態 2 の電力変換装置である、単相 4 アームの M M C を示す簡略化構成図。

【図 1 3】図 1 に示した電力変換装置におけるチョッパセル 1 1 a に代えて採用可能な 2 端子回路セルの例（フルブリッジセル）を示す、その構成および動作モードの説明図。

【図 1 4】図 1 に示した電力変換装置におけるチョッパセル 1 1 a に代えて採用可能な 2 端子回路セルの別の例（3 レベルチョッパセル）を示す、その構成および動作モードの説明図。

【図 1 5】図 1 に示した電力変換装置におけるチョッパセル 1 1 a に代えて採用可能な 2 端子回路セルのさらに別の例（クランプダブルチョッパセル）を示す、その構成および動作モードの説明図。 30

【図 1 6】図 1 に示した電力変換装置におけるチョッパセル 1 1 a に代えて採用可能な 2 端子回路セルのさらに別の例（クロス接続フルブリッジセル）を示す、その構成および動作モードの説明図。

【図 1 7】実施形態 3 の電力補償装置である、3 相 3 クラスターの電力補償装置（スター接続）を示す簡略化構成図。

【図 1 8】図 1 7 中に示した制御部 7 0 B に関しその内部構成を示す機能ブロック図。

【図 1 9】実施形態 4 の電力補償装置である、3 相 3 クラスターの電力補償装置（デルタ接続）を示す簡略化構成図。

【図 2 0】図 1 9 中に示した制御部 7 0 C に関しその内部構成を示す機能ブロック図。 40

【発明を実施するための形態】

【 0 0 2 1 】

（実施形態 1）

以上を踏まえ、以下では実施形態の電力変換装置を図面を参照しながら説明する。図 1 は、実施形態 1 の電力変換装置である、3 相 6 アームの M M C の概略構成を示している。同図に示すように、この電力変換装置は、レグ 1 0 0、レグ 2 0 0、レグ 3 0 0 と、制御装置 7 0 とを備える。

【 0 0 2 2 】

レグ 1 0 0 は u 相、レグ 2 0 0 は v 相、レグ 3 0 0 は w 相に関するレグである。u 相、v 相、w 相は、1 2 0 度ずつ位相が異なる 3 相交流の各位相を意味する。レグ 1 0 0、レ 50

グ 200、レグ 300 は並列に接続され、それらの共通した 2 つの端部がこの電力変換装置の直流側端部である（3 相交流側端部が 3 端子であることから直流側端部を以下では 2 端子側端部、または第 1 端部ともいう）。

#### 【0023】

レグ 100 は、直列に接続されたアーム 10 とアーム 20 とを有する。アーム 10 は、直列に接続された、回路セル群 11 と、リアクトル 12 と、電流検出部 13 とを有し、アーム 20 は、直列に接続された、回路セル群 21 と、リアクトル 22 と、電流検出部 23 とを有する。レグ 200 およびレグ 300 についても、参照符号が異なるものの、レグ 100 と構成は同様である。各アーム 10 ~ 60 は、以下で、より一般的にそれぞれ回路クラスタともいう。また、以下ではアーム 10、30、50 を P 側（または上側）のアーム、アーム 20、40、60 を N 側（または下側）のアームと呼ぶ場合がある。

10

#### 【0024】

MMC は、このように、直流側と 3 相交流側とを変換する 3 相フルブリッジの回路形式を有し、ブリッジを構成する各アーム 10、20、30、40、50、60 が多数のモジュール（2 端子回路のセルであるチョップセル 11a 等）のカスケード接続を有している。以下、代表してレグ 100 について詳細に説明し、レグ 200、300 については説明を省略する。

#### 【0025】

回路セル群 11、21 は、それぞれ、2 端子回路セルであるチョップセル 11a がカスケードに複数接続されたセル群である。各チョップセル 11a は、コンデンサの充放電電流を入出力電流としこのコンデンサの両端電圧を出力電圧とする状態（以下、チョップセルとしてオン状態と表現する）と、入出力電流の正負大きさにかわらずゼロ電圧を出力電圧とする状態（以下、チョップセルとしてオフ状態と表現する）とを切り替え可能なセルである（より詳細には図 3 を参照して後述）。

20

#### 【0026】

リアクトル 12、22 は、それぞれ、回路セル群 11、21 を貫通して流れる電流の時間微分に比例する電圧を発生する素子であり、機能として、それぞれ、アーム 10、20 を流れる電流の変化を緩和する（パファリングする）ようにはたらく素子である。電流検出部 13、23 は、それぞれ、アーム 10、20 に流れている電流を検出する素子である。

30

#### 【0027】

制御部 70 は、レグ 100、200、300 を制御する機能を有する。このため、制御部 70 には、図示するように、各チョップセル 11a 等のコンデンサの両端電圧（ $V_c$ ）のそれぞれ、電流検出部 13 等を介して各アーム 10、20 等の電流それぞれ、さらに必要に応じて、直流側端部の電圧（直流側電圧  $E$ ）、3 相交流側端部の相電圧（相別交流電圧  $V_u$ 、 $V_v$ 、 $V_w$ ）がそれぞれ入力されるようになっている。そして、制御部 70 からレグ 100、200、300 部分へは、各チョップセル 11a 等に対して、そのオンオフを指令する PWM 制御信号（= スイッチング信号）が出力される。この PWM 制御信号は、レグ 100、200、300 の各ブリッジ端子の出力電圧を、上記の相別交流電圧または与えられたその指令値に追従させるよう出力される。

40

#### 【0028】

典型的に PWM 制御は 2 つのレベルの出力波形になるところ、MMC では、各アーム 10、20 に設けるチョップセル 11a 等の数を  $N$  個（上下のアーム 10、20 で構成されるレグ 100 として  $2N$  個）として、3 相交流側の相電圧は  $2N + 1$  レベルの PWM 波形に、線間電圧は  $4N + 1$  レベルの PWM 波形にすることができ、これにより交流側電圧の高調波成分を容易に大きく低減できる。一方で、直流側電圧が大電圧である場合（例えば 300 kV 直流送電などの場合）は、各チョップセル 11a 等に使われている半導体素子（後述する）およびコンデンサの各耐圧の観点から  $N$  はそれ相応に大きな値にする必要があり、具体的には例えば  $N = 100$  個程度以上が採用される。

#### 【0029】

50

図2は、以上のまとめとして図1に示した電力変換装置をさらに簡略化して示している。この図は、特に、各アーム10～60と制御部70との間でやり取りされる信号を再確認する意味がある。なお、図示する制御部70は、機能として切り分けて示したものであり、物理的には、制御部70の一部はアーム10等（チョッパセル11a等）の側実装されている。

#### 【0030】

図3は、図1中に示したチョッパセル11a等の動作を回路上で示している。図3(a)に示すように、チョッパセル11a等は、コンデンサCのほか、半導体素子であるスイッチング素子Q1、ダイオードD1、スイッチング素子Q2、ダイオードD2を有する。スイッチング素子Q1とダイオードD1とは逆並列接続（順方向が互いに逆になる接続）がなされ、スイッチング素子Q2とダイオードD2についても同様である。

10

#### 【0031】

スイッチング素子Q1、Q2は例えばIGBT（insulated gate bipolar transistor）である。ダイオードD1、D2は、いずれも、コンデンサCがその図示上側電極が正に充電された状態のときコンデンサCの放電を阻止するような方向に、直列にコンデンサCの両端に接続されている。コンデンサCは上側電極が正に充電された状態で使用される。

#### 【0032】

2端子回路セルであるチョッパセル11a等としての2つの端子は、図示するように、ひとつは、コンデンサCの図示下側電極に通じるノードであり、もうひとつは、ダイオードD1とD2（あるいはスイッチング素子Q1とQ2）との接続ノードである。すでに説明しているように、チョッパセル11a等においては、そのコンデンサCの両端電圧Vcが検出対象として制御部70に入力がなされ、そしてスイッチング素子Q1、Q2をPWM制御するスイッチング信号が制御部70から供給される。

20

#### 【0033】

図3(b)は、チョッパセル11a等がオン状態のときの等価回路を示している。この場合、スイッチング素子Q1がオンにされている一方、スイッチング素子Q2がオフ（電流遮断）にされている。よって、Q1、D1の側では両方向に電流が流れ得るのでこの逆並列接続素子は単なる導線と等価であり、スイッチング素子Q2はオフなので取り去って考えることができるため、結局図示の等価回路になる。この場合、チョッパセル11a等として、コンデンサCの充放電電流（＝電流が双方向に流れ得る）が入出力電流になり、コンデンサCの両端電圧Vcがその出力電圧になる。

30

#### 【0034】

図3(c)は、チョッパセル11a等がオフ状態のときの等価回路を示している。この場合、図3(b)の場合とは逆に、スイッチング素子Q1がオフ（電流遮断）にされている一方、スイッチング素子Q2がオンにされている。よって、Q2、D2の側では両方向に電流が流れ得るのでこの逆並列接続素子は単なる導線と等価であり、スイッチング素子Q1はオフなので取り去って考えることができるため、結局図示の等価回路になる。この場合、チョッパセル11a等として、入出力電流の正負大きさにかかわらずゼロ電圧が出力電圧になる。

40

#### 【0035】

図4は、図1中に示したチョッパセル11a等それぞれの制御に関する説明である。チョッパセル11a等は、チョッパセルとしてオンとオフとの間でPWM制御される。つまり、図3(b)に示された状態と図3(c)に示された状態とが往復するように制御される。

#### 【0036】

ここで、PWMのためのスイッチング信号は、一般には、そのチョッパセルが出力すべき電圧を、そのチョッパセルで検出されたコンデンサ電圧で規格化し（除算し）、その答え（商）を三角波キャリアと比較すれば得られる。この実施形態では、これを改変し、規格化に用いる検出されたコンデンサ電圧を、アームに属する各チョッパセルのコンデンサ電圧のアームごとの平均値とする。

50

## 【 0 0 3 7 】

図 5 は、図 1 中に示したチョッパセル 1 1 a 等それぞれにおける P W M のためのスイッチング信号を説明している。このスイッチング信号は、図示するように、三角波キャリアと、規格化された被比較信号との比較により発生され得る。かかる被比較信号は、図中に示されるように、キャリアの周期と比較して時間的に一定とみることができ程度に安定した信号であることが理想である。

## 【 0 0 3 8 】

しかしながら実際には、被比較信号は、チョッパセル 1 1 a 等に対する P W M 制御の結果としてコンデンサに流れ込みまたは放出される電荷に対応して変動し、この変動は三角波キャリアの周波数成分を含むことになる。そこでこの実施形態では、被比較信号のこの変動分を減少させることを意図する。三角波キャリアの周波数成分である変動分を減少させれば、P W M 動作の正確性が増し、その結果各チョッパセル 1 1 a 等のコンデンサ電圧を精度よく制御することができるようになる。

10

## 【 0 0 3 9 】

図 6 は、図 1 中に示した制御部 7 0 に関しその内部構成を簡略的に機能ブロックで示している。図 6 に示すように、制御部 7 0 は、算出部 7 1、有効・無効交流電流制御部 7 2、加算減算器 7 3、直流電流（2 端子側端部電流）制御部 7 4、コンデンサ電圧の相間、上下のアーム間のバランス制御部 7 5、係数器 7 6、加算器 7 7、アーム内コンデンサ電圧バランス制御部 7 8、算出部 7 9、検出部 8 1、算出部 8 2、比較器群 8 3、キャリア発生部 8 4 を有する。図 6 において、各ブロックの入出力の線上に示した数字は、それぞれ並列している信号の数である。以下、図 6 を参照して制御部 7 0 の機能および動作を説明するが、適宜、個別の機能ブロック図である図 7 ないし図 1 1 をも参照する。

20

## 【 0 0 4 0 】

算出部 7 1 には、レグ 1 0 0、2 0 0、3 0 0 のブリッジ端子それぞれにおける電圧（印加電圧）である相別交流電圧、または与えられた、レグ 1 0 0、2 0 0、3 0 0 それぞれが出力すべき交流電圧の指令値が入力される。これらの交流電圧または指令値は、一旦、算出部 7 1 内で d 成分と q 成分とで構成される 2 次元量に変換される（d q 変換）。また、算出部 7 1 には、有効・無効交流電流制御部 7 2 からの制御信号が入力される。この制御信号は、有効交流電流の制御信号として d 成分、無効交流電流の制御信号として q 成分を有している。なお、制御信号とは、目標値と実際の値との偏差を P I 要素などの制御要素に入力して得られるその出力信号である。

30

## 【 0 0 4 1 】

算出部 7 1 では、d q 空間において成分ごとの加算を行う。そして、加算された後の d 成分、q 成分を用いて逆 d q 変換を行い、これにより 3 相交流のそれぞれの相に相当する 3 つの制御量を生成する。生成された 3 つの制御量は、加算減算器 7 3 に入力される。加算減算器 7 3 には、算出部 7 1 からのこの 3 つの制御量のほか、コンデンサ電圧の相間、上下のアーム間のバランス制御部 7 5 から 2 つの制御信号、さらに直流電流制御部 7 4 からひとつの制御信号が入力される。

## 【 0 0 4 2 】

バランス制御部 7 5 は、コンデンサ電圧の相間、上下のアーム間のバランス制御のため、3 相各相に相当して 3 つの制御信号を生成し、さらに、これを、3 つのレグ内を循環する 2 つの独立した電流（循環電流）に相当する 2 つの制御量に変換する。そして、この 2 つの制御量に実際の 2 つの循環電流をそれぞれ追従させるべく 2 つの制御信号を生成する。この 2 つの制御信号が加算減算器 7 3 に入力される。直流電流制御部 7 4 は、2 端子側端部電流（直流電流）をその指令値に追従させるべくひとつの制御信号を生成する。この制御信号が加算減算器 7 3 に入力される。

40

## 【 0 0 4 3 】

加算減算器 7 3 は、算出部 7 1 からの 3 つの制御量のそれぞれに、バランス制御部 7 5 からの 2 つの制御信号を両方加えて、新たな 3 つの制御量を作る。そして、この新たな 3 つの制御量を正負それぞれに変換して、合計 6 つの制御量を作る。さらに、この 6 つの制

50

御量のそれぞれに直流電流制御部 74 からの制御信号をそれぞれ加えて、新たな 6 つの制御量を作る。この新たな 6 つの制御量が係数器 76 に入力される。係数器 76 に入力されるこの 6 つの制御量は、アーム 10、20、30、40、50、60 それぞれが出力すべき電圧の指令値になっている。

【0044】

係数器 76 は、係数として  $1/N$  ( $N$  はアームごとの 2 端子回路セルの数) を有しており、入力された制御量のそれぞれに  $1/N$  を掛けて出力する。係数器 76 の出力である 6 つの制御量は次に加算器 77 に入力される。加算器 77 には、係数器 76 からの制御量のほか、アーム内コンデンサ電圧バランス制御 78 から  $6N$  個 (つまり全部のコンデンサの数に相当する数) の制御信号が入力される。係数器 76 から加算器 77 に入力される 6 つの制御量は、回路セル群 11、21、31、41、51、61 に含まれる 2 端子回路セルそれぞれが出力すべき電圧の指令値になっている。この 6 つの制御量は、アーム 10、20、30、40、50、60 ごときの共通値である。

10

【0045】

アーム内コンデンサ電圧バランス制御部 78 は、各アームにおいてその属する 2 端子回路セルのコンデンサ間の電圧のバランスをとるために、コンデンサの総数に相当して合計  $6N$  個の制御信号を生成する。加算器 77 では、係数器 76 からの 6 つの制御量のそれぞれに、バランス制御部 78 からの制御信号を加えて、合計  $6N$  個の制御量を生成する。この加算演算では、6 つの制御量が各アームに対応しているため、バランス制御部 78 からの、そのアームに対応する各制御信号を加える。加算器 77 により生成された合計  $6N$  の制御量は、算出部 79 に入力される。

20

【0046】

検出部 81 は、回路セル群 11、21、31、41、51、61 に含まれるチョッパセル 11a 等のコンデンサそれぞれの両端電圧である両端電圧群 (総計  $6 \times N$ ) を検出できるようにコンデンサそれぞれに設けられている。検出されたコンデンサ両端電圧 (両端電圧群) は、算出部 82 に伝えられる。検出部 81 を少し具体的に示したのが図 7 である。

【0047】

算出部 82 は、検出部 81 に後置されており、検出部 81 にかから伝えられた両端電圧群に基づいて、アームごとの両端電圧群の算術平均値を算出する。算出された算術平均値は、算出部 79 に伝えられる。算出部 82 を少し具体的に示したのが図 8 である。

30

【0048】

算出部 79 は、加算器 77 および算出部 82 に後置されており、各アームに対応付けられて加算器 77 から入力された制御量を、算出部 82 から伝えられた算術平均値のうちその対応するアームに関するもので除することにより、規格化 2 端子回路セル出力電圧指令値を算出する。算出部 79 で算出された規格化 2 端子回路セル出力電圧指令値は、比較器群 83 に供給される。

【0049】

キャリア発生部 84 は、アームそれぞれに含まれるチョッパセルの数  $N$  に基づいて、 $360$  度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生する。より一般的には、図 9 に示すように、位相の異なる総数  $6 \times N$  の三角波キャリアを発生する。発生された三角波キャリアは、比較器群 83 に供給される。

40

【0050】

キャリア発生部 84 は、図 9 に示すように、各アーム 10 ~ 60 用にそれぞれ  $N$  個のキャリアを発生させてよいが、図示するオフセット 1 ~ 5 をアーム 10 用のそれと揃えてすべて  $0^\circ$  として発生しても、 $N$  が相応に大きな数の場合には制御部 70 全体としての機能はほとんど変わらなくなる。オフセット 1 ~ 5 をアーム 10 用のそれと揃えてすべて  $0^\circ$  とすれば、キャリア発生部 84 のキャリア出力数は  $N$  個にまとめられる。

【0051】

また、図 10 に示すキャリア発生部 84 A のように、オフセット 2、4 をアーム 10 用のそれと揃えて  $0^\circ$  とし、オフセット 1、3、5 を  $0^\circ$  でないあるオフセット値に揃えて

50

発生するようにしてもよい。この場合も、Nが相応に大きな数の場合には制御部70全体としての機能はほとんど変わらなくなる。この場合には、キャリア発生部84のキャリア出力数は2N個にまとめられる。この例は、上下のアームでキャリアの位相を相補的に設定することができる。

【0052】

図11に示す例では、キャリア発生部84Bは、アーム10用に、0度位相の三角波キャリアを含んで、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生し、アーム20用に、 $0.5 \times 360 \text{度} / N$ の位相の三角波キャリアを含んで、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生する。

【0053】

さらに、キャリア発生部84Bは、アーム30用に、120度位相の三角波キャリアを含んで、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生し、アーム40用に、 $120 + 0.5 \times 360 \text{度} / N$ の位相の三角波キャリアを含んで、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生する。

【0054】

さらに、キャリア発生部84Bは、アーム50用に、240度位相の三角波キャリアを含んで、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生し、アーム60用に、 $240 + 0.5 \times 360 \text{度} / N$ の位相の三角波キャリアを含んで、360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生する。

【0055】

図11に示したキャリア発生部84Bは、各チョップセルのPWM制御の位相を、原理に忠実に少しずつ異ならせるように構成するための一例である。このキャリア発生部84Bは、位相の異なる総数 $6 \times N$ の三角波キャリアをNの多寡によらず発生することに対応しているが、上記で述べたように、Nが相応に大きな数である場合にはあまり意味をなさない。

【0056】

比較器群76は、算出部79およびキャリア発生部84に後置されており、算出部79から供給された規格化2端子回路セル出力電圧指令値を第1の入力とし、キャリア発生部84から供給された三角波キャリア群のそれぞれを第2の入力として比較を行い、比較結果に基づいて各回路セル群に含まれるチョップセルのそれぞれをオン状態とオフ状態との間でPWM制御する。すなわち、比較器群83は、チョップセルごとのPWM制御信号（スイッチング信号）を出力してPWM制御を行う。

【0057】

以上説明した実施形態1の電力変換装置では、MMCの構成を有する電力変換器において、各チョップセルに与えるPWM制御信号は、一般には、そのチョップセルが出力すべき電圧を、そのチョップセルで検出されたコンデンサ電圧で規格化し（除算し）、その答え（商）を三角波キャリアと比較して得られるところ、これを次のように変更している。すなわち、そのチョップセルで検出されたコンデンサ電圧に代わり、そのチョップセルが属するアームの各チョップセルで検出されたコンデンサ電圧の算術平均値を用いる。

【0058】

このようにすることで、各チョップセルのコンデンサ電圧がPWM制御の影響でキャリア周波数成分を多く含む場合であっても、アーム内のコンデンサの電圧を平均化した信号においては、平均化でキャリア周波数成分が相殺されていることが期待できる。これは、各チョップセルのPWM制御の位相がまったく同じではなく、互いに少しずつ異なることによる。

【0059】

よって、これによれば、各チョップセルに対して外乱要因の少ないスイッチング信号が与えられ、より正確なPWM制御が達成できる。より正確なPWM制御が達成されると、アームの各チョップセルで検出されたコンデンサ電圧の算術平均値でのキャリア周波数成分はさらに小さくなり一層好ましい状態に落ち着く。したがって、より正確なPWMスイ

10

20

30

40

50

ツチング信号を発生しその結果各チョッパセルのコンデンサ電圧を精度よく制御することが可能な電力変換装置ならびにその制御装置および方法を提供することができる。

【0060】

(実施形態2)

次に、図12は、実施形態2の電力変換装置である、単相4アームのMMCを簡略化して示している。この図12は、3相6アームのMMCの概略を示した図2と対比して捉えると理解しやすい。実施形態1は3相6アームのMMCに関するものであったが、その説明した内容は単相4アームのMMCの場合にも通用する。違いとして、ハードウェアとしての構成が単相4アームのMMCのほうが単純化する。

【0061】

この電力変換装置は、レグ100A、レグ200Aと、制御部70Aとを備える。レグ100Aは正相(0°)、レグ200Aは逆相(180°)に関するレグである。レグ100A、レグ200Aは並列に接続され、それらの共通した2つの端部がこの電力変換装置の直流側端部である(交流側端部である第2端部と区別して第1端部ともいう)。

【0062】

レグ100Aは、直列に接続されたアーム10Aとアーム20Aとを有する。レグ200Aは、直列に接続されたアーム30Aとアーム40Aとを有する。各アームの内部構成については、すでに説明したアーム10等についての説明と同じである。アーム10A、30AがP側(または上側)のアーム、アーム20A、40AをN側(または下側)のアームである。

【0063】

図12に示すような単相4アームのMMCにおいても、より正確なPWMスイッチング信号を発生しその結果各チョッパセルのコンデンサ電圧を精度よく制御することが可能である。

【0064】

(2端子回路セルの変形例)

次に、図13から図16は、それぞれ、図1に示した電力変換装置におけるチョッパセル11aに代えて採用可能な2端子回路セルの例を示し、その構成(それぞれ(a))および動作モード(それぞれ(b))を説明している。すでに説明したチョッパセル11aは、コンデンサの充放電電流を入出力電流としてこのコンデンサの両端電圧を出力電圧とする状態と、入出力電流の正負大きさにかわらずゼロ電圧を出力電圧とする状態とを切り替え可能なセルであった(図3参照)。

【0065】

チョッパセル11aに代えて採用可能な2端子回路セルは、より一般的に、一对の端子と少なくともひとつのコンデンサとを有し、そして、この少なくともひとつのコンデンサのいずれかひとつ以上に対する充放電が一对の端子を介して実行される第1のモードと、少なくともひとつのコンデンサのいずれに対する充放電もなされず一对の端子の間がゼロ電圧となるように一对の端子間のいずれの方向にも電流が流れ得る第2のモードとを切り替え可能な回路セルである。第1のモードは、より具体的には複数の下位のモードの集合である。

【0066】

図13に示す2端子回路セル11bから説明する。このセル11bは、図3(a)に示したチョッパセル11a(ハーフブリッジセル)と比較して明らかのようにフルブリッジセルである。図13(b)に示す動作モードでモード3、4が上記の第2のモードに相当する。モード3、4では、コンデンサに対する充放電がなされず一对の端子の間がゼロ電圧となるように一对の端子間のいずれの方向にも電流が流れ得る。

【0067】

この第2のモードを、チョッパセル11aのオフ状態として説明した状態に代えて用いるようにする。第2のモードとしてモード3、4はいずれを利用してよい。なお、このセル11bにおいて、モード1、2はいずれでも、コンデンサに対する充放電が一对の端

10

20

30

40

50

子を介して実行される。

【0068】

チョップセル11aに代えてフルブリッジセル11bをもったMMCは、一般に、2端子側端部（第1端部）において正負の極性を固定せずに両極性で動作させることができるという特徴がある。このため、一般に、2端子側端部の電圧は直流に限られず交流とすることも可能である。すなわち、単相交流と3相交流との周波数変換を伴う電力変換にも利用できる。また、2端子側端部に接続された直流電力系統が地絡等の事故に遭遇した場合に、3端子側端部に接続された交流電力系統に影響を伝えずこれを保護できるという利点も有している。

【0069】

チョップセル11aに代えてフルブリッジセル11bをもったMMCの場合、すでに説明した図6の制御部70の機能ブロックを多少変更する必要がある。この場合、加算器77の出力は、正の値のみならず負の値も出現し得る。一方で算出部82の出力は常に正値である。したがって、算出部79の出力は正の場合のみならず負の場合も出現する。

【0070】

算出部79の出力が負になっている場合、そのままでは比較器群83での比較動作が不可能となる。そこで例えば以下のようにする。この場合は一度、算出部79の出力を正に変換して比較器群83で比較を行う。そしてその結果をブリッジセル11bごとのスイッチング信号とする。このとき、このスイッチング信号は、図13(b)のモード2とモード3（またはモード4）とを切り替えるスイッチング信号とする。すなわち、算出部79の出力が正の場合は、スイッチング信号は、図13(b)のモード1とモード3（またはモード4）とを切り替えるものとする一方、算出部79の出力が負の場合は、図13(b)のモード2とモード3（またはモード4）とを切り替えるスイッチング信号とする。

【0071】

チョップセル11aに代えてフルブリッジセル11bをもったMMCにおいても、より正確なPWMスイッチング信号を発生しその結果各セルのコンデンサ電圧を精度よく制御することが可能である。

【0072】

次に、図13に示す2端子回路セル11c（3レベルチョップセル）について説明する。このセル11cは、図3(a)に示したチョップセル11aを出力電圧の点で展開しゼロ出力を含めて全部で3値出力できるように構成したものである。すなわち、ひとつのセル11cで、カスケードに接続された2つのチョップセル11aとほぼ同様に機能させることができるという特徴がある。 $V_{c1} = V_{c2}$ と設定の場合がそうなる。

【0073】

このセル11cにおいて、モード1では、 $V_{c2}$ を両端電圧とするコンデンサに対する充放電が一对の端子を介して実行される。モード2では、直列の2つのコンデンサに対する充放電が一对の端子を介して実行される。モード3では、2つのコンデンサのいずれに対する充放電もなされず一对の端子の間がゼロ電圧となるように一对の端子間のいずれの方向にも電流が流れ得る。このモード3が第2のモードに相当する。

【0074】

チョップセル11aに代えて3レベルチョップセル11cを採用したMMCの場合に要する、すでに説明した図6の制御部70の機能ブロックにおける変更点は以下になる。すなわち、3レベルチョップセル11cは、ひとつで、カスケードに接続された2つのチョップセル11aとほぼ同様に機能させることができるものであるゆえ、比較器群83の出力であるスイッチング信号を3レベルチョップセル11c用のものにエンコードするエンコーダーを付加する。

【0075】

より具体的には、例えば、2つのチョップセル11aを両者ともオンとするように比較器群83がスイッチング信号を出力している場合には、エンコーダーにおいてスイッチング信号を、セル11cが図14(b)のモード2となるように作り直す。また、2つのチ

10

20

30

40

50

ョップセル 1 1 a のいずれか一方をオンとするように比較器群 8 3 がスイッチング信号を出力している場合には、エンコーダにおいてスイッチング信号を、セル 1 1 c が図 1 4 ( b ) のモード 1 となるように作り直す。そして、2 つのチョップセル 1 1 a のいずれもオフとするように比較器群 8 3 がスイッチング信号を出力している場合には、エンコーダにおいてスイッチング信号を、セル 1 1 c が図 1 4 ( b ) のモード 3 となるように作り直す。

【 0 0 7 6 】

検出部 8 1 については、図 1 4 ( a ) において  $V_{c1} = V_{c2}$  というように設計、設定されている場合 (つまり、ひとつのセル 1 1 c で、カスケードに接続された 2 つのチョップセル 1 1 a と同様に機能させることを意図する場合) には、これらのコンデンサの両端電圧を特に区別することなく検出してよい。

10

【 0 0 7 7 】

チョップセル 1 1 a に代えて 3 レベルチョップセル 1 1 c をもった MMC においても、より正確な PWM スwitching 信号を発生しその結果各セルのコンデンサ電圧を精度よく制御することが可能である。

【 0 0 7 8 】

次に、図 1 5 に示す 2 端子回路セル 1 1 d ( クランプダブルチョップセル ) について説明する。このセル 1 1 d は、上述のセル 1 1 c と同様に少なくともゼロ出力を含めて 3 値出力できるように構成したものである。ただし、例えば  $V_{c2} = 2 \cdot V_{c1}$  となるようにそれらの静電容量値を設定して使用すれば、ゼロ出力を含めて等間隔に 4 値出力することができる。4 値出力の場合、ひとつのセル 1 1 d で、カスケードに接続された 3 つのチョップセル 1 1 a とほぼ同様に機能させることができることになる。

20

【 0 0 7 9 】

このセル 1 1 d において、モード 1 では、 $V_{c1}$  を両端電圧とするコンデンサに対する充放電が一对の端子を介して実行される。モード 2 では、 $V_{c2}$  を両端電圧とするコンデンサに対する充放電が一对の端子を介して実行される。モード 3 では、2 つのコンデンサに対して同時に充放電が一对の端子を介して実行される。モード 4 では、2 つのコンデンサのいずれに対する充放電もなされずに一对の端子の間がゼロ電圧となるように一对の端子間のいずれの方向にも電流が流れ得る。このモード 4 が第 2 のモードに相当する。

【 0 0 8 0 】

30

チョップセル 1 1 a に代えてクランプダブルチョップセル 1 1 d を採用した MMC の場合に要する、すでに説明した図 6 の制御部 7 0 の機能ブロックにおける変更点は以下になる。すなわち、クランプダブルチョップセル 1 1 d は、ひとつで、カスケードに接続された最大 3 つのチョップセル 1 1 a とほぼ同様に機能させることができるものであるゆえ、比較器群 8 3 の出力であるスイッチング信号をクランプダブルチョップセル 1 1 d 用のものにエンコードするエンコーダを付加する。考え方としては、図 1 4 に示した 3 レベルチョップセル 1 1 c の場合での説明と同様である。

【 0 0 8 1 】

より具体的には、例えば、ゼロ出力を含めて等間隔に 4 値出力するセル 1 1 d を採用する場合 ( $V_{c2} = 2 \cdot V_{c1}$  と設定した場合) であれば以下になる。すなわち、3 つのチョップセル 1 1 a をすべてオンとするように比較器群 8 3 がスイッチング信号を出力している場合には、エンコーダにおいてスイッチング信号を、セル 1 1 d が図 1 5 ( b ) のモード 3 となるように作り直す。また、3 つのチョップセル 1 1 a のいずれか 2 つをオンとするように比較器群 8 3 がスイッチング信号を出力している場合には、エンコーダにおいてスイッチング信号を、セル 1 1 d が図 1 5 ( b ) のモード 2 となるように作り直す。

40

【 0 0 8 2 】

同様に、3 つのチョップセル 1 1 a のいずれか 1 つをオンとするように比較器群 8 3 がスイッチング信号を出力している場合には、エンコーダにおいてスイッチング信号を、セル 1 1 d が図 1 5 ( b ) のモード 1 となるように作り直す。そして、3 つのチョップセル

50

ル 1 1 a のいずれもオフとするように比較器群 8 3 がスイッチング信号を出力している場合には、エンコーダーにおいてスイッチング信号を、セル 1 1 d が図 1 5 ( b ) のモード 4 となるように作り直す。

【 0 0 8 3 】

検出部 8 1 については、図 1 5 ( a ) において  $V_{c2} = 2 \cdot V_{c1}$  というように設計、設定されている場合 (つまり、ひとつのセル 1 1 d で、カスケードに接続された 3 つのチョップセル 1 1 a と同様に機能させることを意図する場合) であれば、 $V_{c2}$  についてはこれを 2 で割った数値に変換して、これをコンデンサ電圧の両端電圧のひとつとして扱うことができる。

【 0 0 8 4 】

チョップセル 1 1 a に代えてクランプダブルチョップセル 1 1 d をもった MMC においても、より正確な PWM スwitching 信号を発生しその結果各セルのコンデンサ電圧を精度よく制御することが可能である。

【 0 0 8 5 】

次に、図 1 6 に示す 2 端子回路セル 1 1 e (クロス接続フルブリッジセル) について説明する。このセル 1 1 e は、上述のセル 1 1 b とセル 1 1 d とを加え合わせたような機能および特徴を有するように構成したものと言える。すなわち、一方の極性にゼロ出力を含めず最大 3 値出力でき、他方の極性にもゼロ出力を含めず最大 3 値出力でき、これらとゼロ出力を合せて全部で 7 値の出力ができる。

【 0 0 8 6 】

このセル 1 1 e において、モード 1、4 では、 $V_{c1}$  を両端電圧とするコンデンサに対する充放電が一对の端子を介して実行される。モード 2、5 では、 $V_{c2}$  を両端電圧とするコンデンサに対する充放電が一对の端子を介して実行される。モード 3、6 では、2 つのコンデンサに対して同時に充放電が一对の端子を介して実行される。モード 7、8 では、2 つのコンデンサのいずれに対する充放電もなされずに一对の端子の間がゼロ電圧となるように一对の端子間のいずれの方向にも電流が流れ得る。このモード 7、8 が第 2 のモードに相当する。モード 7、8 はいずれを使用してもよい。

【 0 0 8 7 】

チョップセル 1 1 a に代えてクロス接続フルブリッジセル 1 1 e を採用した MMC の場合に要する、すでに説明した図 6 の制御部 7 0 の機能ブロックにおける変更点については、図 1 3 で説明したフルブリッジセル 1 1 b の場合、および図 1 5 で説明したクランプダブルチョップセル 1 1 d の場合を両者参照すれば困難なく導出できる。

【 0 0 8 8 】

チョップセル 1 1 a に代えてクロス接続フルブリッジセル 1 1 e をもった MMC においても、より正確な PWM スwitching 信号を発生しその結果各セルのコンデンサ電圧を精度よく制御することが可能である。

【 0 0 8 9 】

(実施形態 3)

次に、図 1 7 は、実施形態 3 の電力補償装置である、3 相 3 クラスタの電力補償装置 (スター接続) を簡略化して示している。図 1 7 において、各回路クラスタ 1 0 B、2 0 B、3 0 B の内部構成については、利用可能な 2 端子回路セルの点を除いて図 1 を参照することができる。この場合に利用可能な 2 端子回路セルは、上記で説明した各 2 端子回路セルのうちでは、図 1 3 に示したフルブリッジセル 1 1 b および図 1 6 に示したクロス接続フルブリッジセル 1 1 e に限られる。すなわち、ここで利用可能な 2 端子回路セルは正負両極性で電圧出力できるセルに限られる。

【 0 0 9 0 】

この電力補償装置は、3 相交流の系統線  $u$ 、 $v$ 、 $w$  に 3 つの回路クラスタ 1 0 B、2 0 B、3 0 B をスター接続で接続させ、これにより、3 相交流の系統線に流れる無効電流を補償する。換言すると、この電力補償装置は MMC で使用されている回路構成を流用して無効電力補償装置として応用したものである。

10

20

30

40

50

## 【 0 0 9 1 】

制御部 7 0 B と 3 つの回路クラスター 1 0 B、2 0 B、3 0 B との間でやり取りされる信号については、図示するように、図 2 あるいは図 1 2 に図示された M M C の場合とほとんど変わらない。ここでクラスター電流として記載された電流は、図 2、図 1 2 でアーム電流と記載されたものと同じである。少し異なる点は、図 2、図 1 2 では第 1 端部側電圧が制御部 7 0 ( 7 0 A ) に入力され得るとしていたが、この図 1 7 の場合は、第 1 端部が存在しないのでその電圧の入力はなく、代わりに各線間電圧 ( u v 線間電圧、v w 線間電圧、w u 線間電圧 ) が制御部 7 0 B に入力される。

## 【 0 0 9 2 】

図 1 8 は、図 1 7 中に示した制御部 7 0 B に関しその主たる内部構成を機能ブロックで示している。図 1 8 に示すように、制御部 7 0 B は、算出部 7 1 B、有効・無効交流電流制御部 7 2 B、加算器 7 3 B、コンデンサ電圧の相間のバランス制御部 7 5 B、係数器 7 6、加算器 7 7 B、クラスター内コンデンサ電圧バランス制御部 7 8 B、算出部 7 9 B、検出部 8 1 B、算出部 8 2 B、比較器群 8 3 B、キャリア発生部 8 4 0 を有する。図 1 8 において、各ブロックの入出力の線上に示した数字は、それぞれ並列している信号の数である。

10

## 【 0 0 9 3 】

算出部 7 1 B には、実測の線間電圧、または相電圧 ( 線間電圧から導出する ) が入力される。これらの電圧は、一旦、算出部 7 1 B 内で d 成分と q 成分とで構成される 2 次元量に変換される ( d q 変換 )。また、算出部 7 1 B には、有効・無効交流電流制御部 7 2 B からの制御信号が入力される。この制御信号は、有効交流電流の制御信号として d 成分、無効交流電流の制御信号として q 成分を有している。

20

## 【 0 0 9 4 】

算出部 7 1 B では、d q 空間において成分ごとの加算を行う。そして、加算された後の d 成分、q 成分を用いて逆 d q 変換を行い、これにより 3 相交流のそれぞれの相に相当する 3 つの制御量を生成する。生成された 3 つの制御量は、並行して加算器 7 3 B に入力される。加算器 7 3 B には、算出部 7 1 B からのこの 3 つの制御量のほか、コンデンサ電圧の相間のバランス制御部 7 5 B から 3 つの制御信号が入力される。

## 【 0 0 9 5 】

バランス制御部 7 5 B は、コンデンサ電圧の相間のバランス制御のため、3 相各相に相当して 3 つの制御信号を生成する。この 3 つの制御信号が加算器 7 3 B に入力される。

30

## 【 0 0 9 6 】

加算器 7 3 B は、相別に、算出部 7 1 B からの 3 つの制御量のそれぞれにバランス制御部 7 5 B からの 3 つの制御信号のそれぞれを加えて、新たな 3 つの制御量を作る。この 3 つの制御量が係数器 7 6 に入力される。係数器 7 6 に入力されるこの 3 つの制御量は、回路クラスター 1 0 B、2 0 B、3 0 B それぞれが出力すべき電圧の指令値になっている。

## 【 0 0 9 7 】

係数器 7 6 は、係数として  $1/N$  ( N はクラスターごとの 2 端子回路セルの数 ) を有しており、入力された制御量のそれぞれに  $1/N$  を掛けて出力する。係数器 7 6 の出力である 3 つの制御量は次に加算器 7 7 B に入力される。加算器 7 7 B には、係数器 7 6 からの制御量のほか、クラスター内コンデンサ電圧バランス制御 7 8 B から  $3N$  個 ( つまり全部のコンデンサの数に相当する数 ) の制御信号が入力される。係数器 7 6 から加算器 7 7 B に入力される 3 つの制御量は、回路クラスター 1 0 B、2 0 B、3 0 B に含まれる 2 端子回路セルそれぞれが出力すべき電圧の指令値になっている。この 3 つの制御量は、回路クラスター 1 0 B、2 0 B、3 0 B ごとの共通値である。

40

## 【 0 0 9 8 】

クラスター内コンデンサ電圧バランス制御部 7 8 B は、各回路クラスターにおいてその属する 2 端子回路セルのコンデンサ間の電圧のバランスをとるために、コンデンサの総数に相当して合計  $3N$  個の制御信号を生成する。加算器 7 7 B では、係数器 7 6 からの 3 つの制御量のそれぞれに、バランス制御部 7 8 B からの制御信号を加えて、合計  $3N$  個の制

50

御量を生成する。この加算演算では、3つの制御量が各回路クラスターに対応しているの  
で、バランス制御部78Bからの、その回路クラスターに対応する各制御信号を加える。  
加算器77Bにより生成された合計3Nの制御量は、算出部79Bに入力される。

【0099】

検出部81Bは、回路クラスター10B、20B、30Bに含まれる2端子回路セルの  
コンデンサそれぞれの両端電圧である両端電圧群（総計3×N）を検出できるようにコン  
デンサそれぞれに設けられている。検出されたコンデンサ両端電圧（両端電圧群）は、算  
出部82Bに伝えられる。

【0100】

算出部82Bは、検出部81Bに後置されており、検出部81Bにから伝えられた両端  
電圧群に基づいて、回路クラスターごとの両端電圧群の算術平均値を算出する。算出され  
た算術平均値は、算出部79Bに伝えられる。

10

【0101】

算出部79Bは、加算器77Bおよび算出部82Bに後置されており、各回路クラス  
ターに対応付けられて加算器77Bから入力された制御量を、算出部82Bから伝えられた  
算術平均値のうちその対応する回路クラスターに関するもので除することにより、規格  
化2端子回路セル出力電圧指令値を算出する。算出部79Bで算出された規格化2端子回  
路セル出力電圧指令値は、比較器群83Bに供給される。

【0102】

キャリア発生部840は、回路クラスターそれぞれに含まれるセルの数Nに基づいて、  
360度を等分に分割した、互いに異なる位相を有する三角波キャリア群を発生する。発  
生された三角波キャリアは、比較器群83Bに供給される。

20

【0103】

比較器群76Bは、算出部79Bおよびキャリア発生部840に後置されており、算出  
部79Bから供給された規格化2端子回路セル出力電圧指令値を第1の入力とし、キャリ  
ア発生部840から供給された三角波キャリア群のそれぞれを第2の入力として比較を行  
い、比較結果に基づいて各回路セル群に含まれるセルのそれぞれをオン状態とオフ状態  
の間でPWM制御する。すなわち、比較器群83Bは、セルごとのPWM制御信号（スイ  
ッチング信号）を出力してPWM制御を行う。

【0104】

この制御部70Bの場合、加算器77Bの出力は、正の値のみならず負の値も出現し得  
る。一方で算出部82Bの出力は常に正值である。したがって、算出部79Bの出力は正  
の場合のみならず負の場合も出現する。

30

【0105】

算出部79Bの出力が負になっている場合、比較器群83Bでの比較動作が不可能とな  
るので、この場合は一度、算出部79Bの出力を正に変換して比較器群83Bで比較を行  
う。そしてその結果をセルごとのスイッチング信号とする。このとき、このスイッチング  
信号は、例えば図13に挙げたフルブリッジセル11bを使用している場合であれば、図  
13(b)のモード2とモード3（またはモード4）とを切り替えるスイッチング信号と  
する。

40

【0106】

すなわち、算出部79Bの出力が正の場合は、スイッチング信号は、図13(b)のモ  
ード1とモード3（またはモード4）とを切り替えるものとする一方、算出部79Bの出  
力が負の場合は、図13(b)のモード2とモード3（またはモード4）とを切り替える  
スイッチング信号とする。図13に挙げたフルブリッジセル11bの代わりに図16に示  
したクロス接続フルブリッジセル11eを採用している場合も考え方は同じである。

【0107】

この実施形態でも、より正確なPWMスイッチング信号を発生しその結果各セルのコン  
デンサ電圧を精度よく制御することが可能である。

【0108】

50

## (実施形態4)

次に、図19は、実施形態4の電力補償装置である、3相3クラスターの電力補償装置(デルタ接続)を簡略化して示している。図19において、各回路クラスター10C、20C、30Cの内部構成については、利用可能な2端子回路セルの点を除いて図1を参照することができる。この場合に利用可能な2端子回路セルは、実施形態3と同様に、上記で説明した2端子回路セルのうちでは、図13に示したフルブリッジセル11bおよび図16に示したクロス接続フルブリッジセル11eに限られる。

## 【0109】

この電力補償装置は、3相交流の系統線u、v、wに3つの回路クラスター10C、20C、30Cをデルタ接続で接続させ、これにより、3相交流の系統線に流れる無効電流を補償する。この電力補償装置も、MMCで使用されている回路構成を流用して無効電力補償装置として応用したものである。この図19を理解することは、3つの回路クラスターがスター接続からデルタ接続に変更になっていることを除けば図17の理解から容易に導ける。例えば、制御部70Cと3つの回路クラスター10C、20C、30Cとの間でやり取りされる信号については、図示するように、図17に図示されたMMCでの場合と変わらない。

10

## 【0110】

図20は、図19中に示した制御部70Cに関しその主たる内部構成を機能ブロックで示している。図20に示すように、制御部70Cは、算出部71B、有効・無効交流電流制御部72B、加算器73C、コンデンサ電圧の相間のバランス制御部75C、係数器76、加算器77B、クラスター内コンデンサ電圧バランス制御部78B、算出部79B、検出部81B、算出部82B、比較器群83B、キャリア発生部840を有する。図18において、各ブロックの入出力の線上に示した数字は、それぞれ並列している信号の数である。

20

## 【0111】

図20の図示が図18のそれと異なっている点は、コンデンサ電圧の相間バランス制御部75Cおよび加算器73Cの部分のみである。以下でこの異なっている点について補足説明し、ほかの部分に関しては説明を省略する。

## 【0112】

相間バランス制御部75Cは、まず、コンデンサ電圧の相間のバランス制御のため、3相各相に相当して3つの制御信号を生成する。そしてこの3つの制御信号の平均値を算出することにより、デルタ接続された3つの回路クラスター内を流れる循環電流に関する制御量に変換する。この制御量を目標値として、実際の測定された値との偏差をPI要素などの制御要素に入力しその出力としてひとつの制御信号を得る。このひとつの制御信号が相間バランス制御部75Cの出力として加算器73Cに入力される。

30

## 【0113】

加算器73Cは、算出部71Bからの3つの制御量のそれぞれにバランス制御部75Cからのひとつの制御信号のそれぞれを加えて、新たな3つの制御量を作る。この3つの制御量が係数器76に入力される。係数器76に入力されるこの3つの制御量は、回路クラスター10C、20C、30Cそれぞれが出力すべき電圧の指令値になっている。

40

## 【0114】

この実施形態でも、より正確なPWMスイッチング信号を発生しその結果各セルのコンデンサ電圧を精度よく制御することが可能である。

## 【0115】

以上説明した各実施形態の電力変換装置、電力補償装置では、各2端子回路セルに与えるPWM制御信号は、一般には、そのセルが出力すべき電圧を、そのセルで検出されたコンデンサ電圧で規格化し(除算し)、その答え(商)を三角波キャリアと比較して得られるところ、これを次のように変更している。すなわち、そのセルで検出されたコンデンサ電圧に代わり、そのセルが属する回路クラスター(アーム)の各セルで検出されたコンデンサ電圧の算術平均値を用いる。

50

## 【 0 1 1 6 】

このようにすることで、各 2 端子回路セルのコンデンサ電圧が P W M 制御の影響でキャリア周波数成分を多く含む場合であっても、回路クラスター内のコンデンサの電圧を平均化した信号においては、平均化でキャリア周波数成分が相殺されていることが期待できる。これは、各 2 端子回路セルの P W M 制御の位相がまったく同じではなく、互いに少しずつ異なることによる。

## 【 0 1 1 7 】

よって、これによれば、各セルに対して外乱要因の少ないスイッチング信号が与えられ、より正確な P W M 制御が達成できる。より正確な P W M 制御が達成されると、回路クラスターの各セルで検出されたコンデンサ電圧の算術平均値でのキャリア周波数成分はさらに小さくなり一層好ましい状態に落ち着く。したがって、より正確な P W M スwitching 信号を発生しその結果各 2 端子回路セルのコンデンサ電圧を精度よく制御することが可能な電力変換装置および電力補償装置ならびにそれらの制御装置および方法を提供することができる。

10

## 【 0 1 1 8 】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

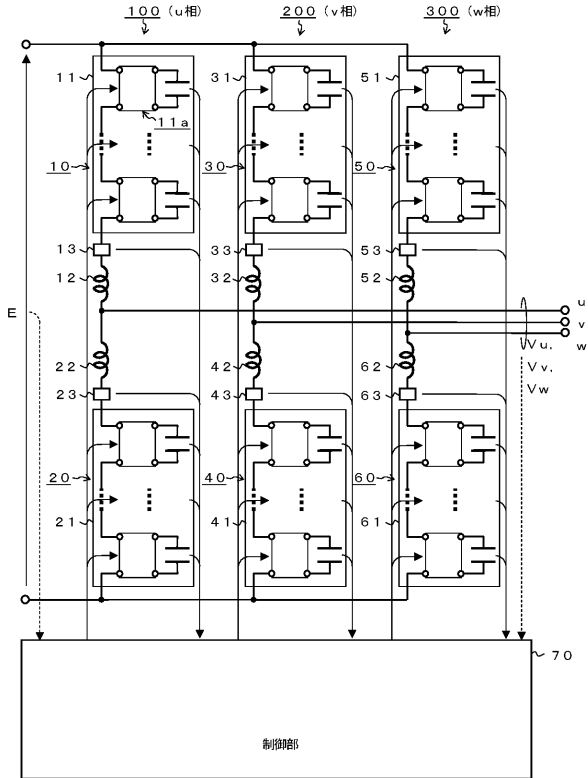
## 【 符号の説明 】

## 【 0 1 1 9 】

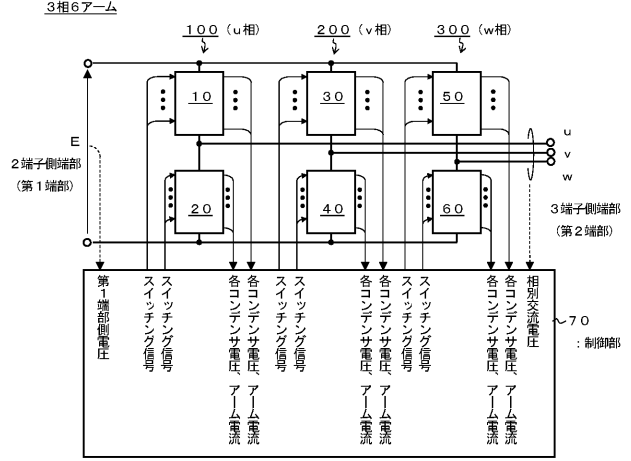
1 0 , 1 0 A , 2 0 , 2 0 A , 3 0 , 3 0 A , 4 0 , 4 0 A , 5 0 , 6 0 ... アーム ( 回路クラスター ) 、 1 0 B , 1 0 C , 2 0 B , 2 0 C , 3 0 B , 3 0 C ... 回路クラスター、 1 1 , 2 1 , 3 1 , 4 1 , 5 1 , 6 1 ... 回路セル群、 1 1 a ... チョップセル ( 2 端子回路セル ; ハーフブリッジセル、 1 1 b ... 2 端子回路セル ( フルブリッジセル ) 、 1 1 c ... 2 端子回路セル ( 3 レベルチョップセル ) 、 1 1 d ... 2 端子回路セル ( クランプダブルチョップセル ) 、 1 1 e ... 2 端子回路セル ( クロス接続フルブリッジセル ) 、 1 2 , 2 2 , 3 2 , 4 2 , 5 2 , 6 2 ... リアクトル、 1 3 , 2 3 , 3 3 , 4 3 , 5 3 , 6 3 ... 電流検出部、 7 0 , 7 0 A , 7 0 B , 7 0 C ... 制御部、 7 1 , 7 1 B ... 算出部、 7 2 , 7 2 B ... 有効・無効交流電流制御部、 7 3 ... 加算減算器、 7 3 B , 7 3 C ... 加算器、 7 4 ... 直流電流 ( 2 端子側端部電流 ) 制御部、 7 5 ... コンデンサ電圧の相間、上下のアーム間のバランス制御部、 7 5 B , 7 5 C ... コンデンサ電圧の相間のバランス制御部、 7 6 ... 係数器、 7 7 , 7 7 B ... 加算器、 7 8 ... アーム内コンデンサ電圧バランス制御部、 7 8 B ... クラスター内コンデンサ電圧バランス制御部、 7 9 , 7 9 B ... 算出部、 8 1 , 8 1 B ... 検出部、 8 2 , 8 2 B ... 算出部、 8 3 , 8 3 B ... 比較器群、 8 4 , 8 4 A , 8 4 B , 8 4 0 ... キャリア発生部、 1 0 0 , 1 0 0 A , 2 0 0 , 2 0 0 A , 3 0 0 ... レグ。

30

【 図 1 】

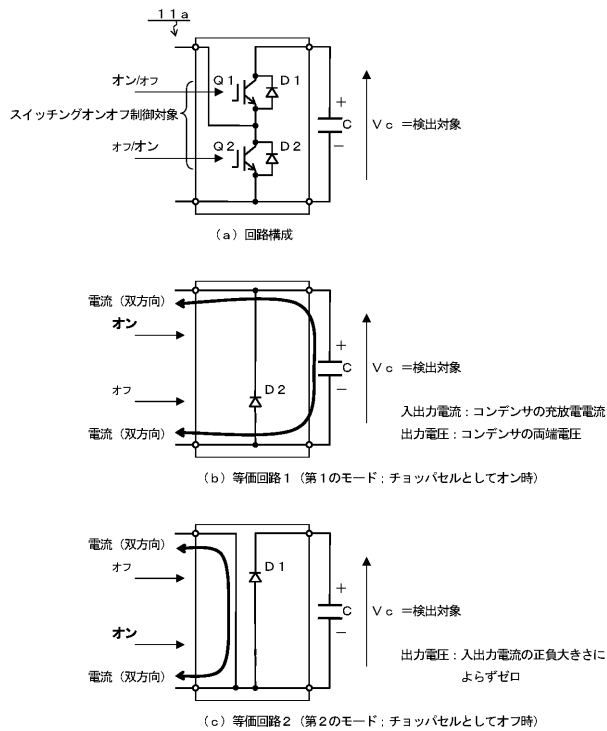


【 図 2 】



【 図 3 】

2端子回路セル (チョップセル 1.1 a)



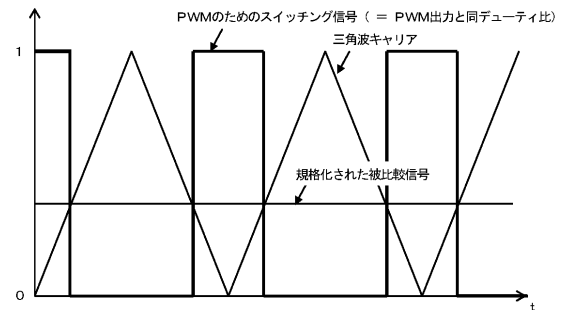
【 図 4 】

各チョップセル

「オン」と「オフ」との間でPWM制御

1. PWMのためのスイッチング信号は、一般には、そのチョップセルが出力すべき電圧を、そのチョップセルで検出されたコンデンサ電圧で規格化し(除算し)、その答え(商)を三角波キャリアと比較して得る。
2. この実施形態では、規格化に用いる検出されたコンデンサ電圧を、1.とは異なり、アームに属する各チョップセルのコンデンサ電圧のアームごとの平均値とする。

【 図 5 】

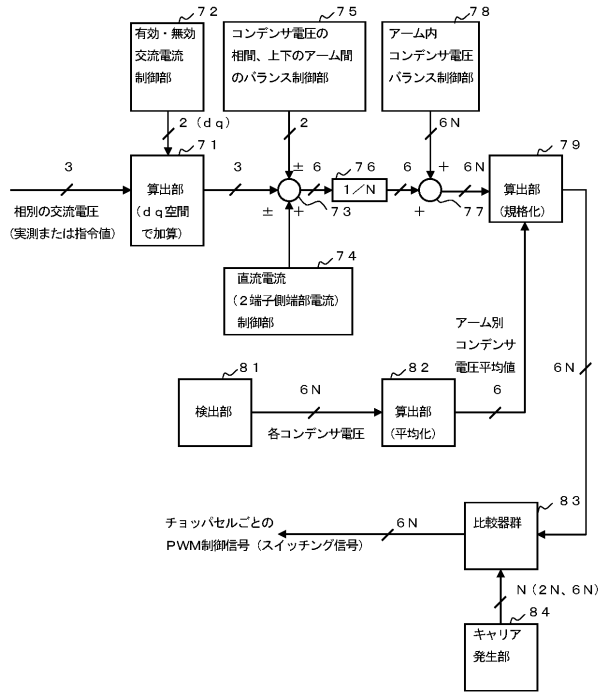


PWMのためのスイッチング信号発生に必要な規格化された被比較信号:

1. 理想的には図示のように一定
2. 実際にはPWMの結果として変動 (一般に、三角波キャリアの周波数成分を含む)
3. この実施形態は2.の変動分を減少する。 → 外乱要因減

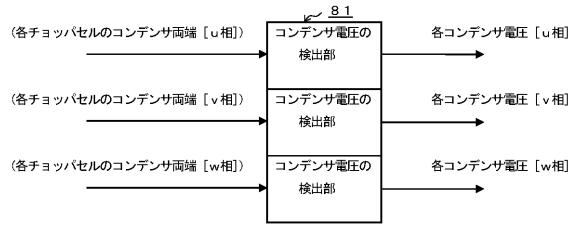
【図 6】

70



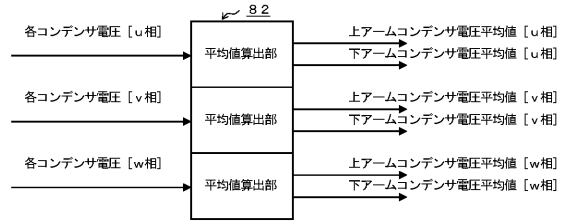
【図 7】

81

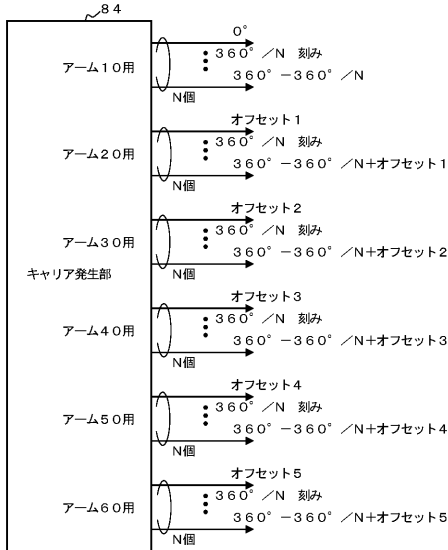


【図 8】

82

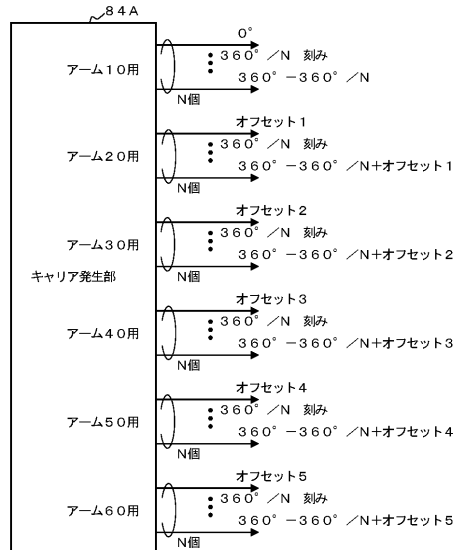


【図 9】



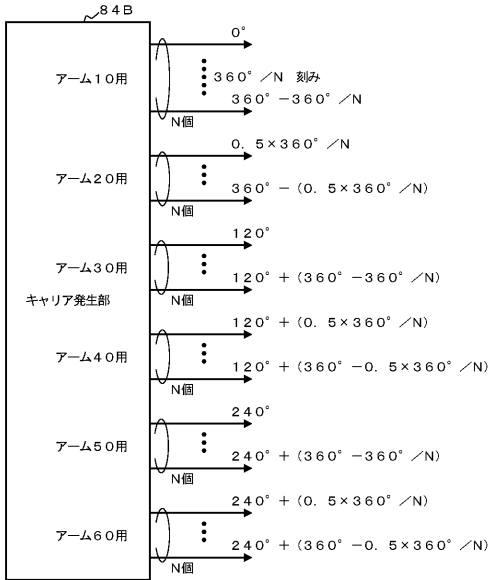
オフセット1～5=0° のとき、総出力数はN個にまとまられる

【図 10】

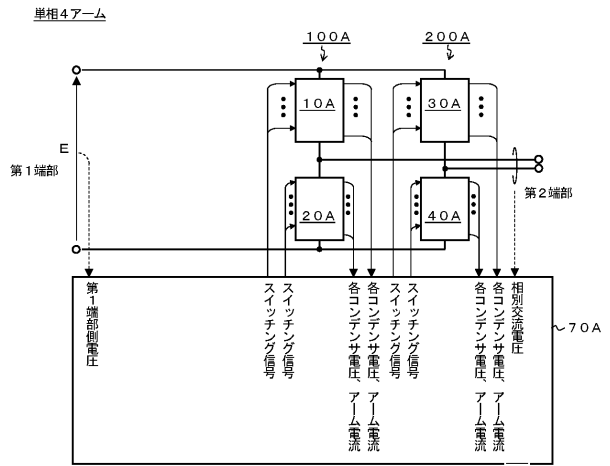


オフセット2、4=0° で、かつ  
オフセット1=オフセット3=オフセット5≠0° のとき、総出力数は2N個にまとまられる

【図 1 1】

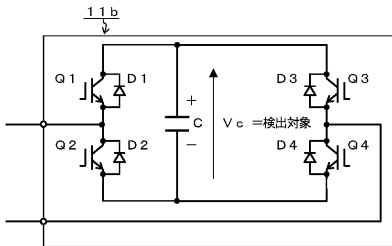


【図 1 2】



【図 1 3】

2端子回路セル (別の例: フルブリッジセル)



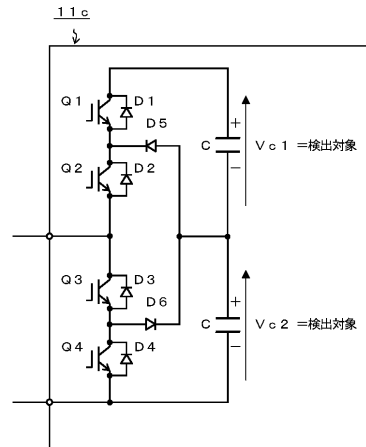
(a) 回路構成

| Q1 | Q2 | Q3 | Q4 | 出力電圧   | モード番号    |
|----|----|----|----|--------|----------|
| オン | オフ | オフ | オン | $V_c$  | 1 第1のモード |
| オフ | オン | オン | オフ | $-V_c$ | 2 同上     |
| オン | オフ | オン | オフ | 0      | 3 第2のモード |
| オフ | オン | オフ | オン | 0      | 4 同上     |

(b) 動作モード

【図 1 4】

2端子回路セル (さらに別の例: 3レベルチョップセル)



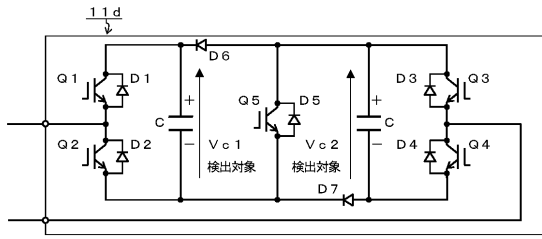
(a) 回路構成

| Q1 | Q2 | Q3 | Q4 | 出力電圧              | モード番号    |
|----|----|----|----|-------------------|----------|
| オフ | オン | オン | オフ | $V_{c2}$          | 1 第1のモード |
| オン | オン | オフ | オフ | $V_{c1} + V_{c2}$ | 2 同上     |
| オフ | オフ | オン | オン | 0                 | 3 第2のモード |

(b) 動作モード

【図 15】

2端子回路セル（さらに別の例：クランプダブルチョッパセル）



(a) 回路構成

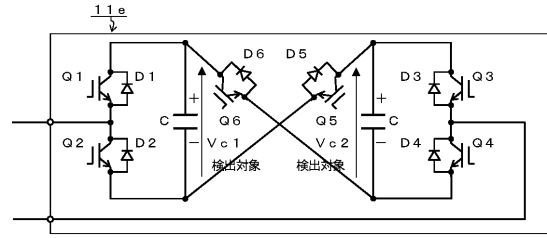
| Q1 | Q2 | Q3 | Q4 | Q5 | 出力電圧                                  | モード番号    |
|----|----|----|----|----|---------------------------------------|----------|
| オン | オフ | オン | オフ | オン | $V_{c1}$                              | 1 第1のモード |
| オフ | オン | オフ | オン | オン | $V_{c2}$                              | 2 同上     |
| オン | オフ | オン | オン | オン | $V_{c1} + V_{c2}$                     | 3 同上     |
| オフ | オン | オフ | オフ | オン | 0                                     | 4 第2のモード |
| オフ | オン | オン | オフ | オフ | $0 / (-V_{c1} \text{ or } -V_{c2})^*$ | 5        |

(b) 動作モード

\* 電流の向きによる

【図 16】

2端子回路セル（さらに別の例：クロス接続フルブリッジセル）



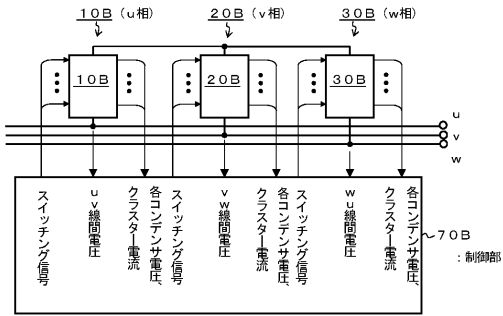
(a) 回路構成

| Q1 | Q2 | Q3 | Q4 | Q5 | Q6 | 出力電圧               | モード番号    |
|----|----|----|----|----|----|--------------------|----------|
| オン | オフ | オン | オフ | オン | オフ | $V_{c1}$           | 1 第1のモード |
| オフ | オン | オフ | オン | オン | オフ | $V_{c2}$           | 2 同上     |
| オン | オフ | オン | オン | オン | オフ | $V_{c1} + V_{c2}$  | 3 同上     |
| オフ | オン | オフ | オン | オフ | オン | $-V_{c1}$          | 4 同上     |
| オン | オン | オン | オフ | オフ | オン | $-V_{c2}$          | 5 同上     |
| オフ | オン | オン | オフ | オフ | オン | $-V_{c1} - V_{c2}$ | 6 同上     |
| オフ | オン | オン | オフ | オン | オフ | 0                  | 7 第2のモード |
| オン | オフ | オン | オン | オン | オン | 0                  | 8 同上     |

(b) 動作モード

【図 17】

3相3クラスター（スター接続）



【図 18】

70B

