公告本

申請日期： 88.11.23	案號： 88124002
類別： H01L 21/8247, 27/115, 29/788	

（以上各欄由本局填註）

發明專利說明書 471138

一、發明名稱	中文	具有自我對準接觸及著陸墊結構之半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE HAVING SELF-ALIGNED CONTACT AND LANDING PAD STRUCTURE AND METHOD OF FORMING SAME
二、發明人	姓名（中文）	1. 桑莫 裘伊
	姓名（英文）	1. SEUNGMOO CHOI
	國籍	1. 韓國
	住、居所	1. 美國佛州奧蘭多市聖吉爾斯園7927號
三、申請人	姓名（名稱）（中文）	1. 美商朗訊科技公司
	姓名（名稱）（英文）	1. LUCENT TECHNOLOGIES INC.
	國籍	1. 美國
	住、居所（事務所）	1. 美國新澤西州摩里山丘市山脈大道600號
	代表人姓名（中文）	1. 麥克・R・格林
	代表人姓名（英文）	1. MICHAEL R. GREENE

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	1999/11/30	09/451,054	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明（1）

發明範圍

本發明有關於一半導體元件，更特別的是有關於一用以製造廣泛應用於記憶與邏輯元件之積體電路之自我對準接觸與著陸墊結構。

發明背景

自我對準接觸與閘極的成形技術使用於積體電路製造上，且通常用於動態隨機存取記憶體(DRAM)和靜態隨機存取記憶體(SRAM)製程上，就如使用於快閃記憶體之元件。這些半導體記憶元件通常包含各種接觸窗口，其經常接受多晶矽或其他插塞，並用以將單位電晶體之源極區連接到個別單位電容的儲存電極。接觸窗口也將單位電晶體汲極區連接至個別的位元線。通常這些型態的半導體元件包含浮控閘極結構，其中資料可以電荷的形式儲存於浮控閘極。

接觸窗口應為小尺寸，且最好小於用於形成個別半導體元件的曝光工具之解析度極限值。一常見的先前技藝，接觸窗口的製造技術，指的是自我對準接觸，其通常使用一窗口於位於字元線或閘極結構間之源/汲極，自我對準接觸窗口之寬度通常較字元線結構間之空間大。因此，該自我對準接觸窗口不只包括整個源/汲極區域之寬度，也包括由先前技藝已知的技術形成的一加蓋絕緣體上表面多晶矽化物閘極，或其他閘極結構之部分裸露。

此外，熟練該記憶者普遍已知，要維持半導體元件之間的各種外觀尺寸和最小空間或是設計容限，以維持半導體

五、發明說明 (2)

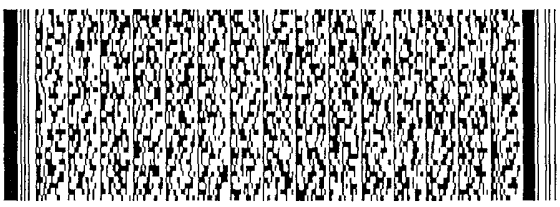
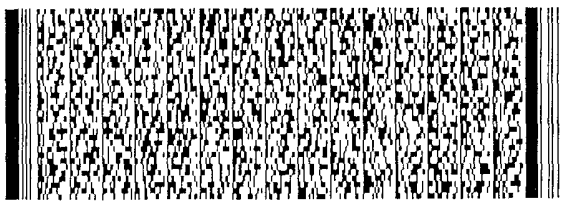
元件之電性整體性。舉例來說，半導體元件之一擴散區中，產生金屬接觸形成之任何錯誤對準可能引起其他應該存在於接觸和周遭元件之間的需求空間之其他問題，例如多晶矽閘極。舉例來說，為了避免這些在一金屬接觸和閘極間的金屬接觸錯誤對準所產生的問題，一著陸墊通常會在金屬接觸與其下方擴散區之間形成。著陸墊通常由一經佈植的多晶矽化物層所形成，其上可形成一矽化物層，以減少片電阻至可容許的層級，該著陸墊通常可容許晶粒尺寸的減少，並容許較大的錯誤對準問題。

各種以適當的自我對準接觸和/或著陸墊所製造元件之各種半導體元件之實例，在美國專利第5,166,771、5,828,130、5,866,449、5,895,961、5,907,779，與5,923,988為中有揭示，這些文章有其整體性，為本文之參考文獻。

如同先前所提及的，自我對準接觸製程最常使用在大多數的SRAM和DRAM製造技術上，然而，與邏輯產品的製程相比，該製程通常需要一額外的光罩和蝕刻過程，將使用兩個蝕刻步驟，第一蝕刻步驟使用於氮化物對氧化物具有低蝕刻選擇性時，而第二步驟則使用於需要間隔物時。因此，將難以定義多晶矽與矽頂端的接觸窗口，同時也難以定義自我對準接觸窗口。

發明概述

因此，本發明的目的在於定義一通用的窗口，同時定義一自我對準接觸窗口，例如在一記憶元件之浮控閘極製程

五、發明說明 (3)

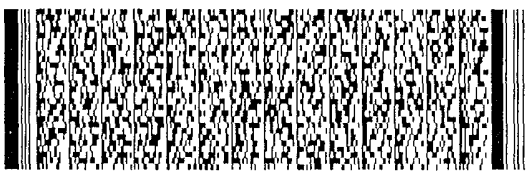
中。

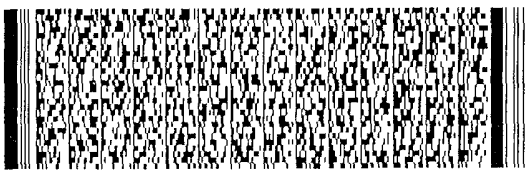
依據本發明，一虛擬的著陸墊在一多晶矽製程的浮控閘極過程中，可以被定義並形成以墊高一實際的多晶矽著陸墊，如此則只需要一個蝕刻與光阻製程。

依據本發明，一半導體積體電路元件包含一矽基板，其上形成有場氧化物區和間隔的主動區在第一和第二自我對準接觸窗口形成的第一和第二自我對準接觸，其分別與場氧化物區和主動區相連一虛擬的多晶矽著陸墊，其形成於場氧化區上和第一自我對準接觸窗口下以及一操作的多晶矽著陸墊，其形成於虛擬著陸墊上。

在本發明之另一觀念中，第二自我對準接觸窗口包含一在第一自我對準接觸蝕刻步驟中形成的第一上方部分，以及一在第二自我對準接觸蝕刻步驟中形成的第二下方部分。第一自我對準接觸窗口在第一自我對準接觸蝕刻步驟中形成。一虛擬著陸墊是在浮控閘極製程中形成。一薄氧化層位於第二自我對準接觸窗口下。一多晶矽著陸墊覆蓋一部份的主動區域。側壁的空間可形成於操作多晶矽著陸墊的末端。

在本發明之一方法觀念，可形成該半導體一體電路元件，其包含在一半導體基板上形成場氧化物區和間隔的主動區之步驟。形成第一和第二接觸窗口，其與個別的場氧化物區和主動區相連。該方法也包含在場氧化物層上和第一自我對準接觸窗口下形成一虛擬的多晶矽著陸墊。該方法包含在虛擬著陸墊上形成一操作多晶矽著陸墊之步驟。





五、發明說明 (4)

附圖的簡短說明

本發明之其他目的、特性和優點，依據附圖思考，對本發明之詳細敘述，其中：

圖1係一在記憶元件中形成自我對準接觸之先前記憶之製程步驟之簡化的橫截面外觀。

圖2係一浮控閘極電晶體元件之橫截面圖示。

圖3A和3B係分別為反及閘(NAND)與反或閘(NOR)快閃記憶電路中基本元件之圖示。

圖4A和4B係分別為先前記憶中自我對準接觸結構的圖示，橫截面和頂端平面圖。

圖5A和5B係分別為本發明自我對準接觸結構之橫截面與上端面之圖示，其中一虛擬著陸墊定義於一浮控閘極製程中。

圖6係圖示本發明之基本方法的流程圖。

較佳具體實施例之詳細說明

本發明為有優點的，因為當製造一可用於定義一實際多晶矽著陸墊之虛擬著陸墊，與自我對準接觸窗口之浮控閘極，以墊高實際多晶矽著陸墊時，他提供了一多晶矽製程。因此，假若實際的多晶矽著陸墊由一虛擬著陸墊墊高，即可能同時定義兩個接觸窗口。如此，一自我對準接觸窗口，可在一自我對準接觸第一蝕刻步驟中，定義多晶矽著陸墊的上方。熟練該技藝者普遍知道，自我對準接觸(SAC)製造已經常與SRAM和DRAM技術並用。然而，自我對準接觸製程與邏輯製程相比，需要額外的光罩和蝕刻製

五、發明說明 (5)

程。在本發明的優點中，使用於SRAM(和/或DRAM)記憶區塊和快閃FFLA和類似的記憶區塊的晶片組中，不需額外的光罩與蝕刻製程即可製作自我對準接觸。

依據本發明，一浮控閘極光罩加入了虛擬的多晶矽墊之特性。針對一自我對準接觸窗口該虛擬多晶矽墊與實際多晶矽墊重疊。虛擬的多晶矽著陸墊是用以墊高實際的多晶矽著陸墊，而一旦實際著陸墊被虛擬著陸墊墊高，窗口即可被定義於實際著陸墊的頂端，然而自我對準接觸乃定義於薄氧化層的頂端。形成一氮化矽層乃是熟知此技藝者所知。在本發明的一觀念，虛擬著陸墊定義於浮控閘極製程當中，其中所隔離之虛擬部分為浮控閘極。

圖1揭示先前技藝中形成自我對準接觸的基本背景和初始的階段，其中依據熟練該技藝者所知的技術使用一形成積體電路之金屬氧化半導體(MOS)場效應電晶體之方法，在經佈植的矽基板上分別形成N井和P井20與場氧化區與閘極氧化區22、24(僅做描述之用)閘極氧化物層24的厚度可變，但一般大約50埃，或由熟練該技藝者所選擇的其他厚度。

一多晶矽鍍層首先由低壓化學氣相沈積(LPCVD)形成，並由擴散植入雜質如N-型不純物，以達到所希望的片電阻，稍後多晶矽層會在一完整的半導體元件中具有如閘30a和30b的功能，通常第一等連結(未顯示)可以位於記憶陣列的周圍，且由此多晶矽層形成。然後氧化層32a、32b在多晶矽上成長，接著氮化矽層34a、34b經由LPCVD形成

五、發明說明（6）

於在氧化層上。

接著使用已知的光學光罩和三明治蝕刻技術形成多晶矽閘極30a、30b，該技術包括一氮化矽層與氧化矽鍍層之電漿蝕刻，以及多晶矽的連續電漿蝕刻，以形成由這些層所覆蓋之多晶矽閘極。

以離子佈植形成N型和P型微量佈植汲極(LDD)的植入物36，如此則LDD植入物具有與井區相反，或者當沒有井區時，與基板相反的導電型態。氧化矽基板的化學氣相沈積法，例如使用熱蝕刻氧化法(TEOS)，之後可以藉由反應離子蝕刻而形成二氧化矽的閘極側壁間隔物38，一氧化物層可以熱生長以覆蓋源極與汲極區，並使間隔的氧化層較密集。N+與P+型的源極和汲極區40可以由普遍已知的光罩離子佈植形成，而佈植物的濃度通常足定義這些區域中每立方公分佈植原子的數量。如44之虛線所示，一氮化矽鍍層可以以如化學氣相沈積的方式沈積。

在未顯示，但熟練該技藝者已知的後續步驟中，定義閘極5接觸區域，且第一和第二光阻層(如虛線21、22所示)可藉熟練該技藝者已知的技術施行。接觸窗口的形成經過氧化物、氮化物和氧化物層，以允許其分別與閘極30a、30b的電性連接。如虛線所指出的，藉由使用一多晶矽絕緣光罩形成窗口，以暴露一閘極，以便允許其與閘極30b接觸。暴露的閘極可以有一延伸超過閘極30b接觸尺寸，如此允許較大的對準容差。即使在光罩的對準最差的情況下，一可施加的第一光阻層21在蝕刻氧化物層與氮化矽鍍

五、發明說明（7）

層以暴露出閘極時，可預防源極與汲極之暴露。因此，與閘極的電性接觸可以在閘極之上的電晶體之主動區上製作，而不會引起源極或汲極與閘極間的短路。

如同普遍已知的，一多步驟的蝕刻可以用以暴露出閘極接觸，其中以電漿蝕刻將在光阻層中的窗口所暴露的區域中之氧化物去除。一標準的濕式磷酸蝕刻後，將第一和第二光阻鍍層去除。去除後氧化物層則減少在閘極側的氧化物階梯之高度，以製造一多晶矽閘接觸（未顯示），並位於閘極30b之上。可以用一熟練該技藝者已知的掩埋接觸光罩加以定義與源極和汲極區的接觸，其中在去除覆蓋閘極的氧化物之部分之後，一氮化矽層可以保護閘極。由於在一在閘極30a上具有完整的間隔氧化物及保護的氮化矽層，可在稍後沉積任何源極與汲極接觸之金屬化，且其將與閘極重疊，而不會引起閘極中源極與汲極之間的短路電流。

如同熟練該技藝者已知的，任何經由源極、汲極、和多晶矽閘極所暴露的矽與互連可以經由下列步驟製成矽化物：沈積濺鍍鈦層，然後使用可以在稍後製程步驟保護其下方源極、汲極、閘極區和互連之快速退火。如同熟練該技藝者已知的，其他層，包含濺鍍鈦層，厚氧化物層，與其他多晶矽層可以被加入。雖然圖1與附帶的說明是半導體自我對準接觸窗口製程之一例，該說明顯示一形成自我對準接觸之一般先前技藝與技術，其為本發明所改進之處，並會在以下討論之。

五、發明說明 (8)

半導體元件間的某些外觀尺寸與最小空間或設計容差必須維持以維護半導體元件的整體性乃是熟練該技藝者已知的。當接觸閘極區的金屬有誤對準或其他空間上的問題發生時，任何形成金屬接觸至各種擴散區的誤對準會造成問題。因此，著陸墊形成於金屬接觸與其下之擴散區之間。著陸墊通常由佈植的多晶矽層形成，其上可形成矽化物層，以減少片電阻至可容許之層級。著陸墊元件的尺寸減少與較大的誤對準問題。通常在蝕刻接觸窗口至著陸墊時，著陸墊為一良好之蝕刻中止層。

除此之外，使用自我對準接觸除了對半導體製程如光學微影和乾蝕刻有助益之外，也對效能較低或較高之半導體晶片有幫助。如同上述，自我對準接觸觀念使用開口於位於字元線與閘極結構間的源/汲極區，該自我對準接觸窗口較字元線結構間空間寬。如同先前所提及的，在一自我對準接觸窗口暴露於源/汲極區之金屬結構，通常是使用多晶矽或金屬多晶矽化物層來形成。

圖3A和3B分別揭示使用如圖2所示之浮控閘極電晶體64之反及閘60(圖3A)和反或閘62快閃記憶體元件。如同熟練該技藝者已知的，一浮控閘極電晶體64之資料以在浮控閘極66上之電荷的形式儲存，其二進位資料儲存為有效的，因其易於編寫和長期電荷保存。浮控閘極通常由一絕緣層如SiO_2所包圍。在大多數的二進位用途中，資料儲存是經由在浮控閘極66上沈積大量的電荷或從浮控閘極上去除電荷而完成。如圖2所示，一零值的浮控閘極顯示電子由源

五、發明說明 (9)

極68傳送至浮控閘極66，而其為1值時則電子由浮控閘極66傳送至源極68。浮控閘極電晶體64分別包括汲極70、本例示中的P-型基板以及一控制閘極74。

圖3A中，一反及閘記憶體60串聯連接，以形成較高的密度，然而一反或閘元件62以並聯連接，以便有較快之存取。圖3B分別顯示控制閘極與浮控閘極的字元線76、汲極、源極與位元線78。

圖4和4A為示意圖，其說明一先前技藝結構，該先前技藝結構使用一自我對準接觸窗口與一矽基板90，該基板90具有一場氧化區與間隔的主動區91a、91b，與位於場氧化區91a上方之多晶矽(PY)著陸墊92該主動區91a、91b含有源極與汲極區(未顯示)。一通常的窗口如100(WN1)所示，其包括一接觸100a。該自我對準接觸窗口(SAC WN1)如102所示，如圖4B位於薄氧化層103(TOX)上，並包括一自我對準接觸102a。每一窗口100、102可以包含個別的由熟練該技藝者已知的技術形成的插塞。窗口100、102包含如熟練該技藝者已知的氧化物形成之側壁間隔物105。如圖所示，形成一硬氧化物光罩105a與氮化矽鍍層105b。氮化矽鍍層或類似的層對本發明是相當重要的，其形成如熟練該技藝者已知的一襯墊。

自我對準接觸窗口101包括一最上端部分110，其藉由熟練該技藝者已知技術中第一自我對準接觸蝕刻步驟而形成。第二較低之部分112由熟練該技藝者已知技術之第二自我對準接觸蝕刻步驟所形成，藉以形成所示的結構。多

五、發明說明（10）

晶矽著陸墊結構114與第二主動區91b相連，並位於其上。圖4B揭示著陸墊92與自我對準接觸窗口102，與一般窗口100之頂視圖。

圖5A和5B為揭示本發明優點之示意圖，其中在一浮控閘極製程中定義一虛擬著陸墊130。結果，一般窗口100可形成為具有自我對準接觸131a之第一自我對準接觸窗口131。一實際著陸墊132在第一自我對準接觸窗口形成，並藉一第二自我對準接觸窗口140墊高，其相當於圖4A所示之自我對準接觸窗口。在圖4A與4B的結構中，自我對準接觸蝕刻步驟通常是以兩個蝕刻步驟完成，其中第一步驟不具有氧化物上氮化物之低蝕刻敏感性，但具有介電物質的去除。所以第二步驟並不具有氧化物與矽對氮化矽105b之優異蝕刻選擇性，因為必須保護需要的間隔物。因此，根據圖4A與4B之先前技藝，不可能定義在多晶矽頂部與矽頂部之一般窗口，同時也不可能定義自我對準接觸窗口。然而，窗口131、140在實際多晶矽著陸墊被虛擬多晶矽著陸墊130所舉高時，可同時依據本發明定義，因此，一般在多晶矽著陸墊上的窗口可在自我對準接觸蝕刻步驟1中被定義。自我對準接觸窗口140包括在蝕刻步驟之第一部份中形成的上半部142，與第二下半部144。

現在參照圖6，揭示一表示形成本發明之半導體積體電路元件之基本步驟。如方塊200所示，首先形成一虛擬之多晶矽著陸墊。然後，如方塊202所示，沈積一多晶閘極堆疊，例如，可以是閘極氧化物、多晶矽或堅硬的光罩氧

五、發明說明 (11)

化物，接著如經由光學微影與射頻電漿蝕刻，形成一多晶閘極(方塊204)。一間隔氧化物(方塊206)通常與一TEOS薄膜沈積而成。一間隔(方塊208)例如以射頻電漿蝕刻而形成。氮化矽(方塊210)以低壓化學氣相蝕刻、高密度電漿或蝕刻化學氣相沈積而成。以高密度電漿、硫化磷玻璃(PSG)氧化物，或硫化硼磷玻璃沉積一介電質1(方塊212)。最後，實施第一窗口自我對準接觸蝕刻(方塊214)。自我對準接觸窗口可以包含3個步驟。第一個蝕刻具有氧化物對氮化物之低蝕刻選擇性，但是第二個蝕刻具有氧化物對氮化物之高蝕刻選擇性，因為在氮化矽薄膜上的蝕刻可被停止。改變氣相化學去除氮化矽。該蝕刻具有氮化矽對氧化矽之高蝕刻選擇性。自然地，上述並不包括植入製程，該製程對電晶體形成是必須的，因為植入與自我對準接觸製程是無關的。

熟練該技藝者會想到具有前敘述與相關圖示中所提及之益處之許多本發明修飾與其他具體。因此，人們將瞭解本發明並不只限於文中特定的具體陳述，而修飾和具體陳述將涵蓋在相關申請專利範圍之範圍中。

圖式簡單說明

四、中文發明摘要 （發明之名稱：具有自我對準接觸及著陸墊結構之半導體裝置及其製造方法）

揭示一種半導體積體電路元件及其製造方法，其包括一具有一場氧化物區與有間隔的活化區之矽基板。第一和第二自我對準接觸窗口分別與場氧化物區和主動區相連。一虛擬多晶矽著陸墊形成於場氧化物區之上及第一自我對準接觸窗口之下。一操作的多晶矽著陸墊形成於虛擬著陸墊上，一氮化矽阻障層也在此過程中形成。

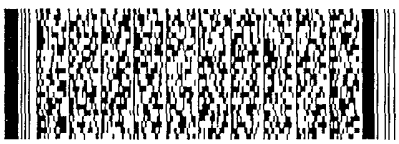
英文發明摘要 （發明之名稱：SEMICONDUCTOR DEVICE HAVING SELF-ALIGNED CONTACT AND LANDING PAD STRUCTURE AND METHOD OF FORMING SAME）

A semiconductor integrated circuit device and method of forming same is disclosed and includes a silicon substrate having a field oxide region and spaced active region. First and second self-aligned contact window openings are associated with a respective field oxide region and active region. A dummy polysilicon landing pad is formed over the field oxide region and formed below the first self-aligned contact window opening. An operative polysilicon landing pad is

四、中文發明摘要　（發明之名稱：具有自我對準接觸及著陸墊結構之半導體裝置及其製造方法）

英文發明摘要　（發明之名稱：SEMICONDUCTOR DEVICE HAVING SELF-ALIGNED CONTACT AND LANDING PAD STRUCTURE AND METHOD OF FORMING SAME）

formed above the dummy landing pad. A silicon nitride barrier layer is also formed during the process.



六、申請專利範圍

1. 一種半導體積體電路元件，其包含：

一矽基板，其具有一場氧化物區，與形成於其中之一間隔區；

分別在第一和第二自我對準接觸窗口之第一和第二自我對準接觸，其分別與場氧化物區和主動區相連；

一形成於該場氧化物區之上與該第一自我對準接觸窗口之下之虛擬多晶矽著陸墊；以及

一形成於該虛擬著陸墊之上的操作多晶矽著陸墊。

2. 如申請專利範圍第1項之元件，其中該第二自我對準接觸窗口包含一在第一自我對準接觸蝕刻步驟形成之第一上半部分，與在第二自我對準接觸蝕刻步驟形成之第二下半部分。

3. 如申請專利範圍第2項之元件，其中該第一自我對準接觸窗口形成於第一自我對準接觸蝕刻步驟。

4. 如申請專利範圍第3項之元件，其進一步包含一於自我對準接觸步驟前形成之氮化矽鍍層。

5. 如申請專利範圍第1項之元件，其中該著陸墊於浮控閘製程中形成。

6. 如申請專利範圍第1項之元件，其進一步包含一位於該第二自我對準接觸窗口下之薄氧化物層。

7. 如申請專利範圍第1項之元件，其進一步包含一平鋪於部分主動區上之多晶矽著陸墊。

8. 如申請專利範圍第1項之元件，其進一步包含形成於平鋪於部分主動區上之多晶矽著陸墊之末端的側壁空間。

六、申請專利範圍

9. 如申請專利範圍第1項之元件，其進一步包含形成於操作的多晶矽著陸墊末端之側壁空間。

10. 一種形成一半導體積體電路元件之方法，其包含下列步驟：

在半導體基板內形成一場氧化物區與一間隔主動區；

形成第一和第二自我對準接觸窗口，其分別與場氧化區和主動區相連；

形成一虛擬多晶矽著陸墊於場氧化物區之上與第一自我對準窗口之下；以及

於虛擬著陸墊之上形成一操作的多晶矽著陸墊。

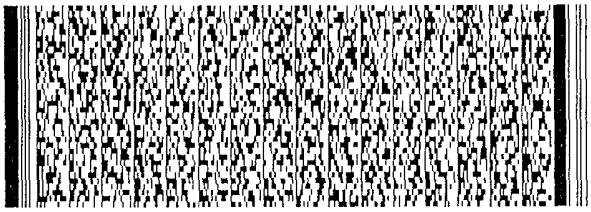
11. 如申請專利範圍第10項之方法，其進一步包含在第一自我對準接觸蝕刻步驟中，形成第二自我對準接觸窗口之第一上半部分，與在第二自我對準接觸蝕刻步驟中，形成第二下半部分。

12. 如申請專利範圍第11項之方法，其進一步包含在第一自我對準接觸蝕刻步驟中，形成第一自我對準接觸窗口。

13. 如申請專利範圍第12項之方法，其進一步包含在任何自我對準接觸蝕刻步驟之前形成一氮化矽鍍層。

14. 如申請專利範圍第10項之方法，其進一步包含在浮控閘極製造過程中形成一虛擬著陸墊。

15. 如申請專利範圍第10項之方法，其進一步包含形成一薄氧化物層之步驟，如此則第二自我對準接觸窗口位於薄氧化物層上。



六、申請專利範圍

16. 如申請專利範圍第10項之方法，其進一步包含在部分主動區域上，形成一多晶矽著陸墊之步驟。

17. 如申請專利範圍第10項之方法，其進一步包含在平鋪於部分主動區上之多晶矽著陸墊末端，形成側壁空間。

18. 如申請專利範圍第10項之方法，其進一步包含在操作的多晶矽著陸墊末端，形成側壁空間之步驟。

圖式

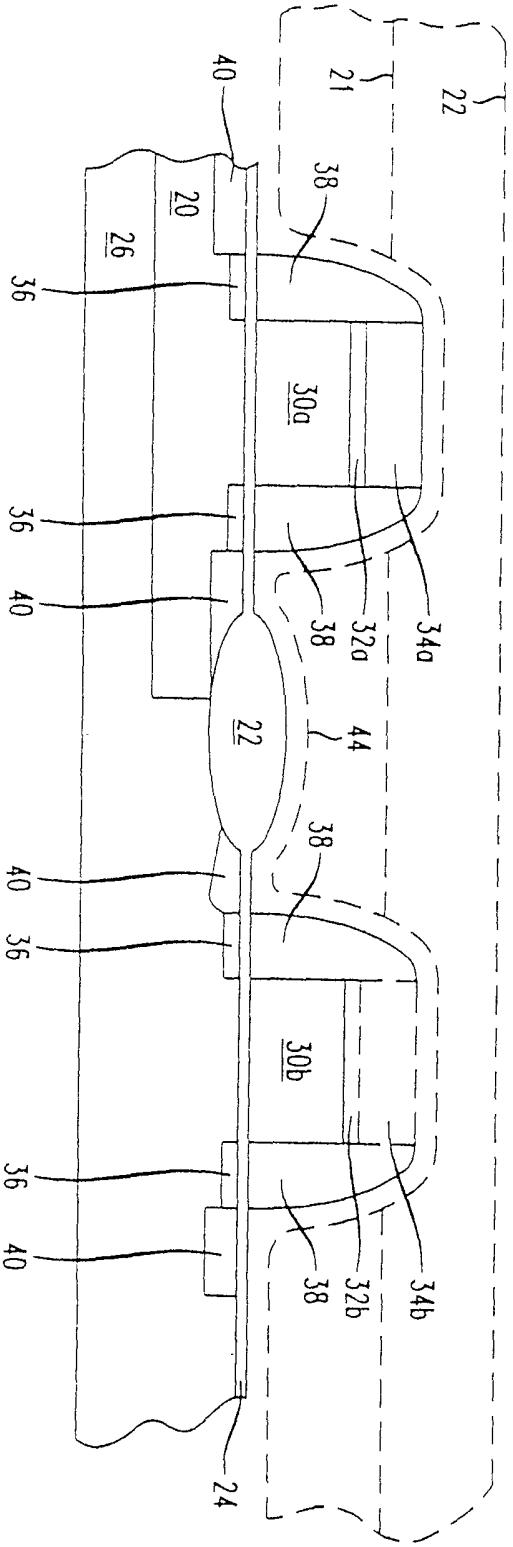

先前技藝
22
21
40
38
20
26
36
30a
36
40
38
32a
34a
22
44
38
40
36
30b
36
40
38
32b
34b
24

圖1

圖式

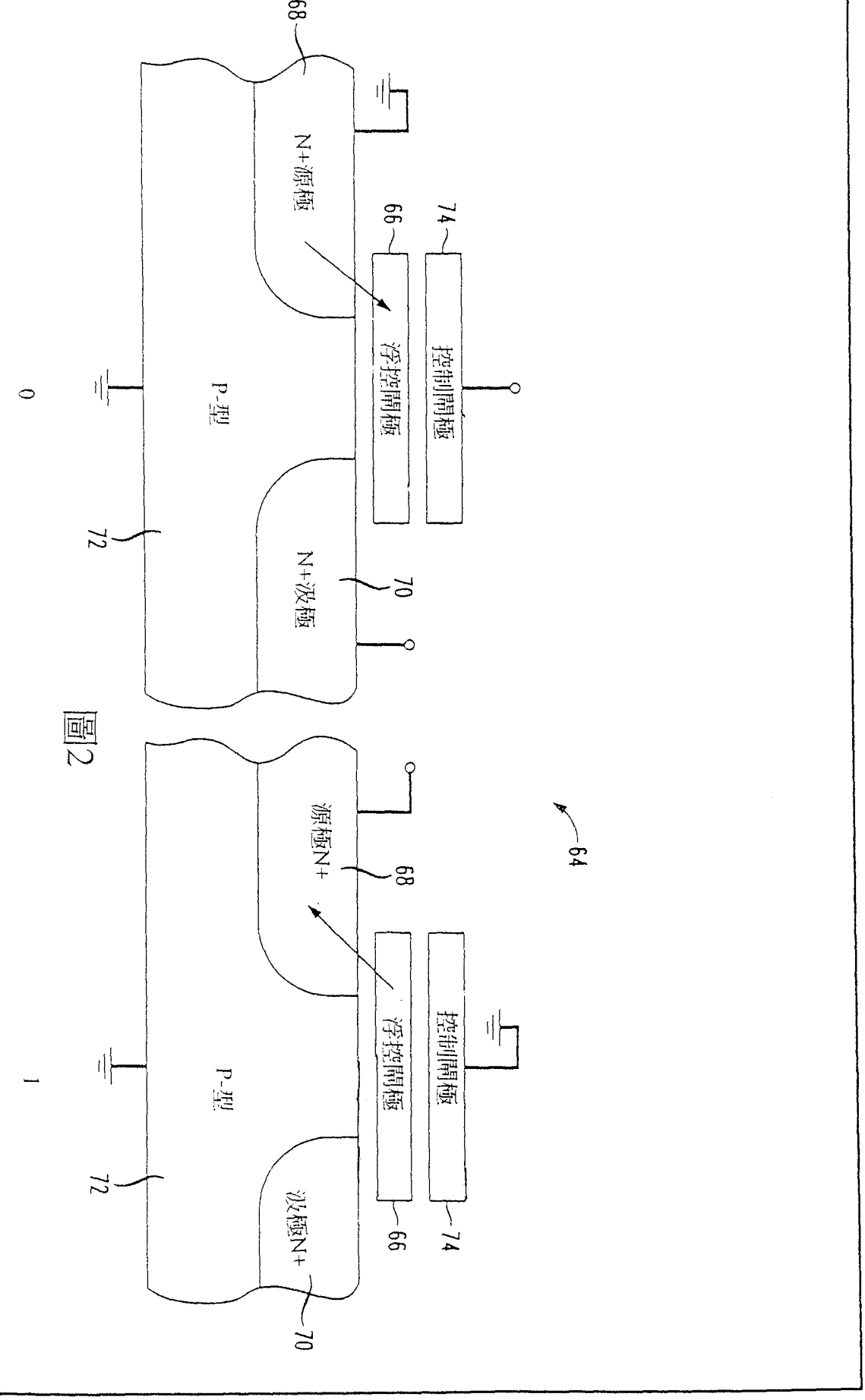

68
N+源極
66
浮控閘極
74
控制閘極
P-型
72
N+汲極
70
0
64
源極N+
68
浮控閘極
66
控制閘極
74
P-型
72
汲極N+
70
1

圖2

式圖

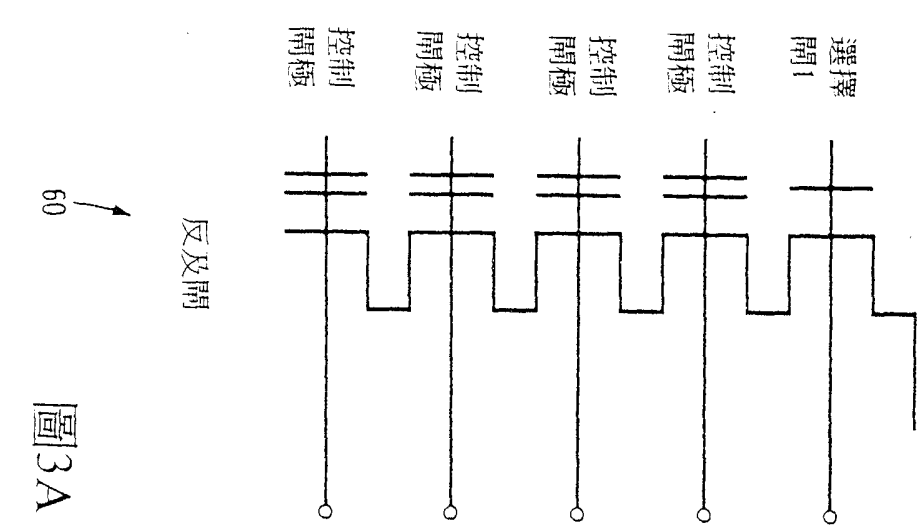

選擇閘1
控制閘極
控制閘極
控制閘極
控制閘極
反及閘
60

圖3A

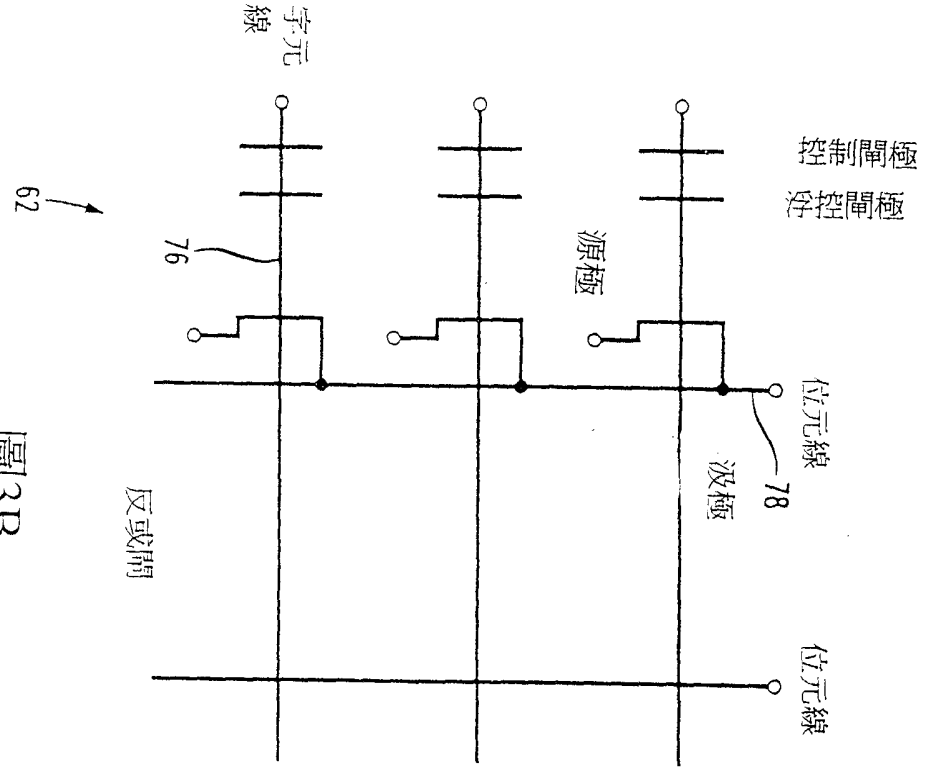

字元線
控制閘極
控制閘極
源極
位元線
汲極
78
位元線
76
反或閘
62

圖3B

圖式

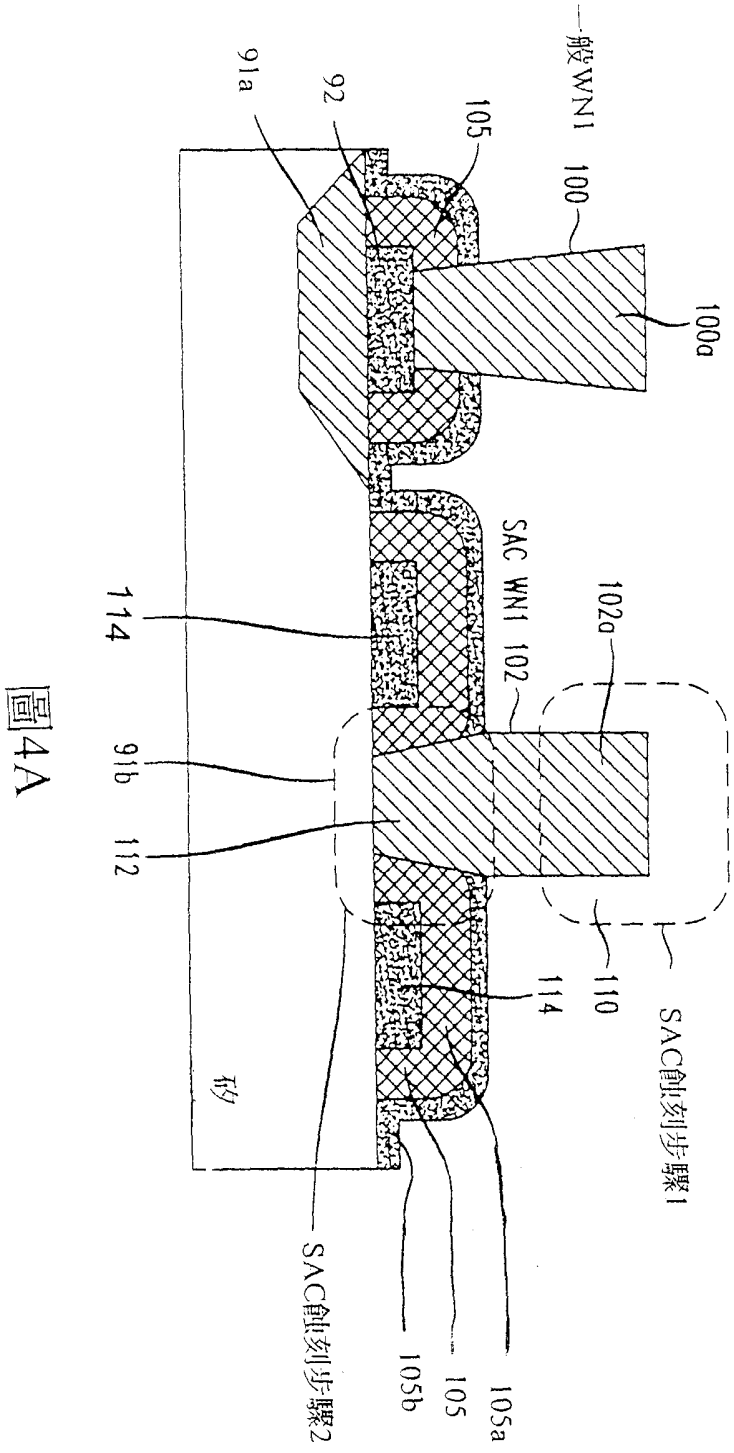
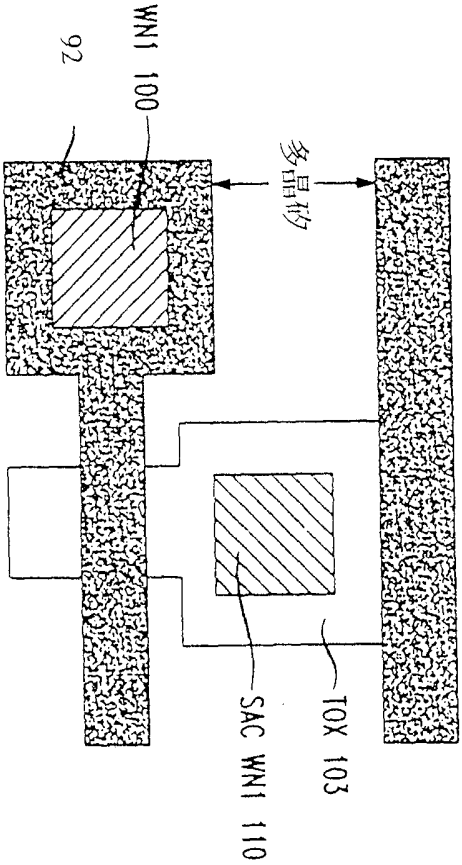

先前技藝
一般WN1
100
100a
105
92
91a
SAC WN1
102
102a
SAC蝕刻步驟1
110
114
114
91b
112
矽
SAC蝕刻步驟2
105b
105
105a

圖4A

圖式



先前技藝

圖4B

圖式

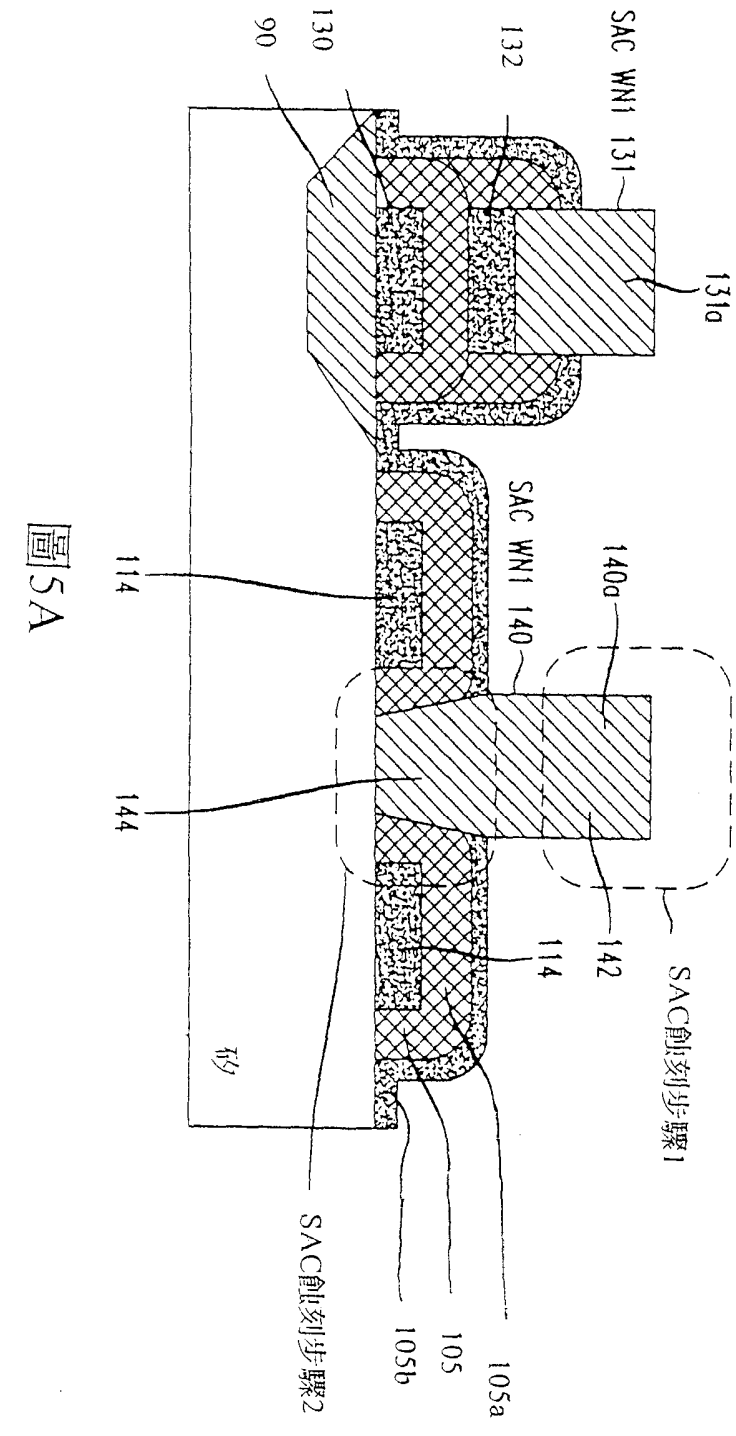

SAC WN1 131
132
130
90
131a
SAC WN1 140
140a
114
144
142
114
SAC蝕刻步驟1
矽
SAC蝕刻步驟2
105a
105
105b

圖5A

圖式

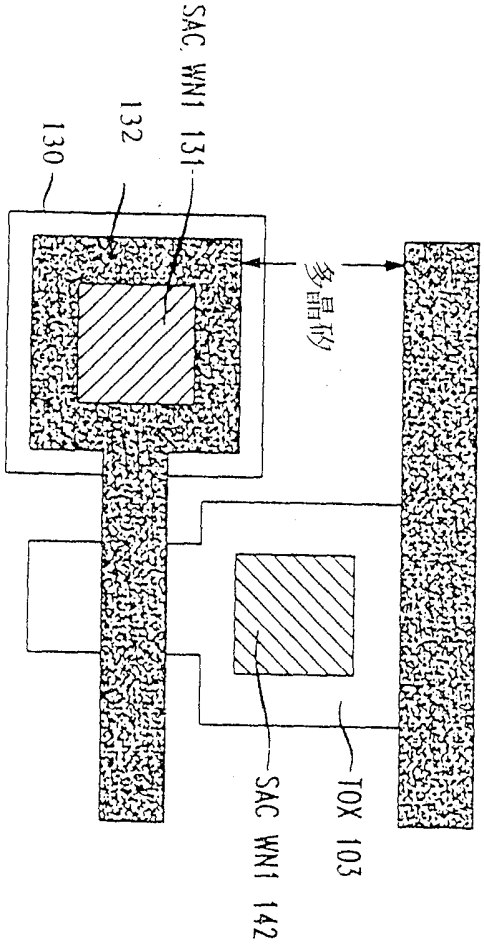


圖5B

圖式

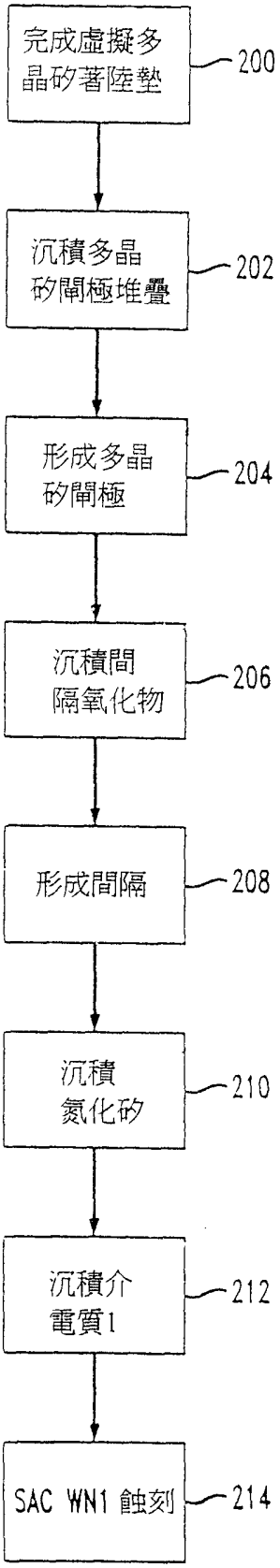

完成虛擬多晶矽著陸墊
200
沉積多晶矽閘極堆疊
202
形成多晶矽閘極
204
沉積間隔氧化物
206
形成間隔
208
沉積氮化矽
210
沉積介電質1
212
SAC WN1 蝕刻
214

圖6