

(21)申請案號：098117435

(22)申請日：中華民國 98 (2009) 年 05 月 26 日

(51)Int. Cl. : G11C29/12 (2006.01)

G06F11/22 (2006.01)

G01R31/317 (2006.01)

(30)優先權：2008/08/01 日本 2008-200094

(71)申請人：富士通微電子股份有限公司 (日本) FUJITSU MICROELECTRONICS LIMITED (JP)

日本

(72)發明人：平出貴久 HIRAIDE, TAKAHISA (JP)

(74)代理人：憚軼群；陳文郎

申請實體審查：有 申請專利範圍項數：13 項 圖式數：11 共 36 頁

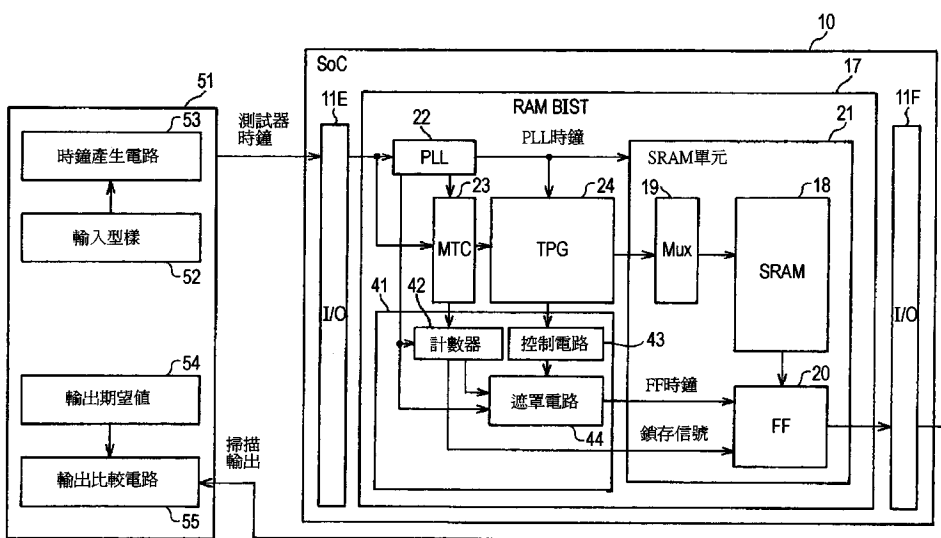
(54)名稱

積體電路以及用於測試該電路之方法

INTEGRATED CIRCUIT AND METHOD FOR TESTING THE CIRCUIT

(57)摘要

一種積體電路包括一記憶體；測試該記憶體的一記憶體測試電路；及一輸入/輸出埠，其中該記憶體測試電路包括輸出該記憶體之輸出的一鎖存電路，根據一第一時鐘信號改變將受存取之該記憶體的一位址，且根據週期為該第一時鐘信號之一整數倍的一鎖存信號鎖存相對應於該已改變位址之該記憶體的輸出，該鎖存電路的資料在該鎖存信號之一週期中經由該輸入/輸出埠予以輸出，改變相對應於將由該鎖存電路所鎖存之該記憶體之輸出的一記憶體胞元的一位址，且重複該鎖存及該輸出。



10 : SoC

11E : 輸入/輸出埠/I/O 埠

11F : 輸入/輸出埠/I/O 埠

17 : 記憶體

18 : SRAM

19 : 多工器 Mux

20 : 鎖存電路/FF

21 : SRAM 單元

22 : 鎖相迴路電路/PLL 電路

23 : 記憶體測試控制器/MTC

- 24：測試型樣產生電
路/TPG
- 41：鎖存控制電路
- 42：計數器
- 43：控制電路
- 44：遮罩電路
- 51：測試器
- 52：輸入型樣記憶體
- 53：時鐘產生電路
- 54：輸出期望值暫存
器
- 55：輸出比較電路

六、發明說明：

【發明所屬之技術領域】

交互參照相關申請案

本申請案主張2008年8月1日提出申請的日本專利申請案第2008-200094號案的優先權的利益，其全部內容在此以參照形式被併入本文。

發明領域

本文所討論的實施例是指一積體電路。

【先前技術】

發明背景

一靜態隨機存取記憶體(SRAM)、一動態隨機存取記憶體(DRAM)等嵌入於一電腦系統中的一積體電路中，例如一系統單晶片(SoC)、一處理器、一數位訊號處理器(DSP)或一記憶體元件。隨著該 SoC 變得日益複雜，該嵌入式記憶體的容量也增加。接著，該良率由該嵌入式記憶體的品質所判定。此外，用於自動地測試該嵌入式記憶體的一測試電路嵌入於該 SoC 中。

例如在日本早期公開專利申請案第 2002-298598 號案、日本早期公開專利申請案第 2000-222899 號案、日本早期公開專利申請案第 2003-132696 號案及日本早期公開專利申請案第 H10-207695 號案中已揭露了嵌入該 SoC 中之該記憶體的測試。

【發明內容】

發明概要

根據實施例之層面，提供了一積體電路，該積體電路包含：一記憶體；測試該記憶體的一記憶體測試電路；及一輸入/輸出

埠，其中該記憶體測試電路包括輸出該記憶體之輸出的一鎖存電路，根據一第一時鐘改變將受存取之該記憶體的一位址，根據一第一時鐘改變將受存取之該記憶體的一位址，且根據週期為該第一時鐘之一整數倍的一鎖存信號鎖存相對應於該已改變之位址之該記憶體的輸出，在該鎖存信號之一週期中經由該輸入/輸出埠輸出該鎖存電路之資料，改變相對應於將受該鎖存電路鎖存之該記憶體之輸出的一記憶體胞元的一位址，且重複該鎖存及該輸出。

在下面的描述中將部分地提出本發明之附加的優點及新穎的特徵，且對該技藝中具有通常知識者而言能夠藉由檢視以下描述或實施本發明之學習而使其變得更明顯。

圖式簡單說明

第 1 圖說明一積體電路(SoC)範例。

第 2A 圖及第 2B 圖說明一示範 SRAM 及一示範錯誤位元圖表(FBM)。

第 3A 圖及第 3B 圖說明一 SRAM 之一示範測試。

第 4 圖說明一第一實施例。

第 5 圖說明一 FBM 採集測試序列之一示範時序圖。

第 6 圖說明一示範鎖存控制電路。

第 7 圖說明一鎖存控制電路之一示範時序圖。

第 8 圖說明在一 FBM 採集測試中使用一行進式形樣之一示範操作。

第 9 圖說明一第二實施例。

第 10 圖說明一內建自測試(BIST)電路之一示範時序圖。

第11圖說明一第三實施例。

【實施方式】

較佳實施例之詳細說明

第 1 圖說明了一示範積體電路(SoC)。如第 1 圖之所說明，一晶圓 1 包括多個晶片 SoC 10。每一 SoC 10 包括輸入/輸出(I/O)埠 11A 至 11D、一中央處理單元(CPU)12、一邏輯電路(Logic)13、一 DSP 14、一唯讀記憶體(ROM) 15、一 SRAM 16 及一記憶體 17。該記憶體 17 由該 CPU 12、該邏輯電路 13、該 DSP 14 等來存取，且不可直接從外部存取。該記憶體 17 可以是一 SRAM。

該記憶體 17 包括具有該 SRAM 18 及用於執行該 SRAM 18 之一測試之一 RAM 內建自測試(RAM-BIST)電路之一 SRAM 單元 21。該 SRAM 單元 21 包括一多工器 Mux 19 及一鎖存電路 (FF)20。該多工器 Mux 19 將從在測試中由該 RAM-BIST 電路至該 SRAM 18 之存取切換至在正常操作中由該 SoC 10 中不同於該 RAM-BIST 電路之其他部分(例如該 CPU 12、該邏輯電路 13、該 DSP 14 等)至該 SRAM 18 之存取，或該多工器 Mux 19 將從在正常操作中由該 SoC 10 中不同於該 RAM-BIST 電路之其他部分(例如該 CPU 12、該邏輯電路 13、該 DSP 14 等)至該 SRAM 18 之存取切換至在測試中由該 RAM-BIST 電路至該 SRAM 18 之存取。該鎖存電路(FF)20 在該測試中鎖存該 SRAM 18 的輸出。該鎖存電路 20 包括二正反器。當該二正反器的其中一個在重置為“0”之後再寫入“1”時，該正反器即使寫入“0”也保持為“1”。就是說，一旦“1”寫入了該二觸發器的其中之一中，只要未獲重置該正反器的值不會返回“0”。當該二正反器的另一個在重置為“1”之後再寫入

“0”時，其即使寫入“1”也保持為“0”。就是說，一旦“0”寫入了該二正反器的另一個中，只要它未獲重置其值就不會返回“1”。當儲存所寫入資料與所讀取資料之間的一比較結果時，即可使用一個正反器。

該 RAM-BIST 電路包括一鎖相迴路(PLL)電路 22、一記憶體測試控制器(MTC)23 及一測試型樣產生電路(TPG)24。該 PLL 電路 22 在該測試中基於提供給該記憶體 17 的一測試時鐘或時鐘信號產生具有接近於在正常操作中一時鐘之一高速的一第一時鐘。該測試時鐘可提供作為該高速第一時鐘而不用提供該 PLL 電路 22。

第 2A 圖說明了一示範 SRAM。該 SRAM 可是在第 1 圖中的 SRAM 18。該 SRAM 18 包括一胞元陣列 31、一列解碼器 32、一行解碼器 33、一感應放大器 34 及一時鐘產生器 35。

一合併測試包括用於選擇一故障晶片的一品質判定測試及用於指明一故障原因的一測試。在該品質判定測試中，測試一 SoC 是否正常地操作，例如資料是否正常地寫入該記憶體 17 及該資料是否正常地從該記憶體 17 讀取。在使用一測試型樣的一測試中，例如，如第 3A 圖之所說明，在重置該 FF 20 中該二正反器之後，相繼地改變一位址，且將“0”寫入該記憶體中。接著，在相繼地改變該位址時，將從該記憶體讀取的資料儲存於該二正反器之其中一個且將“1”寫入該記憶體中。而且，以一正向或一反向改變該位址之後，將從該記憶體讀取的資料儲存於該二正反器之另一個正反器中，且將“0”寫入該記憶體中。最後，讀取(掃描輸出操作)儲存在該 FF 20 中之該二正反器中的該資料。當無故障胞元

存在於該 SRAM 18 中時，從該 FF 20 中之該二正反器之一個正反器中讀取“0”且從該另一正反器中讀取“1”。當一故障胞元存在於該 SRAM 18 中時，從該 FF 20 中之該二正反器之一個正反器中讀取“1”，或從該另一正反器中讀取“0”。然而，該品質判定測試不能指明該故障胞元的位址。

在該掃描輸出操作中，將保持於該 FF 20 中的該資料輸出至該 SoC 10 的外部。對該 SoC 10 中該 SRAM 18 的存取速度由於一外部測試器的一介面信號而變慢。例如當該 SRAM 18 的輸出為 N 位元時，該 N 位元資料遭轉換為串列資料且從一個終端輸出而不用為該 N 位元資料提供 I/O 埠。即使該 FF 20 的一輸出週期實質上相同於該 SRAM 的該操作週期，掃描輸出操作時間也可能大於 N 倍的該 SRAM 的該操作週期。如果該 FF 20 的該輸出週期是 K 倍的該 SRAM 的該操作週期，那麼該掃描輸出操作時間可能大於 $K \times N$ 倍的該 SRAM 的該操作週期。如果輸出該二正反器的資料，那麼該掃描輸出操作時間是雙倍的。

在該 SRAM 中，提供了多個列或行之冗餘胞元，且執行包含一故障胞元的一列或一行的替代。可為各列或行提供相似於該以上所描述之鎖存電路的一鎖存電路，且可執行用於檢測包含一故障胞元之一列或一行的一測試。然而，不能執行檢測在該受測試的列或行存在多少個故障胞元，且不能檢測該故障胞元的位址。

在用以指明一故障原因的一測試中，為了指明一記憶體中的一故障點，執行一錯誤位元表(FBM)採集測試。在該 FBM 採集測試中，以一圖表的形式採集一故障胞元的一位址。第 2B 圖說明了一示範 FBM。在第 2B 圖中，×標示指示故障胞元。

在該 FBM 採集測試中，使用嵌入該 SoC 中用於該品質判定測試的該 RAM-BIST。該 FF 20 保持了一個胞元的輸出。此外，如第 3B 圖之所說明，每次執行對該 SRAM 18 中每一胞元的存取時，也會執行該掃描輸出操作。因為該掃描輸出操作慢於對該 SRAM 18 的該存取操作，該存取操作包括讀取、寫入，所以對一個胞元的掃描輸出變慢。

在該品質判定測試中，為了減少測試時間或保證系統在一實際操作狀態下操作，以一實際操作速度(實際時間操作測試)實施該測試。以該實際操作速度的該操作稱為飛速操作。由於嚴格的時序設計及該操作速度的增加，很少有過程的合併。因為該 SRAM 18 的該品質判定測試包括該掃描輸出操作，所以該測試以該實際操作速度予以執行且該 FBM 採集測試以一低速予以執行。此外，該品質判定測試與該 FBM 採集測試的測試結果可相互不同。因為在該 FBM 採集測試中對每一胞元執行該掃描輸出操作，所以以一低速執行該讀取及寫入操作。此外，在該 FBM 採集測試中，不能檢測到當以一高速成功地執行該寫入及寫入操作時發生但在一低速下不發生的故障。

第 4 圖說明了一第一實施例。第 4 圖說明了一測試系統，其中執行該積體電路 10 之該 FBM 採集測試的一測試器 51 耦接於該積體電路 10。該積體電路 10 可是具有一電腦系統的一 SoC。該積體電路 10 包括該記憶體 17 及該 I/O 埠 11E 及 11F。該記憶體 17 包括具有該 SRAM 18 的該 SRAM 單元 21 及用於執行該 SRAM 18 之測試的該 RAM-BIST 電路。該 I/O 埠 11E 從該測試器 51 接收一測試器時鐘輸入至該記憶體 17。該 I/O 埠 11F 將該

記憶體 17 的測試輸出輸出至該外部。至該外部之該記憶體 17 的測試輸出作為一掃描輸出信號輸入至該測試器 51 中。該 SRAM 18 包括一 N 位元輸出。鎖存在該 FF 20 中的該 N 位元資料轉換為串列資料且從該 I/O 埠 11F 輸出。在該第一實施例中的該積體電路 10 包括一 CPU、一邏輯電路、一 DSP 等(未顯示)。該 SRAM 18 從該 CPU、該邏輯電路、該 DSP 等(未顯示)中存取。

該記憶體 17 包括具有該 SRAM 18 的該 SRAM 單元 21 及用於執行該 SRAM 18 之測試的該 RAM-BIST 電路。該 SRAM 單元 21 包括該多工器 Mux 19 及該鎖存電路(FF)20。該多工器 Mux 19 將於以下兩種情形中切換：在測試中由該 RAM-BIST 電路至該 SRAM 18 之存取以及在正常操作中由該 SoC 10 中不同於該 RAM-BIST 電路之其他部分(例如該 CPU、該邏輯電路、該 DSP 等)至該 SRAM 18 之存取。該鎖存電路(FF)20 包括在測試中鎖存及保持該 SRAM 18 之輸出的正反器。該記憶體 17 包括該 SRAM 18。然而，它並不僅限於該組態，而且該記憶體 17 可包括例如一 DRAM。

該 FF 20 對於該 SRAM 18 之各輸出位元都包括二正反器。因為該 SRAM 18 包括該 N 位元輸出，所以該 FF 20 包括 2N 個正反器。自該 2N 個正反器的資料是經串列轉換且輸出。當在重置為“0”之後再將“1”寫入該二正反器的其中之一個時，該一個正反器即使寫入“0”也保持“1”。一旦將“1”寫入該一個正反器中，只要未重置該一個正反器都不能將“0”寫入該一個正反器中。當在重置為“1”之後將“0”再寫入該二正反器的另一個時，該另一個正反器即使寫入“1”也保持“0”。一旦將“0”寫入該另一個正反器中，只要

未重置該另一個正反器都不能將“1”寫入該另一個正反器中。藉由使用諸如 FF 20 的一正反器，執行該品質判定測試。保持於該二正反器之其中之一個的該資料指示為 R0，且保持於該另一個正反器中的該資料指示為 R1。由該 R0 及該 R1 所指示的該資料分別具有 N 位元，且該資料遭串列轉換且輸出。不能同時地讀取由該 R0 及該 R1 所指示的該資料。此外，該 I/O 埠 11F 的終端可以是一個。

該 RAM-BIST 電路包括該 PLL 電路 22、該記憶體測試控制器(MTC)23、該測試型樣產生電路(TPG)24 及一鎖存控制電路 41。該 PLL 電路 22 在測試中基於提供給該記憶體 17 的一測試時鐘產生具有接近於正常操作中一時鐘速度的一高速的一第一時鐘。例如，該測試時鐘之一週期是一 PLL 時鐘之週期的四倍。

該鎖存控制電路 41 產生一鎖存信號和一 FF 時鐘，該鎖存信號指示該 FF 20 鎖存該 SRAM 18 輸出的時序安排，且當在該 SRAM 18 上正執行與第 3A 圖所說明之該品質判定測試中此等操作相似的寫入及讀取操作時該 FF 時鐘使該 FF 20 移位以讀取由該 FF 所鎖存之該資料。該鎖存控制電路 41 包括在該 MTC 23 的控制下計數該 PLL 時鐘且產生相對應於該計數值之一信號的一計數器 42、基於該 TPG 24 的一信號產生用於鎖存之一控制信號的一控制電路 43，及基於來自該計數器 42 及該控制電路 43 的該等信號產生該 FF 時鐘的一遮罩電路 44。該計數器 42 產生該鎖存信號。

該測試器 51 包括一輸入型樣記憶體 52、一時鐘產生電路 53、一輸出期望值暫存器 54 及一輸出比較電路 55。該輸入型樣

記憶體 52 儲存提供給該 SoC10 用於一測試的一測試時鐘。該時鐘產生電路 53 根據來自該輸入型樣記憶體 52 的一指令產生一測試器時鐘。該輸出期望值暫存器 54 儲存基於該 SoC 10 的操作而期望由該 SRAM 18 輸出的資料。該輸出比較電路 55 將從該 SoC 10 輸出的一掃描輸出信號與從該輸出期望值暫存器 54 輸出的一期望值進行比較。當該掃描輸出信號相對應於該期望值時，判定該胞元正常，且當該掃描輸出信號與該期望值不相互對應時，判定該胞元是一故障胞元。因為該 SoC 10 的一測試序列儲存於該輸入型樣記憶體 52 中，所以該測試器 51 可識別該掃描輸出信號是從哪個胞元輸出。

第 5 圖說明了一 FBM 採集測試序列的一示範時序圖。該測試器時鐘之週期是該 PLL 時鐘之週期的四倍，且同步於該測試器時鐘地讀取來自該 FF 20 的該資料。該 PLL 電路 22 產生週期為該測試器時鐘之 1/4 的一 PLL 時鐘，且將該 PLL 時鐘提供給該 SRAM 單元 21。將具有該測試器時鐘之 1/4 週期的該 PLL 時鐘提供給例如該 SRAM 18。該 SRAM 18 根據該 PLL 時鐘操作，且執行第 3A 圖所說明的操作。在一第一操作中，寫入“0”。在一第二操作中，讀取該所寫入資料且寫入“1”。在一第三操作中，讀取該所寫入資料且寫入“0”。在該操作中，不執行掃描輸出操作。接著，一第一週期結束。該第二操作及該第三操作是以一給定次數重複執行。在該第二操作及第三操作中，在二 PLL 時鐘中在相對應於一個位址之一個胞元之上執行一讀取操作及一寫入操作。

該計數器 42 在該測試器時鐘之一 1/2 週期中改變一計數值且重複從零至 M-1 之值的計數。

在第 5 圖中，從該 SRAM 18 的讀取操作及在該 SRAM 18 中的寫入操作與該 PLL 時鐘的一下降同步執行。

在第一週期中之該第二操作中，當從相對應於該 SRAM 18 之一起始位址(Address 0)的一胞元讀取資料時，該 MTC 23 將該計數器 42 的計數值設定為“0”。當讀取該資料後經過一 $1/2$ PLL 時鐘時，就是說，資料的讀取與該 PLL 時鐘的一上升同步時，該 MTC 23 將該計數器 42 的計數值設定為“1”。在該計數值改變為“1”之後，該計數器 42 產生與該 PLL 時鐘的一下降同步的一鎖存信號，根據該鎖存信號，從該 SRAM 18 所讀取的 N 位元資料由該 FF 20 鎖存。

在產生該鎖存信號之後，該遮罩電路 44 輸出一 FF 時鐘。該 FF 時鐘是與該測試時鐘同步的一 N 脈衝信號。使用 R0 資料的一正反器，該 FF 20 與該 FF 時鐘之一上升同步移位鎖存的 N 位元資料，且將該資料輸出至該 I/O 埠 11F。該測試器 51 中的該輸出比較電路 55 選通該輸出掃描輸出且將該輸出掃描輸出與一輸出期望值比較。例如，當該計數值為“1”、“3”或“5”時，該 FF 20 執行該移位，且當該計數值為“1”、“3”或“5”時，該輸出比較電路 55 執行該選通。較佳地，該計數器 42 之最大計數值 M-1 是 $2N+1$ 或更大。

當該計數值從 M-1 改變至零時，該遮罩電路 44 重置該 FF 20。

在該第二操作中重複該以上所描述的操作。從相對應於藉由增加相對應於位址 0 加 M 之一位址所產生的位址(Address $0+M$ 、Address $0+2M\dots$)的胞元，讀取與在該第一操作中所寫入之“0”相對應的資料。當該所讀取資料為“0”時，該胞元可能是正常的。當

該所讀取資料為“1”時，該胞元可能是故障的。因為該測試器 51 識別該所讀取資料的位址，所以該測試器 51 判別相對應於該位址的該胞元是否正常或故障且儲存該結果。

當該第二操作結束且從相對應於一最終位址之一胞元之一讀取操作及將“1”寫入該胞元之一寫入操作結束時，開始該第三操作。從 M-1 至“0”設定該計數值，且重置該 FF 20。當從相對應於該 SRAM 18 之該最終位址之該胞元讀取該資料時，該 MTC 23 將該計數器 42 的該計數值設定為“0”。在讀取該資料之後，經過 1/2 PLL 時鐘，例如與該 PLL 時鐘的一上升同步時，該 MTC 23 將該計數器 42 的該計數值設定為“1”。在該第三操作中，使用了相對應於該 FF 20 之 R1 的一正反器。

當該等位址之該等值沿該反向改變時，執行實質上相似於該第二操作的操作。從相對應於自該最大位址之減小 M 之該等位址的胞元，讀取相對應於在該第二操作中所寫入之“1”的資料。當該所讀取資料為“1”時，該胞元可能是正常的。當該所讀取資料為“0”時，該胞元可能是故障的。因為該測試器 51 識別該所讀取資料的位址，所以該測試器 51 判別相對應於該位址的該胞元是否正常或故障且儲存該結果。

當該第三操作結束且從相對應於該第一位址之一胞元之一讀取操作及將“0”寫入該胞元之一寫入操作結束時，該第一週期結束且開始該第二週期。在該第二週期中，開始該第二操作。該計數值是從 M-1 設定至“0”，且重置該 FF 20。當從相對應於該 SRAM 18 之該起始位址之下一位址(就是說 Address 1)的一胞元讀取資料時，該 MTC 23 將該計數器 42 的該計數值設定為“0”。當在讀

取該資料之後經過 $1/2$ 的 PLL 時鐘，例如與該 PLL 時鐘的一上升同步時，該 MTC 23 將該計數器 42 的該計數值設定為“1”。當該第二操作結束時，開始該第三操作。當從相對應於小於該 SRAM 18 之該最終位址之一位址的一胞元讀取資料時，該 MTC 23 將該計數器 42 的該計數值設定為“0”。當讀取該資料後經過該 $1/2$ 的 PLL 時鐘，例如與該 PLL 時鐘的一上升同步時，該 MTC 23 將該計數器 42 的該計數值設定為“1”。執行該第三操作。

在該第二操作中，與首先由該 FF 20 所鎖存之該胞元相對應的該位址被加 1。在該第三操作中，與首先由該 FF 20 所鎖存之該胞元相對應的該位址被減 1。重複該以上所描述之迴圈 M 次。藉由該以上所描述之操作，當該 SRAM 18 以該 PLL 時鐘，就是說，以實質上與正常操作中速度相同的一高速操作時，可採集該等所有胞元的測試結果。

第 6 圖說明了一示範鎖存控制電路。第 7 圖說明了第 6 圖所說明之該鎖存控制電路之該操作的一示範時序圖。例如該 SRAM 18 具有四個位元($N=4$)輸出。例如該測試時鐘之週期是該 PLL 時鐘之週期的兩倍，且該計數器 42 的該最大計數值($M-1$)可為 17。

該鎖存控制電路 41 包括從 0 至 17 重複計數的該計數器 42、一反及(NAND)閘 61、一選擇器 62、一正反器(ff)63、一反相器 64、一四輸出或(OR)閘 65 及反相器 66 及 67。

基於該 MTC 23 的一控制信號 Init 以一給定之時序設定該計時器 42 的值。該計數器 42 與該 PLL 時鐘之一上升同步地改變該計數值。該計數值的二低階位元是 bit0 及 bit1。該計數器 42 基於該計數值輸出控制信號 cnt0 及 cnt1。當該計數值為“0”時該信號

cnt0 的值可為“1”，且當該計數值不為“0”時該信號 cnt0 的值為“0”。當該計數值為“1”時該信號 cnt1 的值為“1”，且當該計數值不為“1”時該信號 cnt1 的值為“0”。該選擇器 62 在二讀取信號來自該 TPG 24 的 read 及 cnt0 均為“1”時選擇該信號 cnt0 且將該 ff 63 設定為“1”。在該操作之後，該選擇器 62 選擇該 ff 63 的輸出且維持該 ff 63 的輸出為“1”直至該計數值變為“0”。當讀取相對應於一位址的一胞元時，該 ff 63 的輸出指示將該所讀取資料輸出至該外部的一時期。

該 OR 閘 65 產生一 FF 時鐘。當在該 ff 63 之輸出為“1”之一期間中若反相的 bit0、bit1 和該 PLL 時鐘皆為“0”時，該 FF 時鐘具有一值為“0”，否則皆為“1”。當該計數值為“0”、“4”、“8”...時該 FF 時鐘可以是具有一值“0”的一脈衝。該鎖存信號是該信號 cnt1 的一反相的信號。

該 FF 20 根據該鎖存信號之一下降鎖存從該 SRAM 18 輸出之一胞元的資料。該鎖存之四位元資料根據該 FF 時鐘之一上升移位，且作為掃描輸出而輸出至該外部。該測試器選通該輸出掃描輸出。

第 8 圖說明了在一 FBM 採集測試中使用一行進式形樣的一示範操作。該 SRAM 18 包括例如相對應於 Address 0 至 Address 7 的八個胞元。

在該第一操作中，將“0”寫入所有該等胞元中。

在該第一週期中之該第二操作中，從相對應於從該位址 Address 0 至該位址 Address 7 之該等胞元讀取該資料，且將“1”寫入該等相對應之胞元中。在操作中時，將從相對應於該位址

Address 0 及該位址 Address 7 之該等胞元中所讀取的該資料作為掃描輸出而輸出至該外部。當從相對應於該位址 Address 4 之該胞元的一讀取操作開始時，從相對應於該位址 Address 0 之胞元中所讀取的該資料遭輸出至該外部。當從相對應於該位址 Address 7 之該胞元的一讀取操作開始時，從相對應於該位址 Address 4 之胞元中所讀取的該資料遭輸出至該外部。在該第一週期中之該第三操作中，從相對應於從該位址 Address 7 至該位址 Address 0 之位址的該等胞元中讀取資料，且將“0”寫入該等相對應之胞元中。在操作中時，將從相對應於該位址 Address 7 及該位址 Address 3 的該等胞元中所讀取的該資料作為掃描輸出而輸出至該外部。當從相對應於該位址 Address 3 之該胞元的一讀取操作開始時，從相對應於該位址 Address 7 之該胞元中所讀取的該資料遭輸出至該外部。當在該第二週期之該第二操作從相對應於該位址 Address 1 的該胞元的一讀取操作開始時，從相對應於該位址 Address 3 之該胞元中所讀取的該資料遭輸出至該外部。

在該第二週期至該第四週期中，對從其中讀取資料之胞元的位址移位，且執行實質上相似於該第一週期中操作的一操作。例如，在該第二週期之該第二操作中，將相對應於該位址 Address 1 及該位址 Address 5 之該等胞元的資料輸出至該外部。在該第二週期之該第三操作中，將相對應於該位址 Address 6 及該位址 Address 2 之該等胞元的資料輸出至該外部。在該第三週期之該第二操作中，將相對應於該位址 Address 2 及該位址 Address 6 之該等胞元的資料輸出至該外部。在該第三週期之該第三操作中，將相對應於該位址 Address 5 及該位址 Address 1 之該等胞元的資料

輸出至該外部。在該第四週期之該第二操作中，將相對應於該位址 Address 3 及該位址 Address 7 之該等胞元的資料輸出至該外部。在該第四週期之該第三操作中，將相對應於該位址 Address 4 及該位址 Address 0 之該等胞元的資料輸出至該外部。

在該四個週期中，從所有該等胞元中讀取該資料。在該第一實施例中，相繼地執行每一週期。然而該第一操作(例如將“0”寫入所有胞元中之該操作)可提供於每一週期之間。

第 9 圖說明了一第二實施例。在該第二實施例中包括該記憶體 17 的一積體電路是例如具有一電腦系統的一 SoC。類似於該第一實施例中的該記憶體，該第二實施例中的該記憶體 17 是由該 SoC 中一 CPU、一邏輯電路或一 DSP 進行存取。

不同於該第一實施例，該第二實施例中的該積體電路在該記憶體 17 之該 RAM-BIST 電路中不包括該 PLL 電路。在該第二實施例中之該記憶體 17 包括具有該 SRAM 18 的該 SRAM 單元 21 及用於執行該 SRAM 18 之一測試的該 RAM-BIST 電路。該 SRAM 單元 21 包括該 SRAM 18、該多工器 Mux 19 及該鎖存電路 (FF)20。該 RAM-BIST 電路包括該記憶體測試控制器(MTC)23、該測試型樣產生電路(TPG)24 及該鎖存控制電路 41。該鎖存控制電路 41 的一組態可實質上相同於或相似於該第一實施例中該鎖存控制電路。

在該第二實施例中，一從外部所提供的高速測試器時鐘直接提供給該 SRAM 單元 21、該 MTC 23、該 TPG 24 等。該 SRAM 18 與該測試器時鐘同步操作。該第一實施例中的該記憶體與該 PLL 時鐘同步操作。然而，該第二實施例中的該記憶體與該測試

器時鐘同步操作。

第 10 圖說明了第 9 圖所說明之該電路之操作之一示範時序圖。對比於第 7 圖所說明之該時序圖，在第 10 圖所說明之該時序圖中，使用該測試器時鐘代替該 PLL 時鐘。第 10 圖所說明之該等其他部分實質上相同於或相似於第 7 圖所說明之此等其他部分。

第 11 圖說明了一第三實施例。在該第三實施例中包括該記憶體 17 的一積體電路是例如具有一電腦系統的一 SoC。類似於該第二實施例中的該記憶體，該記憶體 17 是由該 SoC 中一 CPU、一邏輯電路或一 DSP 進行存取。

不同於該第二實施例，在該第三實施例中，一線性回饋移位暫存器(LFSR)70 在該 RAM-BIST 電路之該鎖存控制電路中用作該計數器。在該第三實施例中的該等其他部分實質上相同於或相似於該第二實施例中的此等部分。

該線性回饋移位暫存器產生一相對較長週期的一亂數量序列。例如，可使用在日本早期公開專利申請案第 H10-207695 號案中所討論之該線性回饋移位暫存器。

除了使用該線性回饋移位暫存器這一點，該第三實施例實質上相同於或相似於該第二實施例。

在該等實施例中，當該積體電路以一實際操作速度操作時，例如當該積體電路飛速地操作時，獲取指示一故障胞元之一位元址的一 FBM。例如在正常操作下所取得 FBM 的時間是實質上與在低速操作下相同。

在根據該等實施例之該 FBM 採集測試中，使用該行進式型

樣。然而，還可使用任何其他模式。

在根據該等實施例之該品質判定測試中，使用保持該資料 R0 及 R1 的該 FF。然而，在該品質判定測試或該 FBM 採集測試中，可使用具有一個正反器的一 FF。

在該等實施例中，使用該 SRAM。然而，還可使用任何其他可寫式記憶體。

在該等實施例中，使用該 SoC。然而，還可使用包括不是從外部存取之一記憶體的任何其他積體電路。

現在已根據以上的優點描述了本發明的範例實施例。將理解的是此等範例僅僅是本發明的說明。許多變化及修改對在該技藝中具有通常知識者將是顯而易見的。

【圖式簡單說明】

第 1 圖說明一積體電路(SoC)範例。

第 2A 圖及第 2B 圖說明一示範 SRAM 及一示範錯誤位元圖表(FBM)。

第 3A 圖及第 3B 圖說明一 SRAM 之一示範測試。

第 4 圖說明一第一實施例。

第 5 圖說明一 FBM 採集測試序列之一示範時序圖。

第 6 圖說明一示範鎖存控制電路。

第 7 圖說明一鎖存控制電路之一示範時序圖。

第 8 圖說明在一 FBM 採集測試中使用一行進式形樣之一示範操作。

第 9 圖說明一第二實施例。

第 10 圖說明一內建自測試(BIST)電路之一示範時序圖。

第 11 圖說明一第三實施例。

【主要元件符號說明】

1...晶圓	42...計數器
10...SoC	43...控制電路
12...中央處理單元/ CPU	44...遮罩電路
13...邏輯電路/Logic	51...測試器
14... DSP	52...輸入型樣記憶體
15...唯讀記憶體/ROM	53...時鐘產生電路
16... SRAM	54...輸出期望值暫存器
17...記憶體	55...輸出比較電路
18... SRAM	61...反及閘/NAND 閘
19...多工器/Mux	62...選擇器
20...鎖存電路/FF	63...正反器/ff
21... SRAM 單元	64...轉換器
22...鎖相迴路電路/PLL 電路	65...四輸出或閘/OR 閘
23...記憶體測試控制器/MTC	66/67...轉換器
24...測試型樣產生電路/TPG	70...線性回饋移位元暫存器
31...胞元陣列	/LFSR
32...列解碼器	11A/11B/11C/11D/11E/11F...
33...行解碼器	輸入/輸出埠/I/O 埠
34...感應放大器	bit0/bit1/cnt0/cnt1/Init/Read...
35...時鐘產生器	信號
41...鎖存控制電路	R0/R1...資料

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98117435

※ 申請日：98.5.26

※IPC 分類：G11C 29/12(2006.01)

G06F 11/22(2006.01)

G01R 31/317(2006.01)

一、發明名稱：(中文/英文)

積體電路以及用於測試該電路之方法

INTEGRATED CIRCUIT AND METHODE FOR TESTING THE CIRCUIT

二、中文發明摘要：

一種積體電路包括一記憶體；測試該記憶體的一記憶體測試電路；及一輸入/輸出埠，其中該記憶體測試電路包括輸出該記憶體之輸出的一鎖存電路，根據一第一時鐘信號改變將受存取之該記憶體的一位址，且根據週期為該第一時鐘信號之一整數倍的一鎖存信號鎖存相對應於該已改變位址之該記憶體的輸出，該鎖存電路的資料在該鎖存信號之一週期中經由該輸入/輸出埠予以輸出，改變相對應於將由該鎖存電路所鎖存之該記憶體之輸出的一記憶體胞元的一位址，且重複該鎖存及該輸出。

三、英文發明摘要：

An integrated circuit includes a memory; a memory test circuit that tests the memory; and an input/output port, wherein the memory test circuit includes a latch circuit that outputs output of the memory, an address of the memory to be accessed is changed in accordance with a first clock signal, and output of the memory corresponding to the changed address is latched in accordance with a latch signal having a cycle of an integral multiple of the first clock signal, data of the latch circuit is output via the input/output port in a cycle of the latch signal, an address of a memory cell corresponding to the output of the memory to be latched by the latch circuit is changed, and the latch and the output is repeated.

七、申請專利範圍：

1. 一種積體電路，其包含：

一記憶體；

測試該記憶體的一記憶體測試電路；及

一輸入/輸出埠，

其中該記憶體測試電路包括輸出該記憶體之輸出的一鎖存電路，

根據一第一時鐘信號改變將受存取之該記憶體的一位址，且根據一週期為該第一時鐘信號之一整數倍的一鎖存信號，鎖存對應於該已改變之位址之記憶體的輸出，

該鎖存電路的資料在該鎖存信號之一週期中經由該輸入/輸出埠予以輸出，

改變相對應於將由該鎖存電路所鎖存之該記憶體之該輸出的一記憶體胞元的一位址，及

重複該鎖存及該輸出。

2. 如申請專利範圍第 1 項所述之積體電路，其進一步包含經由該輸入/輸出埠與一外部元件通訊且存取該記憶體的一電路，

其中該記憶體經由該電路存取。

3. 如申請專利範圍第 1 項所述之積體電路，其中該記憶體測試電路包括基於該第一時鐘信號產生該鎖存信號的一計數器。

4. 如申請專利範圍第 3 項所述之積體電路，其中該計數器是一線性回饋移位暫存器。

5. 如申請專利範圍第 1 項所述之積體電路，其中該記憶體測試電路包括基於慢於該第一時鐘信號的一測試時鐘信號產生該

第一時鐘信號的一鎖相迴路電路。

6. 如申請專利範圍第 1 項所述之積體電路，其中改變該記憶體之該位址使得所有記憶體胞元根據該第一時鐘信號而被存取，且將該等所有記憶體胞元的輸出輸出至一外部。
7. 如申請專利範圍第 1 項所述之積體電路，其進一步包含對將寫入該記憶體中的該寫入資料與相對應於該寫入資料之該記憶體的輸出進行比較的一比較電路。
8. 一種測試方法，適用於在一積體電路中測試一記憶體，該記憶體不能直接地從外部存取，該測試方法包含：

根據一第一時鐘信號改變將受存取之該記憶體的一位址，

根據一週期為該第一時鐘信號之整數倍的一鎖存信號鎖存該受存取記憶體的輸出，

在該鎖存信號之一週期經由一輸入/輸出埠輸出該所鎖存之資料，及

改變相對應於將受鎖存之該記憶體之輸出的一記憶體胞元的一位址，且重複該鎖存及該輸出。

9. 如申請專利範圍第 8 項所述之測試方法，其中該積體電路包含經由該輸入/輸出埠與一外部元件通訊且存取該記憶體的一電路，及

其中該記憶體經由該電路存取。

10. 如申請專利範圍第 8 項所述之測試方法，其進一步包含藉由分頻該第一時鐘信號產生該鎖存信號。
11. 如申請專利範圍第 8 項所述之測試方法，其進一步包含基於

從外部提供且慢於該第一時鐘信號的一測試時鐘信號產生該第一時鐘信號。

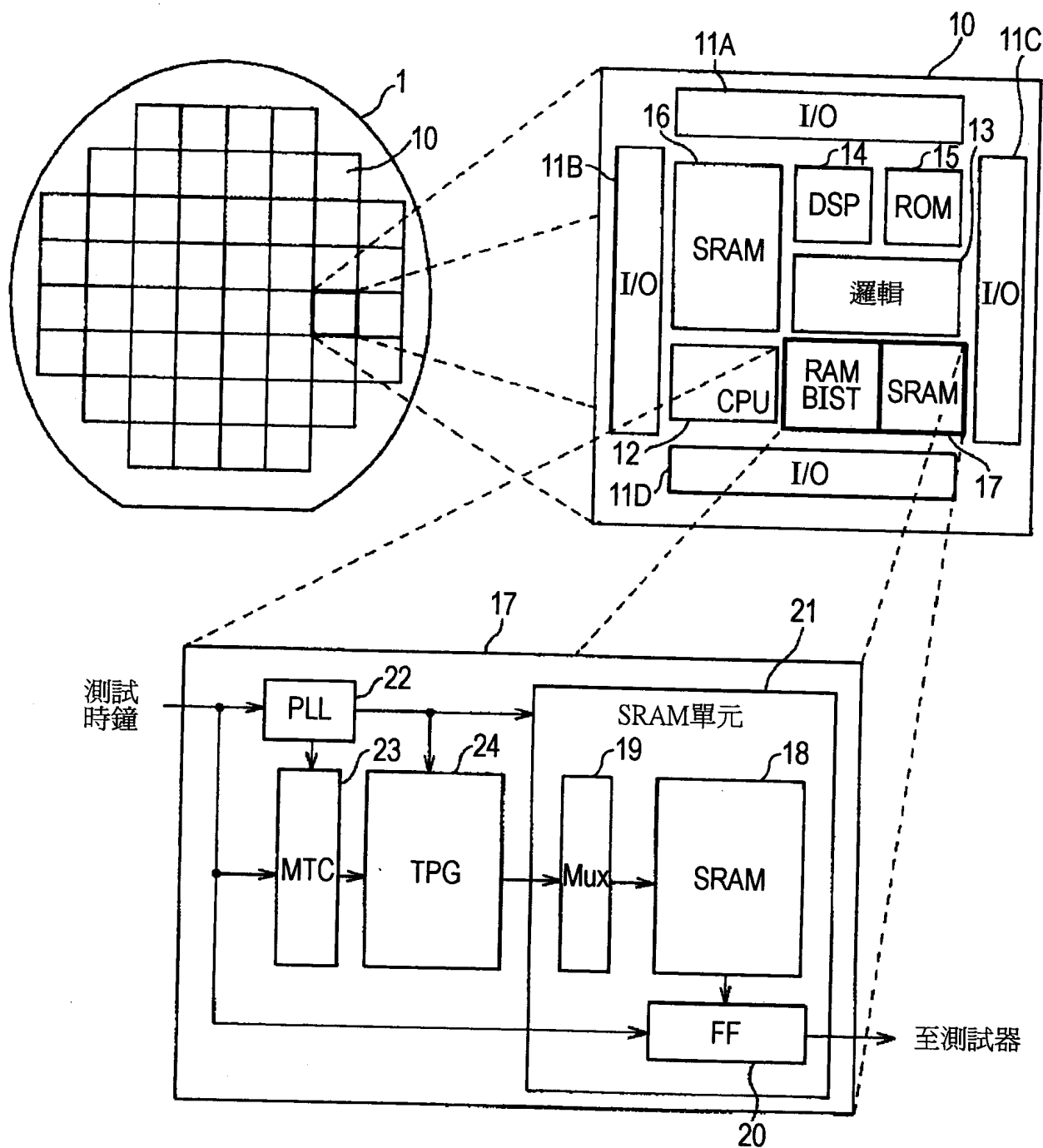
12. 如申請專利範圍第 8 項所述之測試方法，其進一步包含將寫入該記憶體中之寫入資料與相對應於該寫入資料之該記憶體之輸出比較。

13. 如申請專利範圍第 8 項所述之測試方法，其進一步包含：

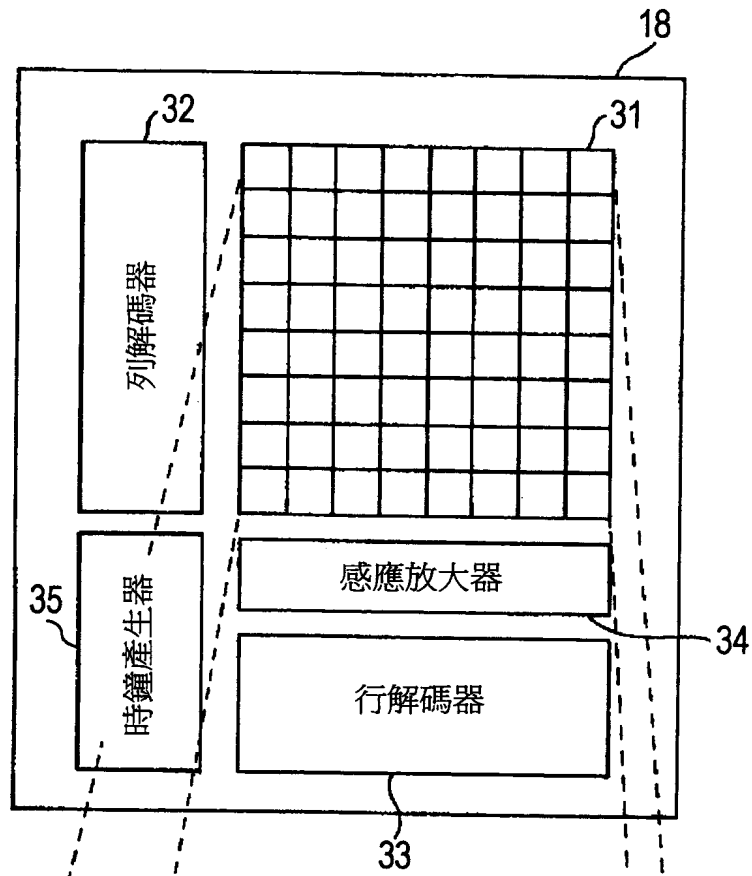
改變該記憶體之該位址使得所有記憶體胞元根據該第一時鐘信號而被存取；及

將該等所有記憶體胞元的輸出輸出至外部。

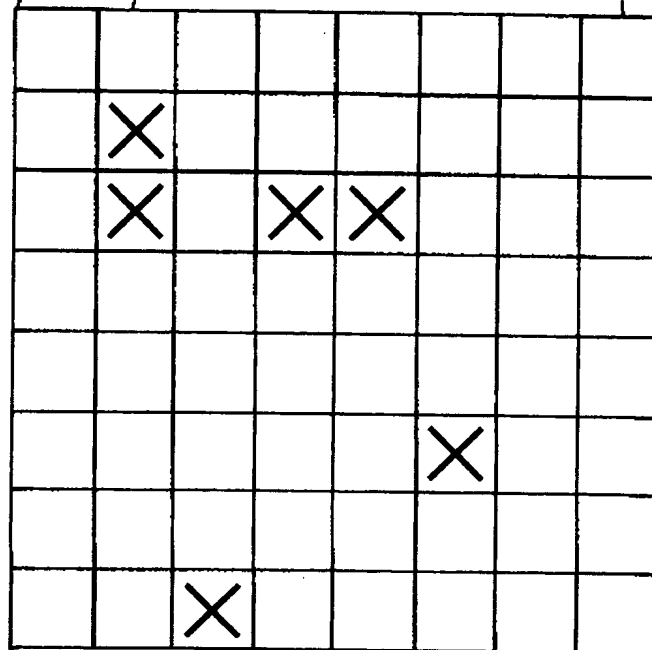
第1圖



第2A圖

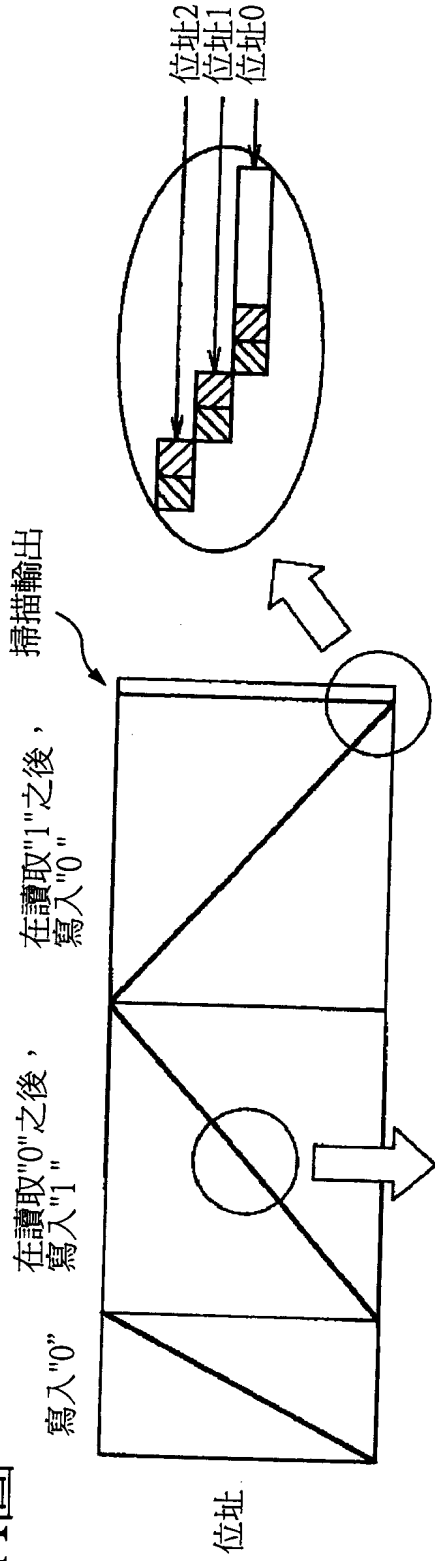


第2B圖

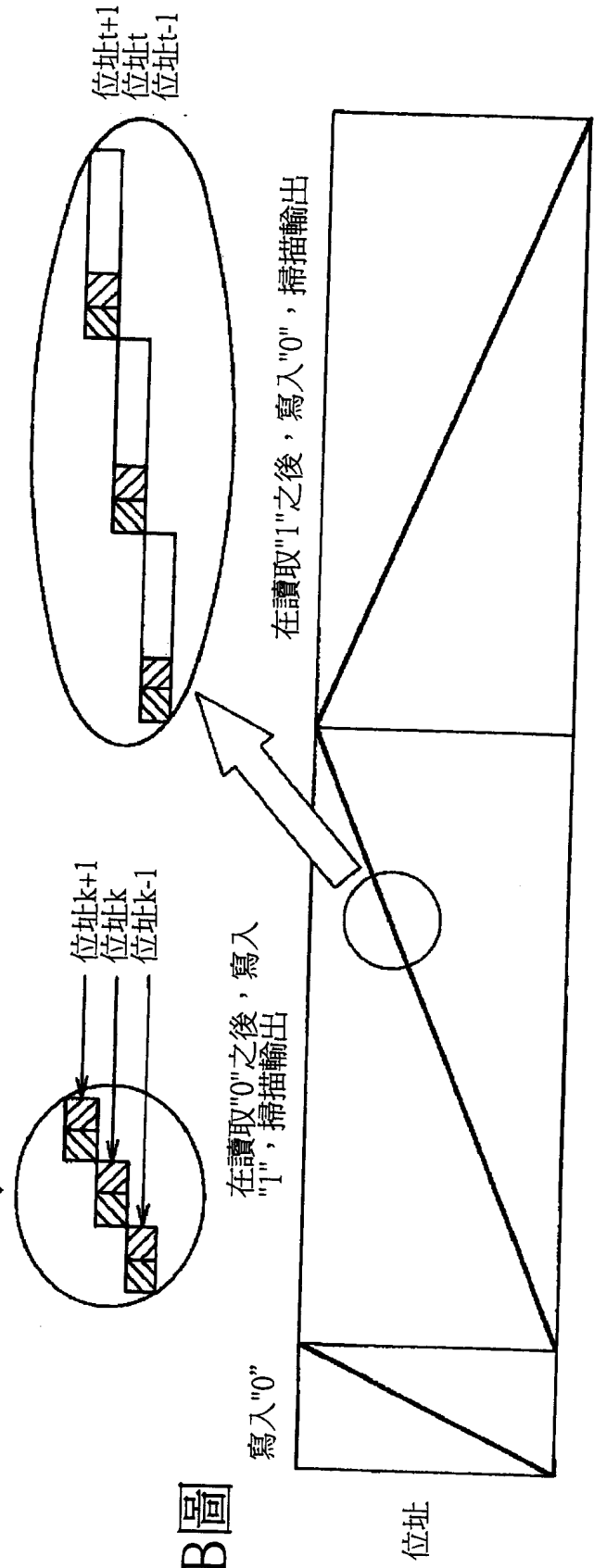


3/11

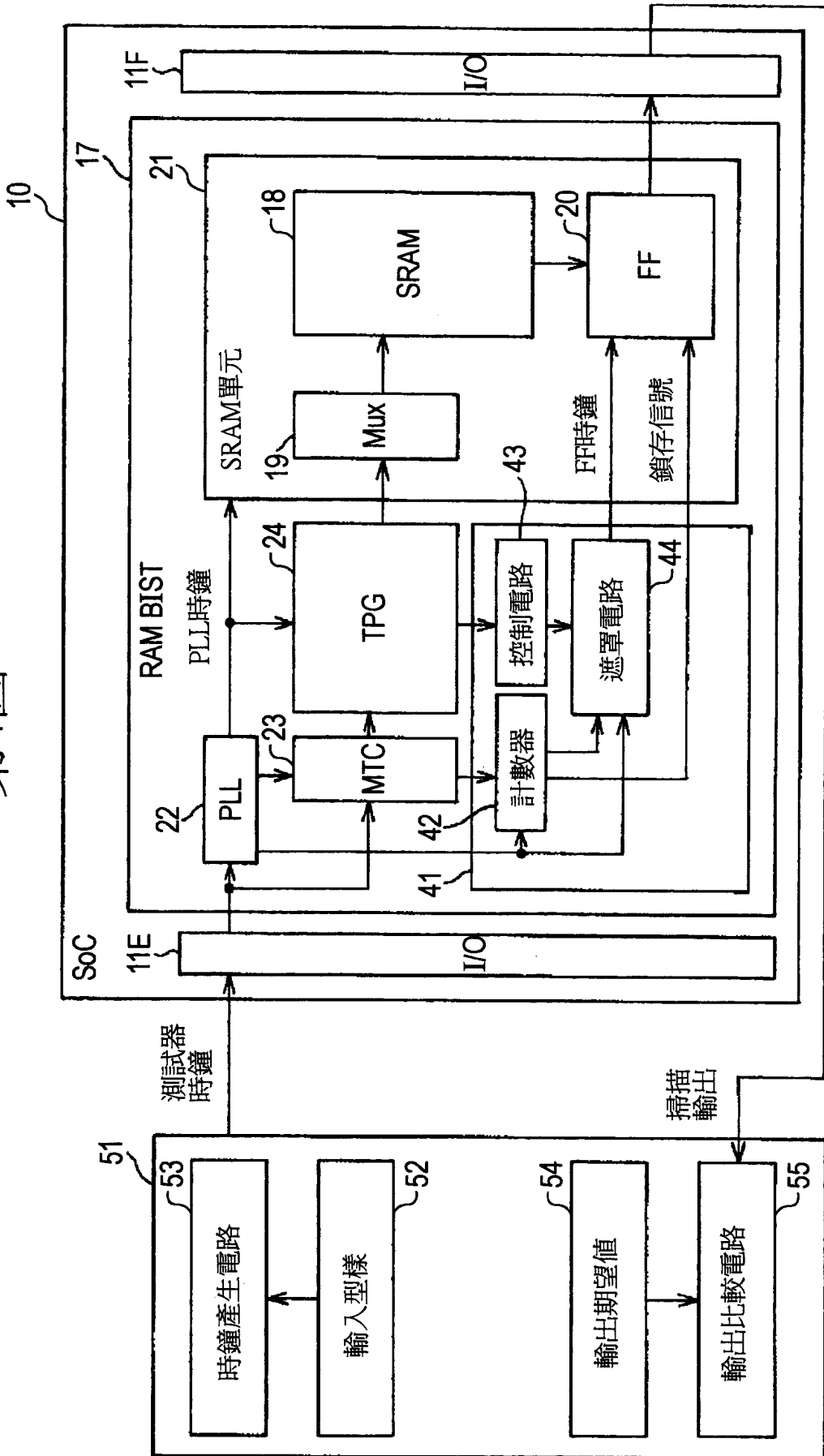
第3A圖



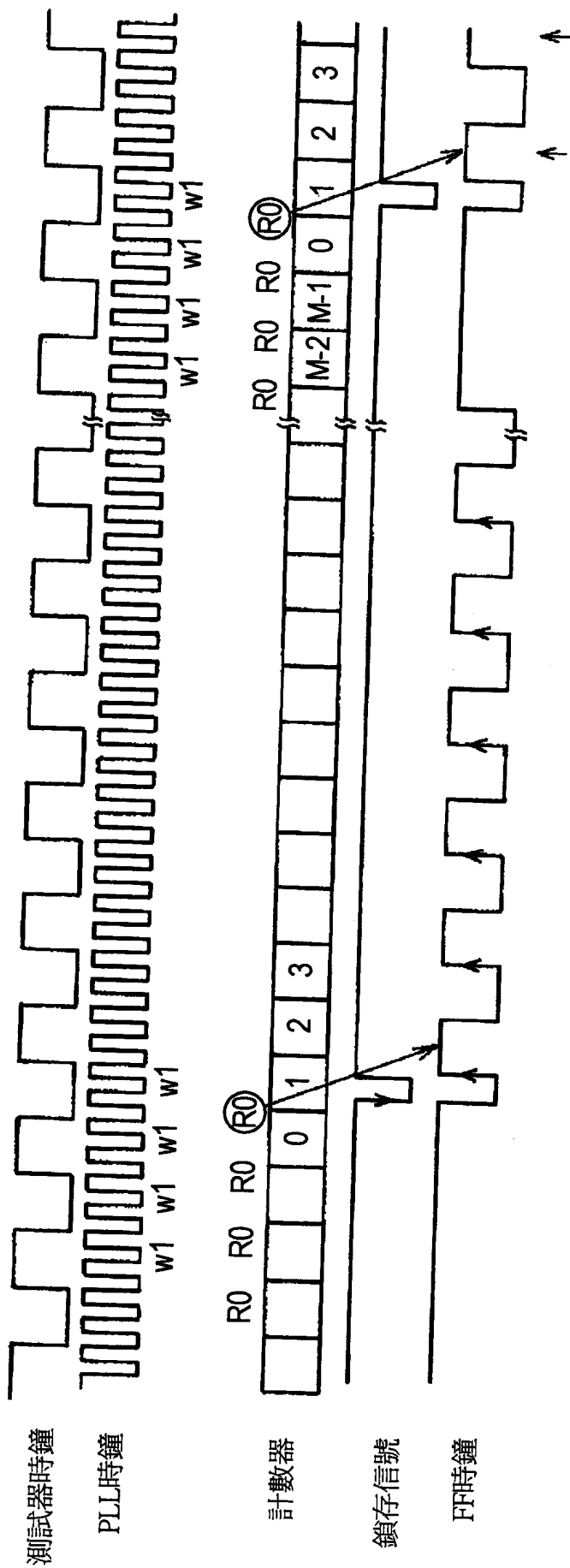
第3B圖



4/11
第4圖

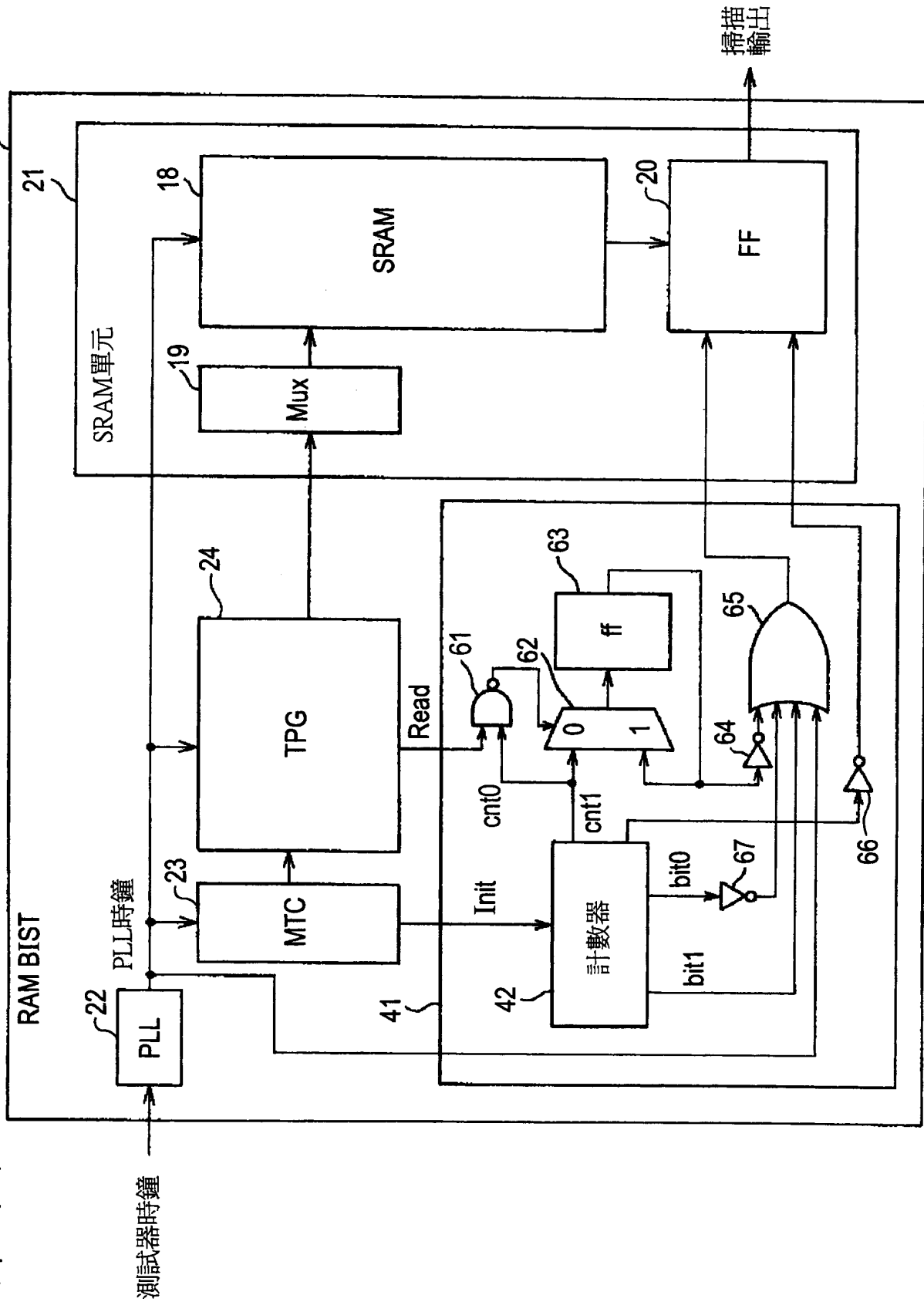


第5圖

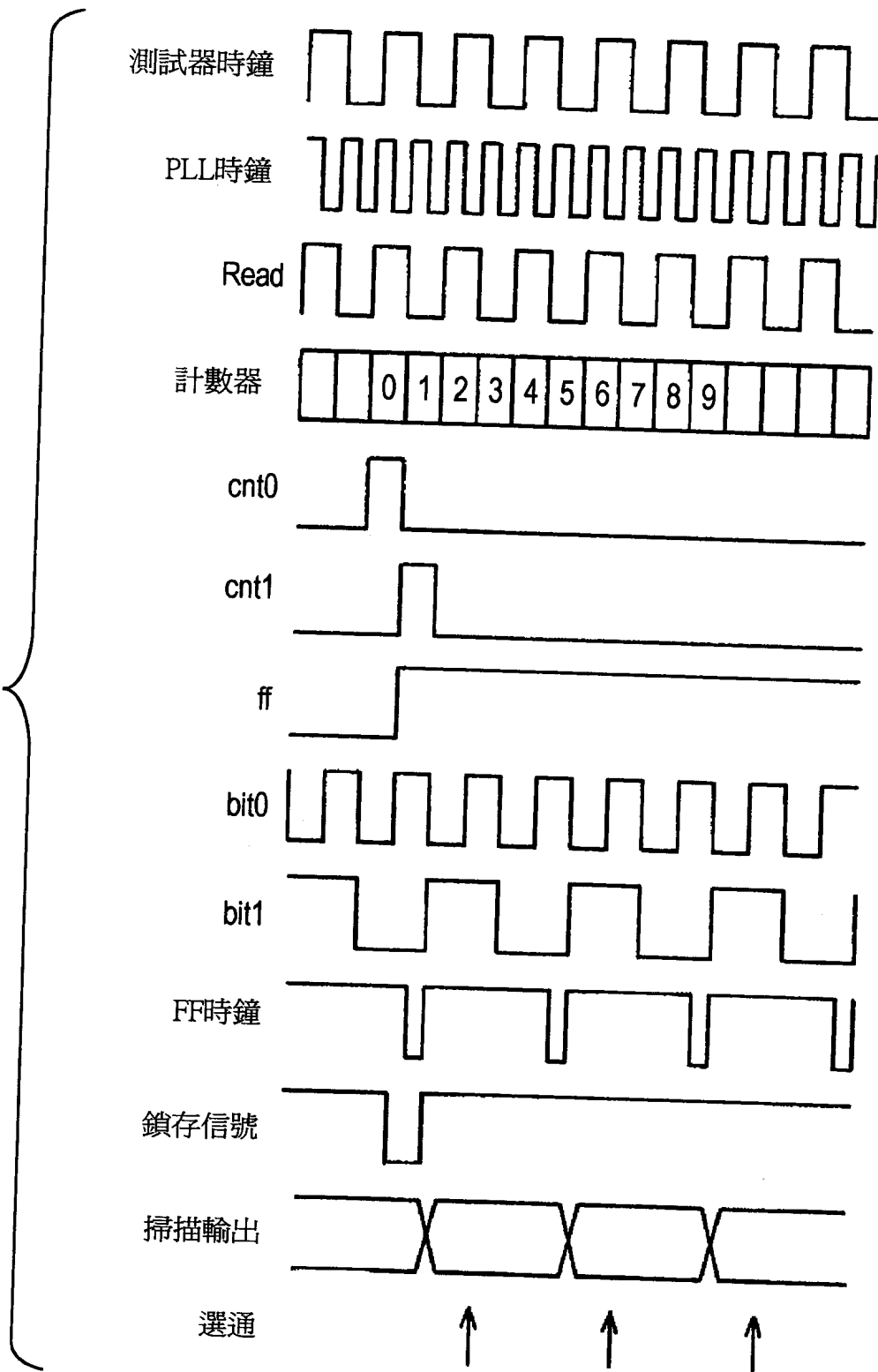


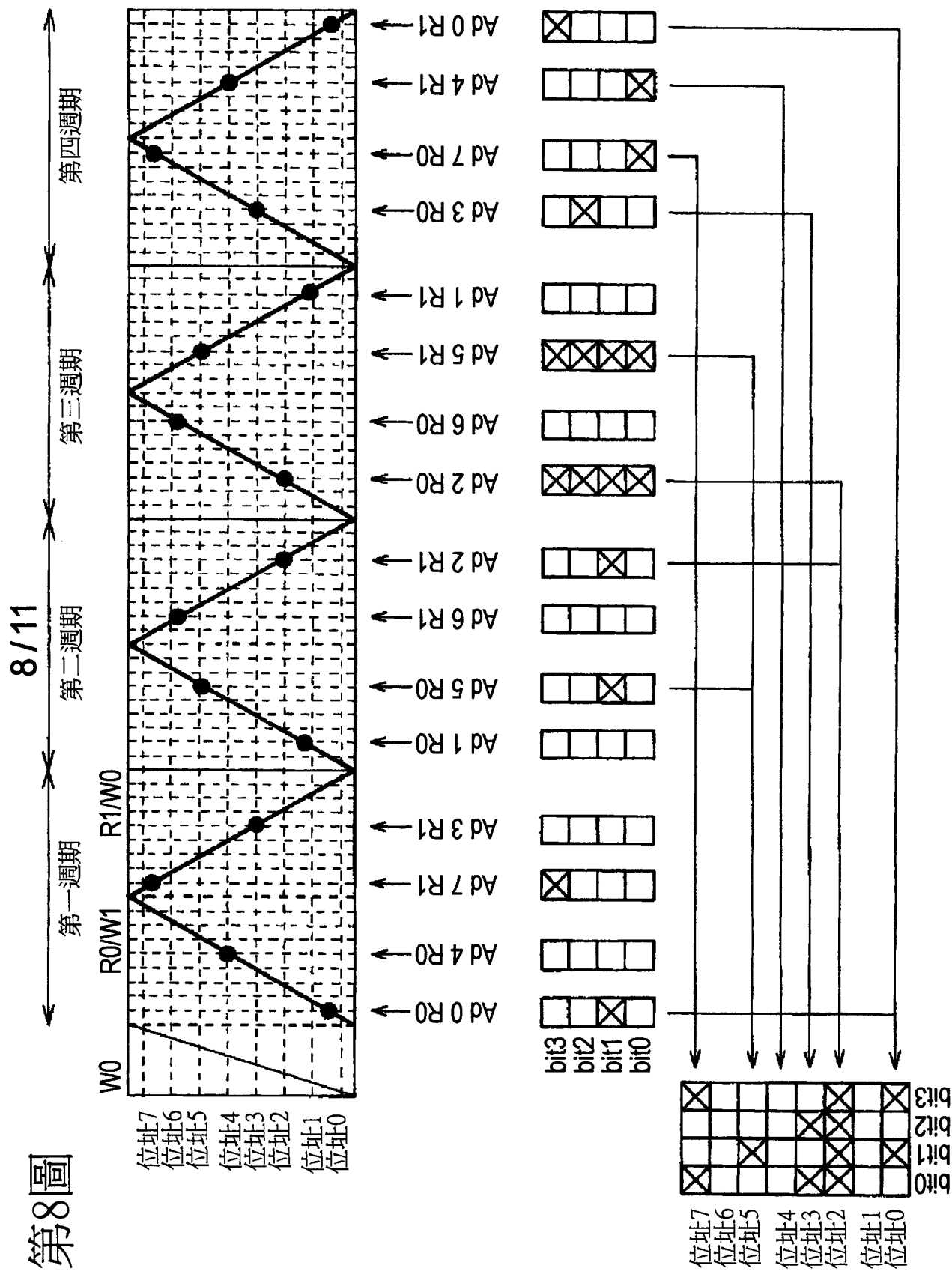
第6圖

6/11



第7圖

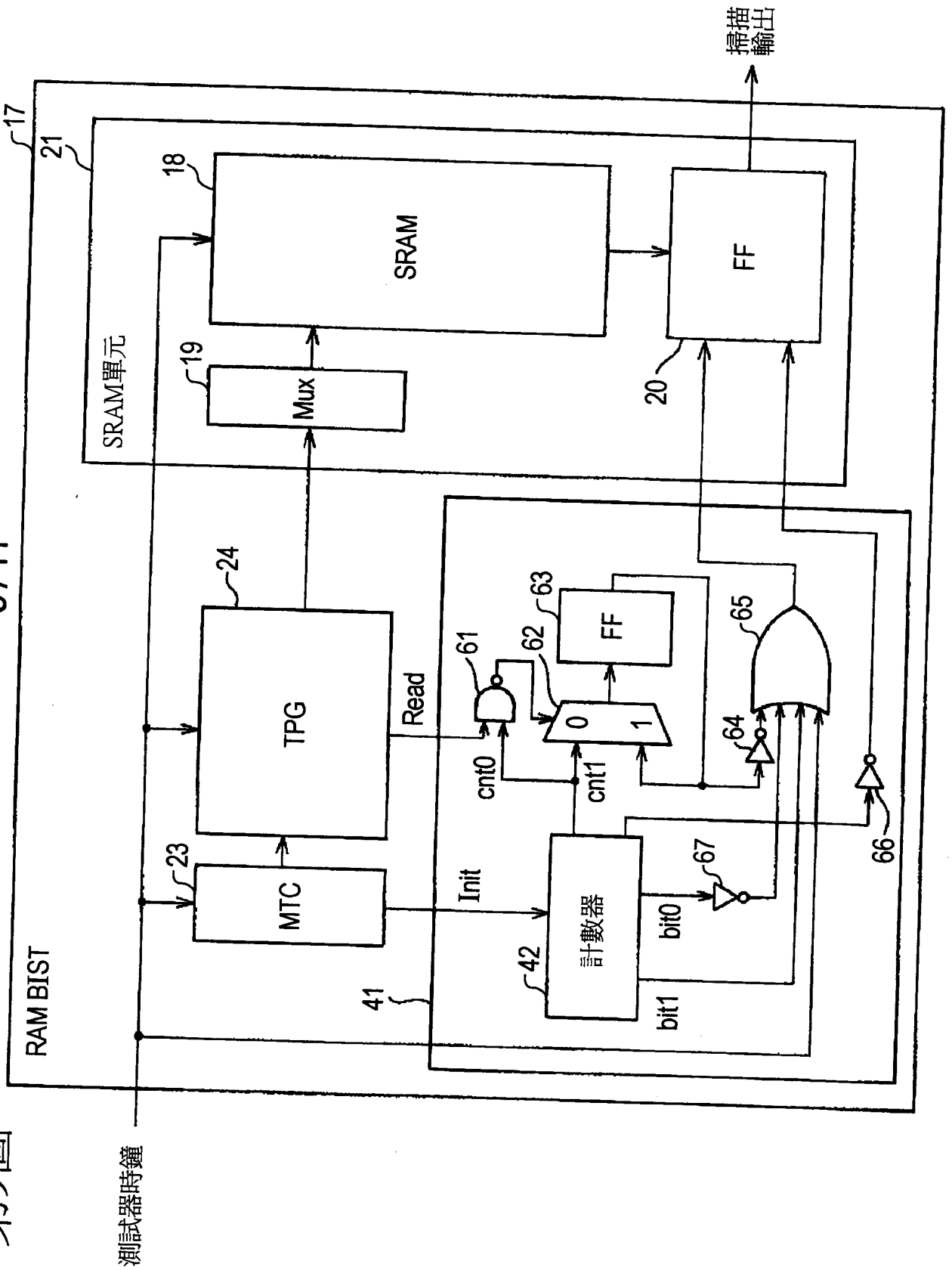




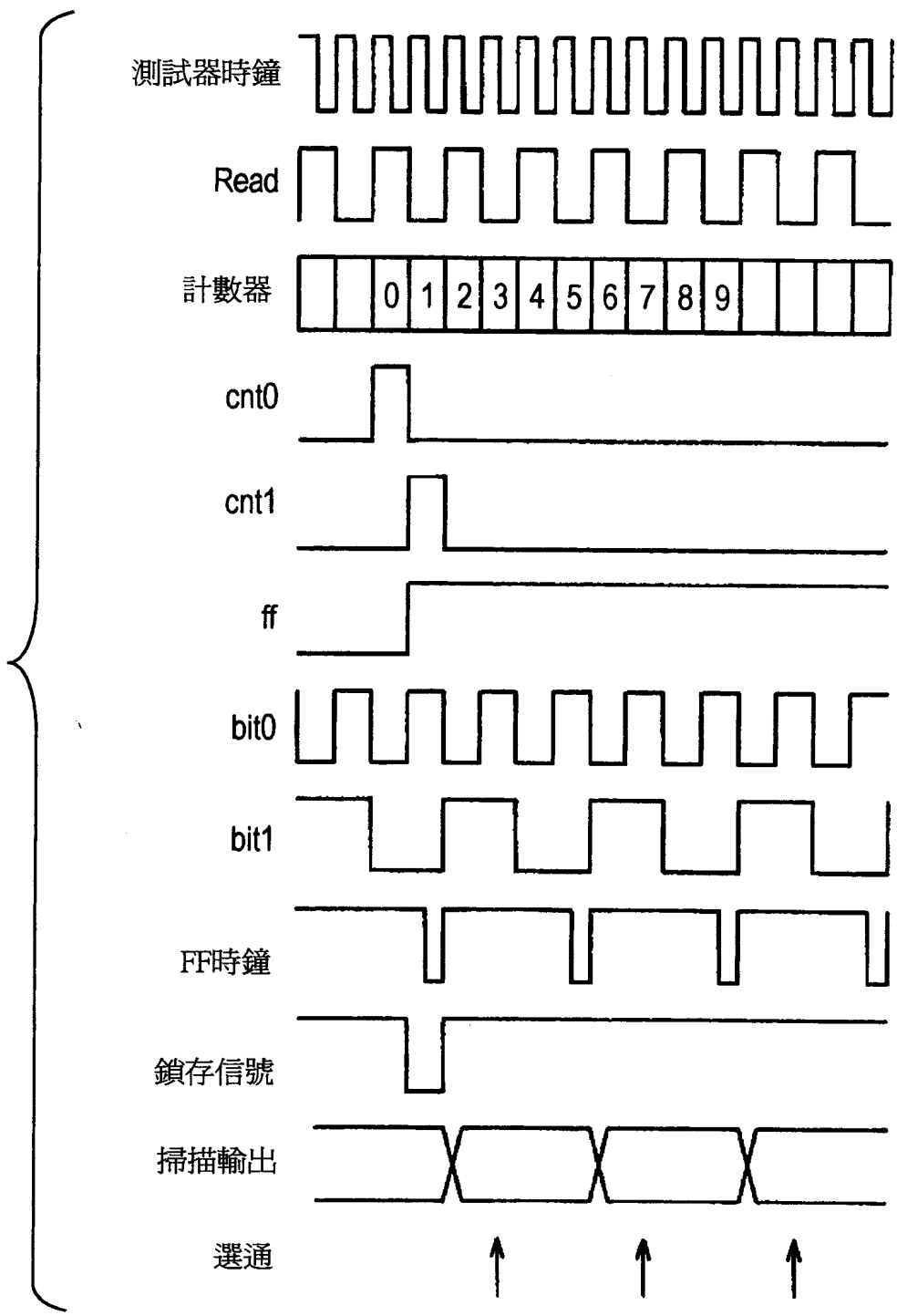
第8圖

第9圖

9/11



第10圖



四、指定代表圖：

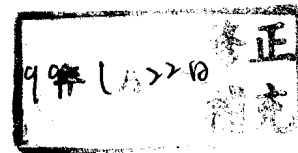
(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-------------------|-----------------------|
| 10...SoC | 42...計數器 |
| 17...記憶體 | 43...控制電路 |
| 18... SRAM | 44...遮罩電路 |
| 19...多工器Mux | 51...測試器 |
| 20...鎖存電路/FF | 52...輸入型樣記憶體 |
| 21... SRAM單元 | 53...時鐘產生電路 |
| 22...鎖相迴路電路/PLL電路 | 54...輸出期望值暫存器 |
| 23...記憶體測試控制器/MTC | 55...輸出比較電路 |
| 24...測試型樣產生電路/TPG | 11E/11F...輸入/輸出埠/I/O埠 |
| 41...鎖存控制電路 | |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書



(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98117435

※ 申請日：98.5.26

※IPC 分類：

一、發明名稱：(中文/英文)

積體電路以及用於測試該電路之方法

INTEGRATED CIRCUIT AND METHOD FOR TESTING THE CIRCUIT

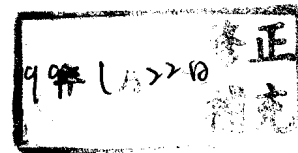
二、中文發明摘要：

一種積體電路包括一記憶體；測試該記憶體的一記憶體測試電路；及一輸入/輸出埠，其中該記憶體測試電路包括輸出該記憶體之輸出的一鎖存電路，根據一第一時鐘信號改變將受存取之該記憶體的一位址，且根據週期為該第一時鐘信號之一整數倍的一鎖存信號鎖存相對應於該已改變位址之該記憶體的輸出，該鎖存電路的資料在該鎖存信號之一週期中經由該輸入/輸出埠予以輸出，改變相對應於將由該鎖存電路所鎖存之該記憶體之輸出的一記憶體胞元的一位址，且重複該鎖存及該輸出。

三、英文發明摘要：

An integrated circuit includes a memory; a memory test circuit that tests the memory; and an input/output port, wherein the memory test circuit includes a latch circuit that outputs output of the memory, an address of the memory to be accessed is changed in accordance with a first clock signal, and output of the memory corresponding to the changed address is latched in accordance with a latch signal having a cycle of an integral multiple of the first clock signal, data of the latch circuit is output via the input/output port in a cycle of the latch signal, an address of a memory cell corresponding to the output of the memory to be latched by the latch circuit is changed, and the latch and the output is repeated.

發明專利說明書



(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98117435

※ 申請日：98.5.26

※IPC 分類：

一、發明名稱：(中文/英文)

積體電路以及用於測試該電路之方法

INTEGRATED CIRCUIT AND METHOD FOR TESTING THE CIRCUIT

二、中文發明摘要：

一種積體電路包括一記憶體；測試該記憶體的一記憶體測試電路；及一輸入/輸出埠，其中該記憶體測試電路包括輸出該記憶體之輸出的一鎖存電路，根據一第一時鐘信號改變將受存取之該記憶體的一位址，且根據週期為該第一時鐘信號之一整數倍的一鎖存信號鎖存相對應於該已改變位址之該記憶體的輸出，該鎖存電路的資料在該鎖存信號之一週期中經由該輸入/輸出埠予以輸出，改變相對應於將由該鎖存電路所鎖存之該記憶體之輸出的一記憶體胞元的一位址，且重複該鎖存及該輸出。

三、英文發明摘要：

An integrated circuit includes a memory; a memory test circuit that tests the memory; and an input/output port, wherein the memory test circuit includes a latch circuit that outputs output of the memory, an address of the memory to be accessed is changed in accordance with a first clock signal, and output of the memory corresponding to the changed address is latched in accordance with a latch signal having a cycle of an integral multiple of the first clock signal, data of the latch circuit is output via the input/output port in a cycle of the latch signal, an address of a memory cell corresponding to the output of the memory to be latched by the latch circuit is changed, and the latch and the output is repeated.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

10...SoC	42...計數器
17...記憶體	43...控制電路
18... SRAM	44...遮罩電路
19...多工器Mux	51...測試器
20...鎖存電路/FF	52...輸入型樣記憶體
21... SRAM單元	53...時鐘產生電路
22...鎖相迴路電路/PLL電路	54...輸出期望值暫存器
23...記憶體測試控制器/MTC	55...輸出比較電路
24...測試型樣產生電路/TPG	11E/11F...輸入/輸出埠/I/O埠
41...鎖存控制電路	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：