

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-528380

(P2010-528380A)

(43) 公表日 平成22年8月19日(2010.8.19)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/00 (2006.01)	G06F 12/00 560F	5B060
	G06F 12/00 550E	
	G06F 12/00 597U	

審査請求 未請求 予備審査請求 未請求 (全 16 頁)

(21) 出願番号 特願2010-509666 (P2010-509666)
 (86) (22) 出願日 平成20年5月30日 (2008.5.30)
 (85) 翻訳文提出日 平成22年1月14日 (2010.1.14)
 (86) 国際出願番号 PCT/CN2008/071142
 (87) 国際公開番号 W02008/145070
 (87) 国際公開日 平成20年12月4日 (2008.12.4)
 (31) 優先権主張番号 200710074652.X
 (32) 優先日 平成19年5月30日 (2007.5.30)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 509311702
 メモライト メモリテック (シェンチェン) カンパニー リミテッド
 中華人民共和国 518057 グワンドン シェンチェン ナンサン ディストリクト ハイテク インダストリアル パーク ダブリュ2エイ ビルディング 3 /エフ
 (74) 代理人 110000796
 特許業務法人三枝国際特許事務所

最終頁に続く

(54) 【発明の名称】 フラッシュメモリのリード・ライト処理方法

(57) 【要約】

フラッシュメモリのリード・ライト処理方法において、フラッシュメモリのライト操作時には、記憶されるデータをエンコードしてエンコードしたデータの中で特定の数値の個数をエンコード前より減らし、エンコードしたデータをフラッシュメモリ記憶セルに書き込むステップ1と、フラッシュメモリの読み取り操作時には、フラッシュメモリ記憶セルからエンコードしたデータを読み取り、読み取ったデータに対し、前記ステップ1においてのエンコード処理に対応するデコード処理をして、デコードした元のデータを出力するステップ2と、を含む。本発明によって、書き込み及び消去操作におけるフラッシュメモリチップの損耗を減少して、フラッシュメモリチップの使用寿命を引き伸ばし、かつ、書き込み及び消去操作効率を向上させ、操作時間を減らし、フラッシュメモリの操作にかかる電力消費を減らす。

【選択図】 図1

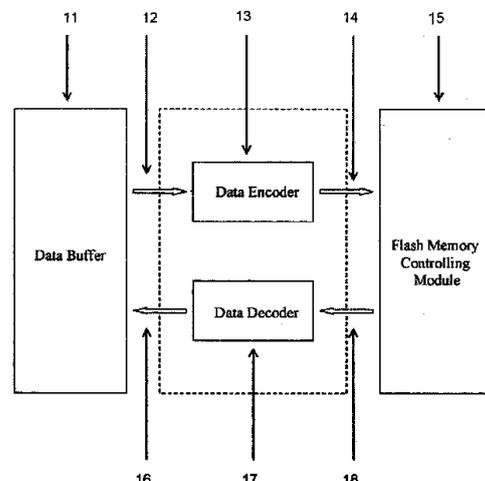


FIG. 1

【特許請求の範囲】**【請求項 1】**

フラッシュメモリのリード・ライト処理方法であって、

フラッシュメモリのライト操作時には、エンコードしたデータの中で特定の数値の個数をエンコード前より減らすように、記憶されるデータをエンコードし、エンコードしたデータをフラッシュメモリ記憶セルに書き込むステップ 1 と、

フラッシュメモリの読み取り操作時には、フラッシュメモリ記憶セルからエンコードしたデータを読み取り、読み取ったデータに対し、前記ステップ 1 におけるエンコード処理に対応するデコード処理をして、デコードした元のデータを出力するステップ 2 と、を含むことを特徴とするフラッシュメモリのリード・ライト処理方法。

10

【請求項 2】

前記データが 2 進数である場合、前記特定の数値が 0 又は 1 であることを特徴とする請求項 1 に記載のフラッシュメモリのリード・ライト処理方法。

【請求項 3】

前記ステップ 1 において、ホストシステム、フラッシュメモリコントローラー、及びフラッシュメモリチップのうちのいずれかで、記憶されるデータをエンコードすることを特徴とする請求項 1 に記載のフラッシュメモリのリード・ライト処理方法。

【請求項 4】

前記ステップ 2 において、ホストシステム、フラッシュメモリコントローラー、及びフラッシュメモリチップのうちのいずれかで、読み取ったデータをデコードすることを特徴とする請求項 1 に記載のフラッシュメモリのリード・ライト処理方法。

20

【請求項 5】

エンコード・デコードした情報をフラッシュメモリチップに保存する処理をさらに含むことを特徴とする請求項 1 に記載のフラッシュメモリのリード・ライト処理方法。

【請求項 6】

前記ステップ 1 において、エンコードした各組の 2 進法データにおける特定数値の個数はエンコード前より多くないことと、前記ステップ 2 では前記エンコード処理に対応するデコード方法を採用することを特徴とする請求項 1、請求項 2、請求項 3、及び請求項 4 のうちのいずれか 1 項に記載のフラッシュメモリのリード・ライト処理方法。

【請求項 7】

エンコードしたデータ中の特定数値の個数を元のデータ中の特定数値の個数より減らすように、データとエンコードのマッピング関係を作ることをさらに含み、前記ステップ 1 では、マッピング関係をサーチしてデータをエンコードすることと、前記ステップ 2 では、マッピング関係をサーチしてデータをデコードすることを特徴とする請求項 6 に記載のフラッシュメモリのリード・ライト処理方法。

30

【請求項 8】

前記ステップ 1 において、エンコード処理が、データの特定数値の個数が他の数値の個数より多い場合、このデータをビット反転することを含み、前記ステップ 2 において、デコード処理が、前記エンコード処理でビット反転されたデータをビット反転して元のデータを得ることを含むことを特徴とする請求項 6 に記載のフラッシュメモリのリード・ライト処理方法。

40

【請求項 9】

前記ステップ 1 では、設定サイクルにおいて、エンコードした各組の 2 進法データの中で特定数値の総数がエンコード前より小さいことと、ステップ 2 では前記エンコード処理に対応するデコード処理を採用することを特徴とする請求項 1、請求項 2、請求項 3、及び、請求項 4 のうちのいずれか 1 項に記載のフラッシュメモリのリード・ライト処理方法。

【請求項 10】

NAND 型のフラッシュメモリの場合、前記ステップ 1 では、エンコードした 2 進法データの 0 の個数がエンコード前の 0 の個数より少なくなるように、記憶される 2 進法デー

50

タをエンコードし、エンコードした2進法データをフラッシュメモリ記憶セルに書き込むことを特徴とする請求項1又は請求項2に記載のフラッシュメモリのリード・ライト処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はフラッシュメモリのリード・ライト処理方法に関し、より詳細には、データをエンコード、デコードすることによってフラッシュメモリの操作の最適化を目指す方法に関する。

【背景技術】

【0002】

フラッシュメモリは記憶装置として汎用されている。フラッシュメモリは、複数回の読み書き、消去が可能だけでなく、密度が高い、容量が大きい、読み書き操作時間が短い、不揮発性、及び電力消費が低いなどの長所を持つために、ますますパソコン、様々なデジタル電子装置及びほかのデジタル記憶装置に使用されてきている。近年、フラッシュメモリ技術が成熟し、値段も安くなり、後端アプリケーション技術も進んでいるので、メモリ分野においてハードディスクと同じ市場シェアを占めている。しかし、製造方法の問題により、自体の欠点がフラッシュメモリの発展と応用を制約している。その一つは、通常、フラッシュメモリチップは自体の記憶原理によって、使用寿命があることである。一般的に、フラッシュメモリユニットの操作方式は、まず記憶セルのフローティングゲートを放電させて（即ち、通常の消去操作）通常状態にし、次にデータの書き込み過程において、フローティングゲートを充電して（即ち、通常のプログラミング）データの記憶に必要な状態にする。消去とプログラミングを繰り返す過程において、フローティングゲートはトンネル効果により蓄積される電子が徐々に増え、より大きな正向電圧が必要となり、記憶セルがリプログラミングできる。同時に、消去過程において、絶縁体が繰り返しのトンネル効果により老化してしまい、最後にバリアが役に立たなくなる（即ち、バリアの通り抜け）。これらの場合には記憶セルが正常に操作できない（即ちこの記憶セルの使用周期が終わる）可能性がある。以下、最も汎用されるNANDフラッシュメモリを例として説明する。NANDフラッシュメモリについては、消去またはリプログラミング回数は10万回程度である。もう一つは、フラッシュメモリチップの書き込みや消去の操作は特殊で、ページ単位で書き込みブロック単位で消去し、フラッシュメモリに書き込んだり消去したりするには大量の時間がかかり、データをページ毎にフラッシュメモリの内部のバッファから書き込む時間は200 μ s～700 μ s必要で、ブロック単位で消去する時間は2ms必要である。これらの操作時間はフラッシュメモリチップの製造技術に関わり、フラッシュメモリの消去操作は全ての記憶セルの状態を1にして、データを書き込む過程において、書き込まれるデータが1だと当該フラッシュメモリ記憶セルをリプログラミングする必要がなく、書き込みデータが0だとリプログラミングする（即ち、フローティングゲートに充電する）必要がある。また、次回当該ページにデータを書き込むまえにデータを消去しなければならない、つまり、0と書かれた記憶セルが放電される。故に、一回の操作過程においてページデータでの0が多ければ多いほど損耗される記憶セルが多いということである。第三は、フラッシュメモリの製造技術により、フラッシュメモリの書き込みの時間は書き込みデータの値に関わり、一回にページに書き込まれるデータの中で0が多ければ多いほど、より多い操作時間がかかる。消去操作についても同じ結論である。第四は、フラッシュメモリチップの電力消費は書き込まれた内容に関わり、フラッシュメモリ記憶セルのデータライト操作時に、書き込まれるデータが1であれば、消去したデータが1であるためフローティングゲートに充電する必要がなく、逆に、書き込まれるデータが0であれば、フローティングゲートに充電する必要があるため、ページに書き込む0が少なければ少ないほど記憶セルの充電操作が少なくなり、電力消費も低くなる。

【0003】

現在、フラッシュメモリの使用寿命を引き伸ばすための方法は以下の通り、ライトと消

10

20

30

40

50

去の操作をできるだけ均等にブロック毎に割り当て、フラッシュメモリチップの使用において各ブロックを均等に損耗させることであり、これは現在フラッシュメモリメーカーに一般的に使用されている方法である。しかし、この方法はフラッシュメモリの操作損耗をフラッシュメモリチップの各ブロックに均等化させるだけで、フラッシュメモリチップの損耗を減らすことはできない。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、上記した従来技術の欠点を解決するために案出されたものであり、フラッシュメモリの操作中、フラッシュメモリの記憶セルを損耗させる操作回数を減少させて、フラッシュメモリの寿命と記憶操作の効率とを向上させ、電力消費を低下させるフラッシュメモリのデータリード・ライト方法を提供することを目的とする。

10

【課題を解決するための手段】

【0005】

本発明は、フラッシュメモリのリード・ライト方法であって、フラッシュメモリのライト操作時には、エンコードしたデータの中で特定の数値の個数をエンコード前より減らすように、記憶されるデータをエンコードし、エンコードしたデータをフラッシュメモリ記憶セルに書き込むステップ1と、フラッシュメモリの読み取り操作時には、フラッシュメモリ記憶セルからエンコードしたデータを読み取り、読み取ったデータに対し、前記ステップ1においてのエンコード処理に対応するデコード処理をして、デコードした元のデータを出力するステップ2とを含むことを特徴とするフラッシュメモリのリード・ライト処理方法を提供する。

20

【0006】

前記データが2進数である場合、前記特定の数値は0或いは1であることが好ましい。

【0007】

前記ステップ1では、ホストシステム、フラッシュメモリコントローラー、及びフラッシュメモリチップのうちのいずれかで、記憶されるデータをエンコードできることが好ましい。

【0008】

前記ステップ2では、ホストシステム、フラッシュメモリコントローラー、及びフラッシュメモリチップのうちのいずれかで、読み取ったデータをデコードできることが好ましい。

30

【0009】

前記フラッシュメモリのリード・ライト処理方法は、エンコード・デコード情報をフラッシュメモリチップに保存することをさらに含むことが好ましい。

【0010】

前記ステップ1において、エンコードした各組の2進法データにおける特定数値の個数はエンコード前より多くないことと、前記ステップ2では以上の処理に対応しているデコード方法を採用することが好ましい。

【0011】

更に、エンコード中の特定数値の個数を元のデータの個数より減らせるように、データとエンコードのマッピング関係を作ることを含み、前記ステップ1では、マッピング関係のサーチによってデータをエンコードすることと、前記ステップ2では、マッピング関係のサーチによってデータをデコードすることが好ましい。

40

【0012】

前記ステップ1において、エンコード処理が、データの特定数値の個数が他の数値の個数より多い場合、このデータをビット反転することを含み、前記ステップ2において、デコード処理が、エンコードでビット反転されたデータをビット反転して元のデータを得ることを含むことが好ましい。

【0013】

50

前記ステップ1では、設定サイクルにおいて、エンコードした各組の2進法データの中で特定数値の総数がエンコード前より小さいことと、ステップ2では以上の操作に対応しているデコード処理を採用することが好ましい。

【0014】

NAND型のフラッシュメモリの場合、前記ステップ1では、エンコードした2進法データの0の個数がエンコード前の0の個数より少なくなるように、記憶される2進法データをエンコードし、その後、エンコードした2進法データをフラッシュメモリ記憶セルに書き込むことが好ましい。

【発明の効果】

【0015】

10

本発明のフラッシュメモリのリード・ライト方法によれば、エンコード・デコードによって、データ中の特定数値を減少させることで、書き込み・消去操作におけるフラッシュメモリチップの損耗を減少して、フラッシュメモリチップの使用寿命を引き伸ばし、かつ、フラッシュメモリチップに特定数値の書き込む回数を減らすことで、書き込み・消去操作効率を向上させ、操作時間を減らし、さらに、このようなエンコード・デコード方法によって、フラッシュメモリの操作にかかる電力消費を減らすことができるという効果が得られる。

【図面の簡単な説明】

【0016】

20

【図1】本発明フラッシュコントローラーのエンコード・デコードの実施例の原理図である。

【図2】本発明フラッシュコントローラーのエンコード・デコード中のライト操作を示す概略図である。

【図3】本発明フラッシュコントローラーのエンコード・デコードのリード操作を示す概略図である。

【図4】本発明を採用したフラッシュメモリチップのページデータの操作を示す概略図である。

【図5】本発明を採用しないフラッシュメモリチップのページデータの操作における概略図である。

【図6】本発明マッピングエンコード・デコード方式の実施例の4位データの組み合わせ概略図である。

30

【図7】本発明マッピングエンコード・デコード方式の実施例の2位を加えたデータの組み合わせ概略図である。

【図8】本発明マッピングエンコード・デコード方式の実施例の4位の元のデータと桁数を加えたデータのマッピング関係概略図である。

【図9】本発明圧縮エンコード・デコード方式実施例で圧縮していない元のデータ概略図である。

【図10】本発明圧縮エンコード・デコード方式実施例で元のデータと圧縮エンコードのマッピング関係概略図である。

【図11】本発明圧縮エンコード・デコード方式実施例で圧縮したエンコードデータ概略図である。

40

【発明を実施するための形態】

【0017】

本発明を実施するための実施形態についてNANDフラッシュメモリを例として、以下、図面を用いて説明する。

【0018】

フラッシュメモリブロックの記憶セルの操作特徴によって、フラッシュメモリの記憶セルの使用寿命に影響する原因は、書き込み過程において1から0になるという操作と、消去過程において0から1になるという操作とによる記憶セルの損耗である。そのため、ブロックで消去してから毎回の操作ページに書き込む0が少なければ少ないほど、消去過程

50

で損耗される記憶セルも少なくなり、ブロックの使用回数が引き伸ばせる。統計方法で計算すれば全フラッシュメモリチップの寿命も延び、それに、書き込んだデータの値を制御することにより操作時間を減らすことができ、書き込みと消去操作の効率を高め、書き込んだデータの値を制御することによって操作の損耗も減らせる。本発明は、最適にデータを書き込むエンコード・デコード方式によってフラッシュメモリの使用寿命を延ばし、フラッシュメモリの操作を最適化しフラッシュメモリの損耗を減らすことを目的とするものである。

【0019】

本発明のエンコード方式には何種類かがあり、その一つは、アルゴリズムによってエンコードし、エンコードしたデータの0の個数をエンコード前より少なくすることである。もう一つは、データ圧縮により記憶セルに書き込まれるデータ量を減らすことである。より重要なのはデータ中の0の個数を減らすことである。本発明のエンコード・デコード方式のアルゴリズムには何種類かがあり、ライト操作において書き込んだデータをエンコードし、エンコードしたデータにおける0の個数を減らすことによって、書き込みと消去の操作による記憶セルの損耗を減らすことと、リード操作において対応するデコード方法によって元のデータに戻せることを目的とするものである。

【0020】

本発明によるフラッシュメモリのリード・ライト中のエンコード・デコードアルゴリズムは様々な方法で実現するが、実現方法には以下のような何種類かがある。1.ソフトウェアによって、ホストシステムが記憶装置にデータを送信する時に直接データをエンコードし、フラッシュメモリインターフェースにエンコードしたデータを送信する。ホストシステムがフラッシュメモリを読み取る時に、直接インターフェースが読み取ったデータをデコードしてからその他の記憶装置に送信する。2.ハードウェアによって、記憶装置の中のコントローラモジュールにエンコード・デコードモジュールを付加して、ライト操作において、エンコードモジュールがフラッシュメモリインターフェースから送信されたデータを受信した後、データをエンコードし、エンコードした結果をフラッシュメモリチップに送信して記憶する。リード操作において、コントローラモジュールがフラッシュメモリチップでエンコードしたデータを読み取ってデコードし、インターフェースを通してデコードしたデータをホストシステムに送信する。3.フラッシュメモリチップの内部にエンコード・デコードモジュールを付加して、フラッシュメモリチップが外部のコントローラモジュールからのデータを受信した後直接データをエンコードし、エンコードした結果を該当アドレスの記憶セルに書き込む。コントローラモジュールがフラッシュメモリチップにリード操作を行う時に、フラッシュメモリチップの中のエンコード・デコードモジュールが該当アドレスの記憶セルから読み取ったデータをデコードしてから、結果をコントローラモジュールに送信する。エンコードモジュールとデコードモジュールは別々に異なる装置側に設定でき、設定できる装置側はホストシステム側、フラッシュメモリコントローラ側、又はフラッシュメモリチップ側でもよい。

【0021】

図1に示すのは本発明がフラッシュメモリコントローラ側でエンコード・デコード操作を行う時の実施例の原理図である。11は装置内のデータバッファを示し、その主な機能は操作過程でデータをバッファすることである。12は、装置がライト操作をする時にデータはデータバッファモジュールからデータエンコードモジュールに書き込むことを示す。13はエンコード・デコードモジュール中のエンコーダを示し、その主な機能はバッファに書き込んだデータをエンコードし、当該エンコード情報をフラッシュメモリチップの冗長区或いは情報区に書き込むことである。14はデータをエンコード・デコードモジュールを通して処理してからフラッシュメモリコントローラモジュールに書き込むことを示す。15はフラッシュメモリコントローラモジュールを示し、その主な機能はフラッシュメモリの操作を制御すると同時に、エンコード結果をフラッシュメモリチップに送信することである。18はリード操作において、フラッシュメモリコントローラがフラッシュメモリチップから読み取ったデータをデコードモジュールに送信することを示す。17はエンコー

10

20

30

40

50

ド・デコードモジュール中のデコーダを示し、その主な機能はデータフラッシュメモリチップで記憶したエンコード情報によってデータ区のデータに対し該当するデコード操作を行うことである。その後、16のようにデコードした結果をデータバッファに送信する。

【 0 0 2 2 】

図2は本発明の実施例のアルゴリズムが、あるページにデータをライトする過程でのエンコード操作を示す。図に示すように、データの操作ページを8Byteに設定し、冗長区を1Byteに設定する。即ち、フラッシュメモリの一つのライト操作の単位は9Byteであって、いずれかのページを選択した場合、そのデータは図の左側のブロックに示すように“01100000 10000100 01000100 10101001 01001001 00101000 00000100 00100001” 冗長区は“xxxxxxx1”であって、冗長区の先の7bitが他のデータ情報を記録し、8bit目が指定のエンコード情報bitである。エンコードモジュールの統計によると、0の個数は46、1の個数は18である。この判断によって、データのエンコード操作を行う必要があり、本発明の実施例のアルゴリズムによって図の右側のブロックに示すように“11001111 01111011 10111011 01010110 10110110 11010111 11111011 11011110”というデータが得られて、エンコード情報を冗長区“xxxxxxx0”に書き込む(エンコード情報bitが0とは、ビット反転により計算するという意味であり、エンコード情報bitが1とは、ビット反転によらず直接計算するという意味であることを定義する)。エンコードモジュールのデータ区に対する統計により、出た結果は0の個数が18、1の個数は46である。この結果をフラッシュメモリチップに書き込むと同時に、冗長区の指定bitに該当マークを書き込むことによりデータがビット反転を行ったことを記憶する。

【 0 0 2 3 】

図3は本発明の実施例のアルゴリズムが、あるページのデータをリード操作でのデコード操作を示す。図のように、図2に示すライト操作過程で書き込んだ冗長区のマークビットの情報によって、デコードモジュールがエンコード結果をデコードしてから、装置に書き込んだ元のデータを読み取る。

【 0 0 2 4 】

図4は本発明の実施例が、あるページに書き込む操作と最後の消去操作を行う時にフラッシュメモリチップ内のデータ区の記憶セルの変化状況を示す。まず、データを書き込む前に操作するアドレスが対応するフラッシュメモリページに消去操作を実行すると、図の左側のブロックのように、記憶セルが全部1になる。その後、データを書き込む。もし書き込む過程で記憶セルのbitの数値が1であれば当該記憶セルを充電する必要はない。もし0であれば充電する必要があって、当該記憶セルを0にする。図の真ん中のブロックのように、最後に書き込んだデータに消去操作を実施し、つまり、全ての記憶セルを放電させる。bitの値が1だと、今回のライトと消去操作で損耗されず、bitの値が0だと、今回の書き込むと消去操作で一回損耗される。

【 0 0 2 5 】

本発明の実施例を調査して得た数値によると、本発明の実施例のエンコード・デコード操作を利用していない場合は、図5に示すようにデータ区のフラッシュメモリ記憶セルが46回損耗される。本発明の実施例のエンコード・デコード操作を利用した場合はフラッシュメモリ記憶セルが18回損耗され、大幅に該当ページの記憶セルの損耗回数を減らせ、同じように、全フラッシュメモリチップ及びフラッシュメモリ装置に対して使用寿命を引き伸ばすことができる。それに、フラッシュメモリの書き込みと消去操作の特徴によって、毎回の操作過程で書き込んだデータ或いは消去したデータ中0の個数が少なければ少ないほど、操作時間が短くて効率も高く、操作のエネルギー消費も低くなる。

【 0 0 2 6 】

前述の例は最も簡単な速いアルゴリズムであって、このようなビット反転によって本発明を説明する。更に、本発明に関わるアルゴリズムと実現方法には何種類かがあり、ソフトウェアによる方法でもいいしハードウェアによる方法でもいいが、フラッシュメモリ記憶セルを損耗する回数をできるだけ減らすこと、フラッシュメモリチップとフラッシュメモリ装置の使用寿命を引き伸ばすこと、操作時間をできるだけ縮めること、フラッシュメモ

モリの操作スピードを高めることなどを目的として、それによって、記憶セルの損耗をできるだけ減らし、かつ記憶セルを損耗するフラッシュメモリチップへのライト操作をできるだけ減らす。

【0027】

以下では、マッピングのエンコード・デコード処理を説明する。図6は4bitのデータを例とした本実施例の、全ての4bitのデータセットであり、その中で0個の0を含むデータが0個、1個の0を含むデータが4個、2個の0を含むデータが6個、3個の0を含むデータが4個、4個の0を含むデータが1個である。

【0028】

図7は2ビット冗長区を加えた後の全てのデータセットである。その中で0個の0を含むデータが1個、1個の0を含むデータが6個、2個の0を含むデータが15個、3個の0を含むデータが20個、4個の0を含むデータが15、5個の0を含むデータが6個、6個の0を含むデータが1個である。

【0029】

図8に示すように、4bitのデータセットと冗長区を含んだ6bitのデータセットに新しいマッピング関係を作って、この関係によってデータを書き込む過程でエンコードすると大幅にデータの中の0の個数を減らせる。図においてマッピングした6bitのデータでは、0個の0を含むデータが1個、1個の0を含むデータが6個、2個の0を含むデータが9個になる。

【0030】

以上の結果に対して統計を取ると、データはランダムに作成されるので、セットの中の各データがフラッシュメモリチップに記録される確率は同じである。もしセットの中で各データが書き込まれる回数を n とすると、0が書き込まれる回数は $4n+12n+12n+4n=32n$ になる。エンコードした後、実際に書き込まれる0の回数は $6n+18n=24n$ になる。統計結果によると、全部でエンコード前より0が書き込まれる回数は $8n$ 減り、 $16n$ 回の4bitのライト操作を行う。故に、本実施例を通してライト操作を行う時の各bitに対する損耗は12.5%減らすことができる。

【0031】

データを読み取る時に、フラッシュメモリ記憶セルからエンコードしたデータを読み取って、マッピング関係によってデコードし対応する元のデータを得る。その中のデコードという計算はエンコードの逆演算(ビット反転)である。

【0032】

前述のマッピング原理によって、各フラッシュメモリページには2048Bのデータ区と64Bの冗長区を含み、一つのエンコード計算を作ることができることで、ホストシステムデータがエンコードされて、フラッシュメモリ記憶セルに書き込まれる。冗長区の存在により、エンコードした後のデータの桁数はホストシステムの元のデータの桁数より大きく、フラッシュメモリチップの損耗を減らしフラッシュメモリ装置の使用寿命を引き伸ばすために、前述のようなエンコード計算がホストシステムのデータと桁数を拡大したデータに新しいマッピング関係を作って、ホストシステムの元のデータの0の個数よりエンコードしたデータ中の0の個数を減らせる。

【0033】

以下、本発明の実施例の圧縮方式について、詳細に説明する。本発明は一つのエンコードの方式を例とする。その実施方法は非常に簡単で、一段のデータで16進法データが出現頻度を統計処理し、得た頻度によってエンコードした値の桁数を決めて、頻度が最も高いのエンコードした値を0とし、頻度によって順番に10、110、1110、・・・とする。このように1bitで増加する際に、最高位のbitの左に一つの1を添える。出現頻度が同じ場合は、データユニットの16進法の値によってエンコードした値を決める。データユニットの16進法の値が小さい場合はエンコードした値の桁数が少なく、値が大きい場合はエンコードした値の桁数が多い。

【0034】

図9は圧縮計算していない128bitの元のデータであり、図10は統計により4bitを計算ユ

10

20

30

40

50

ビットとして圧縮計算を行って、データの中で4bitのデータユニットでの各組み合わせの出現頻度を示す。統計結果によるデータの書き込み頻度によって圧縮エンコードを設計し、データとデータ圧縮エンコードの対応関係は図10のように示す。統計によると、圧縮計算をしていない元のデータの中で0を含むデータの個数は72、1を含むデータの個数は56である。

【0035】

128bitの元のデータを圧縮してエンコードした後、図11のような結果が得られ、圧縮した後のデータの桁数は125bitになる。その中で0の個数は32、1の個数は93になり、圧縮前より0の個数は40個を減らせ、全てのデータの個数は3bitを減らせることになる。故に、この圧縮エンコード方式によってデータの中での0の個数を有効的に減らせ、同時に、書き込まれるデータの桁数も減らせる。

10

【0036】

データを読み取る過程では、まずフラッシュメモリ記憶セルから書き込んだエンコードしたデータを読み取って、圧縮計算における圧縮コードとデータの対応関係によってデコードし、元のデータを得る。その中のデコードという計算はエンコードの逆演算である。

【0037】

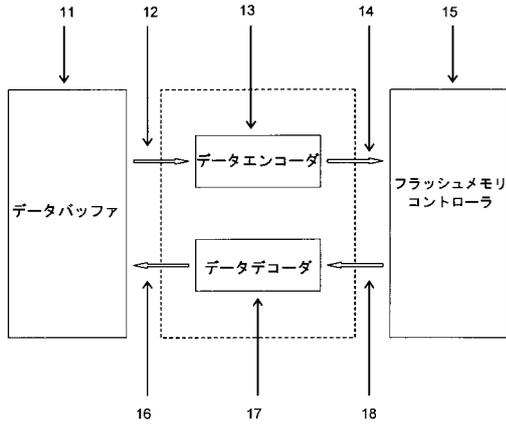
前述の圧縮エンコード・デコードアルゴリズムについて、その実施方法には何種類かがある。ここでは一種の例しか提供していないが、圧縮アルゴリズムによって書き込んだデータの桁数、特にデータ中の0の個数を減らし、フラッシュメモリの損耗を減らすことと装置の使用寿命を引き伸ばすこと及び書き込むスピードを高めること、電力消費を減らすことを主な目的とする。

20

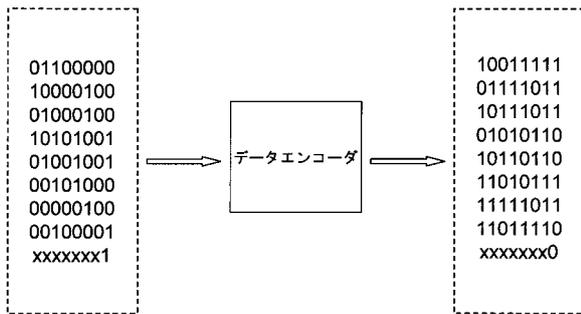
【0038】

上記ではいくつかの種類の実施形態を例に挙げて本発明を説明したが、本発明の実現アルゴリズムには多くの種類があり得、それらのすべては本発明の技術的精神に基づくものであり、且つ、当業者にとっても明白なものである。また、本発明のフラッシュメモリチップはNAND、NORだけではなく、ほかの類似した書き込むときに損耗がある半導体類のフラッシュメモリチップも含み、それらのすべては本発明の基本的思想及び範囲から逸脱せず、当業者にとっては明白な変化であり、本発明の範囲に属する。

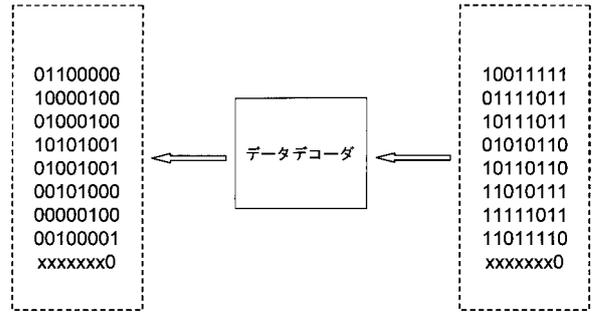
【 図 1 】



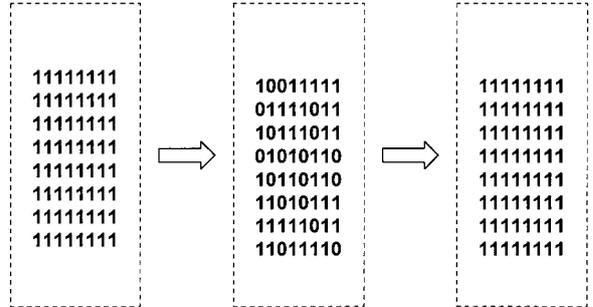
【 図 2 】



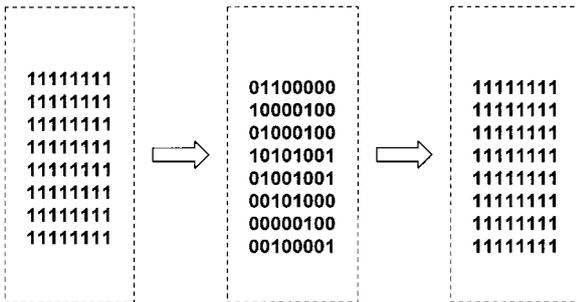
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

0000	1001
0001	1010
0010	0101
0100	0111
1000	1011
0011	1101
0110	1110
1100	1111

【 図 7 】

0000	11	1001	11	0000	01	1001	01
0001	11	1010	11	0001	01	1010	01
0010	11	0101	11	0010	01	0101	01
0100	11	0111	11	0100	01	0111	01
1000	11	1011	11	1000	01	1011	01
0011	11	1101	11	0011	01	1101	01
0110	11	1110	11	0110	01	1110	01
1100	11	1111	11	1100	01	1111	01
0000	10	1001	10	0000	00	1001	00
0001	10	1010	10	0001	00	1010	00
0010	10	0101	10	0010	00	0101	00
0100	10	0111	10	0100	00	0111	00
1000	10	1011	10	1000	00	1011	00
0011	10	1101	10	0011	00	1101	00
0110	10	1110	10	0110	00	1110	00
1100	10	1111	10	1100	00	1111	00

【 図 8 】

0000	
0001	
0010	
0100	
1000	
0011	
0110	
1100	
1001	
1010	
0101	
0111	
1011	
1101	
1110	
1111	

1110	10
1110	01
1101	01
1011	01
0111	01
1111	01
1111	10
1100	11
1001	11
1010	11
0101	11
0111	11
1011	11
1101	11
1110	11
1111	11

【 図 10 】

1010
0100
0011
0110
0101
0001
1001
0010
1000
1011
1100
0000
0111
1101
1110
1111

0	8
10	5
110	4
1110	4
11110	3
111110	2
1111110	2
11111110	1
111111110	1
1111111110	1
11111111110	0
111111111110	0
1111111111110	0
11111111111110	0
111111111111110	0

【 図 9 】

0011	0100	0101	0110
0001	1010	1010	1010
0010	1010	0100	0110
0100	1011	1010	0001
1000	0011	0100	0110
0011	1010	0011	0101
0110	1001	0100	1010
1100	1010	1001	0101

【 図 11 】

1101	0111	1011	1011
1110	0001	1111	1100
1011	1010	1111	1111
1001	1111	0111	1111
1011	0101	1101	1001
1011	1101	1101	1111
1010	0111	1111	1110
0111	1110	1111	0

【 国际调查报告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2008/071142
A. CLASSIFICATION OF SUBJECT MATTER <p style="text-align: center;">see the extra sheet</p> According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <p style="text-align: center;">IPC: G11C16/, G06F13/; EC: G11C16/10E, G06F13/00</p> Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI;EPODOC;PAJ;CPRS;CNKI flash, memory, zero, binary, encod+, decod+, read+, writ+, stor+, eras+, speed, compress, ,reverse, inverse, map+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant
Y	CN1480953A (HONGFUJIN PRECISION IND SHENZHEN CO LTD) 10 Mar. 2004 (10.03.2004) Description Page 4 Line 7- Page 5 Line 19, Figure 3	1-5
A	The whole document	6-10
Y	CN1249084A (TELEFONAKTIEBOLAGET ERICSSON LM) 29 Mar. 2000 (29.03.2000) Description Page 1 Line 18- Page 2 Line 11, Claim 1	1-5
A	The whole document	6-10
A	JP2000231793A (NEC CORP) 22 Aug. 2000 (22.08.2000) The whole document	1-10
PX	CN101083138A (YIZHENG STORAGE TECHNOLOGY CO LTD) 05 Dec. 2007 (05.12.2007) The whole document	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search <p style="text-align: center;">19 Aug. 2008 (19.08.2008)</p>		Date of mailing of the international search report <p style="text-align: center;">04 Sep. 2008 (04.09.2008)</p>
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451		Authorized officer <p style="text-align: center;">WANG, Tao</p> Telephone No. (86-10)62411627

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2008/071142

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN1480953A	10.03.2004	NONE	
CN1249084A	29.03.2000	WO9829954A1	09.07.1998
		SE9604834A	01.07.1998
		AU5581098A	31.07.1998
		EP0948845A1	13.10.1999
		SE512613C2	10.04.2000
		BRPI9713639A	11.04.2000
		US6218968B1	17.04.2001
		KR20000069833A	25.11.2000
		JP2001507542T	05.06.2001
		AU739418B	11.10.2001
		US6556151B1	29.04.2003
		JP3960627B2	15.08.2007
		JP3995106B2	24.10.2007
		WO9829955A1	09.07.1998
		AU5581198A	31.07.1998
		TR9901505T	21.09.1999
		TR9901513T	21.09.1999
		EP0948846A1	13.10.1999
		BR9713795A	01.02.2000
		EE9900325A	15.02.2000
		EE4409B	15.12.2004
		EE9900324A	15.02.2000
		CN1100390C	29.01.2003
		CN1249083A	29.03.2000
		CN1108015C	07.05.2003
		AU730951B	22.03.2001
		JP2001507543T	06.05.2001
		HK1027227A1	10.10.2003
		HK1027228A1	06.02.2004

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2008/071142

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
		KR100375278B	10.03.2003
		KR100378319B	29.03.2003
JP2000231793A	22.08.2000	NONE	
CN101083138A	05.12.2007	NONE	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2008/071142

Continuation of: A. CLASSIFICATION OF SUBJECT MATTER

G11C16/10 (2006.01) i

G06F13/00 (2006.01) i

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ホアン ヘー

中華人民共和国 518057 グワンドン シェンチェン ナンサン ディストリクト ハイ -
テク インダストリアル パーク ダブリュ2エイ ビルディング 3 / エフ

Fターム(参考) 5B060 CA03 CB03 DA09