

公告本

294877

申請日期	85.05.07
案 號	85105403
類 別	H04N 5/04 Cl ⁶

A4
C4

294877

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有串級延遲級之時鐘重覆計時裝置
	英 文	CLOCK RE-TIMING APPARATUS WITH CASCADED DELAY STAGES
二、發明 人	姓 名	1.馬克·法蘭西斯·魯瑞奇 2.約翰·威廉·吉瑞克
	國 籍	均美國
	住、居所	1.美國印地安納州印地安納波里市南印地安湖大道10308號 2.美國印地安納州印地安納波里市北葛拉翰街757號
三、申請人	姓 名 (名稱)	美商湯瑪斯消費者電子公司
	國 籍	美國
	住、居所 (事務所)	美國印地安納州印地安納波里市北子午街10330號
	代 表 人 姓 名	約瑟夫·斯·崔波里

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地 區) 申 請 專 利 , 申 請 日 期 : 1995.10.25 案 號 : 547830 , ☐ 有 ☐ 無 主 張 優 先 權

有 關 微 生 物 已 寄 存 於 :

, 寄 存 日 期 :

, 寄 存 號 碼 :

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明範圍

本發明關於延遲電路，尤其是關於具有串級延遲級之延遲電路，以及一個用於重覆計時之時脈信號的選擇器。

發明背景

延遲電路利用串級延遲級和一個選擇電路，用於重覆計時一具有一同步信號之時脈信號，這些都是眾所週知並且廣泛地應用於，例如，視頻信號同步電路。一項實例，由威理斯等人描述於美國專利4,992,874，標題為："用以修正計時誤差，供一多畫面顯示器使用的方法及裝置"，於1991年2月12日發表。威理斯等人描述一不對稱之修正系統，用於一種具有子母畫面(PIP)處理的電視接收機。威理斯等人之PIP接數機之一項實施例的一只元件，包括一時鐘相位移位電路，它為一鎖定之取樣時脈重覆計時，以激發出主要的畫面信號，具有自畫面顯示處理電路獲得的水平同步信號。

本發明之目的，是要針對由威理斯等人所描述之通用型時鐘重覆計時電路，提供特定的改良，以便在一種體電路中，使用標準的半導體處理技術，建構此重覆計時電路。為瞭解由本發明解決這些問題的本質，有助於首先對威理斯等人之重覆計時電路的實施例詳細地考慮。最後，此處之圖1中標示"前項技術"，即基於威理斯等人之專利所繪製的。

圖1之時鐘重覆計時裝置100，包括一個輸入端子102，用以接收要以一水平同步信號HS重覆計時或"對齊邊緣"的

五、發明說明(2)

一項主要時鐘輸入信號MCK。此主要時鐘輸入信號MCK經由導體104，耦合至一附接頭之延遲線130的輸入，包含15個延遲分量 $\Delta 1 \sim \Delta 15$ 。此延遲線接頭T1~T15連同未經延遲之主要時鐘輸入信號MCK，分別經由匯流排112及導體104，供應給含有15個"D"型正反器的一個記憶體單元106。所有在記憶體單元106中之正反器均以供應至輸入端子114之一水平同止信號HS的領前邊緣同時計時。結果，記憶體106中的15個正反器，儲了當水平同步脈衝抵達時，可以被認為是全部延遲線接頭值的一個"快鏡拍攝"或"畫面"。因為至少有15個延遲，每個5奈秒，此儲存之接頭值表示在水平同步信號抵達的瞬間，此時脈信號MCK的一個完整週期(即70奈秒，假定為NTSC)的取樣。

比較儲存於正反器106中全部15個接頭的值，能夠決定的是哪個接頭之輸出信號之邊緣，最接近水平同步HS的領前邊緣。藉多工選擇邏輯單元108來進行這項識別工作，此單元經由15條體匯流排118，接收來自記憶單元106中儲存的15個接頭值。從這15個輸入接頭延遲，在16個導體匯流排120上之輸出信號上，由單元108所提供的，辨別出在接頭T1~T15或此輸入信號(未經延遲)，15個延遲信號中，哪一個有一邊緣或轉折點最接近水平同步信號HS的邊緣。由邏輯108識別後，經由16個導體匯流排120，將最接近的接頭信號供應至一多工選擇開關110。接著，此開關110選擇15個接頭信號中的一個(已延遲)，或是此輸入信號(未經延遲)，做為一項輸出信號YCK，並將這個

五、發明說明(3)

信號供給輸出端116，用於水平線的其餘部分。

在以上的情形，由選擇邏輯單元108來識別之接頭造成此輸入主要時脈信號MCK的延遲，而為最接近水平同步的領前邊緣，並且這個接頭用來延遲所有隨後之主要時脈信號。用於此水平線的剩餘部分。當下一條水平線開始時，水平同步之邊緣再次將全部的接頭延遲資料門鎖於記憶體106內，並且周而復始。因此，這項主要的時脈信號MCK因選擇之接頭延遲而相位平移，以產生經過移相之輸出時脈YCK，其邊緣與水平同步信號HS對齊。

發明概述

本發明是針對一個問題－曾描述之型式之重覆計時裝置，有關於延遲分量在傳遞延遲上的變化情形，以及在多工選擇邏輯108中之邏輯閘變遷的傳遞延遲，從一積體電路到另一個。傳遞延遲的變化情形很重要，因為會影響許多重覆計時參數，諸如延遲及接頭的數量，和顧客的選擇或標準晶格製造技術，它們也會交互影響電路成品的良率及成本。

更直接地，已知之重覆計時電路在之前的描述中，共有15個接頭，而且主要之時脈週期為70奈秒。這項週期值是基於一假定之NTSC標準信號，以四倍於色彩副載頻(4Fsc)的速率取樣而得。為了提供一延遲之全週期(70奈秒)做為主要時鐘脈衝MCK，此延遲線必須提供一項延遲，最少也會超過70奈秒。對於15個接頭，每個延遲分量5奈秒的延遲，將提供一最少的總延遲時間75奈秒，滿足此線所

五、發明說明(4)

需要的最少總延遲時間。

另一項影響接頭延遲之選擇的因素，是人們眼睛的視覺清晰度。已經發現到，10奈秒或更好的延遲解析度是必要的，以使垂直線的邊緣變動實質上是無法察覺的。在這點上，5奈秒的延遲已太足夠了。若有人假設一最長的延遲10奈秒，是基於視覺解析能力，而對於15個分量中，每一分量5奈秒的最少延遲，基於主要的時脈週期，以提供最少的延遲總和，那麼各延遲數值的最大"範圍"比例為二比一(2:1)。

已建構完成重覆計時電路，使用一個半導體流程，具有一用於延遲分量，二比一的批對傳遞延遲變化量。然而，這項2:1的比例，對於處理標準晶格延遲裝置而言是相當接近的容許誤差。為了滿足以上討論過的所有標準，到目前為止，已發現需要利用由顧客所設計之延遲"晶格"(元件)以獲得一項延遲變化量或不超過2:1比例的"範圍"。由顧客以一種半導體程序來設計一延遲元件，可以逐片晶片地將延遲變化量減少為大約二比一(2:1)的因數。另一方面，有一在成本上之優點，很清楚的，使用標準晶格延遲元件，雖然逐片晶片的延遲"範圍"可更為寬廣，像是逐批積體電路預期之延遲，最大到最小為四比一(4:1)的比例。

製作已知之重覆計時電路時的另一項問題，考慮到在多工選擇開關108內，邏輯閘的傳遞延遲。憶起邏輯108必須確認哪個接頭信號最接近同步信號邊緣。如果有人選擇

五、發明說明(5)

一個延遲範圍4:1，那麼每個接頭的最大延遲為10奈秒(識別臨限值)，最少延遲為2.5奈秒。對於延遲分量2.5奈秒的延遲，將需要30個延遲，才能滿足大於時脈週期(>70ns)之最小總延遲量的需要。但若有30個延遲，也必須有30個輸入到選擇邏輯108，而這個邏輯電路使用串列或"行波"進位處理。其困難處在於，若是在選擇邏輯108中，30級邏輯閘傳遞之總延遲時間超過主要時脈之週期，70ns，那麼選擇邏輯108會無法在一個時脈週期內，對於無法完成全部30個接頭信號的處理，識別最接近的MCK時脈邊緣。

本發明之目標，是要滿足時鐘重覆計時裝置的需要，適於以具有延遲分量之積體電路型式來建構，可以呈現相當寬廣的傳遞延遲的變化範圍，諸如四比一。

延遲裝置實現本發明，包含形成於一積體電路內，將眾多之延遲元件串接起來，並且對一時脈輸入信號有反應，用來在有關接頭處提供許多經延遲的時脈信號。一個選擇電路，對供應於其上之同步信號有反應，將其中一個經選擇的接項耦合至一輸出，用以提供一項延遲之時脈輸出信號，它是與同步信號的邊緣對齊。於選出之接頭之間的延遲元件數量是在改變的。

附圖簡介

本發明以附圖配合說明，其中：

圖1為前項技術中已知之一個時鐘重覆計時裝置的方塊圖；

五、發明說明(6)

圖2為體現本項發明之一個時鐘重覆計時裝置的方塊圖；

圖3A，3B及3C為說明圖2之時鐘重覆計時裝置之操作之特定觀點的詳細時序圖；

圖4是一個比較性之常態延遲分配表，用於圖2之本發明之實例的延遲分量；

圖5為一方塊圖，說明圖2之裝置的一項修正；以及

圖6為一邏輯圖，說明適用於圖2之實例中的接頭選擇電路。

詳細說明

圖2之時鐘重覆計時裝置200實現了本發明，其設計為以積體電路形成，具有傳統之"標準晶格"延遲元件來建構，它可展現高達四比一(4:1)之比例的逐批延遲變化量，如果此延遲線接至29個延遲元件的每一個，而不需要像其他情況時所需要的接頭那麼多。這種方法運用了這項事實，當子元件延遲實際上少於10奈秒的視覺上限時，即能選擇只有時間，最右邊(即最後)的接頭。這項原則容許每一接頭正常的延遲，而沿著延遲線呈幾何地增加，且仍保證於最差的情況時，每一接頭之延遲少於10奈秒的需求。實際上，一如將解釋的，每一接頭之延遲分量的分配不單純為幾何問題，但包含一個線性的延遲區域，以及一個遞增的延遲區域。詳細解釋如何決定此延遲分配，則連同圖4討論於後。

回想起減少接頭數目的主要優點，在於減少了至接頭選

五、發明說明(7)

擇輯單元8之輸入的數量。在這個特例中，由用於一線性延遲線之28個接頭減少為用於一遞增之延遲線的19個接頭。這個接頭選擇邏輯是一行波型結構(詳示於圖5中)，因此有一傳遞時間，正比於輸入數。心必須要少於主時脈MCK的一個週期(70奈秒)，並根據本發明，使用累進或遞增的接頭分配方式，是滿足這項需求的有效途徑。

更詳細地，圖2之時鐘重覆計時裝置200包括一輸入端子2，用以接收要重覆計時的主要脈輸入信號MCK，關於供應至一輸入端子14的一項水平同步信號HS。此主時脈輸入信號MCK經由導體4，耦合至一附接~頭之延遲線30的輸入，含有29個延遲分量 $\Delta 1 \sim \Delta 29$ 。這些延遲分量附接於19個點，以提供19個經過延遲的接頭信號(T1~T19)，它們具有一種特別的延遲分配，討論於後。

將延遲之接頭信號與未延遲之主時脈輸入信號MCK，分別經由匯流排12及導體4，供應至含有19個"D"或"資料"型正反器的一個記憶單元6。記憶體單元106中之全部正反器均由在輸入端子14之水平輸入信號HS領前邊緣同時計時。結果，這19個在記憶體6內之正反器存著可被認為是一"快鏡拍攝"，一個"畫面"或一個"輪廓"，於同步信號HS抵達時，顯示在延遲線30內，主時脈信號MCK之一完整週期的波形。

主時脈信號之"快鏡拍攝"說明於圖3A中的波形T0到T6。波形T0是供給延遲線30之輸入的主要時脈MCK。其他的波形相當於分別在接頭T1~T6的信號。當然，總計有19個

五、發明說明(8)

接頭之波形，但為求簡化附圖，只顯示了六個。

圖3A及3B中之垂直虛線對齊水平同步遷移，並識別在水平同步信號遷移300時，儲存於記憶體6內全部的接頭值(即二進位的一或二進位的零)。比較儲存於記憶體6內之所有19個接頭值，就可決定哪個接頭最接近水平同步HS的領前邊緣。這項識別是由接頭選擇邏輯單元8來進行，它接收來自記憶單元6，經由匯流排18的19個儲存於其中的接頭值。圖3中最接近之接頭為T3(以粗線表示)，相當於主時脈MCK之信號經三個延遲分量所延遲。

一旦識別出最接近的接頭，接頭選擇邏輯8馬上在匯流排21中的一個導體上，傳送一個信號至多工器開關10。這樣會使多工器開關10連接接頭T3與輸出端子116。圖3C中以信號YCK波形來說明，顯示此重覆計時之時脈信號YCK的領前邊緣對齊水平同步信號HS的領前邊緣，而且此信號本身相當於經由三個延遲分量所延遲的主時脈信號MCK。水平同步遷移之前的面積塗以陰影，以表示信號YCK的前相位不列入考慮。因為不需要來自前線的資料來決定電流線的延遲。換句話說，以逐線為基礎，重新決定延遲，那麼前線之延遲對於電流線之延遲的決定是毫無意義的。

簡述這一情形，從儲存於記憶體106中之接頭資料，由選邏輯單元6之延遲線30中選出之接頭，延遲了此輸入主時脈信號MCK，而且這個接頭藉由多工開關10連接至輸出端子116，因此延遲了所有隨後之主時脈信號，用於水

五、發明說明(9)

平線的其餘部分。當下一條水平線開始時，水平同步信號邊緣再次門住記憶體106中全部的接頭延遲資料，然後此週期周而復始地重覆出現。因此，由選出之接頭延遲將主時脈信號MCK之相位平移，以產生移相的輸出時YCK 304，其邊緣與水平同步信號HS對齊。所有用於水平線之剩餘部分之隨後的時脈週期因此會與水平同步信號HS同步。當下一個水平信號出現時，這個過程連同與同步信號HS同步之輸出時脈YCK重覆，即將重覆計時之時脈信號YCK更新，以用於每一水平線。

圖2中之延遲線30希望以具有一延遲變化量，逐批以四比一(4:1)之比例，尤其從2.5奈秒之最小值到10奈秒之最大值之間的延遲分量來製造。就逐批之變化量來說，意指在時鐘重覆計時電路之一製造程序中，其延遲量可均為2.5奈秒，而在另一製造程序中，其延遲量可均為10奈秒。在延遲線30中，延遲分量之總數增加到29個，因此在最壞情況—全部延遲分量均為2.5奈秒之延遲量時，提供一項最大延遲量全線72.5奈秒。這項延遲量，72.5奈秒，多於主時脈週期之70奈秒(NTSC信號假設以色彩副載頻的四倍來計時)，並因此涵蓋了介於主時脈MCK與水平同步信號HS久前緣之間之相位關係的整個範圍。

每一接頭之延遲分量的"延遲分配"顯示於圖2的實例中，可以看出有29個延遲分量，而僅有19個接頭，同時此接頭的分配情形並不均勻一致。前13個接頭，例如，均間隔一個延遲分量，接下來的3個接頭則間隔兩個延遲分量，

五、發明說明 (10)

再接著兩個接頭間隔了三個延遲分量，而最後一個延遲接頭19則自前一接頭18間隔了四個延遲分量。這種分配解決了每一接頭至少10微秒，用於延遲分量超過4:1範圍之變化量。

圖4以表格顯示圖2中的延遲分配，也同樣顯示了其他三種情形。圖4中之第一行為延遲線30的接頭編號。第二行標示為"均等的延遲分量"，說明了對於一線性延遲線，在每一接頭之間為1個延遲分量，共需要總數為28個接頭，以提供一最小為70奈秒的總延遲量。標示為"單一延遲分量"的這一行列出以圖2為例之每一接頭的分量。如所顯示的，接頭數減少為19個，產生一最小之總延遲量72.5奈秒。相較於一線性延遲所需之28個接頭，這是一項重大的縮減。標示為半單位延遲分量的延遲分量的這一行為延遲分配的一項實例，如果有可利用之1.25微秒的延遲分量(2.5微秒的一半)的話就可以使用。如所顯示的，兩個接頭有更進一步的縮減，但需要更多的延遲分量。

圖4之表格中的最後一行說明接頭之需要量，若有人有一標準元件庫含有連續可調整的延遲分量。這種情形也表示所說明之實施例，用於一重覆計時電路有絕對最少的接頭數，滿足總延遲量，延遲解析度，延遲散佈等等特殊的需要。一如所見，此連續之情形，僅以16個接頭，接近一最大的接頭延遲為4.00單位。這是一優於半單一實例及3優於單一實例。雖然如此，當有人考慮到單一延遲之結構或是在半單一實例中額外延遲的需要，明顯偏好於圖2之

五、發明說明(11)

簡單單一的形式。

每一接頭之特定延遲的計算不是一簡單的事情，但著考慮以下之公式一決定此延遲分配及一些相關實例，可以容易了解，先將考慮接頭延遲的計算，用於連續延遲的情形。稍後要討論到的不連續的延遲情形，本質上為連續情形的整體的延伸。

連續情形中，前七個接頭之每一個均須等於一個"標準延遲分量"。因為最粗略的延遲分量不能超過10奈秒，以滿足先前論及之視覺解析度需求，又因總延遲量須等於70奈秒，需要至少7個延遲分量，每個10奈秒，以產生最少總量70奈秒及一均等的延遲解析度，逐一接頭為10奈秒。因此，圖4中"連續延遲"這一行，前七個接頭，每個列為1.00。所有列出之值均相對於"標準延遲分量"而加以標準化，它可以是介於2.5與10奈秒間的任何值，端視製造之過程而定。而實際之延遲是由"標準延遲分量"值乘以標準化值而得。

下一接頭，接頭編號8，以及所有隨後之接頭，是由接下來之關係式用於一4:1散佈，10奈秒最大接頭差異及至70奈秒之總延遲(主時脈MCK的倒數)經計算而得。首先，對於第N接頭，標示為：

$$(\Sigma + X_n)T = 70\text{ns} \quad (1)$$

$$X_n T = 10\text{ns} \quad (2)$$

$$X_n = (1/6)(\Sigma) = 0.16666\Sigma \quad (3)$$

在以上之公式1-3：

五、發明說明 (12)

Σ 是所有在第N級之前的級(即自N至N-1級)之標準化延遲量的總和。

T是每一"標準延遲分量"的延遲。

X_n 為標準化之增量延遲(即為此增量延遲除以每一"標準延遲分量"之延遲)，對於一既定級" n "，其中之延遲分量可在一連續的基礎上(圖4最右一行)變化的情形。

10，為一10奈秒常數，相當於最小可接受的解析度，以及70，為一70奈秒常數，相當於全線之取小總延遲，等於主時脈信號MCK的倒數。

公式(1)指出，電流延遲之總和及先前延遲的全部必須等於一最小值70奈秒，它是主時脈MCK的週期。公式(2)依照最小可接受之解析度(即10奈秒)來定義標準化的增量延遲。將上述之公式(1)及(2)結合，並求解 X_n ，即得公式(3)，它提供一個值，為標準化之增量延遲，用於在逐漸加重之延遲線中的第N個接頭。

如同使用公式(3)的一項實例，第N級之標準化的增量延遲值取決於選取所有前面各級(N-1)之標準化延遲量之總和的六分之一。對於以上所詳述範例中之任一延遲線，須有至少七個延遲值是相等的，因為這些延遲可以等於10奈秒，因此與延遲線之總延遲相等。因此，每一種情形的前七級必須有一標準化之增量延遲"1"。對於第8級，前面各級之總和為7，那麼用於第8級之標準化增量延遲為(" X ")0.16666(7)等1.16666。圖4中在"連續"行之接頭8即顯示這項記錄。將接頭8之標準化增量延遲(1.1666)加

五、發明說明 (13)

上前個接頭，即得一總量8.1666，用於前面所有標準化之增量延遲的總和。將這個值(8.1666)除以6而得標準化之增量延遲1.3611，做為第9接頭的延遲。重覆這個步驟，即可計算得到全部接頭的標準化增量延遲，如圖4所示。

不連續之標準化增量延遲值的計算類似於連續值的計算，除了任一級之標準化的增量值不要加上前級總和，除非它是整數。如一實例，始於第8級，其標準化之增量值為1.1666，1.250，1.500；1.6666；及1.811為接頭8~12。這些值當中，沒有一個是整數。當應用公式(3)時，沒有加上任何一項，那麼接頭1~12之標準化增量值為1，總數 Σ 即等於12。

接頭13為本實例的第一接頭，其標準化之增量值為一整數步階。尤其對於接頭13，前面各標準化值之總和為12，且12除以6為2。因此，接頭13與下一個接頭之間有兩個延遲分量，而且這個標準化之增量接頭值(用於接頭14)每"2"遞增。終於，此標準化之增量值以"3"為步階晉升，最後一階則為"4"(意指4級，每一級需要2.5奈秒)。

圖5為一延遲分配的一項實例，藉使用"半延遲"分量，每一分量1.25奈秒來滿足需求。這些半分量實現量實現圖4中之半單位延遲這一行的分配情形。如所顯示，只需要17個接頭(比單一延遲之例少了2個)，但用了49個延遲。如果在積體電路上得以形成2.5及1.25奈秒的延遲，實用上即可使用較少的延遲。

圖6說明邏輯電路之細節，適於製作圖2之重覆計時裝置

五、發明說明(14)

。這些正反器，選擇電路及多工切換電路，對於每一接頭而言，都是相似的，那麼只顯示一些簡化此附圖的級。最初級與最後級是例外，在同步信號之前緣抵達之後，它們提供了回授，以停止選擇過程。基本上，D型正反器6，多工選邏輯8及開關10均如所示，於前述之威里斯等人之專利編號第4,992,874中，且在此僅提供了簡要的描述。整體電路之操作情形確實如同先前於圖2及相關之圖3及4中的實例所探討的。

對於主時脈信號MCK的正向進行之變動有反應，此信號MCK之每一異相位的瞬時取樣均儲於記憶體6之個別的D型正反器(610, 620, 630, 640)內。因為由延遲線30所提供之總延遲量大約是主時脈信號MCK的一個週期，儲存在這些正反器中的值表示在不同接頭，於同步信號HS變動時，對此時脈信號MCK的全部相位所進行的"快鏡拍攝"。

如果這個"快鏡拍攝"包括主時脈信號之一正向進行變動，其中一個正反器，例如620，將有一邏輯一的輸出信號，下一個正反器630，將有一邏輯零的輸出信號。這時，所有輸入至接頭選擇邏輯單元8之一及開634的信號將為邏輯一。在這種情況下，及開634之輸出信號，將會使由接頭18所提供之時脈相位信號能夠通過一個及開638及一個或開660(在多工開關10中)，而為重覆計時裝置的輸出信號，同時接頭18保持連接至輸出端子16，用水平線區間的其餘部分，直到下一個水平脈衝出現為止。

當此接頭邏輯準位或儲存於記憶體6內的"快鏡拍攝"，

五、發明說明 (15)

含有超過一次的變動，禁止電路包括了反相器616，636，646及656，只容許相當於要選為延遲之時脈輸出信號YCK之第一變動的時脈信號相位。當此"快鏡拍攝"只包含一負向進行的變動，或是當在正反器內之取樣值均為邏輯一，指出沒有捕捉到變動的情形，由延遲分量29於接頭19處所提供之時脈信號相位，經選擇成對齊輸出信號YCK的相位。這項選擇是由"虛級"655所完成的。最後，當"快鏡拍攝"不含任何變動，但在各種正反器中得到之值均為邏輯零，即將主時脈MCK之信號選為對齊輸出信號YCK的相位，這些都是及閘614和618，還有一反相器616作用的結果。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 具有串級延遲級之時鐘重覆計時裝置)

供應一種視頻時鐘輸入信號至一延遲線，它包含了形成於一積體電路之眾多延遲分量的一串級連接，用來在延遲線的個別接頭處，提供許多延遲的時脈信號。一個選擇電路，對提供至其上之水平同步信號有反應，並將其中一個經過選擇的接頭耦合至一輸出，用以提供一項延遲的輸出時脈信號，邊緣對齊此同步信號。對於減少所需接頭的數量，以提供一既定最少的延遲步驟分析及一既定最少的總延遲量給延遲分量，那是可以從一個積體電路至另一積體電路，在延遲上是可以改變的，對於第一群之延遲分量，這些接頭間隔著一項分量，而至少一第二群之分量中，其間相隔者多於一個分量。

英文發明摘要(發明之名稱: CLOCK RE-TIMING APPARATUS WITH
CASCADED DELAY STAGES)

A video clock input signal is applied to a delay line comprising a cascade connection of a plurality of delay elements formed in an integrated circuit for providing a plurality of delayed clock signals at respective taps of the delay line. A selection circuit, responsive to a horizontal synchronizing signal supplied thereto, couples a selected one of the taps to an output for providing a delayed output clock signal that is edge-aligned with the synchronizing signal. For reducing the number of taps required to provide a given minimum delay step resolution and a given minimum total delay for delay elements which may vary in delay, from one integrated circuit to another, the taps are spaced one element apart for a first group of the delay elements and are spaced more than one element apart for at least one second group of the elements.

六、申請專利範圍

1. 一種積體之時鐘重覆計時裝置，包含有：

一延遲級，包含將形成於一積體電路中眾多延遲元件的串接連接，並且在各自接頭處，響應於用來提供許多延遲之時脈信號之時脈輸入信號；

一個選擇電路，響應於供應其上之一同步信號，用來將其中一個選出的接頭耦合至一輸出，以提供一項經延遲之時脈輸出信號，其邊緣與此同步信號對齊；以及其中

在一些接頭之間的延遲分量數目會改變。

2. 根據申請專利範圍第1項之裝置，其中：

接頭彼此之間之延遲分量的數目，對第一組接頭而言是常數，對第二組接頭而言則是按比例。

3. 根據申請專利範圍第2項之裝置，其中：

該等接頭中該第一組間隔一個延遲分量，用於該串接中一既定數量的延遲分量；以及

該等接頭中該第二組間隔著至少兩個延遲分量，用於一預定數量的該等接頭。

4. 根據申請專利範圍第1，2或3項中之任一項的裝置，其中：

在該等接頭間之延遲分量的分配中選擇，使所需之接頭數量減至最小，以提供此種覆計時之時脈輸出信號一項既定之最小延遲解析度，也提供該延遲線一項既定之最小總延遲量。

5. 根據申請專利範圍第1，2或3項之裝置，其中：

六、申請專利範圍

在一既定之積體電路中，該延遲分量為均等的，但自一積體電路至另一積體電路，顯示一個延遲量的變化範圍，可在一預定範圍上變化；以及

在該等接頭間之延遲分量的分配中選擇，使所需之接頭數量減至最小，以提供一既定之最小延遲解析度，也提供該延遲線一項既定之最小總延遲量。

6. 根據申請專利範圍第1或2項之裝置，其中：

在該等接頭間之延遲分量的分配中選擇，使所需之接頭數量減至最小，以提供一既定之最小延遲解析度，也提供該延遲線一項既定之最小總延遲量；以及其中

該最小總延遲量至少為該輸入時脈信號的一個週期。

7. 根據申請專利範圍第1或2項之任一項的裝置，其中：

在該等接頭間之延遲分量的分配中選擇，使所需之接頭數量減至最小，以提供一既定之最小延遲解析度，也提供該延遲線一項既定之最小總延遲量；以及其中

該最小總延遲解析度約為十微秒。

8. 根據申請專利範圍第1或2項之任一項的裝置，其中：

在該等接頭間之延遲分量的分配中選擇，使所需之接頭數量減至最小，以提供一既定之最小延遲解析度，也提供該延遲線一項既定之最小總延遲量；以及其中

該最小總延遲量至少為該輸入時脈信號的一個週期；

該最小延遲解析度約為十微秒。

9. 根據申請專利範圍第1及2項之任一項的裝置，其中

在一既定之積體電路內之延遲分量是均等的；以及其

六、申請專利範圍

一個積體電路之延遲分量，可以在延遲量上不同於另一積體電路的延遲分量，其差異因數大於二比一。

10. 一種積體式視訊時鐘重覆計時裝置，含有：

一延遲線，包含將形成於一積體電路中眾多延遲元件的串接連接，並且在各自接頭處，響應於用來提供許多延遲之時脈信號的時脈信號源；

形成於該積體電路內之一選擇電路，係響應於供應其上之一同步信號，用來將其中一個接頭耦合至一輸出，以提供一重覆計時之時脈輸出信號，其邊緣與該同步信號對齊；以及其中：

接頭數少於延遲分量，以致於形成一個經選擇之接頭延遲的分配，使需要之接頭數減至最小，以提供該延遲線一項既定之最小延遲解析度及一既定之最小總延遲量。

11. 根據申請專利範圍第10項之裝置，其中：

在一既定之積體電路中，該延遲分量為均等的，但自一積體電路至另一積體電路，顯示一個延遲量的變化範圍大於二比一。

12. 根據申請專利範圍第10項之裝置，其中：

該最小總延遲量至少為該輸入時脈信號的一個週期。

13. 根據申請專利範圍第10，11或12項之任一項裝置，其中：

該最小延遲解析度約為十微秒。

14. 根據申請專利範圍第10項之裝置，其中：

六、申請專利範圍

該接頭數為19及該延遲分量數為29。

15. 一種方法，用於重量計時一視訊時脈輸入信號，以對齊一水平同步信號，包含之步驟為：

應用該視訊輸入時脈信號至一積體電路中有接頭之延遲線，在該延遲線之個別輸出接頭處，產生許多累進延遲之時脈信號；

將該等接頭之一耦合至一輸出端子，於該水平同步信號之既定變動上，以提供一重覆計時之視訊輸出時脈信號，其邊緣對齊該同步信號；以及

選擇每一接頭延遲時間的非線性分配，以致於將所需之接頭數減至最小，以提供該重覆計時之視訊時脈輸出信號之一既定的最小延遲解析度，又提供一既定之最小總延遲量，用於該含接頭的延遲線。

16. 根據申請專利範圍第15項之方法，其中選擇該預定之非線性的每一接頭延遲時間的分配之步驟有：

在該延遲線中分配第一組的延遲分量，以提供每一接頭一項常數延遲量，以及

在該延遲線中分配第二組的延遲分量，以提供每一接頭逐漸增大的延遲量。

17. 根據申請專利範圍第16項之方法，又包含：

選擇為該最小延遲解析度一個時間週期，約為十微秒；以及

選擇為該最小總延遲量，用於該延遲線一時間週期，實質上等於該輸入時脈信號的週期。

(請先閱讀背面之注意事項再填寫本頁)

裝

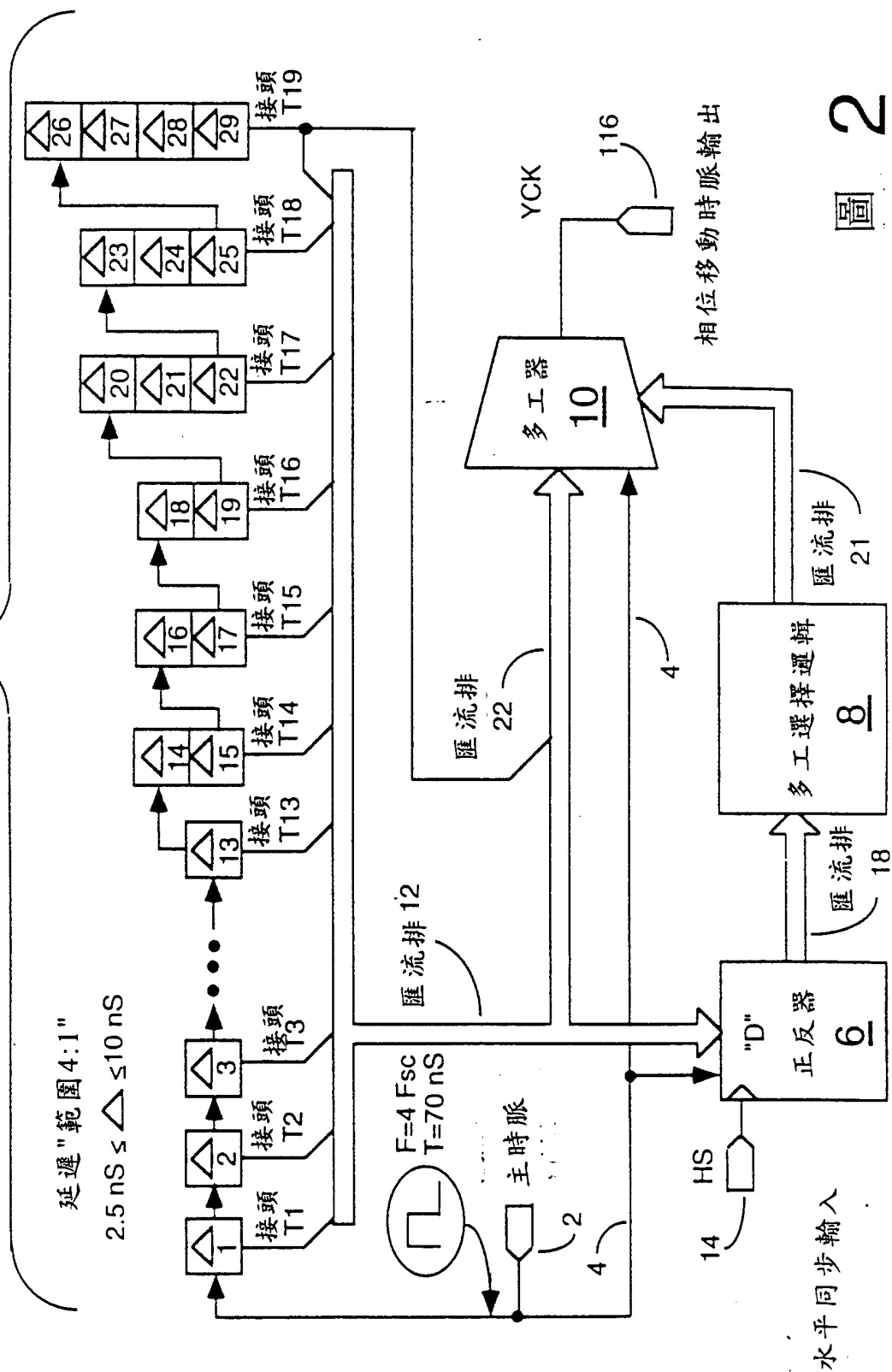
訂

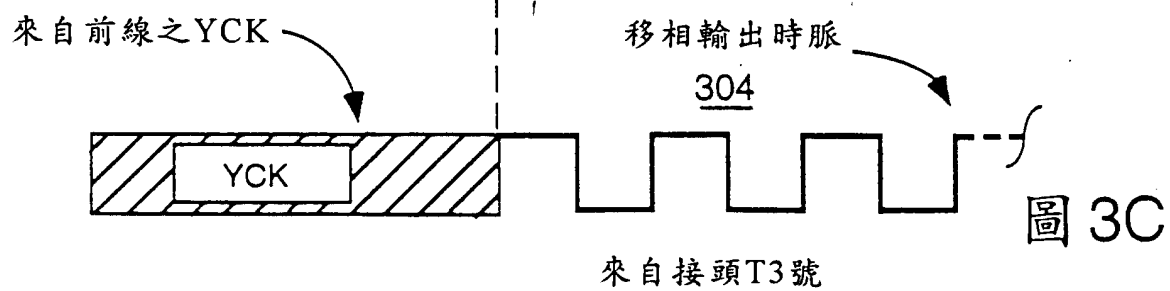
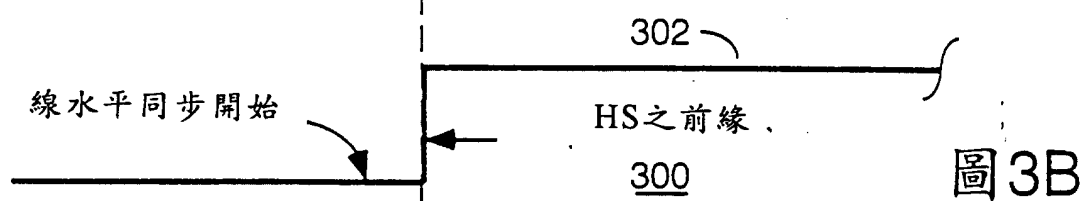
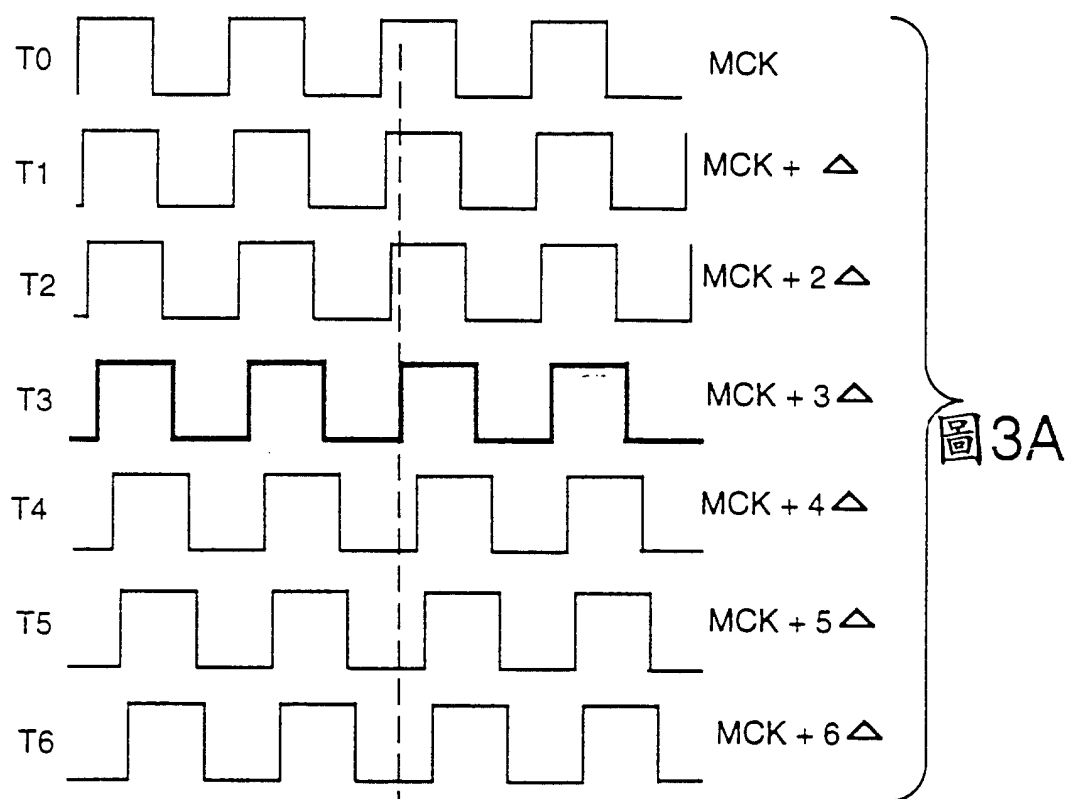
線

時鐘重覆計時裝置 100



(前項技術)





294877

標準化之延遲分配比較表

接頭編號	均等延 遲分量	單一延 遲分量	半單位 延遲分量	連續延 遲分量
1	1	1	1	1.00
2	1	1	1	1.00
3	1	1	1	1.00
4	1	1	1	1.00
5	1	1	1	1.00
6	1	1	1	1.00
7	1	1	1	1.00
8	1	1	1	1.16
9	1	1	1	1.36
10	1	1	1.5	1.59
11	1	1	1.5	1.85
12	1	1	2	2.15
13	1	1	2	2.51
14	1	2	2.5	2.93
15	1	2	3	3.42
16	1	2	3.5	3.99
17	1	3	4	
18	1	3		
19	1	4		
20	1			
21	1			
22	1			
23	1			
24	1			
25	1			
26	1			
27	1			
28	1			
總延遲量 總接頭數	28 70	19 72.5	17 70	16 70

圖 4

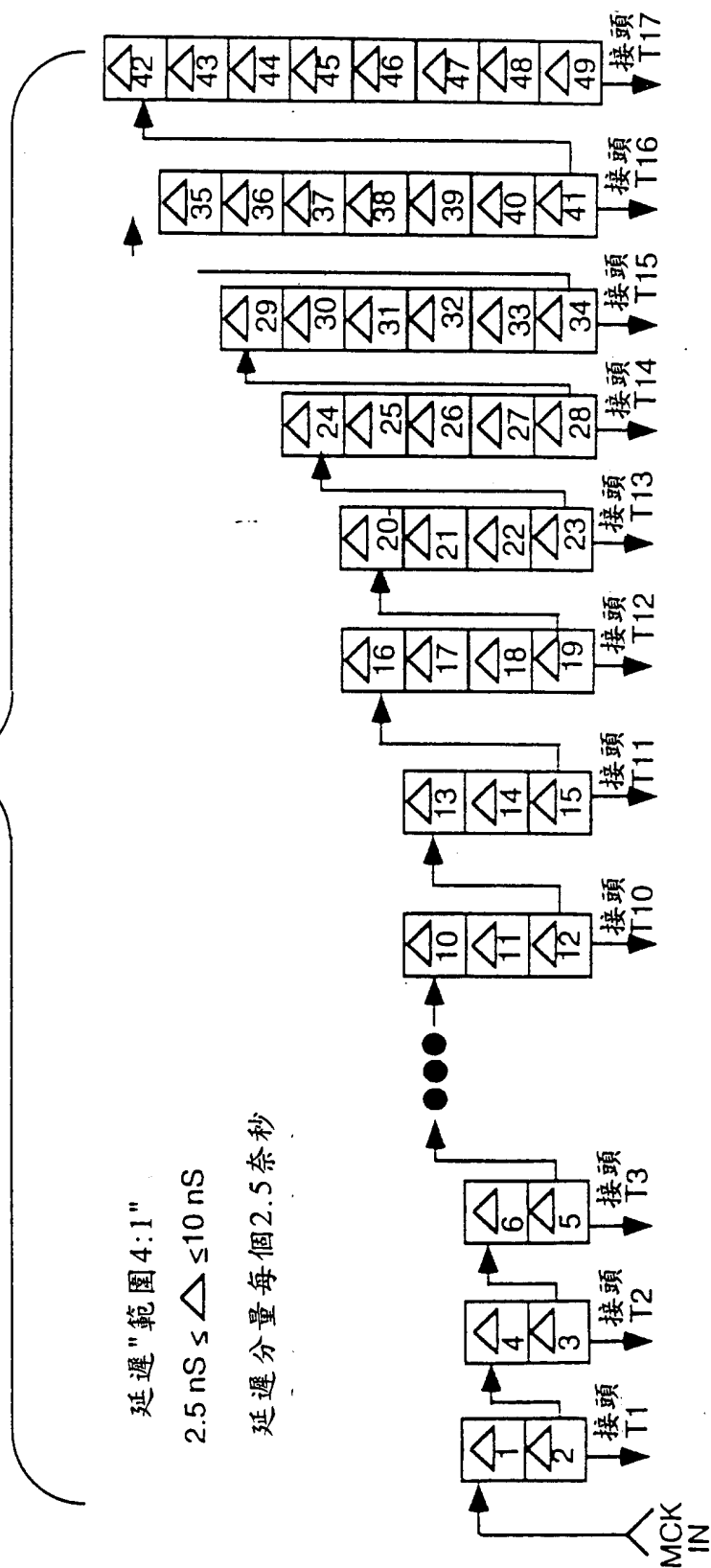
圖 5

延遲線(串接) 500

延遲"範圍 4:1"

$2.5 \text{ nS} \leq \Delta \leq 10 \text{ nS}$

延遲分量每個 2.5 奈秒



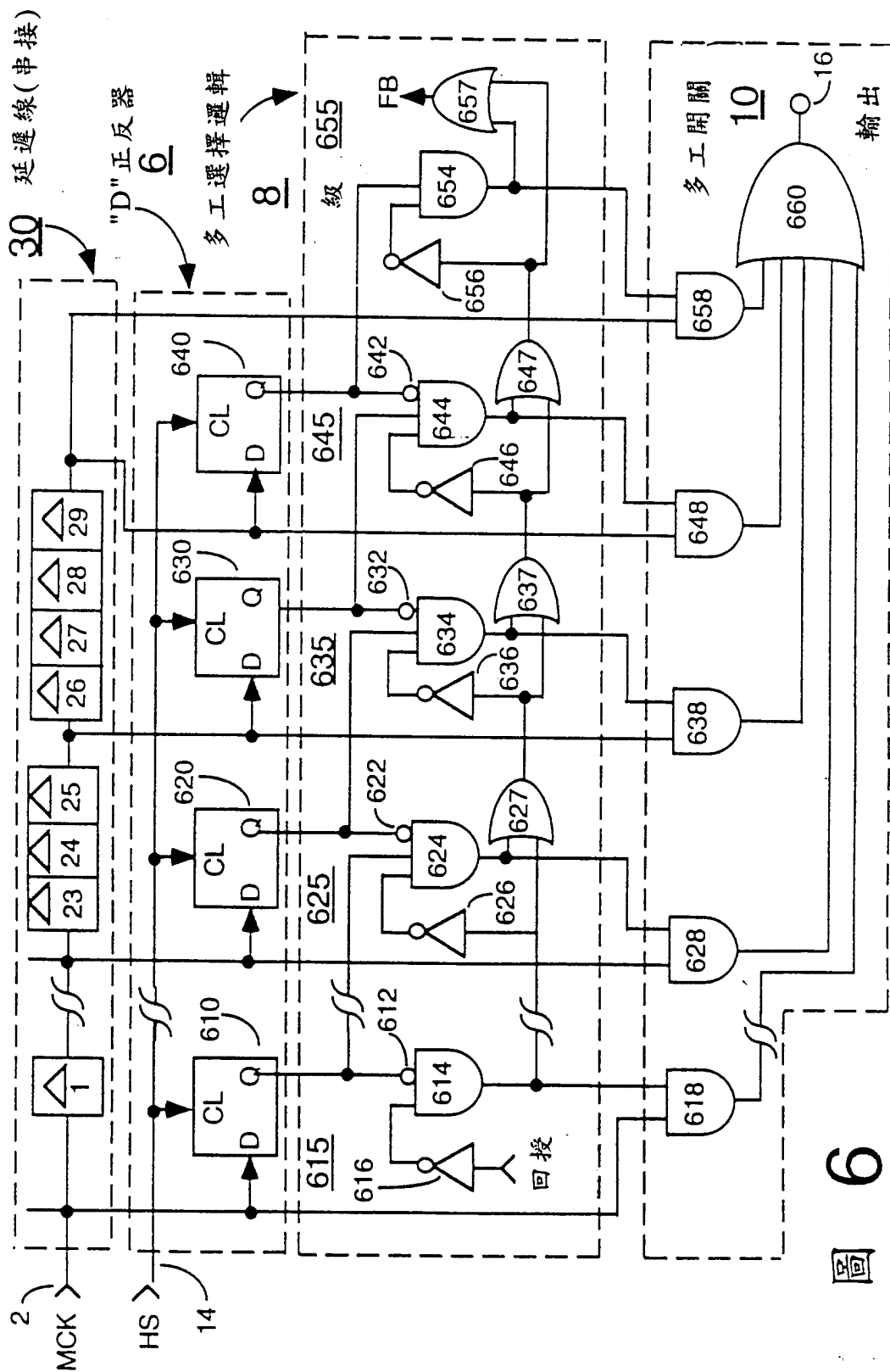


圖 6