



---

(21)申請案號：098137398

(22)申請日：中華民國 98 (2009) 年 11 月 04 日

(51)Int. Cl. : *G11C7/10 (2006.01)*

(30)優先權：2008/11/12 日本 2008-289480

(71)申請人：精工電子有限公司(日本) SEIKO INSTRUMENTS INC. (JP)  
日本

(72)發明人：金子哲也 KANEKO, TETSUYA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6097657

審查人員：劉耀允

申請專利範圍項數：8 項 圖式數：4 共 25 頁

---

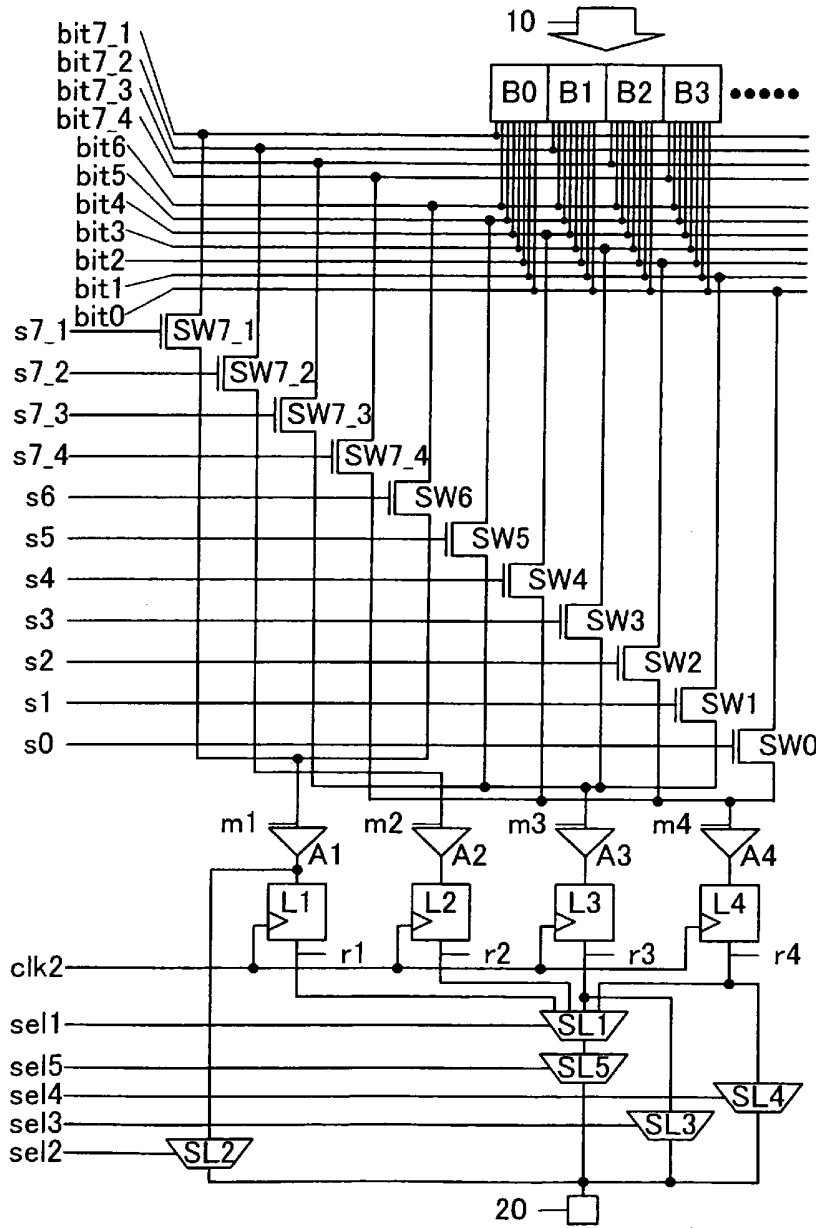
(54)名稱

半導體記憶裝置之讀出電路及半導體記憶裝置

(57)摘要

提供一種能夠將電路規模縮小的半導體記憶裝置之讀出電路以及半導體記憶裝置。在將資料從序列輸出端子(20)而序列式讀出之半導體記憶裝置的讀出電路之複數個的感測放大器中，當位址確定前之特定期間時的具有在位址確定時而被作選擇之可能性的位元選擇器係為4個的情況時，由於係成為僅需要合計4個的感測放大器(A1 ~ A4)，因此，讀出電路以及半導體記憶裝置之電路規模係變小。

圖 2



10 . . . 匯流排位元線

B0 ~ B3 . . . 位元選擇器

bit0 ~ bit6、bit7\_1 ~ bit7\_4 . . . 位元線

s0 ~ s6、s7\_1 ~ s7\_4、m1 ~

m4 . . . 訊號

r1 ~ r4、clk2、sel1 ~ sel5 . . . 訊號

SW0 ~ SW6、SW7\_1 ~ SW7\_4 . . . 開關

A1 ~ A4 . . . 感測放大器

L1 ~ L4 . . . 閃鎖器

SL1 ~ SL5 . . . 選擇器

20 . . . 序列輸出端子

## 六、發明說明：

### 【發明所屬之技術領域】

本發明，係有關於將資料從序列輸出端子而序列式地讀出的半導體記憶裝置之讀出電路及半導體記憶裝置。

### 【先前技術】

現在，於半導體記憶裝置中，係多被要求有高速之動作。伴隨著高速動作，係多被要求有將記憶體胞之資料以高速而讀出。

於此，針對將資料從序列輸出端子而序列式地讀出的先前技術之半導體記憶裝置之讀出電路作說明。圖4，係為展示先前技術之讀出電路的圖。

在位址確定前，若是將為了對位址作確定所必要之複數個的位元內之下位2位元以外的位址訊號作輸入，則開關電路SW\_\_A以及感測放大器A1~A4係被作使用，而複數個的資料訊號D7係同時地分別被讀出。而後，在位址確定前，若是將為了對位址作確定所必要之複數個的位元內之下位1位元以外的位址訊號作輸入，則開關電路SW\_\_B以及感測放大器A5~A6係被作使用，而複數個的資料訊號D6係同時地分別被讀出。

在位址確定時，若是將為了對位址作確定所必要之全部位元的位址訊號作輸入，則感測放大器A7~A12係被作使用，而資料訊號D5~D0係同時地分別被讀出。又，從複數個的資料訊號D7~D6之中所被選擇了的資料訊號D7

~ D6、以及資料訊號 D5~ D0，係從序列輸出端子 200而被依序作讀出（例如，參考專利文獻 1）。

[專利文獻 1]日本特表 2002-515628號公報

### 【發明內容】

[發明所欲解決之課題]

但是，在先前技術之讀出電路中，係成為需要將複數個的資料訊號 D7分別作讀出之 4個的感測放大器 A1~ A4、和將複數個的資料訊號 D6分別作讀出之 2個的感測放大器 A5~ A6、以及將資料訊號 D5~ D0分別作讀出之 6個的感測放大器 A7~ A12。亦即是，係成為需要合計 12個的感測放大器。故而，電路規模係變大。

本發明，係為有鑑於上述課題而進行者，並提供一種能夠將電路規模縮小的半導體記憶裝置之讀出電路以及半導體記憶裝置。

[用以解決課題之手段]

本發明，係為了解決上述課題，而提供一種半導體裝置之讀出電路，其係為將資料從序列輸出端子而序列式地讀出之半導體記憶裝置之讀出電路，其特徵為，具備有：複數個的位元選擇器，係根據位址，而將從特定之複數個的記憶胞而來之第 1~ 第 8資料訊號分別作輸出；和感測放大器，係對從在位址確定前而具備有在位址確定時會被作選擇的可能性之複數的前述位元選擇器而來之各前述第 1

資料訊號，同時地分別作感測，並對從與在前述位址確定時所確定了的位址相對應之前述位元選擇器而來的前述第2～第8資料訊號，分別地作感測；和選擇電路，係在位址確定後，對於各前述第1資料訊號中之從與前述確定了的位址相對應之前述位元選擇器而來的前述第1資料訊號，而作選擇並作讀出，並對於前述第2～第8資料訊號依序作選擇並作讀出。

又，本發明，係為了解決上述課題，而提供一種半導體記憶裝置，其係具備有：記憶體陣列，係將複數之記憶胞作橫行配列，並經由行（row）解碼器以及列（column）解碼器來對特定之行的記憶胞作選擇；和控制電路，係將在輸入訊號中所包含之命令以及位址資料讀入，並經由行解碼器以及列解碼器來對於與位址資料相對應之行的記憶胞作存取；和讀出電路，係被連接於記憶體陣列之輸出位元線與控制電路之輸出訊號線，並將與位址資料相對應之行的記憶胞之資料作序列式輸出，該半導體記憶裝置，其特徵為：讀出電路，係具備有：複數個的位元選擇器，係被連接於輸出位元線，並在位址資料被確定之前，將具有與確定後之位址資料相對應的可能性之行的記憶體胞之資料作輸出；和感測放大器，係被與複數個的位元選擇器作1對1對應之連接；和複數個的開關電路，係被設置在複數個的位元選擇器與複數個的感測放大器之間；和選擇電路，係被與複數個的感測放大器相連接，並在位址資料被確定後，對前述複數個的感測放大器之輸出作切換並作輸

出，在前述位址資料被確定後，使前述開關電路對於與確定了的位址資料相對應之前述位元選擇器的前述第1資料訊號作選擇並作讀出，而後，使前述複數個的開關電路對於第2個以後的資料訊號依序作選擇並作讀出。

#### [發明之效果]

在本發明中，在將資料從序列輸出端子而序列式讀出之半導體記憶裝置的讀出電路之複數個的感測放大器中，當位址確定前之特定期間時的具有在位址確定時而被作選擇之可能性的位元選擇器係為4個的情況時，由於係成為僅需要合計4個的感測放大器，因此，讀出電路以及半導體記憶裝置之電路規模係變小。

#### 【實施方式】

以下，參考圖面，對本發明之實施型態作說明。

首先，針對半導體記憶裝置之構成作說明。圖1，係為對半導體記憶裝置作展示之圖。

半導體記憶裝置，係具備有時脈端子31、序列輸入端子32以及序列輸出端子20。又，半導體記憶裝置，係具備有控制電路33、和列解碼器34、和行解碼器35、和記憶體陣列36、以及讀出電路37。記憶體陣列36，係具備有複數個的記憶體胞。

被輸入至序列輸入端子32處之輸入訊號，係被輸入至控制電路33以及列解碼器34中。時脈訊號，係被輸入至控

制電路 33 中。控制電路 33，係對於列解碼器 34、行解碼器 35 以及讀出電路 37 作控制。列解碼器 34、行解碼器 35 以及讀出電路 37，係與記憶體陣列 36 之複數個的記憶體胞相對應地而被分別連接於記憶體陣列 36 處。讀出電路 37，係將資料輸出至序列輸出端子 20 處。

接著，針對半導體記憶裝置之動作作說明。

控制電路 33，係與被輸入至時脈端子 31 中之時脈訊號作同步，並將輸入至序列輸入端子 32 處之輸入訊號讀入。輸入訊號，係具備有命令、位址以及資料。控制電路 33，係對於命令以及位址作認識，並經由用以對於記憶體陣列 36 之特定的記憶體胞作選擇之行解碼器 35 以及列解碼器 34，而對於與所意圖之位址相對應之記憶體胞作存取。而後，資料係被寫入至該記憶體胞中。

控制電路 33，係與被輸入至時脈端子 31 中之時脈訊號作同步，並將輸入至序列輸入端子 32 處之輸入訊號讀入。輸入訊號，係具備有命令以及位址。控制電路 33，係對於命令以及位址作認識，並經由用以對於記憶體陣列 36 之特定的記憶體胞作選擇之行解碼器 35 以及列解碼器 34，而對於與所意圖之位址相對應之記憶體胞作存取。而後，資料係從該記憶體胞而經由讀出電路 37 而被讀出。該資料，係從序列輸出端子 20 而被輸出。

接著，針對讀出電路 37 之構成作說明。圖 2，係為對讀出電路作展示之圖。

讀出電路 37，係作為代表性之訊號線，而具備有匯流

排位元線 10、和位元線 bit0 ~ bit6、以及位元線 bit7\_\_1 ~ bit7\_\_4。又，讀出電路 37，係具備有位元選擇器 B0 ~ B3、和開關 SW0 ~ SW6、和開關 SW7\_\_1 ~ SW7\_\_4、和感測放大器 A1 ~ A4、和門鎖器 L1 ~ L4、以及選擇器 SL1 ~ SL5。

位元選擇器 B0 ~ B3，係被與匯流排位元線 10 分別作連接。位元選擇器 B0，係將第 0 ~ 第 6 輸出端子分別連接於位元線 bit0 ~ bit6，並將第 7 輸出端子連接於位元線 bit7\_\_1。位元選擇器 B1，係將第 0 ~ 第 6 輸出端子分別連接於位元線 bit0 ~ bit6，並將第 7 輸出端子連接於位元線 bit7\_\_2。位元選擇器 B2，係將第 0 ~ 第 6 輸出端子分別連接於位元線 bit0 ~ bit6，並將第 7 輸出端子連接於位元線 bit7\_\_3。位元選擇器 B3，係將第 0 ~ 第 6 輸出端子分別連接於位元線 bit0 ~ bit6，並將第 7 輸出端子連接於位元線 bit7\_\_4。開關 SW0，係被設置在位元線 bit0 與感測放大器 A4 之輸入端子之間。開關 SW1，係被設置在位元線 bit1 與感測放大器 A3 之輸入端子之間。開關 SW2，係被設置在位元線 bit2 與感測放大器 A4 之輸入端子之間。開關 SW3，係被設置在位元線 bit3 與感測放大器 A3 之輸入端子之間。開關 SW4，係被設置在位元線 bit4 與感測放大器 A4 之輸入端子之間。開關 SW5，係被設置在位元線 bit5 與感測放大器 A3 之輸入端子之間。開關 SW6，係被設置在位元線 bit6 與感測放大器 A1 之輸入端子之間。開關 SW7\_\_1，係被設置在位元線 bit7\_\_1 與感測放大器 A1 之輸入端子之間。開關 SW7\_\_2，係被設置在

位元線 bit7\_2 與感測放大器 A2 之輸入端子之間。開關 SW7\_3，係被設置在位元線 bit7\_3 與感測放大器 A3 之輸入端子之間。開關 SW7\_4，係被設置在位元線 bit7\_4 與感測放大器 A4 之輸入端子之間。訊號 s0~s6，係分別被輸入至開關 SW0~SW6 之閘極處。訊號 s7\_1~s7\_4，係分別被輸入至開關 SW7\_1~SW7\_4 的閘極處。感測放大器 A1~A4，係將輸出端子分別與閘鎖器 L1~L4 之輸入端子相連接。訊號 clk2，係分別被輸入至閘鎖器 L1~L4 之時脈端子處。選擇器 SL1，係將第 1 輸入端子連接於閘鎖器 L1 之輸出端子，並將第 2 輸入端子連接於閘鎖器 L2 之輸出端子，且將第 3 輸入端子連接於閘鎖器 L3 之輸出端子，並將第 4 輸入端子連接於閘鎖器 L4 之輸出端子。選擇器 SL2，係將輸入端子連接於感測放大器 A1 之輸出端子。選擇器 SL3，係將輸入端子連接於閘鎖器 L3 之輸出端子。選擇器 SL4，係將輸入端子連接於閘鎖器 L4 之輸出端子。選擇器 SL5，係將輸入端子連接於選擇器 SL1 之輸出端子。訊號 sel1~sel5，係分別被輸入至選擇器 SL1~SL5 之控制端子處。選擇器 SL2~SL5，係將輸出端子連接於序列輸出端子 20 處。

位元選擇器 B0~B3，係根據位址，而將從特定之複數個的記憶體胞而來之資料訊號 D7~D0 分別作輸出。感測放大器 A1~A4，係對從在位址確定前而具備有在位址確定時會被作選擇的可能性之位元選擇器 B0~B3 而來之各資料訊號 D7，同時地分別作感測，並對從與確定了的位址相對應之位元選擇器而來的資料訊號 D6~D4，同時地分別

作感測，且對從與確定了的位址相對應之位元選擇器而來的資料訊號 D3 ~ D2，同時地分別作感測，並對從與確定了的位址相對應之位元選擇器而來的資料訊號 D1 ~ D0，同時地分別作感測。門鎖器 L1 ~ L4，係將從感測放大器 A1 ~ A4而來之訊號分別作門鎖。選擇器 SL1 ~ SL5，係在位址確定後，對於各資料訊號 D7中之與確定了的位址相對應之位元選擇器而來的資料訊號 D7作選擇並作讀出，並對於資料訊號 D6 ~ D0依序作選擇並作讀出。

另外，半導體記憶裝置，係可電性的作抹寫，例如，係為 EEPROM (Electrically Erasable Programmable Read Only Memory)。

接著，針對讀出電路 37之動作作說明。圖 3，係為對於序列輸出端子之資料作展示的時序圖。

於此，命令，係為與第 1 ~ 8週期之時脈訊號的 8時脈相對應之 8個的命令訊號之合計。位址，係為與第 9 ~ 24週期之時脈訊號的 16時脈相對應之 16個的位址訊號 a0 ~ a15之合計。資料，係為與第 25 ~ 32週期之時脈訊號的 8時脈相對應之 8個的資料訊號 D0 ~ D7之合計。

命令訊號，係與第 1 ~ 8週期之時脈訊號的 8時脈相對應，而分別被輸入至控制電路 33處，命令，係在第 8週期之時脈訊號的上揚處而確定。位址訊號，係與第 9 ~ 24週期之時脈訊號的 16時脈相對應，而分別被輸入至控制電路 33處，位址，係在第 24週期之時脈訊號的上揚處而確定。藉由第 24 ~ 31週期之時脈訊號的下挫，與此位址相對應之

資料，係從序列輸出端子 20 而被作序列式讀出。

匯流排位元線 10 之資料訊號，係藉由位元選擇器 B0 ~ B3 而被選擇，並輸出至位元線 bit0 ~ bit6 或是位元線 bit7\_\_1 ~ bit7\_\_4 處。於此，在第 22 週期之時脈訊號的上揚處，若是輸入與第 9 ~ 22 週期之時脈訊號的 14 時脈相對應之位址訊號 a15 ~ a2，亦即是，若是輸入為了確定位址所需要的 16 位元內之下位 2 位元以外的上位 14 位元之位址訊號 a15 ~ a2，則由於係確定了 14 位元但有 2 位元仍為未確定，因此，在位址確定前，具備有在位址確定時而被作選擇之可能性的位址，係存在有 4 ( = 2<sup>2</sup> ) 種。控制電路 33，係對於與此些之 4 位址相對應的位元選擇器 B0 ~ B3 分別作選擇。位元選擇器 B0 ~ B3，係將 4 位址份之各資料訊號 D7 分別輸出至位元線 bit7\_\_1 ~ bit7\_\_4 處。此時，控制電路 33，係以經由訊號 s0 ~ s6 以及訊號 s7\_\_1 ~ s7\_\_4 來使開關 SW0 ~ SW6 成為 OFF 並使開關 SW7\_\_1 ~ SW7\_\_4 成為 ON 的方式來動作。亦即是，位元線 bit7\_\_1 ~ bit7\_\_4，係分別經由開關 SW7\_\_1 ~ SW7\_\_4 而被連接於感測放大器 A1 ~ A4 之輸入端子處。故而，在第 22 週期之時脈訊號的上揚處，送至感測放大器 A1 ~ A4 處之訊號 m1 ~ m4，係分別成為位元選擇器 B0 ~ B3 之各資料訊號 D7。

訊號 m1 ~ m4 ( 位元選擇器 B0 ~ B3 之各資料訊號 D7 )，係經由開關 SW0 ~ SW6 成為 OFF 且開關 SW7\_\_1 ~ SW7\_\_4 持續成為 ON 一事，而一直被固定，直到第 24 週期之時脈訊號的上揚為止，並在第 23 週期之時脈訊號的下挫處，經

由訊號  $clk2$  而在閘鎖器  $L1 \sim L4$  處作為訊號  $r1 \sim r4$  而分別被作閘鎖。

而後，在第24週期之時脈訊號的上揚處，位址係被確定。此時，假設位元選擇器  $B0$  係與此確定了的位址相對應。在第24週期之時脈訊號的下挫處，在從位元選擇器  $B0 \sim B3$  而來之被作了閘鎖的各資料訊號  $D7$  中，從位元選擇器  $B0$  而來之資料訊號  $D7$ （從閘鎖器  $L1$  而來之訊號  $r1$ ），係藉由訊號  $sel1 \sim sel5$ ，而經介於選擇器  $SL1$  以及選擇器  $SL5$  而從序列輸出端子 20 輸出。

而後，控制電路 33，係以經由訊號  $s0 \sim s6$  以及訊號  $s7\_1 \sim s7\_4$  來使開關  $SW4 \sim SW6$  成為 ON 並使開關  $SW0 \sim SW3$  以及開關  $SW7\_1 \sim SW7\_4$  成為 OFF 的方式來動作。亦即是，位元線  $bit6 \sim bit4$ ，係經介於開關  $SW6 \sim SW4$  而分別被連接於感測放大器  $A1$  以及感測放大器  $A3 \sim A4$  之輸入端子處。故而，在第24週期之時脈訊號的上揚處，送至感測放大器  $A1$  以及感測放大器  $A3 \sim A4$  處之訊號  $m1$  以及訊號  $m3 \sim m4$ ，係分別成為位元選擇器  $B0$  之資料訊號  $D6 \sim D4$ 。

訊號  $m1$  以及訊號  $m3 \sim m4$ （位元選擇器  $B0$  之資料訊號  $D6 \sim D4$ ），係經由開關  $SW4 \sim SW6$  成為 ON 且開關  $SW0 \sim SW3$  以及開關  $SW7\_1 \sim SW7\_4$  持續成為 OFF 一事，而一直被固定，直到第26週期之時脈訊號的上揚為止，並在第25週期之時脈訊號的下挫處，經由訊號  $clk2$  而在閘鎖器  $L1$  以及閘鎖器  $L3 \sim L4$  處作為訊號  $r1$  以及訊號  $r3 \sim r4$  而分別被作閘鎖。

在第25週期之時脈訊號的下挫處，從位元選擇器B0而來之資料訊號D6（輸入至閘鎖L1處之訊號），係被閘鎖器L1作閘鎖，並且經由訊號sel2而經介於選擇器SL2來從序列輸出端子20輸出。而後，在第26週期之時脈訊號的下挫處，從位元選擇器B0而來之資料訊號D5（從閘鎖器L3而來之訊號r3），係經由訊號sel1~sel5而經介於選擇器SL3來從序列輸出端子20輸出。而後，在第27週期之時脈訊號的下挫處，從位元選擇器B0而來之資料訊號D4（從閘鎖器L4而來之訊號r4），係經由訊號sel1~sel5而經介於選擇器SL4來從序列輸出端子20輸出。

而後，控制電路33，係以經由訊號s0~s6以及訊號s7\_\_1~s7\_\_4來使開關SW2~SW3成爲ON並使開關SW0~SW1與開關SW4~SW6以及開關SW7\_\_1~SW7\_\_4成爲OFF的方式來動作。亦即是，位元線bit3~bit2，係經介於開關SW3~SW2而分別被連接於感測放大器A3~A4之輸入端子處。故而，在第26週期之時脈訊號的上揚處，送至感測放大器A3~A4處之訊號m3~m4，係分別成爲位元選擇器B0之資料訊號D3~D2。

訊號m3~m4（位元選擇器B0之資料訊號D3~D2），係經由開關SW2~SW3成爲ON且開關SW0~SW1與開關SW4~SW6以及開關SW7\_\_1~SW7\_\_4持續成爲OFF一事，而一直被固定，直到第28週期之時脈訊號的上揚爲止，並在第27週期之時脈訊號的下挫處，經由訊號clk2而在閘鎖器L3~L4處作爲訊號r3~r4而分別被作閘鎖。

在第28週期之時脈訊號的下挫處，從位元選擇器B0而來之資料訊號D3（從門鎖器L3而來之訊號r3），係經由訊號sel1~sel5而經介於選擇器SL3來從序列輸出端子20輸出。而後，在第29週期之時脈訊號的下挫處，從位元選擇器B0而來之資料訊號D2（從門鎖器L4而來之訊號r4），係經由訊號sel1~sel5而經介於選擇器SL4來從序列輸出端子20輸出。

與關於上述之資料訊號D3~D2之動作同樣的，在第30週期之時脈訊號的下挫處，從位元選擇器B0而來之資料訊號D1（從門鎖器L3而來之訊號r3），係經由訊號sel1~sel5而經介於選擇器SL3來從序列輸出端子20輸出。而後，在第31週期之時脈訊號的下挫處，從位元選擇器B0而來之資料訊號D0（從門鎖器L4而來之訊號r4），係經由訊號sel1~sel5而經介於選擇器SL4來從序列輸出端子20輸出。

若是採用此種構成，則在將資料從序列輸出端子20而序列式讀出之半導體記憶裝置的讀出電路37之複數個的感測放大器中，當位址確定前之特定期間時的具有在位址確定時而被作選擇之可能性的位元選擇器係為4個的情況時，由於係成為僅需要合計4個的感測放大器A1~A4，因此，讀出電路37以及半導體記憶裝置之電路規模係變小。

又，若是被要求有高速動作，而在位址被確定起而經過了時脈訊號之1/2週期後使資料被讀出，則在感測放大器處之讀出處理時間，係容易變得無法趕上時脈訊號之1/2週期。但是，如圖3中所示一般，在感測放大器處之讀

出處理時間，由於係為時脈訊號之 $3/2$ 週期，因此，讀出電路37以及半導體記憶裝置係成為容易高速動作。

另外，位元選擇器，在說明之方便上，係圖示有4個。具體而言，若是為了對位址作確定所必要之16位元中的下位2位元以外之上位14位元的位址訊號 $a_{15} \sim a_2$ 被作輸入，則由於係確定了14位元但有2位元仍為未確定，因此，在位址確定前，具備有在位址確定時而被作選擇之可能性的位址，係存在有 $4 (= 2^2)$ 種。於圖中，係僅對於與此些之4位址相對應的位元選擇器 $B_0 \sim B_3$ 作了圖示。又，與位元選擇器 $B_0 \sim B_3$ 相對應，而設置有4個的感測放大器 $A_1 \sim A_4$ 。

但是，亦可設為輸入下位3位元以外之上位13位元的位址訊號 $a_{15} \sim a_3$ ，而使在位址確定前而具備有在位址確定時而被作選擇之可能性的位址存在有 $8 (= 2^3)$ 種。而，亦可設為對應於與此些之8位址相對應之8個的位元選擇器，而設置8個的感測放大器。

#### 【圖式簡單說明】

[圖1]對本發明之半導體記憶裝置作展示的電路圖。

[圖2]對本發明之半導體記憶裝置的讀出電路作展示之電路圖。

[圖3]對於序列輸出端子之資料作展示的時序圖。

[圖4]對先前技術之半導體記憶裝置的讀出電路作展示之電路圖。

【主要元件符號說明】

10：匯流排位元線

B0～B3：位元選擇器

bit0～bit6、bit7\_\_1～bit7\_\_4：位元線

s0～s6、s7\_\_1～s7\_\_4、m1～m4：訊號

r1～r4、clk2、sel1～sel5：訊號

W0～SW6、SW7\_\_1～SW7\_\_4：開關

A1～A4：感測放大器

L1～L4：閃鎖器

SL1～SL5：選擇器

20：序列輸出端子

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98137398

※申請日：98年11月04日

※IPC分類：G11C17/10 (2006.01)

一、發明名稱：(中文/英文)

半導體記憶裝置之讀出電路及半導體記憶裝置

二、中文發明摘要：

[課題]提供一種能夠將電路規模縮小的半導體記憶裝置之讀出電路以及半導體記憶裝置。

[解決手段]在將資料從序列輸出端子(20)而序列式讀出之半導體記憶裝置的讀出電路之複數個的感測放大器中，當位址確定前之特定期間時的具有在位址確定時而被作選擇之可能性的位元選擇器係為4個的情況時，由於係成為僅需要合計4個的感測放大器(A1~A4)，因此，讀出電路以及半導體記憶裝置之電路規模係變小。

三、英文發明摘要：

圖 1

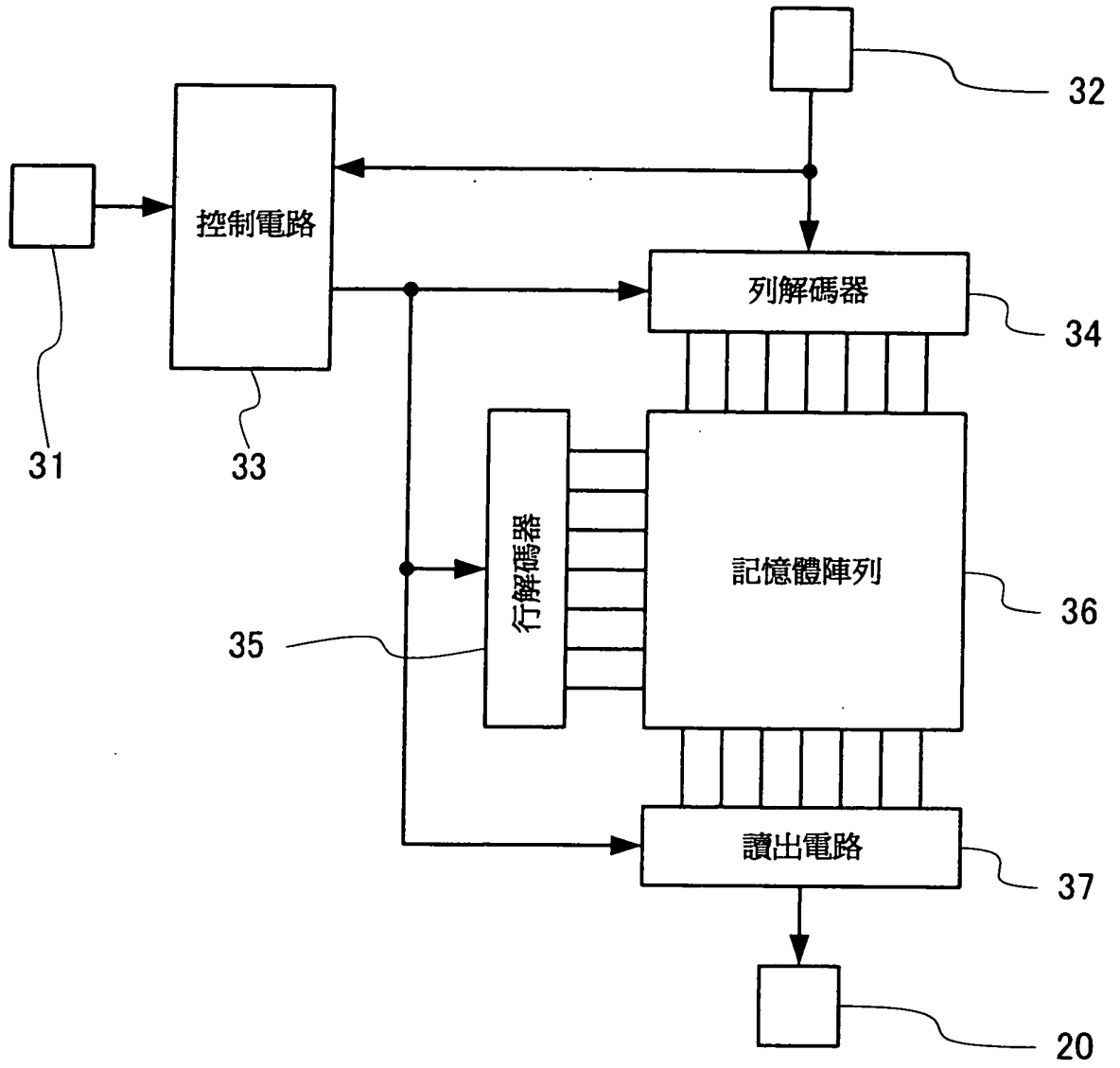


圖2

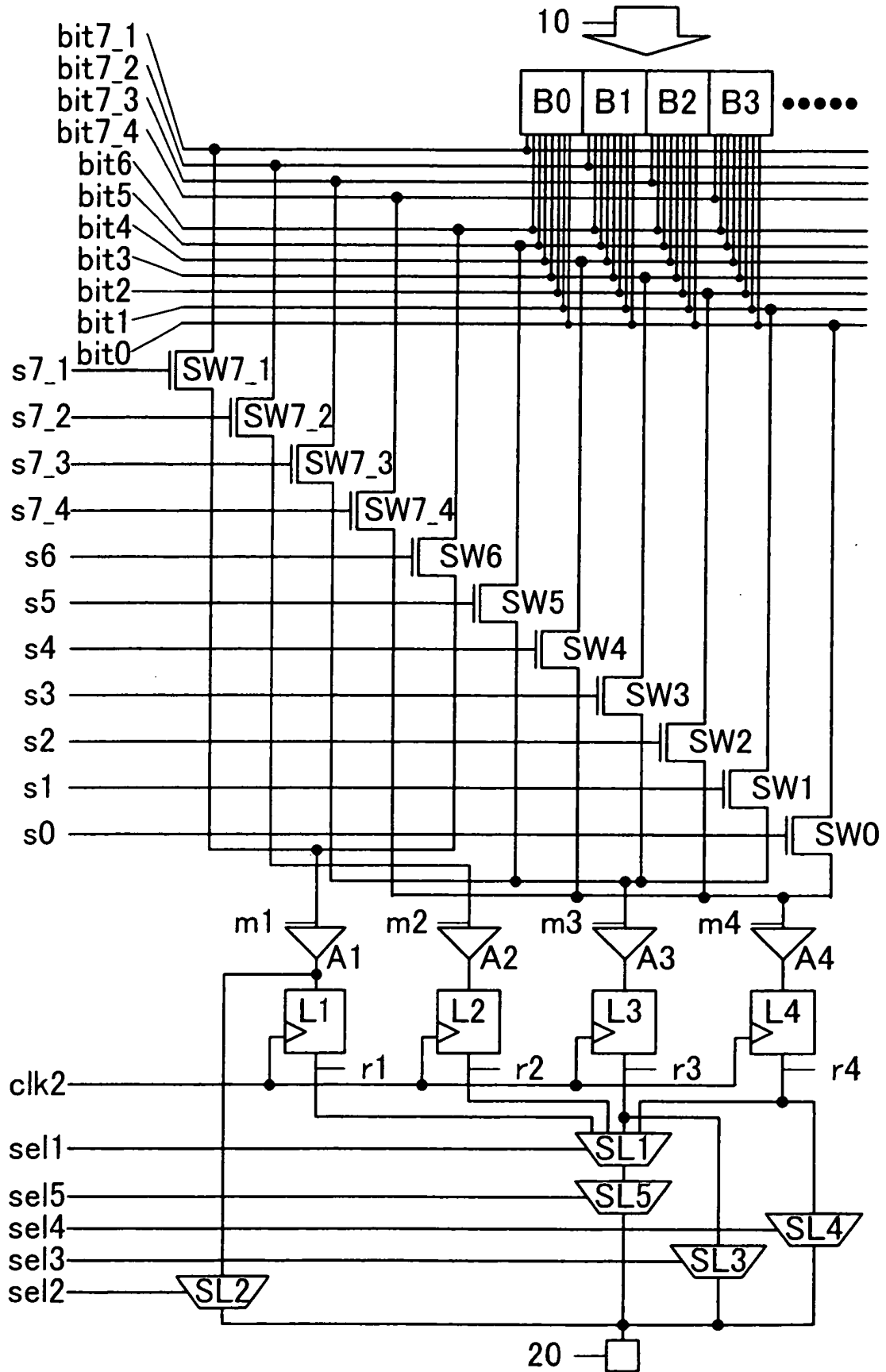


圖3

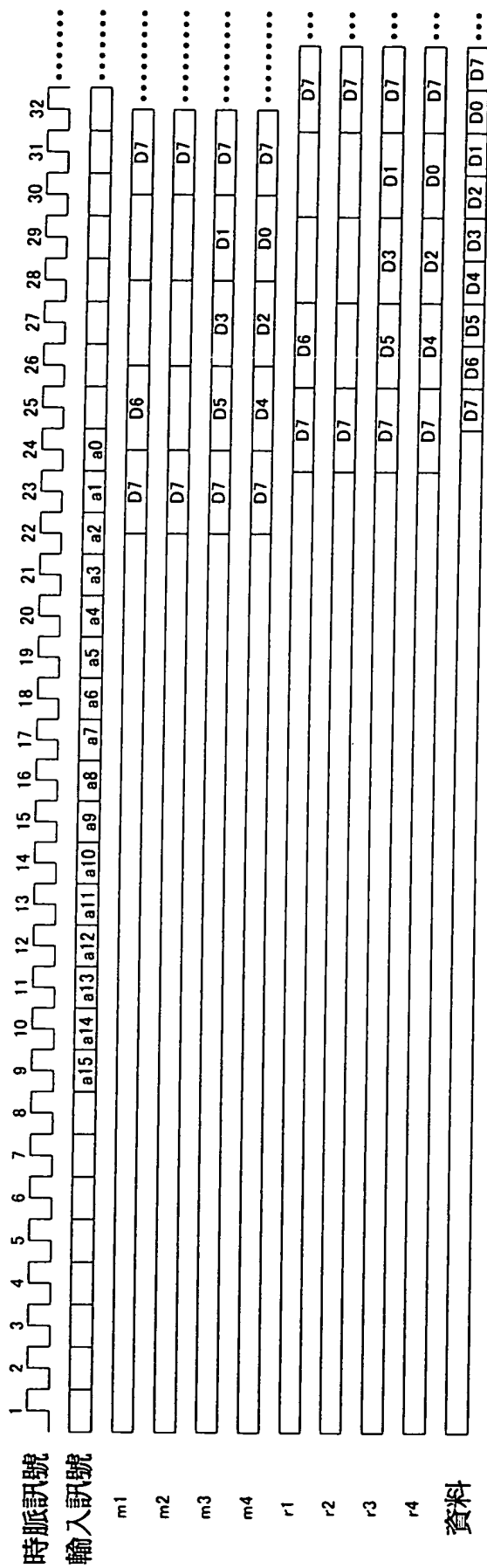
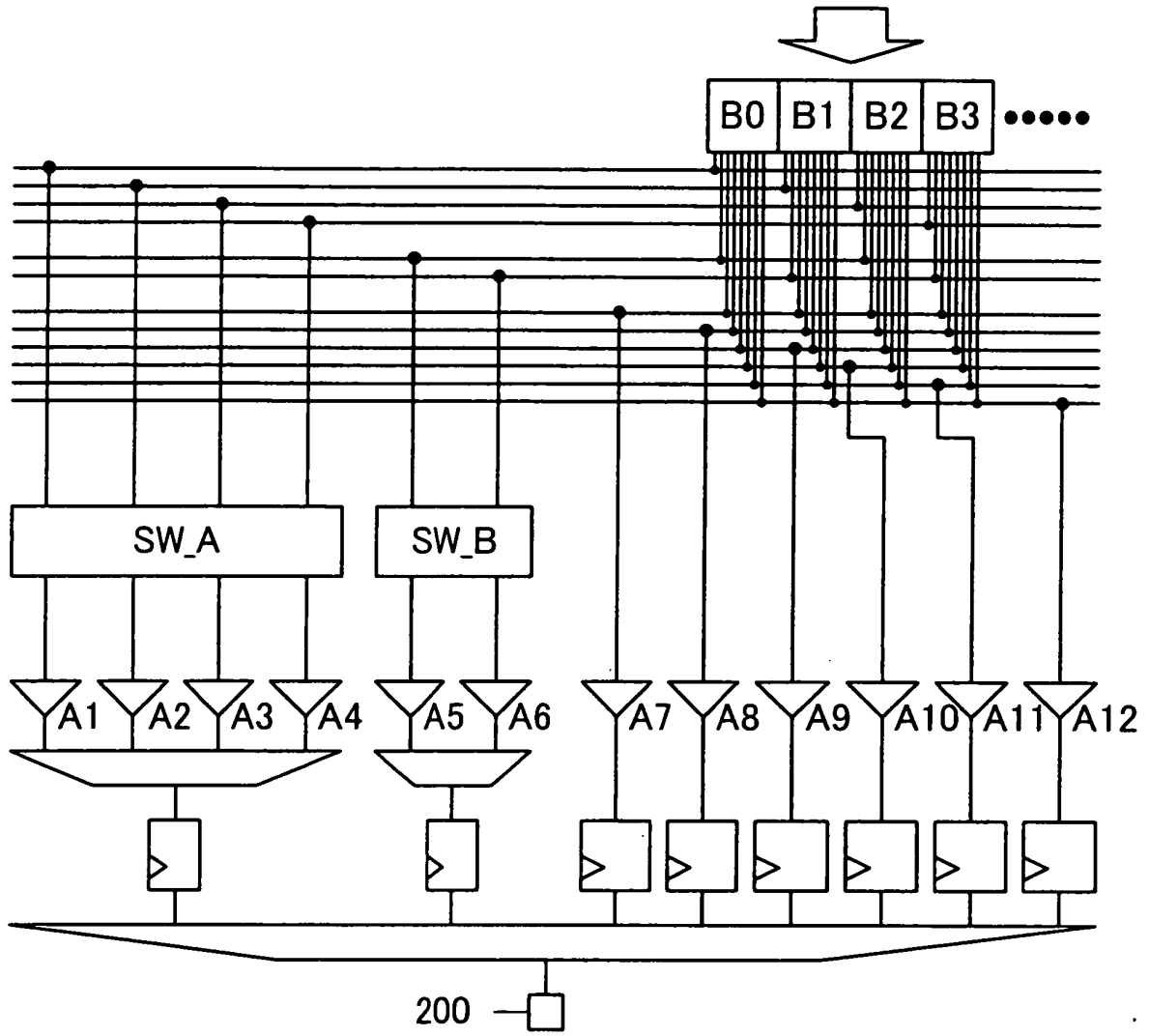


圖 4



四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件符號簡單說明：

10：匯流排位元線

B0～B3：位元選擇器

bit0～bit6、bit7\_\_1～bit7\_\_4：位元線

s0～s6、s7\_\_1～s7\_\_4、m1～m4：訊號

r1～r4、clk2、sel1～sel5：訊號

SW0～SW6、SW7\_\_1～SW7\_\_4：開關

A1～A4：感測放大器

L1～L4：門鎖器

SL1～SL5：選擇器

20：序列輸出端子

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 七、申請專利範圍：

1. 一種半導體記憶裝置之讀出電路，係為將資料從序列輸出端子而序列式地讀出之半導體記憶裝置之讀出電路，其特徵為，具備有：

複數個的位元選擇器，係根據位址訊號，而將從特定之複數個的記憶胞而來之第 1～第 8 資料訊號分別作輸出；和

複數個的感測放大器，係對從在位址確定前而具備有在位址確定時會被作選擇的可能性之複數的前述位元選擇器而來之各前述第 1 資料訊號，同時地分別作感測，並對從與在前述位址確定時所確定了的位址相對應之前述位元選擇器而來的前述第 2～第 8 資料訊號，分別地作感測；和

選擇電路，係在位址確定後，對於各前述第 1 資料訊號中之從與前述確定了的位址相對應之前述位元選擇器而來的前述第 1 資料訊號，而作選擇並作讀出，並對於前述第 2～第 8 資料訊號依序作選擇並作讀出，

前述複數個的感測放大器，係至少具備有與同時進行感測之前述第 1 資料訊號相同數量個。

2. 如申請專利範圍第 1 項所記載之半導體記憶裝置之讀出電路，其中，

前述複數個的感測放大器，係對從在前述位址確定前而具備有在前述位址確定時會被作選擇的可能性之複數的前述位元選擇器而來之各前述第 1 資料訊號，同時地分別作感測，並對從與前述確定了的位址相對應之前述位元選

擇器而來的前述第 2～第 4 資料訊號，同時地分別作感測，且對從與前述確定了的位址相對應之前述位元選擇器而來的前述第 5～第 6 資料訊號，同時地分別作感測，並對從與前述確定了的位址相對應之前述位元選擇器而來的前述第 7～第 8 資料訊號，同時地分別作感測。

3. 如申請專利範圍第 1 項所記載之半導體記憶裝置之讀出電路，其中，前述位址確定前，係指當將爲了對前述位址作確定所必要之複數個的位元內之下位 2 位元以外的位址訊號作輸入的期間。

4. 如申請專利範圍第 3 項所記載之半導體記憶裝置之讀出電路，其中，前述感測放大器，係被使用有 4 個。

5. 如申請專利範圍第 1 項所記載之半導體記憶裝置之讀出電路，其中，係更進而具備有：將從前述複數個的感測放大器而來之訊號分別作閘鎖之複數個的閘鎖器。

6. 如申請專利範圍第 1 項所記載之半導體記憶裝置之讀出電路，其中，係更進而具備有：被設置在前述複數個的位元選擇器與前述複數個的感測放大器之間之開關電路。

7. 如申請專利範圍第 1 項所記載之半導體記憶裝置之讀出電路，其中，前述半導體記憶裝置，係可被電性地作抹寫。

8. 一種半導體記憶裝置，係具備有：

記憶體陣列，係將複數之記憶胞作橫行配列，並經由行（row）解碼器以及列（column）解碼器來對特定之行

的記憶胞作選擇；和

控制電路，係將在輸入訊號中所包含之命令以及位址資料讀入，並經由前述行解碼器以及前述列解碼器來對於與前述位址資料相對應之行的記憶胞作存取；和

讀出電路，係被連接於前述記憶體陣列之輸出位元線與前述控制電路之輸出訊號線，並將與前述位址資料相對應之行的記憶胞之資料作序列式輸出，

該半導體記憶裝置，其特徵為：

前述讀出電路，係具備有：

複數個的位元選擇器，係被連接於前述輸出位元線，並在前述位址資料被確定之前，將具有與確定後之位址資料相對應的可能性之行的記憶體胞之資料對於複數之位元線作輸出；和

複數個的開關電路，係被與前述複數之位元線一對一地作對應連接；和

複數個的感測放大器，係被與前述複數個的開關電路作連接，並至少具備有與在位址資料確定前而具有於位址資料確定時會被作選擇的可能性之複數的位址相同數量個；和

選擇電路，係被與前述複數個的感測放大器相連接，並在位址資料被確定後，對前述複數個的感測放大器之輸出作切換並作輸出，

在前述位址資料被確定後，使前述選擇電路對於與確定了的位址資料相對應之前述位元選擇器的第1個資料訊

號作選擇並作讀出，而後，使前述複數個的開關電路以及選擇電路對於第 2 個以後的資料訊號依序作選擇並作讀出。