



(12) 发明专利

(10) 授权公告号 CN 101681925 B

(45) 授权公告日 2011. 11. 30

(21) 申请号 200880021283. 0

H01L 29/80 (2006. 01)

(22) 申请日 2008. 06. 19

(56) 对比文件

(30) 优先权数据

10-2007-0060053 2007. 06. 19 KR

10-2008-0050994 2008. 05. 30 KR

WO 2007/040194 A1, 2007. 04. 12, 说明书第 47-63、255-256 段, 附图 1-10.

US 2005/0016577 A1, 2005. 01. 27, 全文.

CN 1638051 A, 2005. 07. 13, 全文.

(85) PCT 申请进入国家阶段日

2009. 12. 21

审查员 李勇

(86) PCT 申请的申请数据

PCT/KR2008/003471 2008. 06. 19

(87) PCT 申请的公布数据

W02008/156312 EN 2008. 12. 24

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金昌桢 金尚昱 金善日

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 韩明星 薛义丹

(51) Int. Cl.

H01L 29/78 (2006. 01)

权利要求书 2 页 说明书 10 页 附图 15 页

(54) 发明名称

氧化物半导体及包含该氧化物半导体的薄膜晶体管

(57) 摘要

本发明提供了一种氧化物半导体和包括该氧化物半导体的薄膜晶体管 (TFT)。氧化物半导体包括 Zn 原子及添加到其中的 Ta 原子和 Y 原子中的至少一种原子。薄膜晶体管 (TFT) 包括含有这样的氧化物半导体的沟道, 所述氧化物半导体包括 Zn 原子及添加到其中的 Ta 原子和 Y 原子中的至少一种原子。

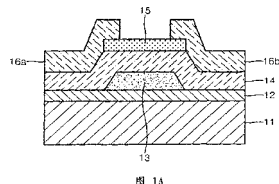


图 1A

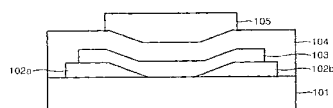


图 1B

1. 一种氧化物半导体,包括 Zn-In 复合氧化物和 Ta,其中, Ta : In : Zn 的 at%比率在 1 : 2.1 至 18 : 1.6 至 14 的范围内,包括本数。

2. 如权利要求 1 所述的氧化物半导体,其中,Ta : In : Zn 的 at%比率在 1 : 2.1 至 9.5 : 1.6 至 6.4 的范围内,包括本数。

3. 如权利要求 1 所述的氧化物半导体,其中,Ta : In : Zn 的 at%比率在 1 : 5.7 至 9.5 : 4.8 至 6.4 的范围内,包括本数。

4. 如权利要求 1 所述的氧化物半导体,还包括:

从由 I 族、II 族、III 族、IV 族和 V 族的元素和属于镧系的元素组成的组中选择的至少一种元素。

5. 一种氧化物薄膜晶体管,包括:

栅极;

沟道,形成为与所述栅极对应,所述沟道包括含有 Zn-In 复合氧化物和 Ta 的氧化物半导体,其中,Ta : In : Zn 的 at%比率在 1 : 2.1 至 18 : 1.6 至 14 的范围内,包括本数;

栅绝缘层,形成在所述栅极和所述沟道之间;

源极和漏极,接触所述沟道的对应的侧部。

6. 如权利要求 5 所述的氧化物薄膜晶体管,其中,所述氧化物半导体具有的 Ta : In : Zn 的 at%比率在 1 : 2.1 至 9.5 : 1.6 至 6.4 的范围内,包括本数。

7. 如权利要求 5 所述的氧化物薄膜晶体管,其中,所述氧化物半导体具有的 Ta : In : Zn 的 at%比率在 1 : 5.7 至 9.5 : 4.8 至 6.4 的范围内,包括本数。

8. 如权利要求 5 所述的氧化物薄膜晶体管,其中,所述氧化物半导体还包括:

从由 I 族、II 族、III 族、IV 族和 V 族的元素和属于镧系的元素组成的组中选择的至少一种元素。

9. 一种氧化物半导体,包括 Zn-In 复合氧化物和 Y,其中,Y : In : Zn 的 at%比率在 1 : 10 至 100 : 10 至 80 的范围内,包括本数。

10. 如权利要求 9 所述的氧化物半导体,其中,Y : In : Zn 的 at%比率在 1 : 21.7 至 50 : 14 至 41 的范围内,包括本数。

11. 如权利要求 9 所述的氧化物半导体,其中,Y : In : Zn 的 at%比率在 1 : 46 至 50 : 30 至 41 的范围内,包括本数。

12. 如权利要求 9 所述的氧化物半导体,还包括:

从由 I 族、II 族、III 族、IV 族和 V 族的元素和属于镧系的元素组成的组中选择的至少一种元素。

13. 一种氧化物薄膜晶体管,包括:

栅极;

沟道,形成为与所述栅极对应,所述沟道包括含有 Zn-In 复合氧化物和 Y 的氧化物半导体,其中,Y : In : Zn 的 at%比率在 1 : 10 至 100 : 10 至 80 的范围内,包括本数;

栅绝缘层,形成在所述栅极和所述沟道之间;

源极和漏极,接触所述沟道的对应的侧部。

14. 如权利要求 13 所述的氧化物薄膜晶体管,其中,所述氧化物半导体具有的 Y : In : Zn 的 at%比率在 1 : 21.7 至 50 : 14 至 41 的范围内,包括本数。

15. 如权利要求 13 所述的氧化物薄膜晶体管, 其中, 所述氧化物半导体具有的 Y : In : Zn 的 at% 比率在 1 : 46 至 50 : 30 至 41 的范围内, 包括本数。

16. 如权利要求 13 所述的氧化物薄膜晶体管, 所述氧化物半导体还包括 :

从由 I 族、II 族、III 族、IV 族和 V 族的元素和属于镧系的元素组成的组中选择的至少一种元素。

氧化物半导体及包含该氧化物半导体的薄膜晶体管

技术领域

[0001] 本发明涉及一种氧化物半导体及一种包括该氧化物半导体的薄膜晶体管 (TFT)，更具体地说，涉及一种包括添加新材料的 Zn 氧化物的氧化物半导体和一种包括该氧化物半导体的薄膜晶体管 (TFT)。

背景技术

[0002] 传统的薄膜晶体管 (TFT) 用于各种应用领域中。例如，TFT 用作显示设备中的开关装置和驱动装置，以及用作交叉点型存储设备的选择性开关。

[0003] 尽管液晶显示器 (LCD) 已经广泛地用于电视 (TV) 的显示面板，但是同样可以使用有机发光显示器 (OLED)。人们正在根据市场需求开发 TV 显示器技术。这些市场需求包括更大尺寸的 TV 或数字信息显示器 (DID)、低成本、图像品质更高（如，动态图像表现更好、清晰度更高、亮度更高、对比度和色彩再现性更好等）。为了满足这些需求，除了制造大尺寸基底（如，玻璃）之外，会需要适合被用作显示器的开关装置和驱动装置的相对高性能的 TFT。

[0004] 传统上，非晶硅 TFT (a-Si TFT) 被用作显示器的驱动装置和开关装置。传统的 a-Si TFT 是可以以相对低的成本相对均匀地形成在面积大于大约 4m^2 的基底上的装置。这些类型的 TFT 被广泛地用作驱动装置和开关装置。为了满足近来的更大尺寸和更高图像品质的显示器的趋势，会需要性能得到改善的 TFT。但是，迁移率为约 $0.5\text{cm}^2/\text{Vs}$ 的传统的 a-Si TFT 可能已经达到其应用的极限了。就此，会需要迁移率比传统的 a-Si TFT 的迁移率更高的更高性能的 TFT 和用于制造这样的更高性能的 TFT 的技术。

[0005] 性能比 a-Si TFT 的性能更好的多晶硅 TFT (poly-Si TFT) 具有相对高的迁移率，例如，数十至数百 cm^2/Vs 。这些传统的 poly-Si TFT 可应用于显示器以提供相对高的图像品质，而传统的 a-Si TFT 不可实现这种相对高的图像品质。此外，poly-Si TFT 的特性的劣化低于 a-Si TFT 的特性的劣化。然而，制造 poly-Si TFT 的工艺比制造 a-Si TFT 的工艺更加复杂。更加复杂的工艺导致了额外的成本。简言之，poly-Si TFT 适合于制造具有相对高的图像品质的显示器，可应用于如 OLED 的产品，但是其成本效益低于 a-Si TFT 的成本效益。因此，poly-Si TFT 的应用受到限制。此外，因如在制造设备方面的限制或传统的 poly-Si TFT 的不够均匀的技术问题，尚未实现在面积大于约 1m^2 的基底上形成 poly-Si TFT。因此，将传统的 poly-Si TFT 应用到大尺寸 TV 产品相对困难。

[0006] 氧化物半导体装置是另一种传统的 TFT 技术。氧化物半导体可包括 ZnO 类 TFT。传统的 ZnO 类材料包括 Zn 氧化物、In-Zn 氧化物、掺杂有 Ga、Mg、Al、Fe 等的 Zn 氧化物、掺杂有 Ga、Mg、Al、Fe 等的 In-Zn 氧化物等。可使用相对低的温度的工艺由非晶 ZnO 类半导体制造 ZnO 类半导体装置，这使得更加容易在大尺寸基底上制造 ZnO 类半导体装置。ZnO 类半导体是具有相对高的迁移率的材料，其具有与多晶硅类似的电学性质。

发明内容

[0007] 技术问题

[0008] 示例实施例涉及氧化物半导体、包括所述氧化物半导体的薄膜晶体管以及其制造方法；例如，包括添加有添加材料（如，Ta 和 / 或 Y）的锌（Zn）氧化物的氧化物半导体和包括该氧化物半导体的 TFT。示例实施例还提供了具有包括该氧化物半导体的沟道区域的氧化物 TFT。

[0009] 技术方案

[0010] 根据至少一个示例实施例，氧化物半导体可包括 Zn 原子及添加到其中的 Ta 原子和 Y 原子中的至少一种原子。薄膜晶体管（TFT）可包括含有氧化物半导体的沟道。该氧化物半导体可包括 Zn 原子及添加到其中的 Ta 原子和 Y 原子中的至少一种原子。

[0011] 至少一个示例实施例提供了一种包括 Zn 和钽（Ta）的氧化物半导体。

[0012] 至少另一个示例实施例提供了一种氧化物 TFT。该氧化物 TFT 可包括栅极和形成与所述栅极对应的沟道。该沟道可包括含有 Zn 和 Ta 的氧化物半导体。可在栅极和沟道之间形成栅绝缘层。源极和漏极可接触沟道的对应的侧部。

[0013] 根据至少一些示例实施例，氧化物半导体可包括含有 Ta 的 Zn 氧化物。可选择地，氧化物半导体可包括含有 Ta 的 Zn-In 复合氧化物。氧化物半导体可具有的 Ta : In : Zn 的 at% 比率在约 1 : 2.1 至 18 : 1.6 至 14 的范围内（包括本数）。例如，氧化物半导体可具有的 Ta : In : Zn 的 at% 比率在约 1 : 2.1 至 9.5 : 1.6 至 6.4 的范围内（包括本数）。在另一示例中，氧化物半导体可具有的 Ta : In : Zn 的 at% 比率在约 1 : 5.7 至 9.5 : 4.8 至 6.4 的范围内（包括本数）。氧化物半导体还可包括从由 I 族、II 族、III 族、IV 族和 V 族的元素和属于镧系的元素组成的组中选择的至少一种元素。

[0014] 至少另一示例实施例提供了一种包括 Zn 和钇（Y）的氧化物半导体。

[0015] 至少另一示例实施例提供了一种氧化物 TFT。该氧化物 TFT 可包括栅极和形成与所述栅极对应的沟道。该沟道可包括含有 Zn 和 Y 的氧化物半导体。栅绝缘层可形成在栅极和沟道之间。源极和漏极可接触沟道的对应的侧部。

[0016] 根据至少一些示例实施例，氧化物半导体可包括含有 Y 的 Zn 氧化物。可选择地，氧化物半导体可包括含有 Y 的 Zn-In 复合氧化物。氧化物半导体可具有的 Y : In : Zn 的 at% 比率在约 1 : 10 至 100 : 10 至 80 的范围内（包括本数）。例如，氧化物半导体可具有的 Y : In : Zn 的 at% 比率在约 1 : 21.7 至 50 : 14 至 41 的范围内（包括本数）。在另一示例中，氧化物半导体可具有的 Y : In : Zn 的 at% 比率在约 1 : 46 至 50 : 30 至 41 的范围内（包括本数）。氧化物半导体还可包括从由 I 族、II 族、III 族、IV 族和 V 族的元素和属于镧系的元素组成的组中选择的至少一种元素。

[0017] 至少另一示例实施例提供了一种包括 Ta 和 Y 中的至少一种和 Zn 的氧化物半导体。

[0018] 至少另一示例实施例提供了一种氧化物 TFT。该氧化物 TFT 可包括栅极和形成与所述栅极对应的沟道。该沟道可包括含有 Ta 和 Y 中的至少一种和 Zn 的氧化物半导体。栅绝缘层可形成在栅极和沟道之间。源极和漏极可接触沟道的对应的侧部。氧化物半导体可包括 Zn 氧化物或 Zn-In 复合氧化物。

[0019] 至少另一示例实施例提供了一种制造氧化物半导体的方法。根据至少一个这样的示例实施例，该方法可包括形成含有 Ta 和 Y 中的至少一种和 Zn 的氧化物半导体。

[0020] 至少另一示例实施例提供了一种制造氧化物薄膜晶体管的方法。根据至少一个这样的示例实施例,可在基底上形成栅极。可在栅极上形成栅绝缘层。可在栅绝缘层上形成沟道区域。沟道区域可包括含有 Ta 和 Y 中的至少一种和 Zn 的氧化物半导体。源极区域和漏极区域可形成在沟道区域的对应的侧部上。

附图说明

[0021] 通过详细地描述附图中所示出的示例实施例,示例实施例将会变得更加清楚,附图中:

[0022] 图 1A 和图 1B 示出根据示例实施例的包括氧化物半导体的薄膜晶体管的剖视图。

[0023] 图 2A 至图 2E 示出根据示例实施例的制造氧化物薄膜晶体管的方法。

[0024] 图 3A 至图 3F 示出当将多个源-漏电压 (0.1V、5V 和 10V) 施加到氧化物薄膜晶体管时,包括作为沟道材料的含有 Ta 的 IZO 的氧化物薄膜晶体管的示例实施例的漏电流 I_d 对栅电压 V_g 的曲线图。

[0025] 图 4A 和图 4B 示出了在约 50°C 氧化物薄膜晶体管的示例实施例的样品的与 3 μ A 的漏电流对应的栅电压 (ΔV) 随时间变化的曲线图,该氧化物薄膜晶体管的示例实施例包括通过将 25W 的功率提供到 Ta 靶 (target) 而沉积形成的沟道,该沟道在 350°C 进行了热处理。

[0026] 图 5A 和图 5B 示出当将多个源-漏电压 (0.1V、5V 和 10V) 施加到氧化物薄膜晶体管时,包括作为沟道材料 IZO 的氧化物薄膜晶体管的示例实施例的漏电流 I_{DS} 对栅电压 V_{GS} 的曲线图,其中,IZO 还包括 Y。

[0027] 图 5C 示出了当将多个栅电压 (0.1V、5V、10V、15V 和 20V) 施加到氧化物薄膜晶体管时,氧化物薄膜晶体管的示例实施例的漏电流 I_d 对漏电压 V_d 的曲线图,该氧化物薄膜晶体管包括通过将 15W 的功率提供到 Y 靶而沉积形成的沟道。

[0028] 图 6A 和图 6B 示出包括通过将 15W 的功率提供到 Y 靶而沉积形成的沟道的氧化物薄膜晶体管的示例实施例的漏电流 I_{DS} 和栅电压 V_{GS} 的曲线图,以测量当将该氧化物薄膜晶体管曝光时氧化物薄膜晶体管的电特性的变化。

具体实施方式

[0029] 现在将参照附图更加充分地描述各种示例实施例,附图中示出了一些示例实施例。在附图中,为了清楚起见,夸大了层和区域的厚度。

[0030] 在这里公开了详细的示出性的示例实施例。然而,为了描述示例实施例的目的,这里公开的特定的结构上和功能上的细节仅仅是代表性的。然而,可以以许多替换性的形式来实施本发明,且本发明不应该被解释为仅限于在此阐述的示例实施例。

[0031] 因此,虽然示例实施例能够具有各种修改和可选择的形式,但是在附图中通过示例的方式示出了示例实施例的实施例,并且在这里将详细描述示例实施例的实施例。然而,应该理解的是,没有意图使示例实施例局限于公开的具体形式,而是相反,示例实施例将覆盖落入本发明范围内的所有修改、等同物和替换物。在附图的整个描述中,相同的标号表示相同的元件。

[0032] 应该理解的是,虽然术语第一、第二等在这里可以用来描述各种元件,但是这些元

件不应该受这些术语的限制。这些术语仅用来将一个元件与另一元件区别开来。例如,在不脱离示例实施例的范围的情况下,第一元件可被称为第二元件,类似地,第二元件可被称为第一元件。如这里所使用的,术语“和 / 或”包括一个或多个相关所列项目的任意组合和所有组合。

[0033] 应该理解的是,当元件或层被称作“形成在”另一元件或层“上”时,该元件或层可以直接或间接形成在另一元件或层上。即,例如,可以存在中间元件或中间层。相反,当元件或层被称作“直接形成在”另一元件或层“上”时,不存在中间元件或中间层。应当以相同的方式解释用于描述元件或层之间的关系的其它词语(例如“在……之间”和“直接在……之间”、“与……相邻”和“与……直接相邻”等)。

[0034] 这里使用的术语仅为了描述具体实施例的目的,而不意图限制示例实施例。如这里所使用的,除非上下文另外清楚地指出,否则单数形式也意图包括复数形式。还将理解的是,当这里使用术语“包含”和 / 或“包括”时,说明存在所述特征、整体、步骤、操作、元件和 / 或组件,但不排除存在或添加一个或多个其它特征、整体、步骤、操作、元件、组件和 / 或它们的组。

[0035] 现在将参照附图更加充分地描述根据示例实施例的氧化物半导体和包括该氧化物半导体的氧化物薄膜晶体管(TFT)。作为参考,为了理解的目的,夸大了图中所示出的层的厚度和宽度。

[0036] 根据示例实施例的氧化物半导体可包括添加有钽(Ta)或铪(Y)的Zn氧化物或Zn-In复合氧化物。

[0037] 因为Ta和O之间以及Y和O之间的电负性差分别为约2.0和约2.3,所以电负性约1.5的Ta和电负性约1.2的Y可与电负性约3.5的氧O形成相对强的离子键。Ta的离子半径为约0.070nm, Y的离子半径为约0.093nm, Ta和Y的离子半径与Zn的离子半径相近,其中,Zn的离子半径为约0.074nm。因此,如果将Ta和 / 或Y添加到Zn的氧化物或Zn-In的复合氧化物,则Ta和 / 或Y可较容易地取代Zn,而氧化物的晶格的形变会很小或没有形变。

[0038] 在Si和H之间可形成共价键,例如, $a\text{-Si:H}$ 。当 $a\text{-Si:H}$ 和定向性的 sp^3 杂化的氧配位以形成非晶相时,氧键周围的电子云会扭曲,这会导致相对弱的键的形成。当具有这样的弱键结构的TFT被操作相对长的时间段时,电子或空穴会在键合点(bonding site)积聚。这会引起成键合状态断开。键合点的断开会因阈值电压移位而对可靠性造成不利影响。

[0039] 另一方面,对离子键来说,在不考虑氧离子的束缚(binding)的情况下,因阳离子的相对大的电子云,电子轨道会发生重叠。因此,所得的键合结构会有很少的或没有相对弱的键,而与其是晶态或非晶态无关。这可使得能够制造更加可靠的TFT。包括Ta和 / 或Y的Zn氧化物或Zn-In复合氧化物可主要由离子组形成,但是并非所有的束缚都需要是离子键。

[0040] 在包括含有Ta的In-Zn复合氧化物的氧化物半导体的示例实施例中,Ta : In : Zn的at%比率可以是在约1 : 2.1至18 : 1.6至14的范围内所有比例。在包括含有Y的In-Zn复合氧化物的氧化物半导体的示例实施例中,Y : In : Zn的at%比率可以是在约1 : 10至100 : 10至80(包括本数)的范围内。

[0041] 根据示例实施例的氧化物半导体还可包括：如 Li 和 K 的 I 族的元素、如 Mg、Ca 和 Sr 的 II 族的元素、如 Ga、Al、In 和 Y 的 III 族的元素、如 Ti、Zr、Si、Sn 和 Ge 的 IV 族的元素、如 Ta、V、Nb 和 Sb 的 V 族的元素、如 La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb 和 Lu 的属于镧系的元素等。

[0042] 例如，根据示例实施例的氧化物半导体可用作应用于液晶显示器 (LCD)、有机发光二极管 (OLED) 等的驱动晶体管的沟道材料。根据示例实施例的氧化物半导体还可用作包括在存储设备的外围电路中的晶体管的沟道材料，或用作选择晶体管的沟道材料。

[0043] 图 1A 和图 1B 示出根据示例实施例的包括氧化物半导体的薄膜晶体管的剖视图。图 1A 中示出了底栅型薄膜晶体管的例子，而图 1B 中示出了顶栅型薄膜晶体管的例子。

[0044] 参照图 1A，根据示例实施例的氧化物 TFT 可包括设置在基底 11 的一部分上的栅极 13。可在基底 11 和栅极 13 上设置栅绝缘层 14。当基底 11 是硅 (Si) 基底时，可使用热氧化或类似工艺在基底 11 的表面上形成氧化物层 12。可在栅绝缘层 14 的一部分上与栅极 13 对应地形成沟道 15。源极 16a 和漏极 16b 可设置在沟道 15 的对应的侧部上并在栅绝缘层 14 上。至少在根据本示例实施例的氧化物 TFT 中，沟道 15 可包括可添加有 Ta 和 / 或 Y 的 Zn 氧化物或 In-Zn 复合氧化物。

[0045] 在一个实施例中，栅极 13 可形成为具有顶表面和两个倾斜的侧表面（如，梯形形状的剖面，其中，上表面的宽度小于下表面的宽度）。栅绝缘层 14 可形成为覆盖栅极 13 的上表面和侧表面以及氧化物层 12 的上表面的暴露部分。尽管未示出，但是氧化物层 12 可省略。沟道 15 的宽度可与栅极 13 的下表面的宽度对应（如，相同或基本相同）。

[0046] 参照图 1B，在另一示例实施例中，氧化物 TFT 可包括形成在基底 101 上的源极 102a 和漏极 102b。源极 102a 和漏极 102b 可彼此隔开。沟道 103 可形成在源极 102a 和漏极 102b 之间。沟道 103 可接触源极 102a 和漏极 102b 中的每一个。栅绝缘层 104 可形成在沟道 103 和基底 101 上。栅极 105 可形成在栅绝缘层 104 上。栅极 105 可形成在栅绝缘层 104 的与沟道 103 对应的一部分上。栅极 105 的剖面宽度可小于沟道 103 的剖面宽度。当基底 101 是硅 (Si) 基底时，可使用热氧化或类似工艺将氧化物层形成在基底 101 的表面上。

[0047] 现在将描述用于形成至少根据在图 1A 和 / 或图 1B 中示出的本示例实施例的氧化物 TFT 的上述层的材料。基底 11 和 101 可以是用在半导体装置中的基底。例如，基底 11 和 101 可以由 Si、玻璃、有机材料或类似的材料形成。如果基底 11 和 101 由 Si 形成，则氧化物层（如，图 1A 中的 12，但未在图 1B 中示出）可以是，例如，通过热氧化基底 11 和 101 形成的 SiO_2 层。栅极 13 和 105 可以由导电材料（例如，如 Ti、Pt、Ru、Au、Ag、Mo、Al、W、Cu 等金属）或导电金属氧化物（如，IZO(InZnO) 或 AZO(AlZnO) 等）形成。栅绝缘层 14 和 104 可以由用于半导体装置的绝缘材料形成。例如，栅绝缘层 14 和 104 可以由如 SiO_2 、介电常数比 SiO_2 的介电常数高的高 -k 材料（如， HfO_2 、 Al_2O_3 、 Si_3N_4 或它们的混合物等）。源极 16a 和 102a 与漏极 16b 和 102b 中的每个可由导电材料（例如，如 Ti、Pt、Ru、Au、Ag、Mo、Al、W、Cu 等金属）或导电金属氧化物（如，IZO(InZnO)、AZO(AlZnO) 等）形成。

[0048] 在下文中，将参照图 2A 至图 2E 描述根据示例实施例的制造氧化物 TFT 的方法。将参照图 1A 中示出的底栅型 TFT 来描述制造方法的示例实施例。然而，应该理解，类似的工艺也可用于制造顶栅型 TFT。

[0049] 参照图 2A, 可以准备基底 11。基底 11 可由 Si、玻璃、有机材料或类似的材料形成。如果基底 11 由 Si 形成, 则可使用热氧化或类似工艺在基底 11 的表面上形成氧化物层 12 (如, SiO_2)。可将如金属或导电金属氧化物的导电材料 13a 涂覆在基底 11 上。

[0050] 参照图 2B, 可将导电材料 13a 图案化以形成栅极 13。

[0051] 参照图 2C, 可将绝缘材料涂覆在栅极 13 上并将绝缘材料图案化以形成栅绝缘层 14。栅绝缘层 14 可由诸如硅氧化物、硅氮化物、Hf 氧化物、铝氧化物、Hf 氧化物和铝氧化物的混合物或类似材料形成。

[0052] 参照图 2D, 可使用如物理气相沉积 (PVD)、化学气相沉积 (CVD)、原子层沉积 (ALD) 等工艺将沟道材料涂覆在栅绝缘层 14 上。可在栅绝缘层 14 的与栅极 13 对应的一部分上将沟道材料图案化以形成沟道 15。可通过将 Ta 和 Y 中的至少一种添加到如 Zn 氧化物或 Zn-In 复合氧化物的 Zn 材料来形成沟道 15。例如, 当使用溅射形成沟道 15 时, 可将 ZnO 靶或 IZO (InZnO) 靶和 Ta 和 / 或 Y 的靶装载在处理腔 (chamber) 中并共同溅射。可选择地, 可使用包括 Ta 和 Y 中至少一种的单个 ZnO 靶或 InZnO 靶。

[0053] 参照图 2E, 可将如金属或导电的金属氧化物的导电材料涂覆在沟道 15 和栅绝缘层 14 上。可将导电材料图案化, 以使得该材料连接到沟道 15 的每个端, 从而形成源极 16a 和栅极 16b。可使用普通的炉子、快速热退火 (RTA)、激光、加热板 (hot plate) 等在大约 400°C 或更低温度 (如, 在大约 300°C) 来对所得的结构进行退火。

[0054] 制备示例

[0055] 现在将描述根据示例实施例的制备示例。将参照图 1A 的来描述制备示例。

[0056] 根据至少一个示例实施例, 可将 Mo 沉积在形成有氧化物层 12 的硅基底 11 上。沉积的 Mo 可形成厚度约 200nm 的栅极 13。可将硅氮化物涂覆在基底 11 和栅极 13 上以形成厚度约 200nm 的栅绝缘层 14。可将氧化物半导体涂覆在栅绝缘层 14 上以形成沟道 15。可将氧化物半导体涂覆在栅绝缘层 14 的与栅极 13 对应的一部分上。下面将更加详细地描述形成沟道 15 的工艺。

[0057] 在形成沟道 15 的一个示例工艺中, 可以使用 IZO 靶 (如, In_2O_3 : ZnO = 1 : 2mol%) 和 Ta 靶或 Y 靶。可将这些靶装载在溅射器的腔中。在沉积期间, 当将约 150W 的 RF 功率施加到 IZO 靶, 将约 25W-40W (包括本数) 的 DC 功率施加到 Ta 靶, 将约 15W-30W 的 DC 功率施加到 Y 靶时, 可通过提供以约 95 : 5 比例的气态的 Ar 和 O_2 来维持腔的总压强。使用这样的工艺, 可形成厚度约 70nm 的沟道 15。可使用 ZnO 靶来代替 InZnO 靶。

[0058] 可在沟道 15 的两侧中的一侧上形成作为源极和漏极的 Ti/Pt (如, 约 10nm/100nm) 双层。可以在约 300°C 到约 350°C (包括本数) 之间的温度来热处理这样的结构约 1 小时。可使用例如蚀刻溶液 (如, 水 : 乙酸 : 盐酸 = 约 80 : 20 : 0.1vol%) 来去除形成在沟道表面上的杂质。

[0059] 当将 0.1V 和 10V 的源 - 漏电压施加到根据上述制备示例制备的氧化物薄膜晶体管 (例如, 具有沟道尺寸 : $W/L = 50\mu\text{m}/4\mu\text{m}$) 时, 测量了所述氧化物薄膜晶体管的漏电流 I_d 对栅电压 V_g 。

[0060] 图 3A 至图 3F 示出根据示例实施例的氧化物薄膜晶体管的漏电流 I_d 对栅电压 V_g 的曲线图。在本示例中, 氧化物薄膜晶体管包括作为沟道材料的含有 Ta 的 IZO。当将多个源 - 漏电压 (例如, 0.1V、5V 和 10V) 施加到氧化物薄膜晶体管时, 得到了图 3A 至图 3F 所示

的数据。

[0061] 图 3A 至图 3F 示出了包括在溅射工艺期间通过对应地将多种功率（如 15W、20W、25W、30W、35W 和 40W）提供到 Ta 靶而沉积形成的沟道的样品的曲线图。

[0062] 参照图 3A 至图 3F，在提供到所述沉积的功率的整个范围内，沟道材料具有可用于晶体管的传输曲线性质。下面的表 1 示出了根据提供到 Ta 靶的沉积的功率的强度的组成、迁移率和摆动电压 (swing voltage)。使用连续光谱仪 (sequential spectrometer)，执行电感耦合等离子体 (inductively coupled plasma, ICP) - 俄歇电子能谱 (Auger Electron Spectroscopy, AES) 分析（误差范围约 1%）以评价氧化物半导体材料的组成。参照表 1，随着用于 Ta 靶沉积的功率的增加，Ta 的量增加。表 1 中所示的 Ta : In : Zn 的 at% 比率在约 1 : 2.1 至 9.5 : 1.6 至 6.4 (包括本数) 的范围内。在本试验性的示例中，导通 (On) 电流为约 10^{-4} A，截止 (Off) 电流小于或等于约 10^{-11} A- 10^{-12} A (包括本数)。当 Ta : In : Zn 的 at% 比率在与 15W 至 25W 的 Ta 对应的约 1 : 5.7 至 9.5 : 4.8 至 6.4 (包括本数) 的范围内时，On/Off 电流比率大于或等于约 10^7 。

[0063] 表 1

[0064]

Ta 沉积功率	Ta 15W	Ta 20W	Ta 25W	Ta 30W	Ta 35W	Ta 40W
原子比率 (Ta : In : Zn)	1 : 9.5 : 6.4	1 : 7.7 : 5.8	1 : 5.7 : 4.8	1 : 3.6 : 3.2	1 : 2.7 : 2.2	1 : 2.1 : 1.6
迁移率 (cm ² /Vs)	9.4	7.5	5.2	2.77	0.862	0.022
摆动电压 (V/dec)	0.267	0.257	0.287	0.283	0.398	0.405

[0065] 图 4A 和图 4B 示出了当根据示例实施例的氧化物薄膜晶体管的样品的漏电流为 3 μ A 时栅电压变化的曲线图。在本示例中,氧化物薄膜晶体管包括通过将 25W 的功率提供到 Ta 靶沉积形成的沟道,该沟道在约 350 °C 进行了热处理。在约 50 °C 测量了栅电压的变

化。

[0066] 参照图 4A, 栅电压的变化随时间增加 (如, 稍微增加)。参照图 4B, 估计在约 50000 小时后栅电压的变化将为大约 2.5V。因此, 根据示例实施例的半导体薄膜晶体管中在初始的电特性的变化相对 (如, 非常) 低。所以, 根据示例实施例的氧化物 TFT 展示了相对高的 On/Off 电流比率和滞后少或没有滞后的相对低的截止电流。因此, 根据示例实施例的氧化物 TFT 显示了与传统的氧化物 TFT 相比提高了氧化物 TFT 的特性。

[0067] 图 5A 和图 5B 示出了当将多个源-漏电压 (0.1V, 5V 和 10V) 施加到氧化物薄膜晶体管的示例实施例时, 氧化物薄膜晶体管的漏电流 I_{DS} 对栅电压 V_{GS} 的曲线图。在本示例中, 氧化物薄膜晶体管包括作为沟道材料的含有 Y 的 IZO。

[0068] 图 5A 和图 5B 示出包括这样形成的沟道的样品的曲线图, 即, 在溅射工艺期间, 将约 15W 功率提供到 Y 靶的沉积、约 150W 和约 200W 的功率提供到 IZO 靶的沉积。

[0069] 参照图 5A 和图 5B, 所示出的沟道材料具有适合于晶体管的传输曲线性质。表 2 示出根据提供给 Y 靶的沉积的功率的 Y : In : Zn 的原子比率。使用连续光谱仪执行 ICP-AES 分析 (误差范围约 1%), 以评价氧化物半导体材料的组成。参照表 2, 随着用于 Y 靶的沉积的功率的增加, Y 的量增加。表 2 中所示的 Y : In : Zn 的 at% 比率在约 1 : 21.7 至 50 : 14 至 41 (包括本数) 的范围内。在本示例中, 导通电流为约 $10^{-4}A$, 截止电流小于或等于约 $10^{-11}A$ - $10^{-12}A$, 当 Y : In : Zn 的 at% 比率在约 1 : 46 至 50 : 30 至 41 (包括本数) 的范围内时, On/Off 电流比率大于或等于约 10^7 。

[0070] 表 2

[0071]

Y 沉积功率	Y 15W (IZO 200W)	Y 15W (IZO 150W)	Y 25W (IZO 150W)	Y 35W (IZO 150W)
原子比率 (Y : In : Zn)	1 : 50 : 41	1 : 46 : 30	1 : 30 : 22	1 : 21.7 : 14

[0072] 图 5C 示出了氧化物薄膜晶体管的示例实施例的漏电流 I_d 对漏电压 V_d 的曲线图。在本示例中, 氧化物薄膜晶体管包括这样形成的沟道, 即, 当将多个栅电压 (如, 0.1V、5V、10V、15V 和 20V) 施加到氧化物薄膜晶体管时, 通过将 15W 的功率提供到 Y 靶的沉积。通过将 RF 150W 施加到 IZO 靶来共同溅射 IZO (如, In_2O_3 : ZnO = 1 : 2mol%) 靶。参照图 5C, 当漏电压为约 0.1V 时, 尽管漏电压增加, 但是漏电流保持恒定或基本恒定。然而, 当漏电压为约 5V 或更大时, 漏电流随漏电压的增加而增加。

[0073] 图 6A 和图 6B 示出根据示例实施例的氧化物薄膜晶体管的漏电流 I_{DS} 对栅电压 V_{GS} 的曲线图。在本示例中, 氧化物薄膜晶体管包括通过将 15W 的功率提供到 Y 靶的沉积而形成的沟道, 以测量当将氧化物薄膜晶体管曝光时氧化物薄膜晶体管的电特性的变化。通过将 150W 的 RF 功率施加到 IZO 靶来共同溅射 IZO (如, In_2O_3 : ZnO = 1 : 2mol%) 靶。图 6A 示出了当源-漏电压为约 0.1V 时, 漏电流 I_{DS} 对栅电压 V_{GS} 的曲线图, 图 6B 示出了当源-漏电压为约 10V 时, 漏电流 I_{DS} 对栅电压 V_{GS} 的曲线图。

[0074] 在图 6A 和图 6B 中, “初始”指示在形成样品之后 (如, 紧随在形成样品之后) 的漏电流 I_{DS} 对栅电压 V_{GS} , “开放”指示当样品被暴露于自然光 (如, 开门) 时, 漏电流 I_{DS} 对栅电压 V_{GS} , “灯光”指示当薄膜晶体管暴露 (如, 直接暴露) 于灯光时, 漏电流 I_{DS} 对栅电压 V_{GS} 。

[0075] 参照图 6A 和图 6B, 在三种示例的情况下的传输曲线之间几乎没有变化。因此, 外

部环境（例如，光）不会很大程度地影响根据示例实施例的薄膜晶体管，根据示例实施例的薄膜晶体管可具有提高了的（如，优良的）可靠性。

[0076] 同时，沉积的薄膜的成分、 $I_{DS}-V_{GS}$ 曲线和迁移率性质可根据靶的类型、施加到靶的电压、沉积设备、沉积压强、氧分压、基底温度等而变化。例如，当使用包括 Ta 和 / 或 Y 的 InZnO 的单个靶来代替使用 InZnO 靶和 Ta 靶或 InZnO 靶和 Y 靶时，沉积的薄膜的成分可改变。此外，当沉积的薄膜的成分相同或基本相同时，薄膜的性质可改变。例如，当使用溅射来沉积氧化物半导体时，电阻范围可根据氧分压而改变。如果将氧分压控制为低于一定水平，则沉积的薄膜可具有相对低的电阻。如果将氧分压控制为高于一定水平，则沉积的薄膜可具有相对高的电阻。

[0077] 本领域普通技术人员应该理解，根据示例实施例的氧化物半导体可应用于多种电子设备，如平板显示器（如 LCD 或 OLED 等）的驱动晶体管和包括在存储设备等的外围电路中的晶体管。根据示例实施例的氧化物薄膜晶体管可以是底栅型晶体管或顶栅型晶体管。

[0078] 根据示例性实施例，无论是否明确地指出，这里所阐述的值的范围意图包括本数。因此，标出的值的范围，例如，约 2.1 至 18，可包括等于或基本等于 2.1 的值和等于或基本等于 18 的值以及在 2.1 和 18 之间的值。

[0079] 尽管已经参照本发明的示例实施例具体地示出并描述了本发明，但是本领域普通技术人员应该理解，在不脱离由权利要求所限定的本发明的精神和范围的情况下，可在这里对形式和细节做出各种改变。

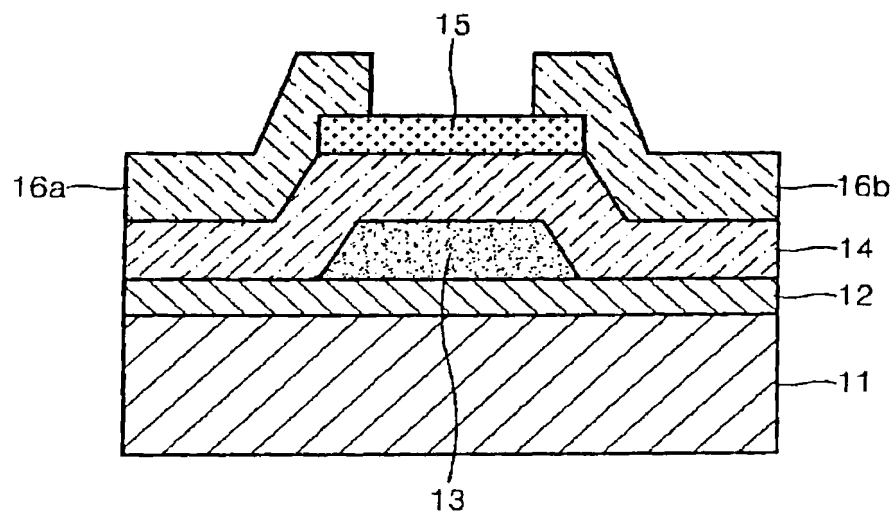


图 1A

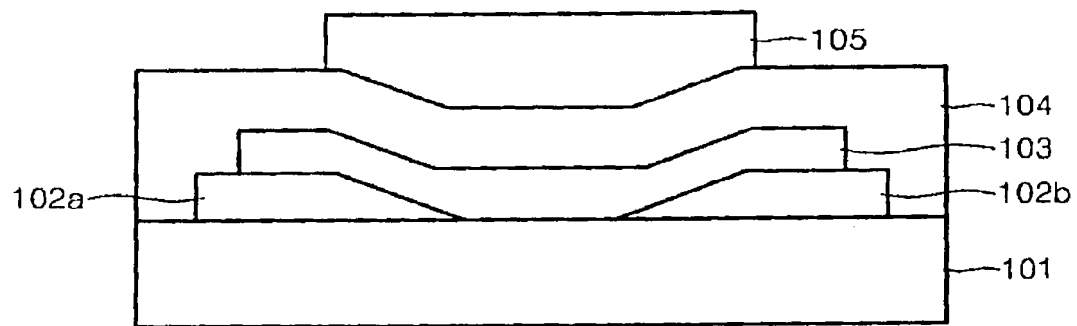


图 1B

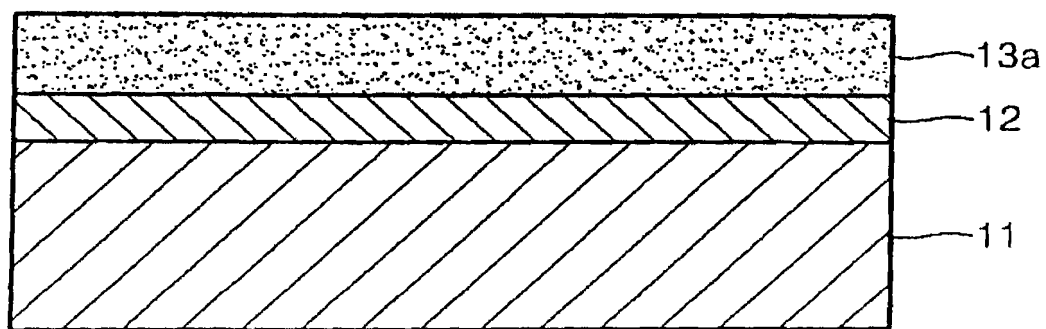


图 2A

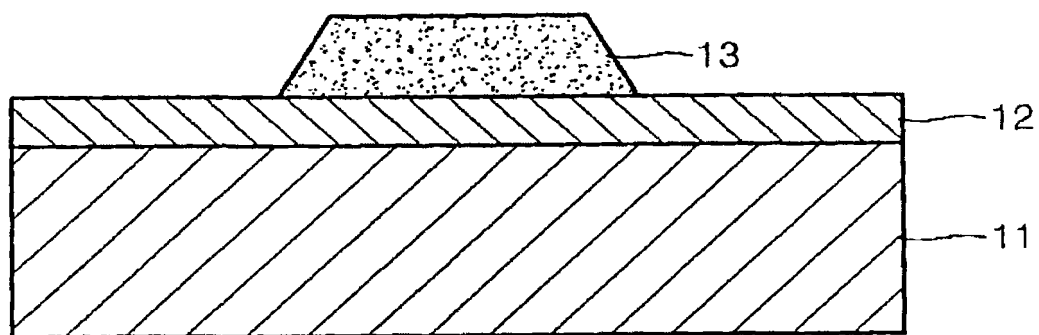


图 2B

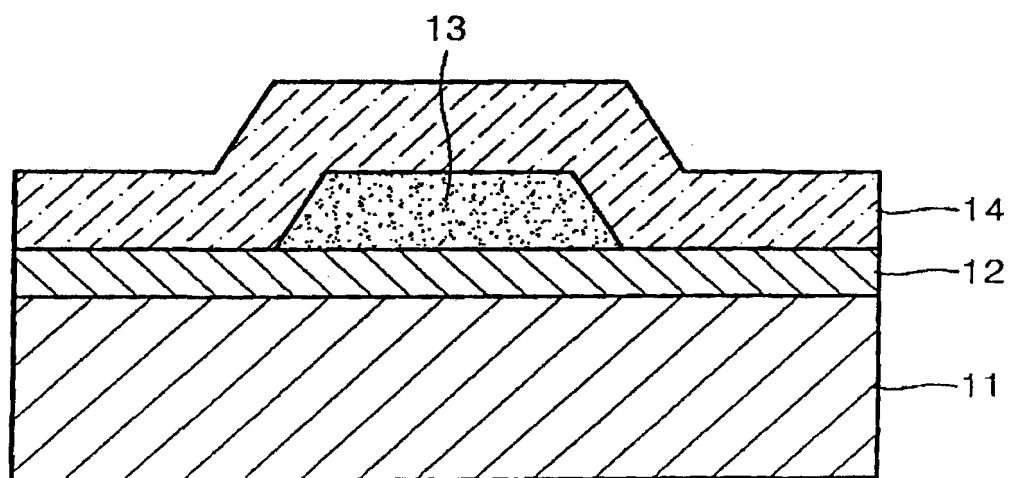


图 2C

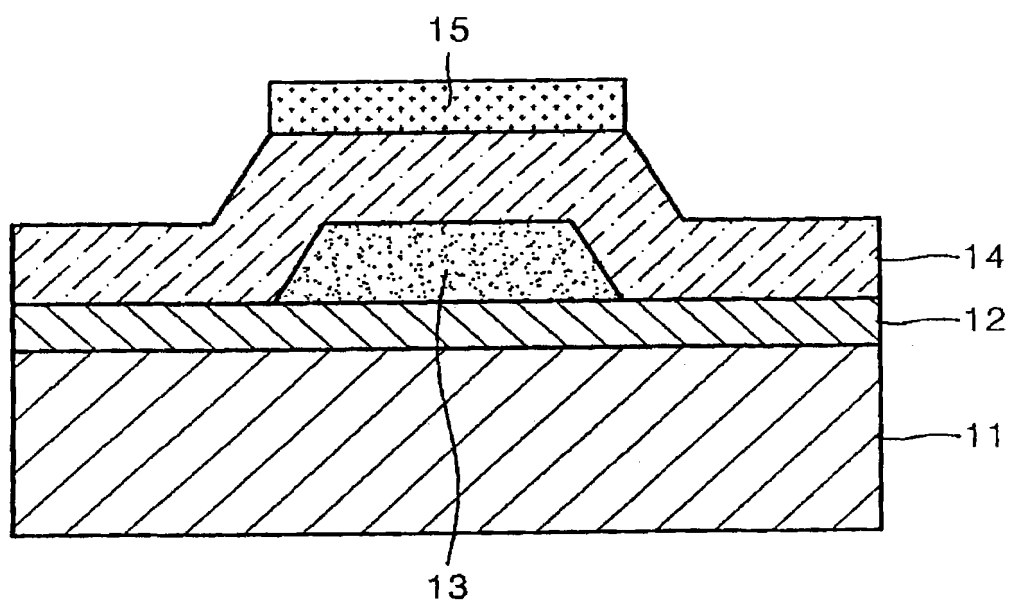


图 2D

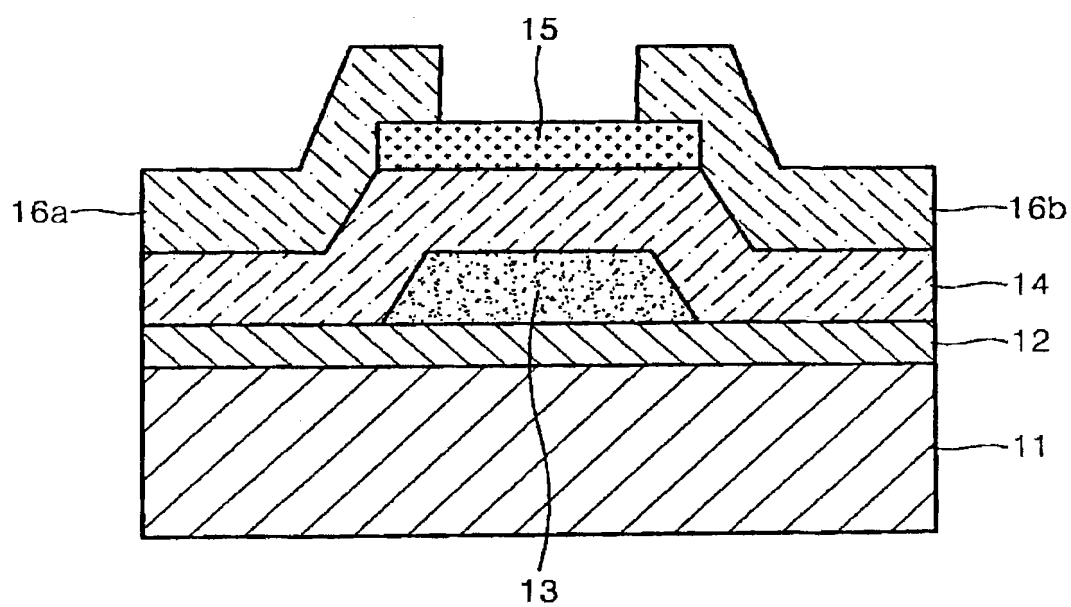


图 2E

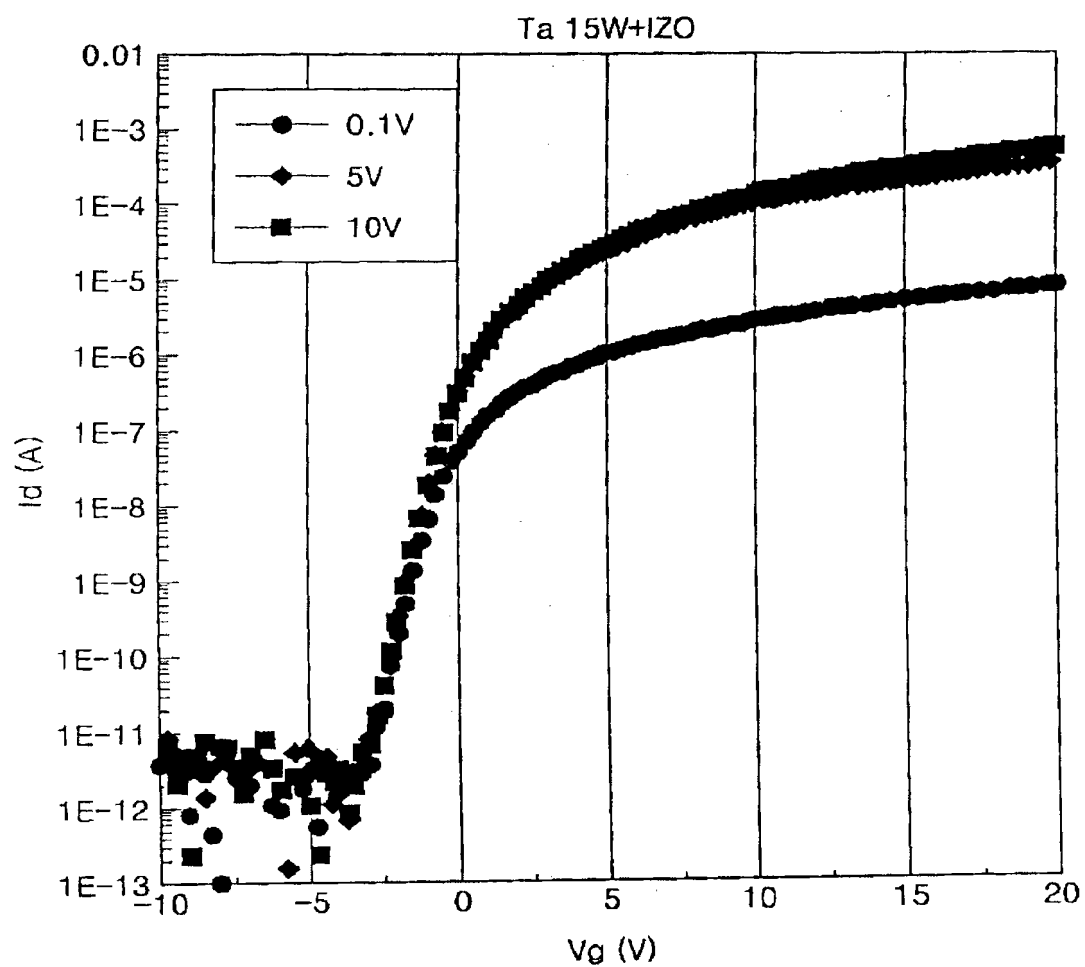


图 3A

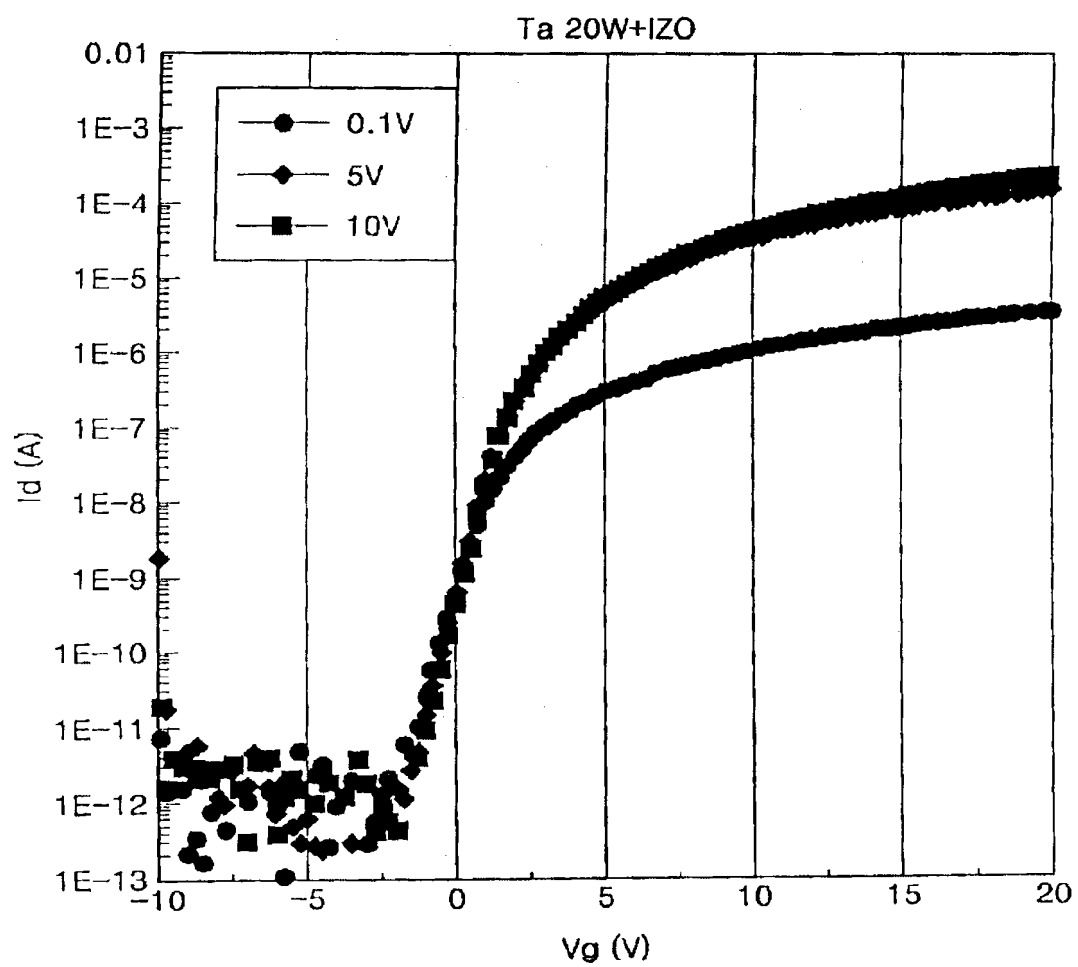


图 3B

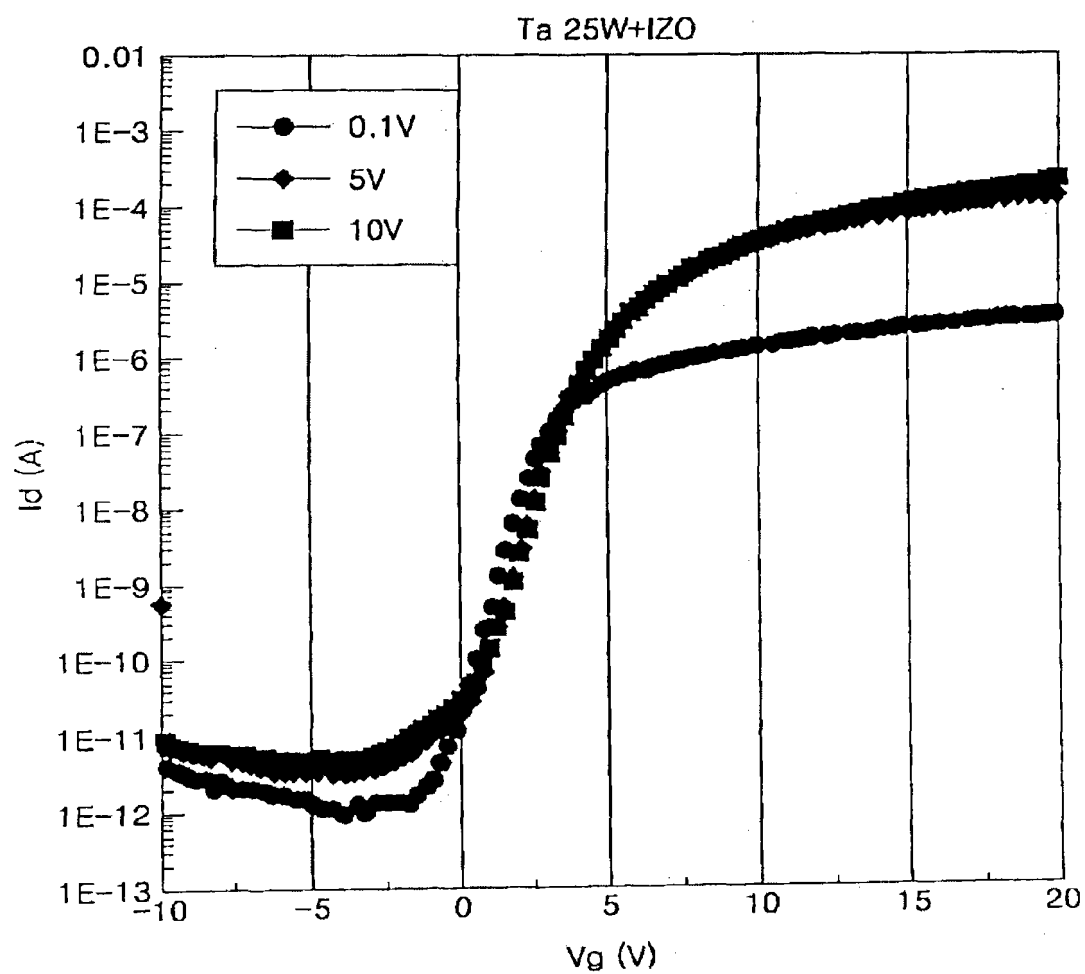


图 3C

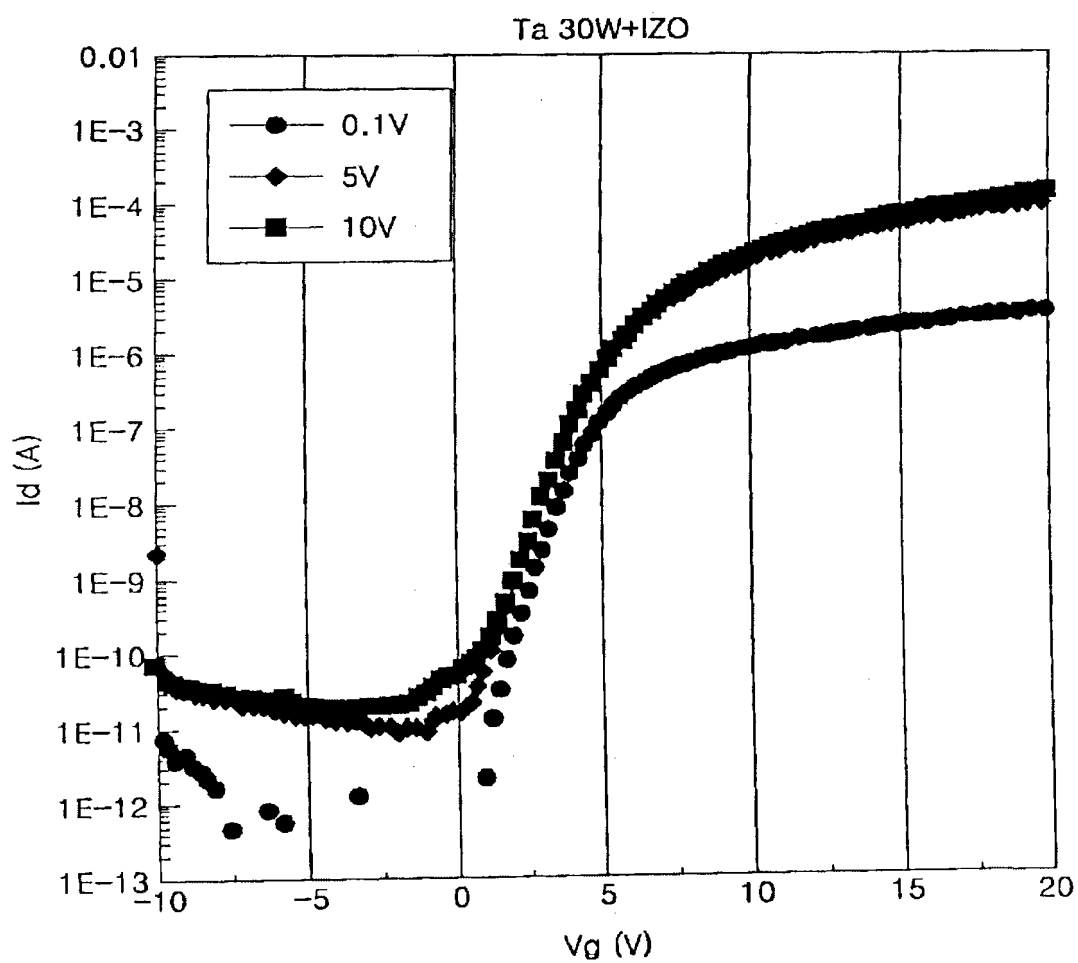


图 3D

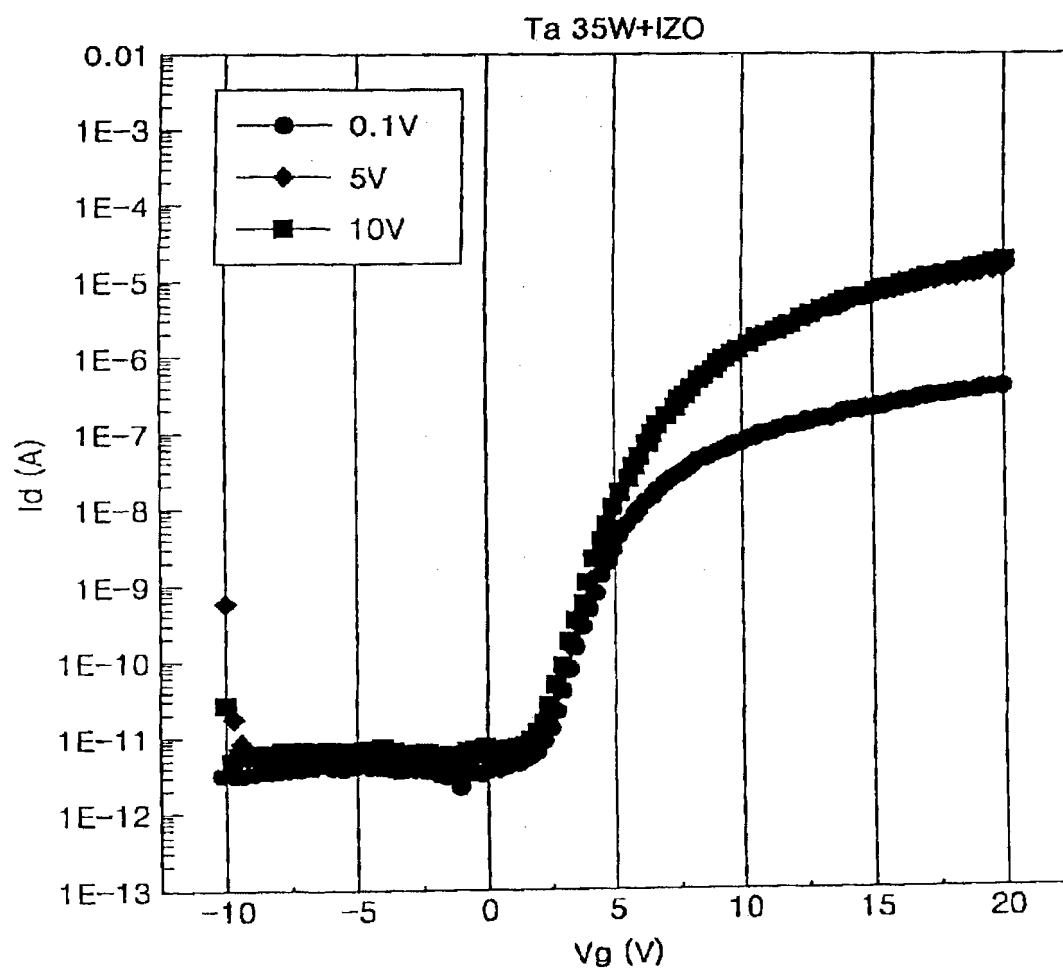


图 3E

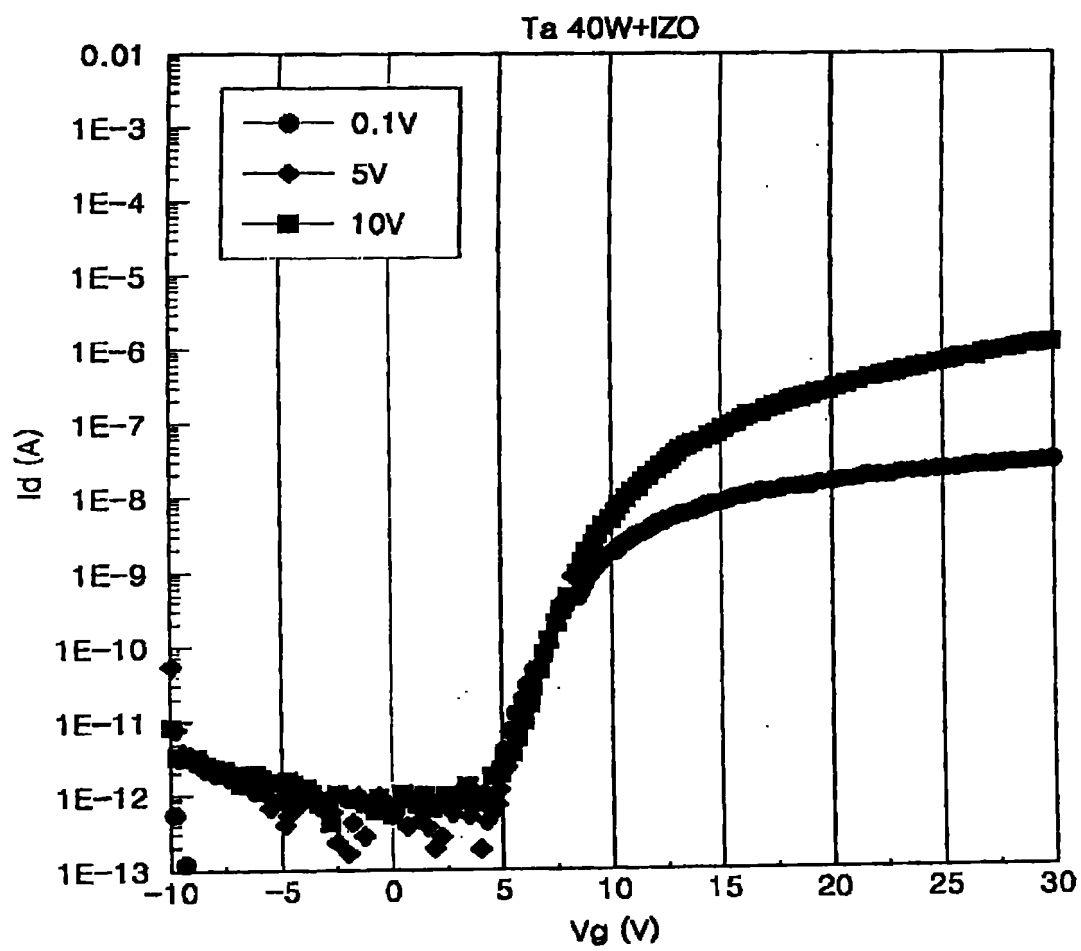


图 3F

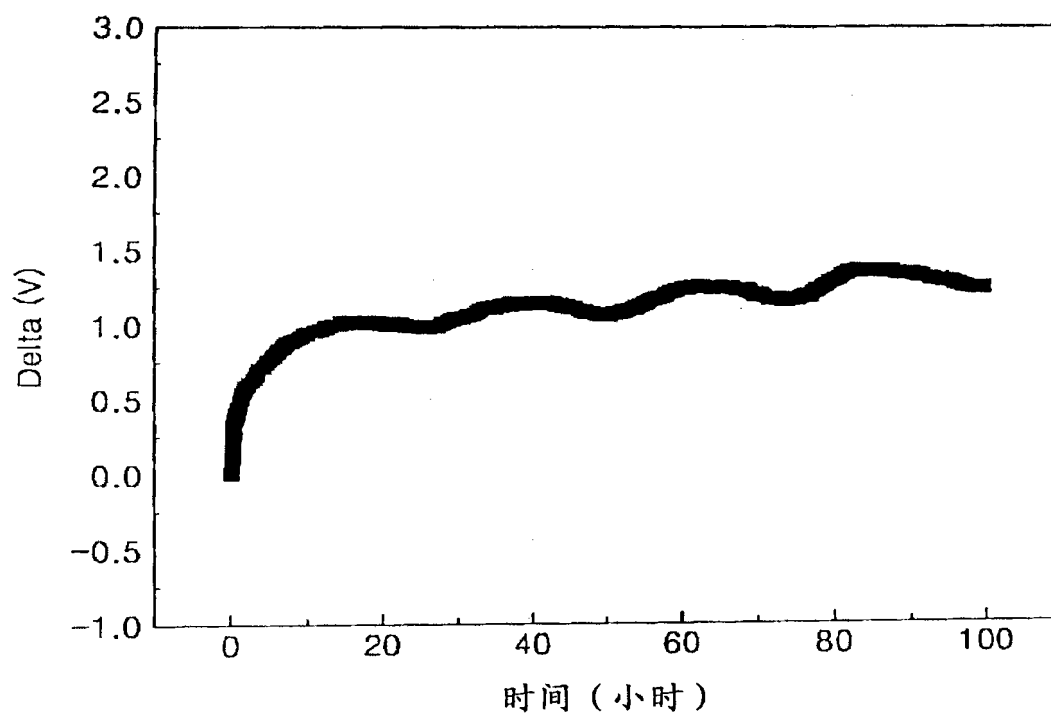


图 4A

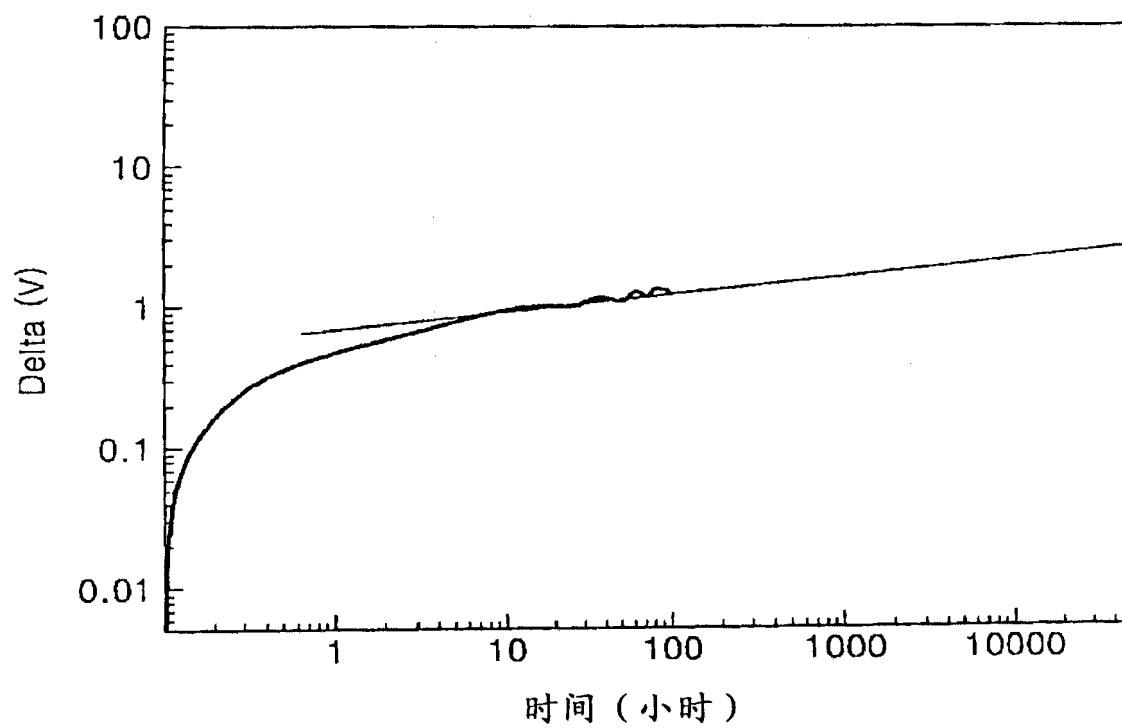


图 4B

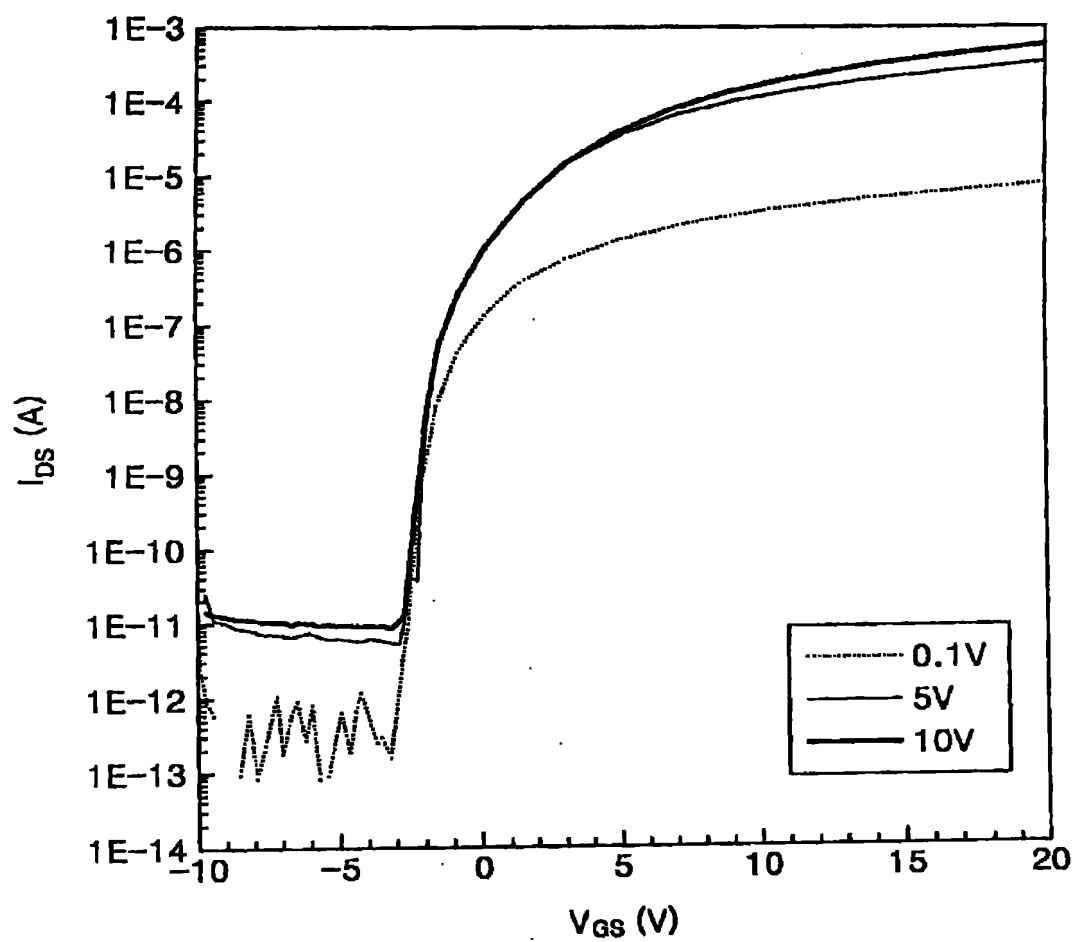


图 5A

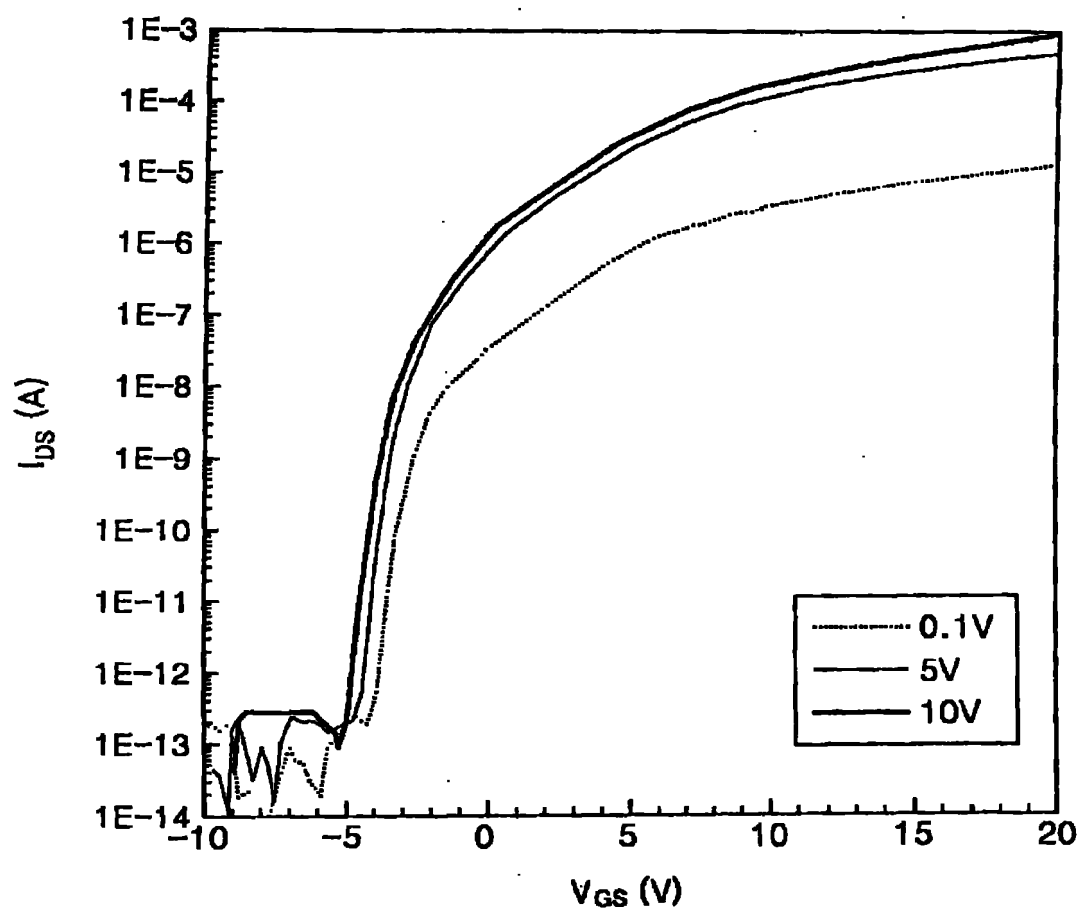


图 5B

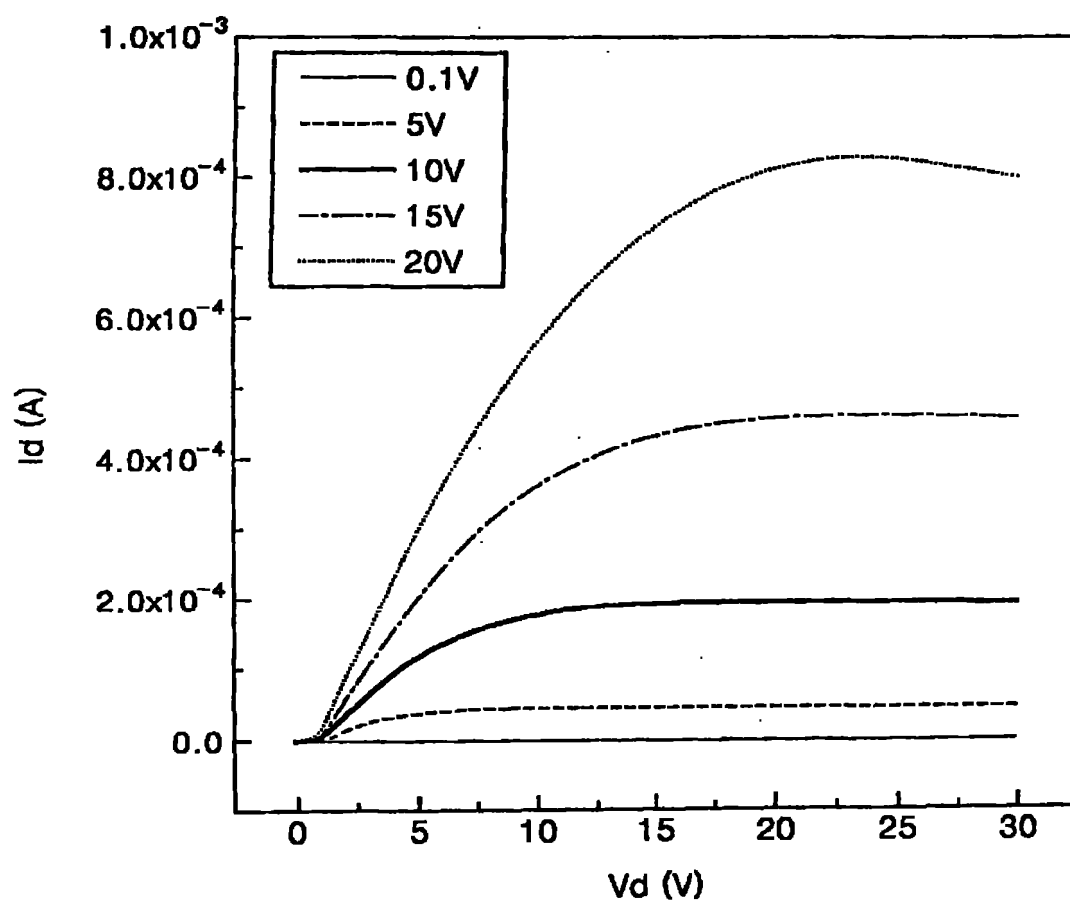


图 5C

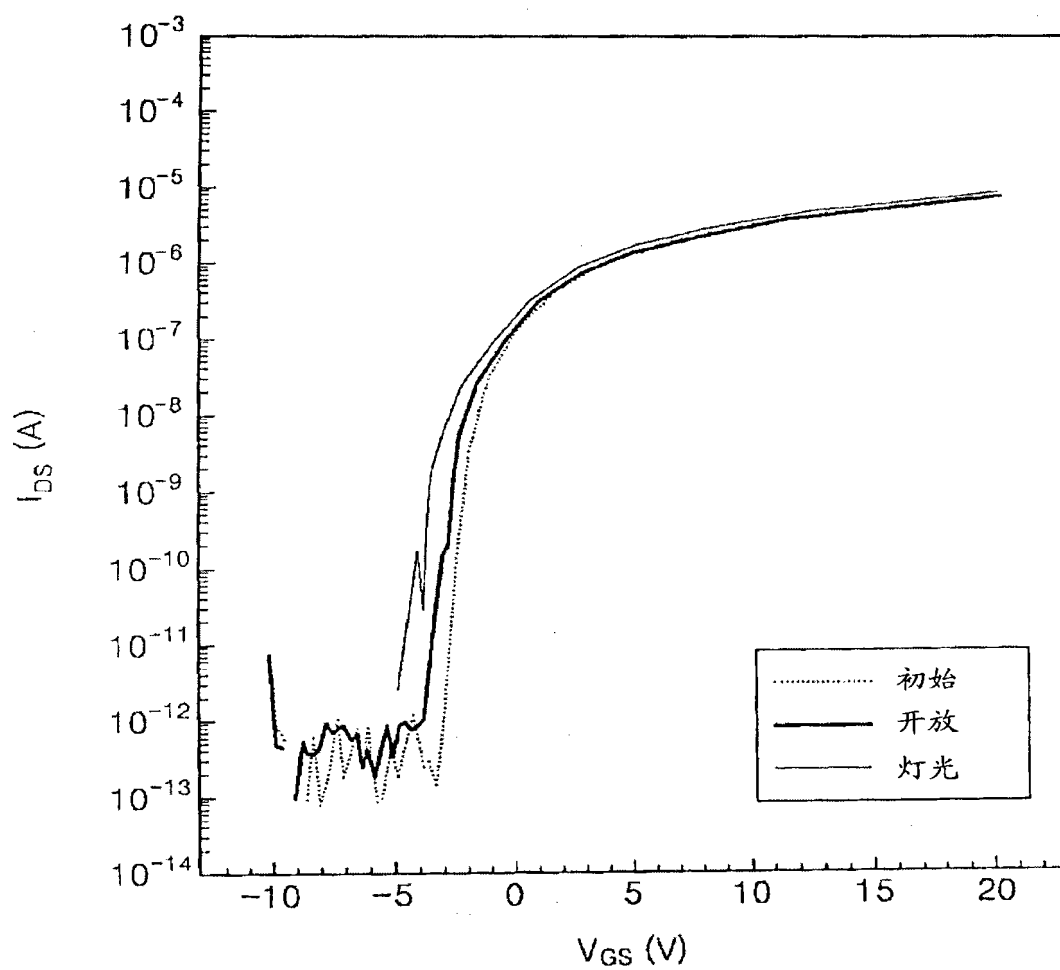


图 6A

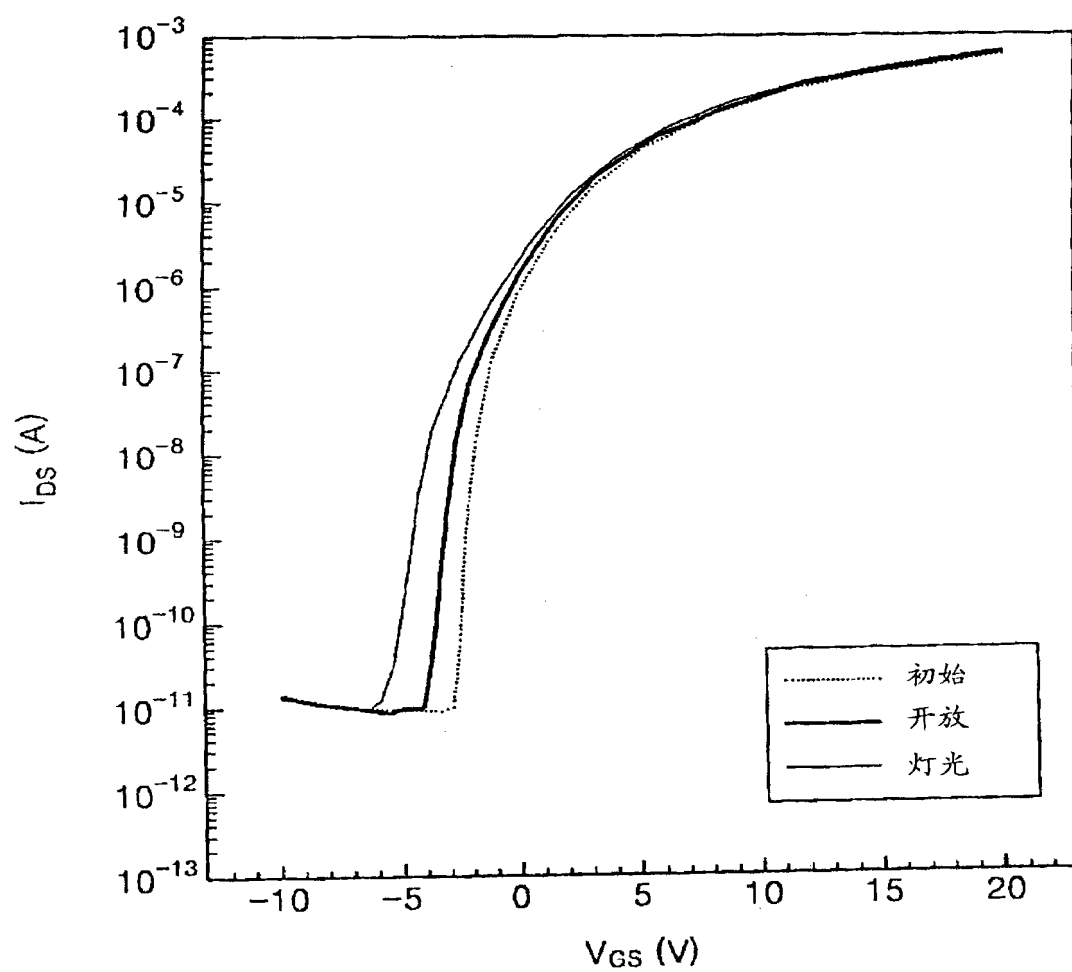


图 6B