

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5401778号
(P5401778)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月8日(2013.11.8)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)
 GO 9 F 9/30 (2006.01)
 HO 1 L 21/336 (2006.01)
 GO 2 F 1/1368 (2006.01)

HO 1 L 29/78 6 1 2 C
 GO 9 F 9/30 3 3 8
 HO 1 L 29/78 6 1 2 D
 GO 2 F 1/1368

請求項の数 6 (全 23 頁)

(21) 出願番号 特願2007-267845 (P2007-267845)
 (22) 出願日 平成19年10月15日(2007.10.15)
 (65) 公開番号 特開2009-99666 (P2009-99666A)
 (43) 公開日 平成21年5月7日(2009.5.7)
 審査請求日 平成22年5月18日(2010.5.18)

(73) 特許権者 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 井上 隆夫
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 (72) 発明者 山賀 匠
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 (72) 発明者 小野寺 敦
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタアレイ、表示装置及び情報表示システム

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板上に並設された複数のゲート電極と、ゲート絶縁膜を介して前記複数のゲート電極の上層又は下層に並設され、前記複数のゲート電極と平面視で交差する、複数のソース電極と、前記複数のソース電極と同一層の、平面視で前記複数のゲート電極及び前記複数のソース電極で囲われた領域に設けられた、複数のドレイン電極と、前記ゲート絶縁膜を介して前記ゲート電極に対向して配置され、前記ソース電極と前記ドレイン電極との間にチャンネル領域を形成する半導体層と、を有する薄膜トランジスタアレイであって、

前記複数のゲート電極は、直線形状に形成され、前記チャンネル領域は、前記直線形状に形成された前記複数のゲート電極に対向して配置され、

前記ソース電極及び前記ドレイン電極よりも下層であって前記ゲート電極と同一の層の、前記ゲート絶縁膜を介して前記ドレイン電極に対向する位置に、前記ゲート電極と平行に配置され、平面視において前記ソース電極と重複する領域に切込み部が設けられたコモン電極が形成され、

前記コモン電極は平面視で角部を有し、前記角部は、平面視で前記ソース電極及び前記ドレイン電極と重複しないように配置され、

平面視において、前記ソース電極は、前記ゲート電極と略平行な方向に分岐する分岐部を有し、前記分岐部の前記ゲート電極と略平行な第1の辺は前記ドレイン電極の前記ゲート電極と略平行な第2の辺と対向し、対向する前記第1の辺と前記第2の辺との間の全領域は前記半導体層と重複して長手方向が前記ゲート電極と略平行なチャンネル領域を形成し

10

20

ていることを特徴とする薄膜トランジスタアレイ。

【請求項 2】

前記共通電極が印刷法で形成されていることを特徴とする請求項 1 記載の薄膜トランジスタアレイ。

【請求項 3】

隣接する前記半導体層が、電氣的に分離されていることを特徴とする請求項 1 又は 2 記載の薄膜トランジスタアレイ。

【請求項 4】

前記ゲート電極、前記ソース電極及び前記ドレイン電極のうち少なくとも一つが印刷法で形成されていることを特徴とする請求項 1 乃至 3 の何れか一項記載の薄膜トランジスタアレイ。

10

【請求項 5】

請求項 1 乃至 4 の何れか一項記載の薄膜トランジスタアレイ、対向基板及び表示素子を有することを特徴とする表示装置。

【請求項 6】

請求項 5 記載の表示装置を表示媒体とする情報表示システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタアレイ、薄膜トランジスタアレイを用いた表示装置及び情報表示システムに関する。

20

【背景技術】

【0002】

薄膜トランジスタアレイ（TFTアレイ）基板を用いた表示装置が良く知られているが、これに用いられる薄膜トランジスタアレイ基板のパターンは、一般的にフォトリソグラフィ法で形成される場合が多い。

【0003】

フォトリソグラフィ法の工程は、

- 1．薄膜層を有する基板上にフォトレジスト層を塗布する（レジスト塗布）
 - 2．加熱により溶剤を除去する（プリベーク）
 - 3．パターンデータに従ってレーザー或いは電子線を用いて描画されたハードマスクを通して紫外光を照射する（露光）
 - 4．アルカリ溶液で露光部のレジストを除去する（現像）
 - 5．未露光部（パターン部）のレジストを加熱により硬化する（ポストベーク）
 - 6．エッチング液に浸漬又はエッチングガスに暴露し、レジストのない部分の薄膜層を除去する（エッチング）
 - 7．アルカリ溶液又は酸素ラジカルでレジストを除去する（レジスト剥離）
- からなる。

30

【0004】

フォトリソグラフィ法を用いると、数十nmまでの微細なパターン形成が可能であるが、高価な設備と工程の長さのため、高コストであるという問題がある。

40

【0005】

一方、製造コストを低減するために、インクジェット印刷法、エアゾール印刷法、オフセット印刷法等の印刷法を用いたパターン形成が試みられており、低コストで薄膜トランジスタアレイ基板を製造できる技術が提案されている（例えば、特許文献 1 参照）。

【0006】

ここで、従来の薄膜トランジスタアレイの例について説明する。従来の薄膜トランジスタアレイは、パターン形成方法がフォトリソグラフィ法であるか印刷法であるかを問わず、図 15 に例示するような構造を有する。図 15 は、従来の薄膜トランジスタアレイ 10 を例示する図である。図 15（a）は平面図であり、図 15（b）は図 15（a）の I

50

- I 線に沿う断面図である。図 15 に示す薄膜トランジスタアレイ (TF T アレイ) 10 は、絶縁基板 11 と、ゲート電極 12 と、ゲート絶縁膜 14 と、ソース電極 15 と、ドレイン電極 16 と、半導体層 17 と、チャネル領域 17a と、を有する。なお、12a は、ゲート電極 12 の分岐部を示している。又、ソース電極 15 の長手方向を X 方向、ゲート電極 12 の長手方向を Y 方向とする。

【0007】

図 15 に示す薄膜トランジスタアレイ 10 において、絶縁基板 11 の上には、複数のゲート電極 12 が略一定間隔を隔てて形成されている。又、複数のゲート電極 12 は、後述するチャネル領域 17a を形成するために、ゲート電極 12 と略垂直方向に分岐する分岐部 12a を有する。例えば、表示装置においては、複数のゲート電極 12 は、一方向に薄膜トランジスタアレイ 10 の外に引き出された後、走査信号用のゲートドライバー IC に接続され、逐次選択信号が繰り返し供給される。

10

【0008】

ゲート電極 12 の上には、ゲート絶縁膜 14 が形成されている。又、ゲート絶縁膜 14 の上には、複数のソース電極 15 が略一定間隔を隔てて、複数のゲート電極 12 と平面視で交差するように形成されている。例えば、表示装置においては、複数のソース電極 15 は、一方向に薄膜トランジスタアレイ 10 の外に引き出された後、データ信号用のソースドライバー IC に接続され、データ信号が供給される。又、ソース電極 15 と同一の層における、(図 15 を平面視した状態で) 複数のゲート電極 12 及び複数のソース電極 15 で囲われた領域には、複数のドレイン電極 16 が形成されている。更に、ソース電極 15 及びドレイン電極 16 の上には、半導体層 17 が形成されている。

20

【0009】

又、半導体層 17 中のソース電極 15 とドレイン電極 16 とが対向する部分には、チャネル領域 17a が存在する。チャネル領域とは、ゲート電極 12 に電圧を印加すると、ドレイン電極 15 とソース電極 16 とに接続する半導体層 17 に存在する電子 (又は正孔) が、ゲート電極 12 の分岐部 12a の直下に引き出され、ドレイン電極 15 とソース電極 16 とが電氣的に接続されるが、このような、電子 (又は正孔) の接続部分のことをいう。又、チャネル領域 17a において、ソース電極 15 とドレイン電極 16 との対向する部分の長さをチャネル幅 (図 15 では X 方向)、ソース電極 15 とドレイン電極 16 との間隔をチャネル長 (図 15 では Y 方向) という。ゲート電極 12 の分岐部 12a は、電界をチャネル領域 17a に印加するために、必ずチャネル領域 17a の下部に存在する必要がある。

30

【0010】

なお、ゲート絶縁膜 14 はゲート電極 12 とソース電極 15 及びドレイン電極 16 とを絶縁する役割と、ゲート電極 12 に加わった電界をソース電極 15 とドレイン電極 16 との間に形成されるチャネル領域 17a に印加することで、薄膜トランジスタ 10 を on / off する役割を持つ。

【0011】

図 15 に示す薄膜トランジスタアレイ 10 において、チャネル領域 17a を形成するために、ゲート電極 12 は、ゲート電極 12 と略垂直方向に分岐する分岐部 12a を有するが、このような構造が、パターン形成方法がフォトリソグラフィ法であるか印刷法であるかを問わず、従来の薄膜トランジスタアレイの一般的な構造である。

40

【特許文献 1】特表 2006 - 516754

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、図 15 において、ゲート電極 12 と、ソース電極 15 及びドレイン電極 16 との間に、ゲート絶縁膜 14 が形成されていることから明らかなように、ゲート電極 12 と、ソース電極 15 及びドレイン電極 16 とは、それぞれ別々の工程で形成される。又、前述のように、ゲート電極 12 の分岐部 12a は、電界をソース電極 15 とドレイン

50

電極 1 6 との間に形成されるチャネル領域 1 7 a に印加するために、必ずチャネル領域 1 7 a の下部に存在する必要がある。従って、ゲート電極 1 2 の分岐部 1 2 a と、ソース電極 1 5 とドレイン電極 1 6 との間に形成されるチャネル領域 1 7 a とをこのような所定の位置関係を満足するように形成するためには、位置あわせである所謂アライメントが必要となるが、アライメントを行う際に、アライメントが図 1 5 における X 方向及び Y 方向のどちらにずれたとしても、ゲート電極 1 2 の分岐部 1 2 a と、ソース電極 1 5 とドレイン電極 1 6 との間に形成されるチャネル領域 1 7 a との位置関係が変わるため、薄膜トランジスタアレイ 1 0 としての特性に影響を与えるという問題があった。

【 0 0 1 3 】

本発明は、上記に鑑みてなされたもので、ゲート電極と、ソース電極とドレイン電極との間に形成されるチャネル領域とのアライメントが容易な構造を有する薄膜トランジスタアレイを提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 4 】

本薄膜トランジスタアレイは、絶縁基板上に並設された複数のゲート電極と、ゲート絶縁膜を介して前記複数のゲート電極の上層又は下層に並設され、前記複数のゲート電極と平面視で交差する、複数のソース電極と、前記複数のソース電極と同一層の、平面視で前記複数のゲート電極及び前記複数のソース電極で囲われた領域に設けられた、複数のドレイン電極と、前記ゲート絶縁膜を介して前記ゲート電極に対向して配置され、前記ソース電極と前記ドレイン電極との間にチャネル領域を形成する半導体層と、を有する薄膜トランジスタアレイであって、前記複数のゲート電極は、直線形状に形成され、前記チャネル領域は、前記直線形状に形成された前記複数のゲート電極に対向して配置され、前記ソース電極及び前記ドレイン電極よりも下層であって前記ゲート電極と同一の層の、前記ゲート絶縁膜を介して前記ドレイン電極に対向する位置に、前記ゲート電極と平行に配置され、平面視において前記ソース電極と重複する領域に切込み部が設けられたコモン電極が形成され、前記コモン電極は平面視で角部を有し、前記角部は、平面視で前記ソース電極及び前記ドレイン電極と重複しないように配置され、平面視において、前記ソース電極は、前記ゲート電極と略平行な方向に分岐する分岐部を有し、前記分岐部の前記ゲート電極と略平行な第 1 の辺は前記ドレイン電極の前記ゲート電極と略平行な第 2 の辺と対向し、対向する前記第 1 の辺と前記第 2 の辺との間の全領域は前記半導体層と重複して長手方向が前記ゲート電極と略平行なチャネル領域を形成していることを特徴とする。

【発明の効果】

【 0 0 3 1 】

本発明によれば、ゲート電極と、ソース電極とドレイン電極との間に形成されるチャネル領域とのアライメントが容易な構造を有する薄膜トランジスタアレイを提供することができる。

【発明を実施するための最良の形態】

【 0 0 3 2 】

以下、図面を参照して、本発明を実施するための最良の形態の説明を行う。

【 0 0 3 3 】

第 1 の実施の形態

図 1 は、本発明の第 1 の実施の形態に係る薄膜トランジスタアレイ 1 0 0 を例示する図である。図 1 (a) は平面図であり、図 1 (b) は図 1 (a) の A - A 線に沿う断面図である。図 1 に示す薄膜トランジスタアレイ (T F T アレイ) 1 0 0 は、絶縁基板 1 1 0 と、ゲート電極 1 2 0 と、ゲート絶縁膜 1 4 0 と、ソース電極 1 5 0 と、ドレイン電極 1 6 0 と、半導体層 1 7 0 と、チャネル領域 1 7 0 a と、を有する。又、1 5 0 a は、ソース電極 1 5 0 の分岐部を示している。又、ソース電極 1 5 0 の長手方向を X 方向、ゲート電極 1 2 0 の長手方向を Y 方向とする。図 1 に示す薄膜トランジスタアレイ 1 0 0 は、例えば、液晶表示装置等に使用することができる。

【 0 0 3 4 】

図 1 に示す薄膜トランジスタアレイ 100 において、絶縁基板 110 の上には、複数のゲート電極 120 が略一定間隔を隔てて形成されている。なお、ゲート電極 120 は、図 15 に示すような分岐部 12a を有さず、直線状に形成されている。例えば、表示装置においては、複数のゲート電極 120 は、一方向に薄膜トランジスタアレイ 100 の外に引き出された後、走査信号用のゲートドライバー IC に接続され、逐次選択信号が繰り返し供給される。

【0035】

ゲート電極 120 の上には、ゲート絶縁膜 140 が形成されている。又、ゲート絶縁膜 140 の上には、複数のソース電極 150 が略一定間隔を隔てて、複数のゲート電極 120 と平面視で交差するように形成されている。又、複数のソース電極 150 は、チャンネル領域 170a を形成するために、ソース電極 150 と略垂直方向に分岐する分岐部 150a を有する。例えば、表示装置においては、複数のソース電極 150 は、一方向に薄膜トランジスタアレイ 100 の外に引き出された後、データ信号用のドライバー IC に接続され、データ信号が供給される。又、ソース電極 150 と同一の層における、(図 1(a) を平面視した状態で) 複数のゲート電極 120 及び複数のソース電極 150 で囲われた領域には、複数のドレイン電極 160 が形成されている。例えば、表示装置においては、複数のドレイン電極 160 は、画素電極となる。更に、ソース電極 150 及びドレイン電極 160 の上には、半導体層 170 が、ソース電極 150 の分岐部 150a と略平行に形成されている。なお、各半導体層 170 は、各ソース電極 150 間のリーク電流の発生を防止するため、互いに分離されているが、少なくとも隣接する半導体層が分離されていれば、リーク電流の発生を防止できる。

【0036】

なお、本明細書、特許請求の範囲及び図面においては、例えば、表示装置において、データ信号用のドライバー IC に接続される電極をソース電極、画素電極となる電極をドレイン電極と呼ぶが、ソース電極/ドレイン電極の呼び方は、この反対でも構わず、いずれの呼び方であっても、本発明の成立性に影響を与えることはない。又、一般的な薄膜トランジスタアレイにおいて、本明細書、特許請求の範囲及び図面におけるゲート電極をゲート配線及びゲート電極(ゲート配線の一部)、ソース電極をソース配線及びソース電極(ソース配線の一部)等と呼ぶ場合もあるが、ゲート配線及びゲート電極、ソース配線及びソース電極は、それぞれ電気的には一体であり、区別する必要がないことから、本明細書、特許請求の範囲及び図面においては、ゲート配線も含めてゲート電極と、ソース配線も含めてソース電極と呼ぶ(他の実施の形態においても同様)。

【0037】

又、半導体層 170 下部のソース電極 150 の分岐部 150a とドレイン電極 160 とが対向する部分には、チャンネル領域 170a が形成されている。ゲート電極 120 は、電界をチャンネル領域 170a に印加するために、必ずチャンネル領域 170a の下部に存在する必要がある。

【0038】

このように、ゲート電極 120 が分岐部を有さず、直線状に形成され、ソース電極 150 が分岐部 150a を有し、半導体層 170 下部のソース電極 150 の分岐部 150a とドレイン電極 160 とが対向する部分に、チャンネル領域 170a が形成されていることが、図 15 に示す従来の薄膜トランジスタアレイ 10 の構造と大きく異なる、本発明の第 1 の実施形態に係る薄膜トランジスタアレイ 100 の特徴である。

【0039】

なお、ゲート絶縁膜 140 はゲート電極 120 とソース電極 150 及びドレイン電極 160 とを絶縁する役割と、ゲート電極 120 に加わった電界をソース電極 150 とドレイン電極 160 との間に形成されるチャンネル領域 170a に印加することで、薄膜トランジスタ 100 を on/off する役割を持つ。

【0040】

図 2 は、薄膜トランジスタアレイ 100 を使用する液晶表示装置 600 を簡略化して例

10

20

30

40

50

示す図である。図 2 に示す液晶表示装置 600 は、薄膜トランジスタアレイ 100 のドレイン電極 160 等が形成される側に、液晶層 610 が形成され、更に、液晶層 610 の上側に、対向電極 620 が形成される構造からなる。液晶層 610 には、複数の画素領域 611 が、所定の画素ピッチで設けられている。各画素領域 611 は、薄膜トランジスタアレイ 100 の各ドレイン電極 160 に対応する位置に形成される。各ドレイン電極 160 を画素電極として、所望の薄膜トランジスタを選択的にスイッチングすることにより、ドレイン電極 160 と対向電極 620 との間に電圧を印加し、液晶層 610 を透過する光量を調整することによって、液晶表示装置 600 が実現される。

【0041】

次に、図 1 に示す本発明の第 1 の実施形態に係る薄膜トランジスタアレイ 100 の概略の製造プロセスの例を説明する。始めに、絶縁基板 110 の上に伝導体材料からなるゲート電極 120 が形成される。図 3 は、本発明の第 1 の実施形態に係る薄膜トランジスタアレイ 100 におけるゲート電極 120 の形状を例示する図である。図 3 (a) は平面図であり、図 3 (b) は図 3 (a) の B - B 線に沿う断面図である。同図中、図 1 及び図 2 と同一部品については、同一符号を付し、その説明は省略する。図 3 において、絶縁基板 110 上にゲート電極 120 が、分岐部を有さず直線状に形成されている。又、t は、ゲート電極 120 の線幅を示している。

【0042】

ゲート電極 120 は、真空成膜した金属膜の上にフォトレジスト材を塗布し、フォトリソを介して該レジスト膜を露光し、現像したのちエッチングすることで配線となる金属膜を形成する所謂フォトレジスト法で形成することができる。又、I 法、オフセット法、グラビア法、フレキシソ法などの印刷法で形成することもできる。ゲート電極 120 の材質は Au、Ag、Al、Cu のような金属でも良いし、PEDOT/PSS のような導電性ポリマーでも構わない。

【0043】

又、ゲート電極 120 は、正確に画素ピッチの間隔で略平行に形成される。又、ゲート電極 120 は、必ずチャンネル領域 170 a 下に存在し、ゲート電界を印加し続ける必要があるため、ゲート電極 120 の線幅 t は「チャンネル長 < t < チャンネル長 + 横方向のアライメント精度」であることが条件となる。

【0044】

次いで、図 3 に示す絶縁基板 110 上に形成されたゲート電極 120 の上にゲート絶縁膜 140 が形成される。ゲート絶縁膜 140 の形成プロセスでは、絶縁膜溶液を塗布してもよいし、真空成膜により形成しても良い。ゲート絶縁膜 140 の材質は、PVP のような有機膜でも良いし、SiO₂ のような無機膜でも構わない。ゲート絶縁膜 140 は、絶縁性を高めるため、電気抵抗が高く誘電率の安定した材料を数百 nm 程度に薄く塗布する必要があるが、もし、膜厚がそれ以下の部位が存在すると、ゲート電極 120 と、ソース電極 150 及び / またはドレイン電極 160 との間に短絡が生じ、例えば、薄膜トランジスタアレイ 100 が表示装置に利用される場合には、表示に重大な欠陥をもたらすこととなる。

【0045】

次いで、ゲート絶縁膜 140 上へ、ソース電極 150 及びドレイン電極 160 が形成される。ここで、後にチャンネル領域 170 a となるソース電極 150 の分岐部 150 a とドレイン電極 160 とが対向する部分の下部に、ゲート電極 120 が存在する必要があるため、ソース電極 150 の分岐部 150 a とドレイン電極 160 とが対向する部分とゲート電極 120 の位置のアライメントが行われるが、ゲート電極 120 は、Y 方向に直線上に形成されているため、Y 方向の位置ずれは薄膜トランジスタアレイ 100 としての特性に影響を与えない。すなわち、Y 方向のアライメント精度は問題にならず、X 方向のアライメント精度のみを問題とすればよい。

【0046】

このように、X 方向及び Y 方向のアライメント精度が問題となった図 15 に示す従来の

10

20

30

40

50

薄膜トランジスタアレイ 10 に比べ、図 1 に示す薄膜トランジスタアレイ 100 は、ゲート電極 120 と、ソース電極 150 とドレイン電極 160 との間に形成されるチャンネル領域 170 a とのアライメントが容易な構造である。

【0047】

次いで、ソース電極 150 及びドレイン電極 160 の上に、ソース電極 150 及びドレイン電極 160 とを接続する半導体層 170 が形成される。これにより、ゲート電極 120 に電圧を印加すると、半導体層 170 に存在する電子（又は正孔）により、ドレイン電極 150 とソース電極 160 とが電氣的に接続される、図 1 に示す本発明の第 1 の実施形態に係る薄膜トランジスタアレイ 100 が製造される。

【0048】

なお、図 1 に示す薄膜トランジスタアレイ 100 のドレイン電極 160 と、図 15 に示す従来の薄膜トランジスタアレイ 10 のドレイン電極 16 とを比べると明らかなように、図 1 に示す薄膜トランジスタアレイ 100 のドレイン電極 160 の方が、図 15 に示す従来の薄膜トランジスタアレイ 10 のドレイン電極 16 よりも面積が大きくなっている。これは、ゲート電極 120 に分岐部を設けず、直線状に形成したことに起因する。ドレイン電極 160 の面積を大きくできると、例えば、ドレイン電極 160 にスルーホールを形成するような場合において、ドレイン電極 160 とスルーホールとの位置のアライメントが容易になる。

【0049】

このように、本発明の第 1 の実施の形態に係る薄膜トランジスタアレイ 100 によれば、ゲート電極 120 が分岐部を有さず、直線状に形成されているため、ゲート電極 120 と、ソース電極 150 とドレイン電極 160 との間に形成されるチャンネル領域 170 a、及び、ドレイン電極 160 とスルーホール、を容易にアライメントすることができる。

【0050】

第 2 の実施の形態

図 4 は、本発明の第 2 の実施の形態に係る薄膜トランジスタアレイ 200 を例示する図である。図 4 (a) は平面図であり、図 4 (b) は図 4 (a) の C - C 線に沿う断面図である。同図中、図 1 乃至図 3 と同一部品については、同一符号を付し、その説明は省略する。

【0051】

図 4 に示す薄膜トランジスタアレイ (TF T アレイ) 200 は、絶縁基板 110 と、ゲート電極 120 と、コモン電極 230 と、ゲート絶縁膜 140 と、ソース電極 150 と、ドレイン電極 160 と、半導体層 170 と、チャンネル領域 170 a と、を有する。又、150 a は、ソース電極 150 の分岐部を、230 a は、コモン電極 230 の切り込み部を示している。又、ソース電極 150 の長手方向を X 方向、ゲート電極 120 の長手方向を Y 方向とする。図 4 に示す薄膜トランジスタアレイ 200 において、図 1 に示す薄膜トランジスタアレイ 100 と異なる部分は、コモン電極 230 が、追加された点である。なお、薄膜トランジスタアレイ 200 の製造プロセスについては、薄膜トランジスタアレイ 100 と同様である。

【0052】

図 4 に示す薄膜トランジスタアレイ 200 において、絶縁基板 110 の上には、複数のゲート電極 120 が略一定間隔を隔てて形成されている。なお、ゲート電極 120 は、図 15 に示すような分岐部 12 a を有さず、直線状に形成されている。又、隣接するゲート電極 120 の間に、コモン電極 230 がゲート電極 120 と略平行に形成されている。ゲート電極 120 とコモン電極 230 について図 5 を参照して更に詳しく説明する。図 5 は、本発明の第 2 の実施形態に係る薄膜トランジスタアレイ 200 におけるゲート電極 120 とコモン電極 230 の形状を例示する図である。図 5 (a) は平面図であり、図 5 (b) は図 5 (a) の D - D 線に沿う断面図である。同図中、図 4 と同一部品については、同一符号を付し、その説明は省略する。

【0053】

図5において、絶縁基板110上にゲート電極120とコモン電極230が形成されている。図15に示す薄膜トランジスタアレイ10のように、ゲート電極12が分岐部12aを有する場合には、コモン電極は、ゲート電極12と分岐部12aとの間にパターンを通す必要があるため、分岐部12aの面積を小さくしなければコモン電極を形成することができない。しかしながら、分岐部12aの面積を小さくすると、チャネル幅が狭くなり、扱える電流量が減少するという問題が生じる。又、チャネル幅を少しでも広く取るために分岐部12aの面積を大きくすると、ゲート電極12と分岐部12aとの間隔が狭くなるため、フォトリソグラフィ法による精度のよいパターン形成が必須となり、薄膜トランジスタアレイの製造コスト上昇の要因となる。なお、印刷法を用いたパターン形成は、製造プロセスの簡略化及び低コスト化を実現できるものの、印刷精度を考慮すると、大量生産が可能な印刷方法では30μmのラインスペースを切ることは困難である。

10

【0054】

図4に示す薄膜トランジスタアレイ200では、ゲート電極120が分岐部を有さず、直線状に形成されているため、このような問題を生じることなく、コモン電極230を容易に形成することができる。又、ゲート電極と分岐部との間の狭い部分に、コモン電極のパターンを形成する必要がなく、通常100～300μm程度の間隔で形成されるゲート電極間にパターンを形成することができるため、印刷法でパターン形成することも可能となり、薄膜トランジスタアレイ200の製造コストを低減することができる。

【0055】

図5に示すコモン電極230は、ゲート電極120と同じプロセスで形成しても、異なったプロセスで形成しても構わない。コモン電極230は、ドレイン電極160に積極的に容量成分を与えるために、ゲート絶縁膜140を介してドレイン電極160とほぼ対向する位置、形状で作製される。この容量は、コモン電極230がドレイン電極160と対向する面積、ゲート絶縁膜140の膜厚及び誘電率で決定されるため、コモン電極230は、可能な限りドレイン電極160下の大きな面積を取る必要がある。反面、ソース電極150下部のコモン電極230は、ソース駆動に際し、浮遊容量として作用するため、ソース電極150下部のコモン電極230の面積は、出来るだけ小さくする必要がある。このため、図5に示すように、コモン電極230のソース電極150下部に対応する部分には、切込み部230aを設けて面積を小さくしている。

20

【0056】

例えば、表示装置においては、複数のゲート電極120は、一方向に薄膜トランジスタアレイ200の外に引き出された後、走査信号用のゲートドライバーICに接続され、逐次選択信号が繰り返し供給される。一方、コモン電極230もゲート電極120の反対方向に薄膜トランジスタアレイ200の外に引き出された後、全てのコモン電極230は1本にまとめられ、所定のコモン電圧が付与される。

30

【0057】

ゲート電極120及びコモン電極230の上には、ゲート絶縁膜140が形成されている。又、ゲート絶縁膜140の上には、複数のソース電極150が略一定間隔を隔てて、複数のゲート電極120と平面視で交差するように形成されている。又、複数のソース電極150は、チャネル領域170aを形成するために、ソース電極150と略垂直方向に分岐する分岐部150aを有する。例えば、表示装置においては、複数のソース電極150は、一方向に薄膜トランジスタアレイ200の外に引き出された後、データ信号用のドライバーICに接続され、データ信号が供給される。又、ソース電極150と同一の層における、(図4を平面視した状態で)複数のゲート電極120及び複数のソース電極150で囲われた領域には、複数のドレイン電極160が形成されている。例えば、表示装置においては、複数のドレイン電極160は、画素電極となる。更に、ソース電極150及びドレイン電極160の上には、半導体層170が、ソース電極150の分岐部150aと略平行に形成されている。なお、各半導体層170は、各ソース電極150間のリーク電流の発生を防止するため、互いに分離されているが、少なくとも隣接する半導体層が分離されていれば、リーク電流の発生を防止できる。

40

50

【 0 0 5 8 】

又、半導体層 1 7 0 下部のソース電極 1 5 0 の分岐部 1 5 0 a とドレイン電極 1 6 0 とが対向する部分には、チャンネル領域 1 7 0 a が形成されている。ゲート電極 1 2 0 は、電界をチャンネル領域 1 7 0 a に印加するために、必ずチャンネル領域 1 7 0 a の下部に存在する必要がある。

【 0 0 5 9 】

ゲート電極 1 2 0 が分岐部を有さず、直線状に形成され、ソース電極 1 5 0 が分岐部 1 5 0 a を有し、半導体層 1 7 0 下部のソース電極 1 5 0 の分岐部 1 5 0 a とドレイン電極 1 6 0 とが対向する部分に、チャンネル領域 1 7 0 a が形成されていること、及び、隣接するゲート電極 1 2 0 の間に、コモン電極 2 3 0 がゲート電極 1 2 0 と略平行に形成されていることが、本発明の第 2 の実施形態に係る薄膜トランジスタアレイ 2 0 0 の特徴である。

10

【 0 0 6 0 】

なお、ゲート絶縁膜 1 4 0 はゲート電極 1 2 0 とソース電極 1 5 0 及びドレイン電極 1 6 0 とを絶縁する役割と、ゲート電極 1 2 0 に加わった電界をソース電極 1 5 0 とドレイン電極 1 6 0 との間に形成されるチャンネル領域 1 7 0 a に印加することで、薄膜トランジスタ 2 0 0 を on / off する役割を持つ。

【 0 0 6 1 】

このように、本発明の第 2 の実施の形態に係る薄膜トランジスタアレイ 2 0 0 によれば、ゲート電極 1 2 0 が分岐部を有さず、直線状に形成されているため、チャンネル幅が狭くなって扱える電流量を減らすことなく、コモン電極 2 3 0 を形成することができる。又、印刷法でコモン電極 2 3 0 のパターンを形成することも可能となり、薄膜トランジスタアレイ 2 0 0 の製造コストを低減することができる。なお、本発明の第 2 の実施の形態の薄膜トランジスタアレイ 2 0 0 は、第 1 の実施の形態の薄膜トランジスタアレイ 1 0 0 と同様の効果を得ることができる。

20

【 0 0 6 2 】

第 3 の実施の形態

図 6 は、本発明の第 3 の実施の形態に係る薄膜トランジスタアレイ 3 0 0 を例示する図である。図 6 (a) は平面図であり、図 6 (b) は図 6 (a) の E - E 線に沿う断面図である。同図中、図 1 乃至図 5 と同一部品については、同一符号を付し、その説明は省略する。

30

【 0 0 6 3 】

図 6 に示す薄膜トランジスタアレイ (T F T アレイ) 3 0 0 は、絶縁基板 1 1 0 と、ゲート電極 1 2 0 と、コモン電極 3 3 0 と、ゲート絶縁膜 1 4 0 と、ソース電極 1 5 0 と、ドレイン電極 1 6 0 と、半導体層 1 7 0 と、チャンネル領域 1 7 0 a と、を有する。又、1 5 0 a は、ソース電極 1 5 0 の分岐部を、3 3 0 a は、コモン電極 3 3 0 の角部を示している。又、ソース電極 1 5 0 の長手方向を X 方向、ゲート電極 1 2 0 の長手方向を Y 方向とする。なお、角部は、製造条件等によって、実際には多少丸みを帯びた所謂 R 状や、面取りされたような形状になる場合も考えられるが、そのような場合も含めて、角部と表現する (他の実施の形態においても同じ) 。

40

【 0 0 6 4 】

図 6 に示す薄膜トランジスタアレイ 3 0 0 において、図 4 に示す薄膜トランジスタアレイ 2 0 0 と異なる部分は、図 4 におけるコモン電極 2 3 0 が、コモン電極 2 3 0 とは形状の異なるコモン電極 3 3 0 に置換された点である。又、3 3 0 a は、コモン電極 3 3 0 の角部を示しており、角部 3 3 0 a は、図 6 (a) 及び図 6 (b) に示すように、ソース電極 1 5 0 とドレイン電極 1 6 0 とオーバーラップしない位置に形成されている。すなわち、角部 3 3 0 a は図 6 (a) を平面視した状態でソース電極 1 5 0 及びドレイン電極 1 6 0 と重複しないように配置されている。なお、薄膜トランジスタアレイ 3 0 0 の製造プロセスについては、薄膜トランジスタアレイ 1 0 0 と同様である。

【 0 0 6 5 】

50

図 6 に示す薄膜トランジスタアレイ 300 において、絶縁基板 110 の上には、複数のゲート電極 120 が略一定間隔を隔てて形成されている。なお、ゲート電極 120 は、図 15 に示すような分岐部 12a を有さず、直線状に形成されている。又、隣接するゲート電極 120 の間に、コモン電極 330 がゲート電極 120 と略平行に形成されている。例えば、表示装置においては、複数のゲート電極 120 は、一方向に薄膜トランジスタアレイ 200 の外に引き出された後、走査信号用のゲートドライバー IC に接続され、逐次選択信号が繰り返し供給される。一方、コモン電極 330 もゲート電極 120 の反対方向に薄膜トランジスタアレイ 300 の外に引き出された後、全てのコモン電極 330 は 1 本にまとめられ、所定のコモン電圧が付与される。

【0066】

ゲート電極 120 及びコモン電極 330 の上には、ゲート絶縁膜 140 が形成されている。又、ゲート絶縁膜 140 の上には、複数のソース電極 150 が略一定間隔を隔てて、複数のゲート電極 120 と平面視で交差するように形成されている。又、複数のソース電極 150 は、チャンネル領域 170a を形成するために、ソース電極 150 と略垂直方向に分岐する分岐部 150a を有する。例えば、表示装置においては、複数のソース電極 150 は、一方向に薄膜トランジスタアレイ 300 の外に引き出された後、データ信号用のドライバー IC に接続され、データ信号が供給される。又、ソース電極 150 と同一の層における、(図 6 を平面視した状態で) 複数のゲート電極 120 及び複数のソース電極 150 で囲われた領域には、複数のドレイン電極 160 が形成されている。例えば、表示装置においては、複数のドレイン電極 160 は、画素電極となる。更に、ソース電極 150 及びドレイン電極 160 の上には、半導体層 170 が、ソース電極 150 の分岐部 150a と略平行に形成されている。なお、各半導体層 170 は、各ソース電極 150 間のリーク電流の発生を防止するため、互いに分離されているが、少なくとも隣接する半導体層が分離されていれば、リーク電流の発生を防止できる。

【0067】

又、半導体層 170 下部のソース電極 150 の分岐部 150a とドレイン電極 160 とが対向する部分には、チャンネル領域 170a が形成されている。ゲート電極 120 は、電界をチャンネル領域 170a に印加するために、必ずチャンネル領域 170a の下部に存在する必要がある。

【0068】

ここで、角部に関して説明する。図 16 は、下部電極 18 を印刷法でパターン形成した場合の一般的な形状を例示する図である。図 16 (a) は平面図であり、図 16 (b) は図 16 (a) の J-J 線に沿う断面図である。図 16 において、18 は下部電極、18a は下部電極 18 の角部、19 は絶縁膜、20 は上部電極、d は下部電極 18 と上部電極 20 との間の絶縁膜 19 の最も薄い部分の膜厚を示しており、下部電極 18 と上部電極 20 とが、絶縁膜 19 を介して形成されている。又、下部電極 18 の角部 18a は凸部となっている。

【0069】

又、図 17 は、図 15 における下部電極であるゲート電極 12 を印刷法でパターン形成した場合の高さの傾向を例示する図である。同図中、図 15 と同一部品については、同一符号を付し、その説明は省略する。図 17 において、12b はゲート電極 12 の角部を示しており、ゲート電極 12 が図 16 における下部電極 18 に相当し、ゲート電極 12 の角部 12b が図 16 における下部電極 18 の角部 18a に相当する。ゲート電極 12 の角部 12b は凸部となっている。

【0070】

印刷法によるパターン形成においては、必ず溶剤の乾燥工程を含むが、乾燥時の溶剤蒸気圧はパターンの非対称性から全面均一に保つのは難しく、下部電極 18 を印刷法でパターン形成した場合は、図 16 (b) に示すように、断面形状に不均一性をもたらす。これは蒸気圧の違いにより乾燥状態の不均一性を生じ、先に乾燥した部位に固化物が集まってくる、所謂コーヒースティン現象によると考えられ、蒸気圧のコントロールが難しいため

10

20

30

40

50

、ある程度の発生は考慮しなければならない。図 17 に示すように、ゲート電極 12 の角部 12b のような外側に曲がる部分（角度が 180 度よりも小さい部分）は断面形状が凸部となり、内側に曲がる部分（角度が 180 度よりも大きい部分）は断面形状が凹部となるため、ゲート電極 12 の角部 12b のような外側に曲がる部分（角度が 180 度よりも小さい部分）について、特に注意が必要である。

【0071】

コーヒーステイン現象による断面形状の盛り上がりは図 17 に示すように、その蒸気圧のばらつきの大きくなる配線の角部（図 17 ではゲート電極 12 の角部 12b）に集中する傾向がある。断面形状の盛り上がりが生じる部分は、角部を形成する 2 つの辺（平面視）の交点（頂点）から、およそ 10 μm 程度の範囲である。角部に盛り上がりが生じると、図 16（b）の d に示すように、下部電極 18（図 17 ではゲート電極 12）と上部電極 20（図 17 ではソース電極 15 とドレイン電極 16）との間の絶縁膜 19（図 17 ではゲート絶縁膜 14）の膜厚が確保できなくなり、下部電極 18（図 17 ではゲート電極 12）と上部電極 20（図 17 ではソース電極 15 とドレイン電極 16）との間の短絡もしくは絶縁不良を引き起こす大きな要因となる。

【0072】

又、ゲート電極 12 が、チャネル領域 17a にできるだけ強い電界を印加できるように、絶縁膜 14 はできるだけ薄く形成される傾向にあり、このことも、短絡もしくは絶縁不良の観点からは、不利に働く。従って、印刷法により下部電極のパターン形成をする場合には、下部電極には角部は出来るだけ作らないことが望ましい。本発明の第 3 の実施形態では、ゲート電極 120 は、図 15 に示すような分岐部 12a を有さず、直線状に形成されているため、角部を有さず、断面形状の盛り上がりの問題は生じない。従って、ゲート電極 120 は、印刷法でも容易に形成することができる。

【0073】

しかしながら、図 4 及び図 5 において説明したように、コモン電極 230 はその容量を稼ぎたいため出来るだけ面積を大きくすることが望ましいが、コモン電極 230 のソース電極 150 下部の部分は、ソース駆動に際し、浮遊容量として作用するため、この部分の面積は、出来るだけ小さくする必要がある。このため、図 4 及び図 5 に示すように、ソース電極 150 下部に対応する部分のコモン電極 230 は、切込み部 230a を設けて面積を小さくしている。このように、コモン電極 230 に切込み部 230a を設けた結果、コモン電極 230 には必然的に角部が作られる。図 6 に示す薄膜トランジスタアレイ 300 におけるコモン電極 330 についても同様の理由により角部 330a が作られる。

【0074】

図 6 に示す薄膜トランジスタアレイ 300 において、ゲート電極 120 は直線状に形成されており分岐部を有さないため角部が存在しない。そのため、ゲート電極 120 には不要な凸部がなく、ゲート電極 120 を印刷法で形成する場合においても、上述のような絶縁不良は生じにくい構造である。しかしながら、上述のように、コモン電極 330 には必然的に角部 330a が存在し、コモン電極 330 を印刷法で形成場合には、角部 330a に盛り上がりが生じる。その結果、コモン電極 330 の上部電極であるソース電極 150 とドレイン電極 160 が、コモン電極 330 の角部 330a とオーバーラップする位置（平面視で重なる位置）に形成されている場合には、コモン電極 330 とソース電極 150 及び / またはドレイン電極 160 とが絶縁不良を生じるおそれがある。

【0075】

そこで、薄膜トランジスタアレイ 300 では、コモン電極 330 の角部 330a を、ソース電極 150 とドレイン電極 160 とオーバーラップしない位置（図 6（a）を平面視して重ならない位置）に形成した。なお、前述のように、断面形状の盛り上がりが生じる部分は、角部を形成する 2 つの辺（平面視）の交点（頂点）から、およそ 10 μm 程度の範囲であるから、コモン電極 330 の角部 330a が配置される部分のソース電極 150 とドレイン電極 160 との（平面視における）間隔は、アライメントずれ等も考慮して、例えば、数十 μm 程度は確保する必要がある。

【 0 0 7 6 】

このようにすることで、絶縁不良をおこす危険をなくすることができる。効果を確認するために、コモン電極 3 3 0 の角部 3 3 0 a を、ソース電極 1 5 0 とモドレイン電極 1 6 0 とモオーバーラップしない位置（図 6（a）を平面視して重ならない位置）に印刷法で形成したサンプルと、コモン電極 3 3 0 の角部 3 3 0 a を、ソース電極 1 5 0 又はモドレイン電極 1 6 0 とオーバーラップする位置（図 6（a）を平面視して重なる位置）に印刷法で形成したサンプルを作成し、耐電圧試験を実施した。図 7 は、耐電圧試験の結果を例示する図であり、絶縁耐圧と故障頻度との関係を示している。

【 0 0 7 7 】

図 7 に示すように、コモン電極 3 3 0 の角部 3 3 0 a を、ソース電極 1 5 0 とモドレイン電極 1 6 0 とモオーバーラップしない位置（図 6（a）を平面視して重ならない位置）に形成したサンプル（図 7 の「角部 3 3 0 a 上に上部電極なし」）は、コモン電極 3 3 0 の角部 3 3 0 a を、ソース電極 1 5 0 又はモドレイン電極 1 6 0 とオーバーラップする位置（図 6（a）を平面視して重なる位置）に形成したサンプル（図 7 の「角部 3 3 0 a 上に上部電極あり」）に比べて、耐電圧が大きく改善されており、リークが発生しにくくなっていることが確認された。

【 0 0 7 8 】

このように、本発明の第 3 の実施の形態に係る薄膜トランジスタアレイ 3 0 0 によれば、コモン電極 3 3 0 の角部 3 3 0 a を、ソース電極 1 5 0 とモドレイン電極 1 6 0 とモオーバーラップしない位置（平面視で重ならない位置）に形成するため、コモン電極 3 3 0 とソース電極 1 5 0 及び / 又はモドレイン電極 1 6 0 との間の耐電圧が大きく改善され、リークの発生を低減することができる。なお、本発明の第 3 の実施の形態の薄膜トランジスタアレイ 3 0 0 は、第 1 の実施の形態の薄膜トランジスタアレイ 1 0 0 及び第 2 の実施の形態の薄膜トランジスタアレイ 2 0 0 と同様の効果を得ることができる。

【 0 0 7 9 】

第 4 の実施の形態

図 8 は、本発明の第 4 の実施の形態に係る薄膜トランジスタアレイ 4 0 0 を例示する図である。図 8（a）は平面図であり、図 8（b）は図 8（a）の F - F 線に沿う断面図である。同図中、図 1 乃至図 7 と同一部品については、同一符号を付し、その説明は省略する。

【 0 0 8 0 】

図 8 に示す薄膜トランジスタアレイ（TF T アレイ）4 0 0 は、絶縁基板 1 1 0 と、ゲート電極 1 2 0 と、コモン電極 3 3 0 と、ゲート絶縁膜 1 4 0 と、ソース電極 4 5 0 と、モドレイン電極 4 6 0 と、半導体層 4 7 0 と、チャンネル領域 4 7 0 a と、を有する。又、4 5 0 a は、ソース電極 4 5 0 の分岐部を示している。又、ソース電極 4 5 0 の長手方向を X 方向、ゲート電極 1 2 0 の長手方向を Y 方向とする。図 1、図 4 及び図 6 に示す薄膜トランジスタアレイ 1 0 0、薄膜トランジスタアレイ 2 0 0 及び薄膜トランジスタアレイ 3 0 0 とは、ソース電極 4 5 0 とモドレイン電極 4 6 0 との間に形成されるチャンネル 4 7 0 a の形状が異なる。なお、薄膜トランジスタアレイ 4 0 0 の製造プロセスについては、薄膜トランジスタアレイ 1 0 0 と同様である。

【 0 0 8 1 】

図 8 に示す薄膜トランジスタアレイ 4 0 0 において、絶縁基板 1 1 0 の上には、複数のゲート電極 1 2 0 が略一定間隔を隔てて形成されている。なお、ゲート電極 1 2 0 は、図 1 0 に示すような分岐部を有さず、直線状に形成されている。又、隣接するゲート電極 1 2 0 の間に、コモン電極 3 3 0 がゲート電極 1 2 0 と略平行に形成されている。例えば、表示装置においては、複数のゲート電極 1 2 0 は、一方向に薄膜トランジスタアレイ 4 0 0 の外に引き出された後、走査信号用のゲートドライバー IC に接続され、逐次選択信号が繰り返し供給される。一方、コモン電極 3 3 0 もゲート電極 1 2 0 の反対方向に薄膜トランジスタアレイ 4 0 0 の外に引き出された後、全てのコモン電極 3 3 0 は 1 本にまとめられ、所定のコモン電圧が付与される。

【 0 0 8 2 】

ゲート電極 1 2 0 及びコモン電極 3 3 0 の上には、ゲート絶縁膜 1 4 0 が形成されている。又、ゲート絶縁膜 1 4 0 の上には、複数のソース電極 4 5 0 が略一定間隔を隔てて、複数のゲート電極 1 2 0 と平面視で交差するように形成されている。又、複数のソース電極 4 5 0 は、チャンネル領域 4 7 0 a を形成するために、ソース電極 4 5 0 と略垂直方向に分岐する分岐部 4 5 0 a を有する。例えば、表示装置においては、複数のソース電極 4 5 0 は、一方向に薄膜トランジスタアレイ 4 0 0 の外に引き出された後、データ信号用のドライバー IC に接続され、データ信号が供給される。

【 0 0 8 3 】

又、ソース電極 4 5 0 と同一の層における、（図 8 を平面視した状態で）複数のゲート電極 1 2 0 及び複数のソース電極 4 5 0 で囲われた領域には、複数のドレイン電極 4 6 0 が形成されている。例えば、表示装置においては、複数のドレイン電極 4 6 0 は、画素電極となる。更に、ソース電極 4 5 0 及びドレイン電極 4 6 0 の上には、半導体層 4 7 0 が、ソース電極 4 5 0 の分岐部 4 5 0 a と略平行に形成されている。なお、各半導体層 4 7 0 は、各ソース電極 4 5 0 間のリーク電流の発生を防止するため、互いに分離されているが、少なくとも隣接する半導体層が分離されていれば、リーク電流の発生を防止できる。又、半導体層 4 7 0 下部のソース電極 4 5 0 の分岐部 4 5 0 a とドレイン電極 4 6 0 とが対向する部分には、チャンネル領域 4 7 0 a が形成されている。ゲート電極 1 2 0 は、電界をチャンネル領域 4 7 0 a に印加するために、必ずチャンネル領域 4 7 0 a の下部に存在する必要がある。

【 0 0 8 4 】

図 8 に示す薄膜トランジスタアレイ（TF T アレイ）4 0 0 において、薄膜トランジスタアレイ（TF T アレイ）4 0 0 に流せる電流量を大きくするために、ソース電極 4 5 0 とドレイン電極 4 6 0 とが対向する部分には、それぞれ、凹部と凸部とが交互に連続してなる、くし歯状のパターンが形成されており、ドレイン電極 4 5 0 のくし歯状のパターンと、ソース電極 4 6 0 のくし歯状のパターンの凹部と凸部とが互いに間挿し合う形状のチャンネル領域 4 7 0 a が形成されている。この際、ソース電極 4 5 0 のくし歯状のパターンはソース電極 4 5 0 の分岐部 4 5 0 a に形成され、分岐部 4 5 0 a を除くソース電極 4 5 0 には不必要な括れ（凹凸）が形成されないため、余分な電流集中箇所が生じることはなく、又、ドレイン電極 4 6 0 の面積を小さくすることもない。

【 0 0 8 5 】

なお、くし歯状のパターンは、電流量を大きくするために、凹部と凸部とが互いに間挿し合う形状であることが重要であり、図 8 に示すパターン形状以外のパターン形状としても良い。例えば、三角型や台形型等の形状を有するパターンがソース電極 4 5 0 及びドレイン電極 4 6 0 に形成されており、それらが、互いに間挿し合う形状としても構わない。

【 0 0 8 6 】

このように、本発明の第 4 の実施の形態に係る薄膜トランジスタアレイ 4 0 0 によれば、ソース電極 4 5 0 とドレイン電極 4 6 0 の対向する部分にくし歯状のパターンを形成し、それぞれのくし歯状のパターンの凹部と凸部とが互いに間挿し合う形状にすることにより、チャンネル領域 4 7 0 a の実効チャンネル幅を長く取ることが可能となるため、薄膜トランジスタアレイ 4 0 0 に流せる電流量を大きくすることができる。なお、本発明の第 4 の実施の形態の薄膜トランジスタアレイ 4 0 0 は、第 1 の実施の形態の薄膜トランジスタアレイ 1 0 0、第 2 の実施の形態の薄膜トランジスタアレイ 2 0 0、第 3 の実施の形態の薄膜トランジスタアレイ 3 0 0 と同様の効果を得ることができる。

【 0 0 8 7 】

第 5 の実施の形態

図 9 は、本発明の第 5 の実施の形態に係る薄膜トランジスタアレイ 5 0 0 を例示する図である。図 9（a）は平面図であり、図 9（b）は図 9（a）の G - G 線に沿う断面図である。同図中、図 1 乃至図 8 と同一部品については、同一符号を付し、その説明は省略する。

【0088】

図9に示す薄膜トランジスタアレイ(TFTアレイ)500は、絶縁基板110と、ゲート電極520と、コモン電極530と、ゲート絶縁膜140と、ソース電極150と、ドレイン電極560と、第1の半導体層170と、第2の半導体層570と、第1のチャネル領域170aと、第2のチャネル領域570aと、を有する。又、150aはソース電極150の分岐部を、520aはゲート電極520の分岐部を、530aはコモン電極530の角部を示している。又、ソース電極150の長手方向をX方向、ゲート電極520の長手方向をY方向とする。

【0089】

図1、図4、図6及び図8に示す薄膜トランジスタアレイ100、薄膜トランジスタアレイ200、薄膜トランジスタアレイ300、及び、薄膜トランジスタアレイ400とは、ソース電極150とドレイン電極560とが、新たに第2の半導体層570で接続され、新たに第2のチャネル570aが設けられた点異なる。又、第2のチャネル570aを設けるため、ゲート電極520は、ゲート電極120とは異なる形状になっており、分岐部520aを有する。又、ドレイン電極560は、第2のチャネル570aを設けるため、ドレイン電極160及び460とは異なる形状になっている。なお、薄膜トランジスタアレイ500の製造プロセスについては、薄膜トランジスタアレイ100と同様である。

【0090】

図9に示す薄膜トランジスタアレイ500において、絶縁基板110の上には、複数のゲート電極520が略一定間隔を隔てて形成されている。なお、ゲート電極520は、分岐部520aを有している。又、隣接するゲート電極520の間に、コモン電極530がゲート電極520と略平行に形成されている。例えば、表示装置においては、複数のゲート電極520は、一方向に薄膜トランジスタアレイ500の外に引き出された後、走査信号用のゲートドライバーICに接続され、逐次選択信号が繰り返し供給される。一方、コモン電極530もゲート電極520の反対方向に薄膜トランジスタアレイ500の外に引き出された後、全てのコモン電極530は1本にまとめられ、所定のコモン電圧が付与される。

【0091】

ゲート電極520とコモン電極530について、図10を参照して更に詳しく説明する。図10は、本発明の第5の実施形態に係る薄膜トランジスタアレイ500におけるゲート電極520とコモン電極530の形状を例示する図である。図10(a)は平面図であり、図10(b)は図10(a)のH-H線に沿う断面図である。同図中、図9と同一部品については、同一符号を付し、その説明は省略する。

【0092】

図10において、絶縁基板110上にゲート電極520とコモン電極530が形成されている。ゲート電極520の分岐部520aは、第2のチャネル領域570aと対向する位置に形成される。又、コモン電極530を形成するためには、ゲート電極520と分岐部520aとの間にパターンを通す必要があるため、分岐部520aの面積は制限される。なお、コモン電極530の角部530aは、ドレイン電極560と(図9(a)を平面視した状態で)オーバーラップする位置に形成されている。従って、第3の実施の形態で説明した、絶縁不良の問題が生じる恐れがあるため、コモン電極530は、フォトリソグラフィ法で形成することが望ましい。

【0093】

ゲート電極520及びコモン電極530の上には、ゲート絶縁膜140が形成されている。又、ゲート絶縁膜140の上には、複数のソース電極150が略一定間隔を隔てて、複数のゲート電極520と平面視で交差するように形成されている。又、複数のソース電極150は、チャネル領域170aを形成するために、ソース電極150と略垂直方向に分岐する分岐部150aを有する。例えば、表示装置においては、複数のソース電極150は、一方向に薄膜トランジスタアレイ500の外に引き出された後、データ信号用のド

ライバー IC に接続され、データ信号が供給される。

【 0 0 9 4 】

又、ソース電極 1 5 0 と同一の層における、(図 9 を平面視した状態で) 複数のゲート電極 5 2 0 及び複数のソース電極 1 5 0 で囲われた領域には、複数のドレイン電極 5 6 0 が形成されている。例えば、表示装置においては、複数のドレイン電極 5 6 0 は、画素電極となる。更に、ソース電極 1 5 0 及びドレイン電極 5 6 0 の上には、第 1 の半導体層 1 7 0 が、ソース電極 1 5 0 の分岐部 1 5 0 a と略平行に形成され、第 2 の半導体層 5 7 0 が、ソース電極 1 5 0 と略平行に形成されている。なお、各第 1 の半導体層 1 7 0 及び各第 2 の半導体層 5 7 0 は、各ソース電極 1 5 0 間のリーク電流の発生を防止するため、互いに分離されているが、少なくとも隣接する半導体層が分離されていれば、リーク電流の発生を防止できる。

10

【 0 0 9 5 】

又、第 2 の半導体層 5 7 0 下部のソース電極 1 5 0 とドレイン電極 5 6 0 とが対向する部分には、チャンネル領域 5 7 0 a が形成されている。ゲート電極 5 2 0 は、電界を第 1 のチャンネル領域 1 7 0 a 及び第 2 のチャンネル領域 5 7 0 a に印加するために、必ず第 1 のチャンネル領域 1 7 0 a 及び第 2 のチャンネル領域 5 7 0 a の下部に存在する必要がある。

【 0 0 9 6 】

又、図 9 に示す薄膜トランジスタアレイ 5 0 0 は、2 つのチャンネル領域を有するが、ソース電極 1 5 0 を印刷法で形成する場合には、2 つのチャンネルが近づく部分 (ドレイン電極 5 6 0 の、平面視で第 1 のチャンネル領域 1 7 0 a に接する辺と、平面視で第 2 のチャンネル領域 5 7 0 a に接する辺との交点部分) においてソース電極 1 5 0 とドレイン電極 5 6 0 が短絡を起こす恐れがあり、注意を要する。図 1 1 を参照しながら注意点について説明する。図 1 1 は、印刷法で形成されたパターンの角部の様子を説明するための図である。同図中、図 9 と同一部品については、同一符号を付し、その説明は省略する。一般に、印刷法で形成されたパターンにおける直角部 (略直角に形成しようとする部分) は、印刷直後の液状時の表面張力により直角とはならず、丸みを帯びた所謂 R 状になることが知られている。

20

【 0 0 9 7 】

図 1 1 (a) は、印刷法で形成されたソース電極 1 5 0 の角部 1 5 0 b が、印刷直後の液状時の表面張力により直角とはならず、R 状になる様子を模式的に示している。ソース電極 1 5 0 の角部 1 5 0 b が R 状になると、ドレイン電極 5 6 0 との距離 d が極端に近くなり (すなわち、この部分のチャンネル長が極端に短くなり) 、最悪の場合は、ソース電極 1 5 0 とドレイン電極 5 6 0 は短絡を起こす恐れがある。そこで、図 1 1 (b) に示すように、ソース電極 1 5 0 の角部 1 5 0 b と短絡を起こす恐れのあるドレイン電極 5 6 0 の一部分には、第 1 のチャンネル領域 1 7 0 a のチャンネル幅及び第 2 のチャンネル領域 5 7 0 a のチャンネル幅よりも広い、パターンを形成しないパターン未形成領域 5 6 0 a を設けている。パターン未形成領域 5 6 0 a を設けることで、ソース電極 1 5 0 とドレイン電極 5 6 0 が短絡を起こす恐れを排除することができる。なお、ソース電極 1 5 0 とドレイン電極 5 6 0 が短絡を起こす恐れを排除するために、パターン未形成領域 5 6 0 a を設けることは、薄膜トランジスタアレイ 1 0 0 ~ 4 0 0 にも適用することができる。

30

40

【 0 0 9 8 】

このように、本発明の第 5 の実施の形態に係る薄膜トランジスタアレイ 5 0 0 によれば、ゲート電極に分岐部 5 2 0 a を設け、第 1 のチャンネル 1 7 0 a に加えて及第 2 のチャンネル領域 5 7 0 a を形成することによって、実効チャンネル幅を増やすことが可能となるため、薄膜トランジスタアレイ (T F T アレイ) 5 0 0 に流せる電流量を大きくすることができる。又、ソース電極 1 5 0 とドレイン電極 5 6 0 の第 1 のチャンネル 1 7 0 a 及び / 又は第 2 のチャンネル 5 7 0 a が形成される部分に、図 8 に示すように、それぞれ、凹部と凸部とが交互に連続してなるくし歯状のパターンを形成し、ソース電極 1 5 0 のくし歯状のパターンと、ドレイン電極 5 6 0 のくし歯状のパターンの凹部と凸部とが互いに間挿し合う形状にすることにより、実効チャンネル幅を更に増やすことが可能となるため、薄膜トラン

50

ジスタアレイ（ＴＦＴアレイ）５００に流せる電流量を更に大きくすることができる。更に、ドレイン電極５６０の一部にパターン未形成領域５６０ａを設けることで、ソース電極１５０とドレイン電極５６０が短絡を起こす恐れを排除することができる。

【００９９】

なお、本発明の第５の実施の形態の薄膜トランジスタアレイ５００は、第１の実施の形態の薄膜トランジスタアレイ１００、第２の実施の形態の薄膜トランジスタアレイ２００、第３の実施の形態の薄膜トランジスタアレイ３００、第４の実施の形態の薄膜トランジスタアレイ４００と同様の効果を得ることができる。なお、ゲート電極５２０にＸ方向に分岐する分岐部５２０ａを設けているために、Ｙ方向のアライメントずれが生じた場合には、チャンネル領域１７０ａに対しては、影響はないが、チャンネル領域５７０ａに対しては、影響を与える。しかし、チャンネル領域１７０ａはチャンネル領域５７０ａよりも面積が大きく薄膜トランジスタアレイ５００の特性に寄与する部分が多いため、チャンネル領域５７０ａのみに対するアライメントずれの影響は、全チャンネル領域１７０ａがアライメントずれの影響を受ける従来の薄膜トランジスタアレイ１０と比較すると小さく抑えられると考えられる。

【０１００】

第６の実施の形態

本発明に係る薄膜トランジスタアレイは、例えば、画像表示素子の表示状態を制御するスイッチング素子（制御素子）として用いることで、表示装置を実現することができる。又、画像表示素子としては、例えば、ポリマー分散型液晶等の液晶、電気泳動、有機ＥＬ等の方式を用いることができる。第６の実施の形態では、本発明に係る薄膜トランジスタアレイを利用した表示装置の一例として、電気泳動型の画像表示素子を用いた表示装置について説明する。

【０１０１】

図１２は、本発明に係る薄膜トランジスタアレイ１００を利用した表示装置７００の例を示す断面図である。同図中、図１と同一部品については、同一符号を付し、その説明は省略する。図１２に示す表示装置７００は、マイクロカプセル７１０、対向基板７２０、透明電極７３０、ＰＶＡバインダー７４０から構成されている。図１２に示す表示装置７００において、マイクロカプセル７１０は酸化チタン粒子７１１とオイルブルーで着色したアイソパー７１２を内包する電気泳動表示素子、対向基板７２０は例えばポリエチレンナフタレート等からなり絶縁基板１１０に対向する基板、透明電極７３０は例えばＩＴＯ（Indium-Tin Oxide）等からなる光透過性を持つ電極、ＰＶＡバインダー７４０は、ポリビニルアルコール（ＰＶＡ）水溶液を混合した塗布液である。

【０１０２】

図１２に示す表示装置７００は、例えば、マイクロカプセル７１０と、ＰＶＡバインダー７４０を、対向基板７２０上に設けられた透明電極７３０上に塗布して、マイクロカプセル７１０及びＰＶＡバインダー７４０からなる層を形成し、マイクロカプセル７１０及びＰＶＡバインダー７４０からなる層が形成された対向基板７２０と、本発明に係る薄膜トランジスタアレイ１００とを、絶縁基板１１０及び対向基板７２０が最外面となるように接着させることにより、作製することができる。

【０１０３】

図１２に示す表示装置７００において、ゲート電極１２０に走査信号用のドライバーＩＣを、ソース電極１５０にデータ信号用のドライバーＩＣを各々接続することにより、画像表示を行うことができる。なお、表示色材料はどのような色でも構わない。又、第６の実施の形態では、薄膜トランジスタアレイ１００を画素表示素子と組み合わせることで、表示装置を実現する例について説明したが、本発明に係る薄膜トランジスタアレイであれば、薄膜トランジスタアレイ２００等の他の薄膜トランジスタアレイと組み合わせても構わない。

【０１０４】

このように、本発明の第６の実施の形態によれば、本発明に係る薄膜トランジスタアレイ

イ 1 0 0 と画素表示素子とを組み合わせることで、表示装置を実現することができる。

【 0 1 0 5 】

更に、本発明に係る薄膜トランジスタアレイを利用した表示装置を表示媒体として用いることにより、例えば、デジタルペーパーやポケット P C のようなコンピューター等の情報表示システムを実現することができる。図 1 3 は、本発明に係る薄膜トランジスタアレイを利用した表示装置を表示媒体として用いたデジタルペーパーの例を示す模式図である。図 1 4 は、本発明に係る薄膜トランジスタアレイを利用した表示装置を表示媒体として用いたポケット P C の例を示す模式図である。図 1 3 及び図 1 4 は本発明に係る薄膜トランジスタアレイを利用した表示装置を表示媒体として用いる場合の、応用例を説明するための模式図であり、これらに限定されることなく、本発明に係る薄膜トランジスタアレイは、例えば複写機の表示媒体や、自動車や飛行機などの移動交通媒体のシート部やフロントガラス面などに埋め込む表示媒体や、スーパーなどで価格を表示するタグ等に用いることができる。

10

【 0 1 0 6 】

以上、本発明の好ましい実施の形態について詳説したが、本発明は、上述した実施の形態に制限されることはなく、本発明の範囲を逸脱することなく、上述した実施の形態に種々の変形及び置換を加えることができる。

【 0 1 0 7 】

例えば、本発明の各実施の形態においては、絶縁基板上にゲート電極、ゲート絶縁膜、ソース電極及びドレイン電極が順次積層されたボトムゲート型の薄膜トランジスタアレイを例に説明をしたが、絶縁基板上にソース電極及びドレイン電極、ゲート絶縁膜、ゲート電極が順次積層されたトップゲート型の薄膜トランジスタアレイにも適用することができる。

20

【図面の簡単な説明】

【 0 1 0 8 】

【図 1】本発明の第 1 の実施の形態に係る薄膜トランジスタアレイ 1 0 0 を例示する図である。

【図 2】薄膜トランジスタアレイ 1 0 0 を使用する液晶表示装置 6 0 0 を簡略化して例示する図である。

【図 3】本発明の第 1 の実施形態に係る薄膜トランジスタアレイ 1 0 0 におけるゲート電極 1 2 0 の形状を例示する図である。

30

【図 4】本発明の第 2 の実施の形態に係る薄膜トランジスタアレイ 2 0 0 を例示する図である。

【図 5】本発明の第 2 の実施形態に係る薄膜トランジスタアレイ 2 0 0 におけるゲート電極 1 2 0 とコモン電極 2 3 0 の形状を例示する図である。

【図 6】本発明の第 3 の実施の形態に係る薄膜トランジスタアレイ 3 0 0 を例示する図である。

【図 7】耐圧試験の結果を例示する図である。

【図 8】本発明の第 4 の実施の形態に係る薄膜トランジスタアレイ 4 0 0 を例示する図である。

40

【図 9】本発明の第 5 の実施の形態に係る薄膜トランジスタアレイ 5 0 0 を例示する図である。

【図 1 0】本発明の第 5 の実施形態に係る薄膜トランジスタアレイ 5 0 0 におけるゲート電極 5 2 0 とコモン電極 5 3 0 の形状を例示する図である。

【図 1 1】印刷法で形成されたパターンの角部の様子を説明するための図である。

【図 1 2】本発明に係る薄膜トランジスタアレイ 1 0 0 を利用した表示装置 7 0 0 の例を示す断面図である。

【図 1 3】本発明に係る薄膜トランジスタアレイを利用した表示装置を表示媒体として用いたデジタルペーパーの例を示す模式図である。

【図 1 4】本発明に係る薄膜トランジスタアレイを利用した表示装置を表示媒体として用

50

いたポケットPCの例を示す模式図である。

【図15】従来の薄膜トランジスタアレイ10を例示する図である。

【図16】下部電極18を印刷法でパターン形成した場合の一般的な形状を例示する図である。

【図17】図15における下部電極であるゲート電極12を印刷法でパターン形成した場合の高さの傾向を例示する図である。

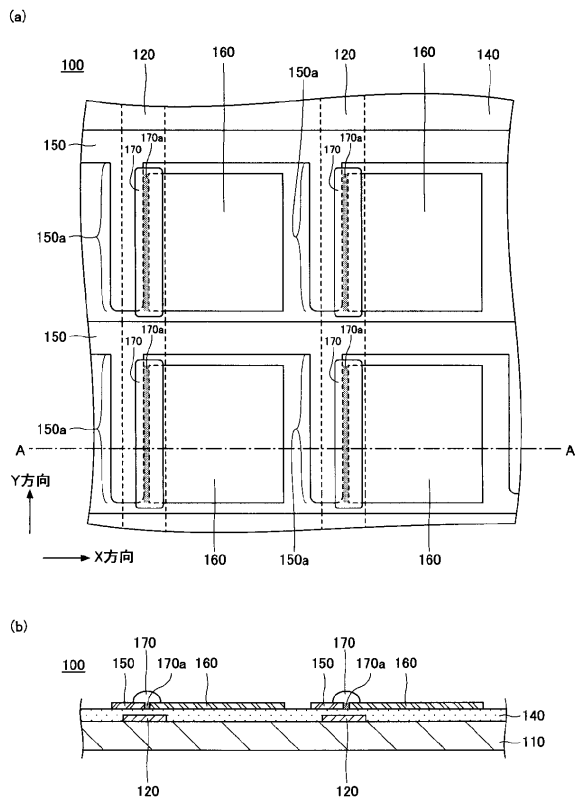
【符号の説明】

【0109】

11、110	絶縁基板	
12、120、520	ゲート電極	10
12a	ゲート電極12の分岐部	
12b	ゲート電極12の角部	
14、140	ゲート絶縁膜	
15、150、450	ソース電極	
16、160、460、560	ドレイン電極	
17、170	半導体層	
17a、170a	チャンネル領域	
18	下部電極	
18a	下部電極18の角部	
19	絶縁膜	20
20	上部電極	
10、100、200、300、400、500	薄膜トランジスタアレイ	
150a	ソース電極150の分岐部	
150b	ソース電極150の角部	
230、330、530	コモン電極	
230a	コモン電極230の切り込み部	
330a	コモン電極330の角部	
420a	ゲート電極420の分岐部	
450a	ソース電極450の分岐部	
470	第2の半導体層	30
520a	ゲート電極520の分岐部	
530a	コモン電極530の角部	
560a	パターン未形成領域	
570a	第2のチャンネル領域	
600	液晶表示装置	
610	液晶層	
611	画素領域	
620	対向電極	
700	表示装置	
710	マイクロカプセル	40
711	酸化チタン粒子	
712	オイルブルーで着色したアイソパー	
720	対向基板	
730	透明電極	
740	PVAバインダー	
d	下部電極18と上部電極20との間の絶縁膜19の膜厚の最小値	
t	ゲート電極120の線幅	

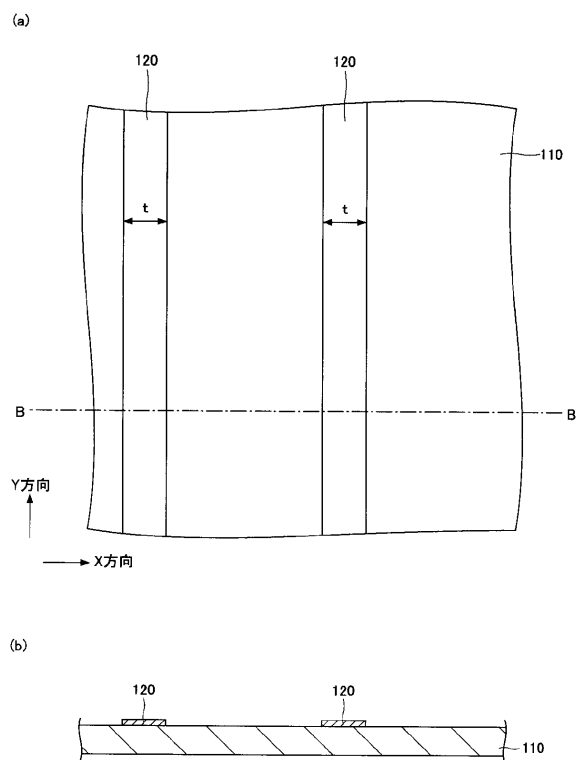
【圖 1】

本発明の第1の実施の形態に係る薄膜トランジスタアレイ100を例示する図



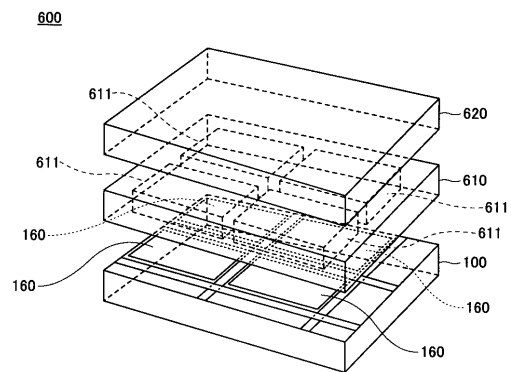
【圖 3】

本発明の第1の実施形態に係る薄膜トランジスタレイ100における
ゲート電極120の形状を例示する図



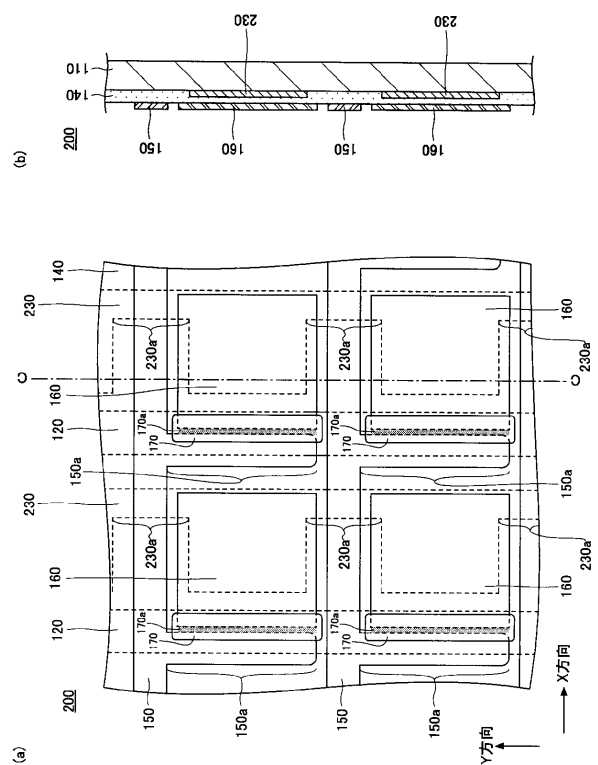
【 図 2 】

薄膜トランジスタアレイ100を使用する
液晶表示装置600を簡略化して例示する図



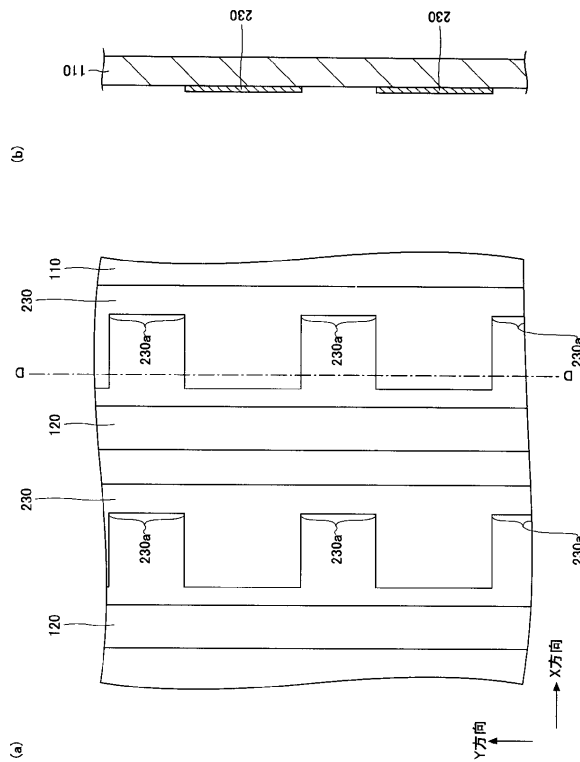
【 図 4 】

本発明の第2の実施の形態に係る薄膜トランジスタアレイ200を例示する図



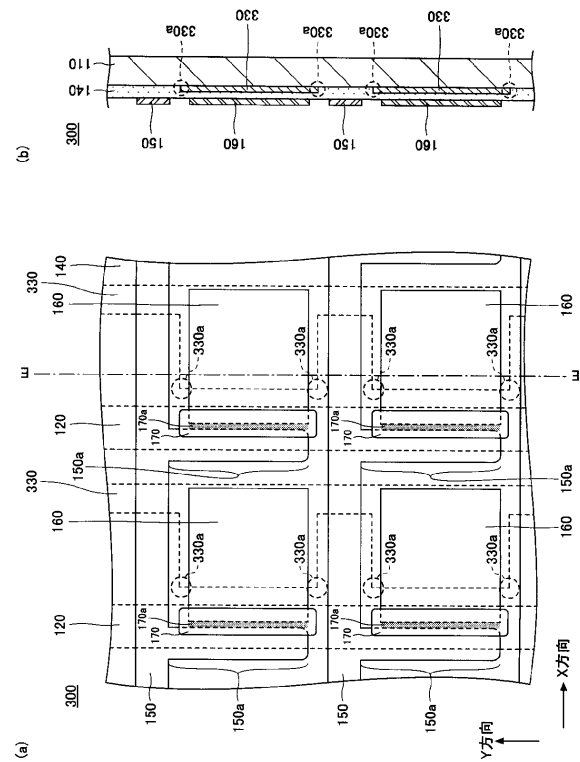
【図 5】

本発明の第2の実施形態に係る薄膜トランジスタアレイ200におけるゲート電極120と共通電極230の形状を例示する図



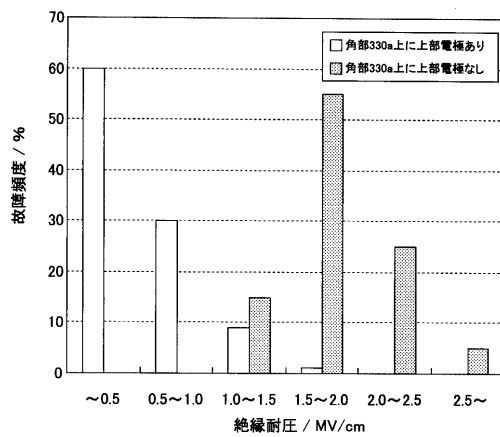
【図 6】

本発明の第3の実施形態に係る薄膜トランジスタアレイ300を例示する図



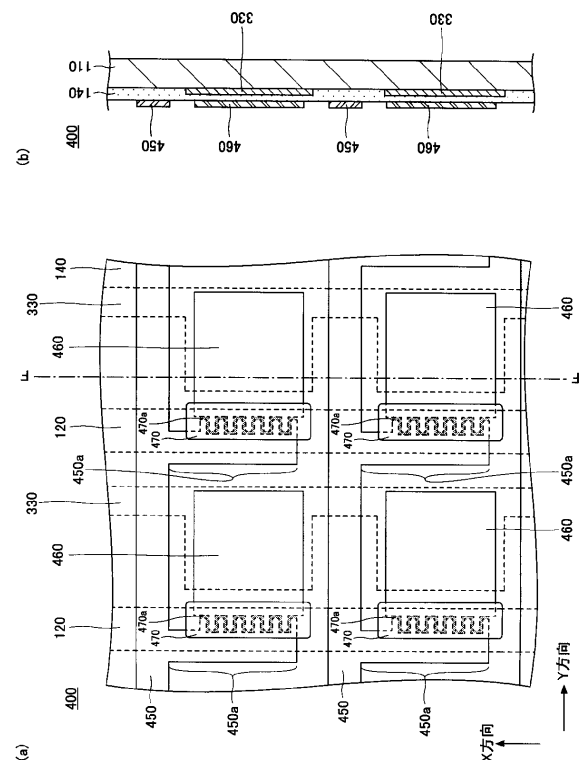
【図 7】

耐圧試験の結果を例示する図



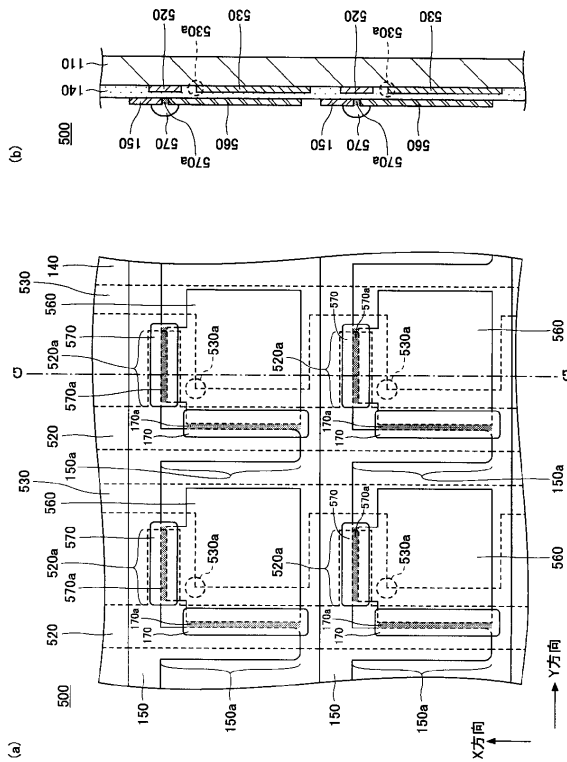
【図 8】

本発明の第4の実施形態に係る薄膜トランジスタアレイ400を例示する図



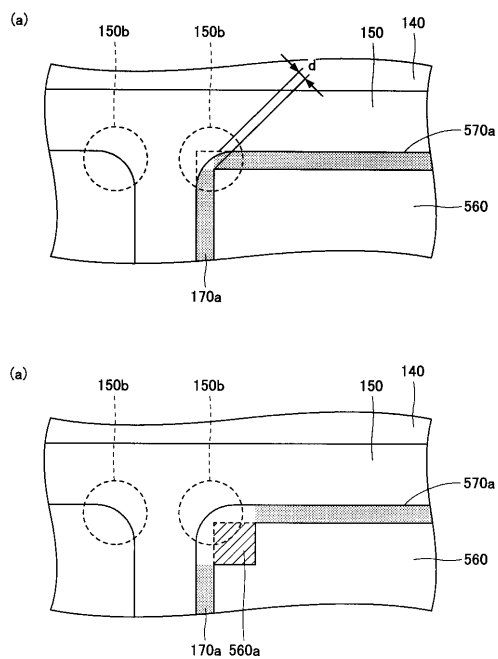
【 図 9 】

本発明の第5の実施の形態に係る薄膜トランジスタアレイ500を例示する図



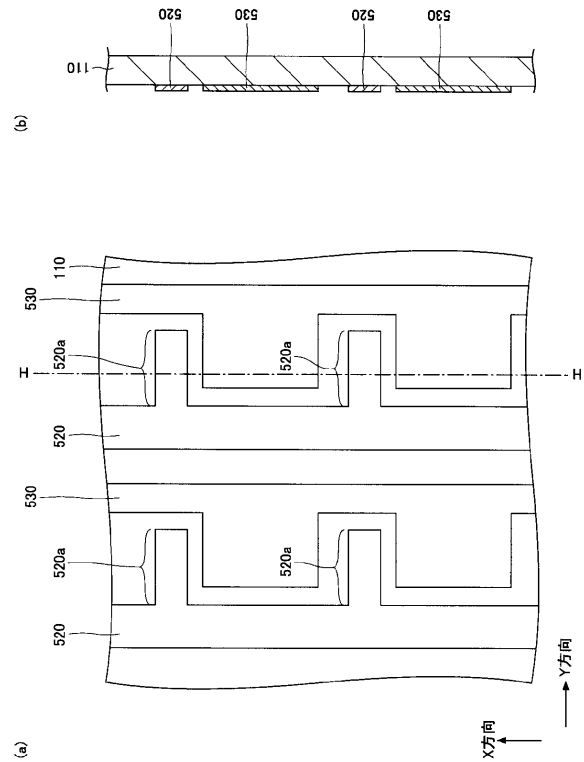
【 図 1 1 】

印刷法で形成されたパターンの角部の様子を説明するための図



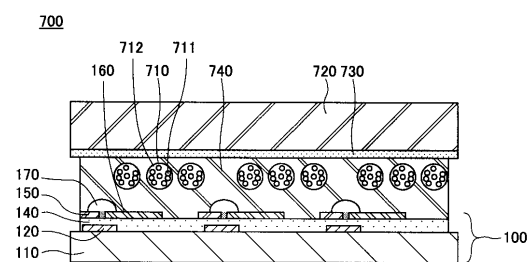
【 図 1 0 】

本発明の第5の実施形態に係る薄膜トランジスタアレイ500におけるゲート電極520とコモン電極530の形状を例示する図



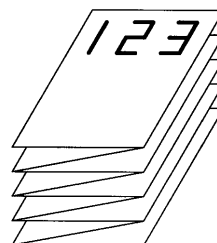
【圖 12】

本発明に係る薄膜トランジスタアレイ100を利用した表示装置700の例を示す断面図



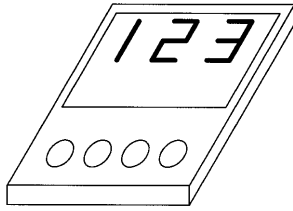
【 図 1 3 】

本発明に係る薄膜トランジスタアレイを利用した表示装置を
表示媒体として用いたデジタルペーパーの例を示す模式図



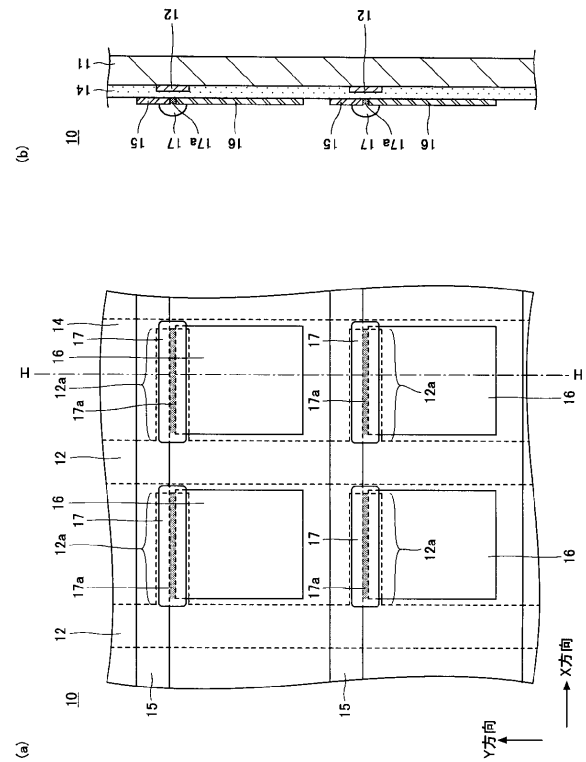
【図 14】

本発明に係る薄膜トランジスタアレイを利用した表示装置を
表示媒体として用いたポケットPCの例を示す模式図



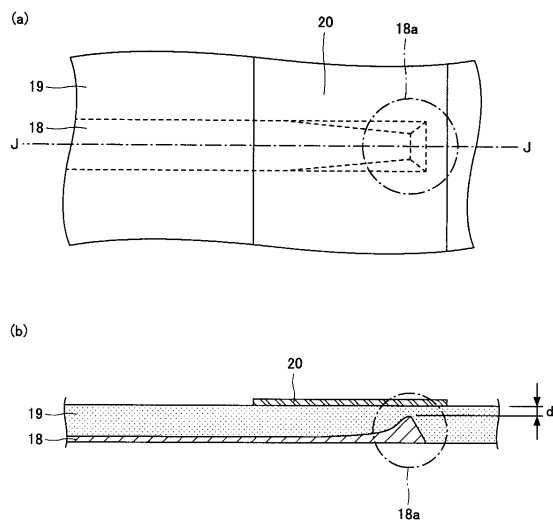
【図 15】

従来の薄膜トランジスタアレイ10を例示する図



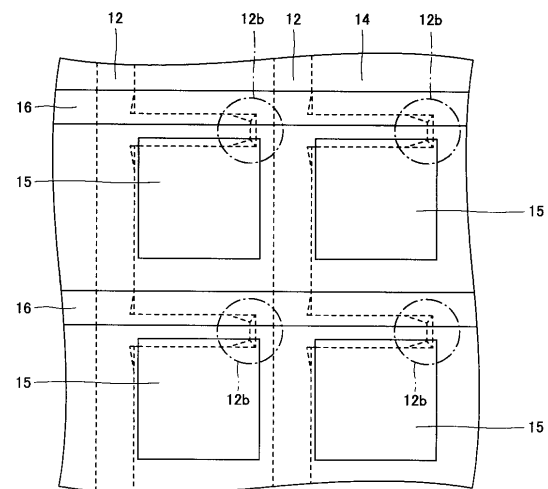
【図 16】

下部電極18を印刷法でパターン形成した場合の一般的な形状を例示する図



【図 17】

図15における下部電極であるゲート電極12を
印刷法でパターン形成した場合の高さの傾向を例示する図



フロントページの続き

審査官 鈴木 聡一郎

- (56)参考文献 特開 2 0 0 5 - 2 6 0 1 9 2 (J P , A)
特開平 0 7 - 3 2 5 3 1 4 (J P , A)
特開平 0 9 - 2 6 0 6 7 5 (J P , A)
特開 2 0 0 7 - 2 6 6 2 5 2 (J P , A)
特表 2 0 0 4 - 5 2 7 0 1 1 (J P , A)
特開平 0 5 - 2 0 3 9 9 4 (J P , A)
特開平 1 1 - 0 8 7 7 1 7 (J P , A)
特開平 0 3 - 2 3 3 4 3 1 (J P , A)
特開 2 0 0 6 - 3 5 2 0 8 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 7 8 6
G 0 2 F	1 / 1 3 6 8
G 0 9 F	9 / 3 0