



A4
C4

421962

申請日期	87 年 9 月 21 日
案 號	87115716
類 別	H04N 1/04, 5/32, H01L 31/00

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	使用金氧半導體影像感測元件之影像感測裝置
	英 文	Image sensing device using mos type image sensing elements
二、發明 人	姓 名	(1) 光地哲伸 (2) 須川成利 (3) 上野勇武
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內 (2) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內 (3) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內
三、申請人	姓 名 (名稱)	(1) 佳能股份有限公司 キャノン株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都大田區下丸子三丁目三〇番二號
	代 表 人 姓 名	(1) 御手洗富士夫

42429630-2

申請日期	87 年 9 月 21 日
案 號	87115716
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	☐ 小川勝久 ☐ 小泉徹 ☐ 櫻井克仁
	國 籍	☐ 日本 ☐ 日本 ☐ 日本 ☐ 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內
	住、居所	☐ 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內 ☐ 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

421962

申請日期	87 年 9 月 21 日
案 號	87115716
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(7) 樋山拓己
	國 籍	(7) 日本
	住、居所	(7) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

421962

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權

日本	1997 年 9 月 29 日	9-263545	☒ 有主張優先權
日本	1997 年 12 月 26 日	9-361089	☒ 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

本發明是關於一種光電轉換裝置，其具有多數個光電轉換元件，尤其是關於一種光電轉換元件，其可提升光電轉換的線性度，進一步的，藉由電晶體的特性，可擴大動態範圍。前述之電晶體係對應於光電轉換元件所產生的電荷，用以輸出訊號者。並藉由金氧半導體（MOS）電晶體之開關的特性，可改進訊號／雜訊比（S/N）。

習知上，於固態影像感測裝置中，電耦合元件（CCD）型光電轉換元件的應用相當廣泛，然而，近來MOS型光電轉換元件亦已開發用於商業化產品。許多評價認為，和電耦合元件（CCD）型光電轉換元件相比，MOS型光電轉換元件具有更佳的影像品質。然而，如果可減少雜訊，MOS型光電轉換元件會獲致下述之優點：可以相同於電耦合元件（CCD）型光電轉換元之低功率，驅動MOS型光電轉換元件，且受光單元及其周邊相關電路可以相同之MOS製程來製造，因而可簡化受光單元及其周邊相關電路的整合。據此，這些優點使MOS型光電轉換元件近來開始受到注目。目前，藉由MOS型光電轉換元件在影像品質上的提升，可減少隨機雜訊及固定雜訊。而MOS型光電轉換元件更新的要求，則是更寬的動態範圍，俾獲得具有更高訊號雜訊比之影像訊號。

以下的說明中，將簡單的以光電轉換裝置及光電轉換元件來表示MOS型光電轉換裝置及MOS型光電轉換元件。

五、發明說明(2)

圖 1 中的電路圖闡述了習知光電轉換裝置的配置。圖 1 中，以 2 維的方式佈置之光電轉換元件 1（光二極體），對應於接受的光量產生電荷。圖 1 中，爲了方便起見，僅顯示了 16（ $= 4 \times 4$ ）個光電轉換元件，而實際應用上則包含有相當多的數量。每個光電轉換元件的一端連接到 MOS 電晶體 2 的閘極；MOS 電晶體 2 的汲極連接到 MOS 電晶體 3 的源極，該源極形成一列選擇開關，MOS 電晶體 2 的源極經由垂直的輸出線 6 連接至固定電流源 7；且每個 MOS 電晶體 3 的汲極經由電源供應線 4 連接至電源供應端 5。接下來的元件集合地形成源極隨耦器。14 代表配置有重設開關之 MOS 電晶體且其源極連接至 MOS 電晶體 2 的閘極而其汲極則電源供應線 4 連接至電源供應端 5。

此電路中，相應於 MOS 電晶體 2 之閘極電壓的訊號，被用以放大電流之源極隨耦器放大即輸出。前述之 MOS 電晶體 2 係依據每個向素之光電轉換元件所產生的電荷而變換。

MOS 電晶體 3 經由垂直的閘極線 8 連接至垂直的掃描線路 9。重設開關 14 的閘極亦經由垂直的閘極線 15 連接至垂直的掃描線路 9。進一步的，由源極隨耦器來的輸出訊號經由垂直的輸出線 6、設置有用以水平傳輸之開關的 MOS 電晶體 10、平行輸出線 11 及輸出放大器 12 輸出。

此電路的操作如下，首先，光電轉換元件 1 藉重設開

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

關 1 4 重設，因而儲存有電荷。由於光電轉換元件 1 係依據接收的光量來產生電子，M O S 電晶體 2 的閘極在重設的操作中被充電至重設電位，且其電位響應於電子的產生而落下。充電完成後，由垂直掃描線路 9 及水平掃描線路 1 3 所選擇之像素訊號被源極隨耦器放大，並經由輸出放大器 1 2 輸出。

在上述的設置中，由於源極隨耦器和重設開關 1 4 係共享相同的電源線 4，可減小線路的規模。

近一步的，藉由在 M O S 電晶體 2 之電源供應側，佈置列選擇開關 3，則 M O S 電晶體 2 的源極與固定電流源 7 之間不會存在有選擇開關 3 的阻抗。據此，可獲得由源極隨耦器所產生之具良好線性度的輸出。

接下來，說明前述源極隨耦器之輸出的特性。

爲了要簡化說明，圖 2 顯示了對應於單一像素之光電轉換元件及其周邊電路。圖 2 中，如圖 1 中所示之相同元件以同樣的符號表示。一般而言，爲了使源極隨耦器線性地操作，亦即，輸出電壓正比於輸入電壓，需要在飽和區操作；因而，必須滿足以下的條件：

$$V_{ds} > V_{gs} - V_{th} \quad (1)$$

此處， V_{ds} 是汲極與源極間的電壓差， V_{gs} 是閘極與源極間的電壓差， V_{th} 是臨界電壓。

源極隨耦器具有如圖 2 所示之設置時，設定列選擇開

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

關 3 之開啓狀態之組抗爲 R_{on} ，且流經源極隨耦器的電流爲 I_a ，則 MOS 電晶體 2 之汲極電壓爲：

$$\text{電源供應電壓} - R_{on} \times I_a \dots \dots (2)$$

其係因列選擇開關 3 的電壓降。據此，式 (1) 中 V_{ds} 之減少，因而使源極隨耦器之線性操作範圍變窄。其結果是，在任何電壓下，源極隨耦器皆不能於線性範圍中操作。前述之電壓依據光電轉換元件 1 所產生之電荷輸出至 MOS 電晶體 2 之閘極。此外，並產生了下述之二個問題：

- (b) 在低光度範圍下輸出入線性度之退化。
- (c) 飽和電壓變小，並導致動態範圍變窄。

進一步的，爲了要減小列選擇開關 3 的電壓降，而減小流經源極隨耦器之電流時，以小電流充電需花相當多的時間。據此，需花很多時間來傳輸訊號，因而，當需在預定的時間內傳遞電荷時，光電轉換裝置中的像素數目則被限制住。結果是，習之電路不適用於具相當多數個像素的操作情形。

以下描述習知光電轉換裝置另一例。

圖 3 中的電路圖闡述了習知 CMOS 區域感測器的配置。圖 3 中顯示了具有 2×2 像素之二維的區域感測器，而實際應用上則包含有相當多的數量。

圖 3 說明對應於每個區域感測器像素之電路。在每個

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

像素中，存在有光二極體 901，作為傳送開關之 MOS 電晶體 911，作為重設開關之 MOS 晶體 902，作為放大器之 MOS 電晶體 903，及作為列選擇開關之 MOS 電晶體 904。MOS 電晶體 911 之閘極連接到由垂直掃描電路 910 之訊號 $FTX(n, n+1)$ 所驅動的訊號線，重設開關 902 的閘極連接到由垂直掃描電路 910 之訊號 $FRES(n, n+1)$ 所驅動的訊號線，而列選擇開關的閘極 904 連接到由垂直掃描電路 910 之訊號 $FRES(n, n+1)$ 所驅動的訊號線。

光電轉換係於每一個光二極體 901 中達成，且當產生光電荷時，傳送開關 911 置於關閉狀態，且不會將光電荷傳送至放大器 903 之閘極。在光電荷傳送之前，藉由開啓重設開關 902，MOS 電晶體 903 被初始化至一預定電壓。前述之預定電壓係一隱藏準位。在此同時或其後，列選擇開關 904 被開啓，且伴隨固定電流源 905 及放大器 (MOS 電晶體) 903 所設置之源極隨耦器開始操作。在此同時或其後，列選擇開關 904 被開啓，由此，由光二極體 901 所產生之電荷被傳送至放大器 903 的閘極。

依據前述，已被選擇之列的輸出被傳送至垂直輸出線 906。接著，前述之輸出經由作為傳送閘極之 MOS 電晶體 909a 及 909b，儲存於訊號儲存單元 907。暫存於訊號儲存單元 907 之輸出，在水平掃描電路 908 的控制下序列的輸出成 V_o 訊號。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

圖 4 為圖 3 所示之 C M O S 表面感測器的操作時序圖。在 T 1 的時段中，訊號 F T X (n) 及 F T X (n + 1) 是作動的，且由所有像素之光二極體 9 0 1 所產生的電荷經由傳送開關 9 1 1 被傳送至 M O S 電晶體 9 0 3 的閘極，因而重設了光二極體 9 0 1。在此狀態，光二極體 9 0 1 之陰極的部分電荷，被傳送至 M O S 電晶體 9 0 3 的閘極，且陰極和閘極的電壓成為同一準位。藉由使用連接至 M O S 電晶體 9 0 3 閘極之具大電容值的電容器 C F D 9 1 3，當 M O S 電晶體 9 0 3 被重設時，M O S 電晶體 9 0 3 的電位，成為和光二極體 9 0 1 之相同準位。

在 T 1 的時段中，機械式的快門開啓，以接收來自物體的光線；因而，在時段 T 1 結束的同時，每個像素皆開始其充電的程序。機械式的快門在時段 T 3 中，保持著開啓的狀態，而在此時段中，光二極體 9 0 1 係實行充電過程。

T 3 之充電時段結束後，機械式的開關於 T 4 的時點關閉，因而完成了光二極體 9 0 1 的充電程序。在此狀態下，光電荷係儲存於光二及體 9 0 1 內。接下來，儲存的光電荷開始被列訊號線所讀取。

首先，在 T 5 的時段中，訊號 F S E L (n) 成為作動態，從而，於第 n 列的列選擇開關 9 0 4 開啓。在此狀態，包含像素之 M O S 電晶體 9 0 3 的源極隨耦器成為作動態。接著，在 T 2 的時段中，F R E S (n) 亦成為作

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

動態，且於第 n 列的重設開關 902 開啓，因而使 MOS 電晶體 903 的閘極被初始化。據此，隱藏準位的訊號輸出至垂直輸出線 906。

接下來，訊號 $F T N(n)$ 成為作動態，且傳送閘極 909b 開啓，且隱藏準位儲存於訊號儲存單元 907 中。前述的操作係於所有第 n 列的像素中同時完成。當隱藏準位訊號成功的傳送至儲存單元 907 後，訊號

12 $F T N(n)$ 成為作動態，且於第 n 列的傳送開關 911 開啓，據此，儲存於第 n 列光二極體 901 的光電荷傳送至 MOS 電晶體 903 的閘極。同時，依據傳送電荷量，MOS 電晶體 903 閘極的位能由隱藏或重設準位開始改變，且對應到電位之訊號準位輸出至垂直輸出線 906。

接著，訊號 $F T S$ 成為作動態，傳送閘極 909a 開啓，且位於垂直輸出線 906 之訊號（於後，將這些訊號的準位指定為“訊號準位”），儲存於訊號儲存單元 907 中。此操作係於所有第 n 列的像素中同時完成。在此狀態，訊號儲存單元 907 儲存了隱藏準位及所有第 n 列像素之訊號準位，因而藉由取得每一個像素之隱藏準位和訊號準位的差值，被固定的模式雜訊及被消除。前述之被固定的模式雜訊係於重設開關 902 重設 MOS 電晶體 903 時，所產生之 MOS 電晶體 903 及熱雜訊（KTC 雜訊）間之臨界電壓的變動所致。因而，可獲得低雜訊、具有高訊號雜訊比的訊號。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

接著，儲存於訊號儲存單元 907 之隱藏準位和訊號準位之差值訊號，於 T7 的時段，在水平掃瞄電路 908 的控制下，被水平地讀取。因而，完成第 n 列的輸出操作。

同樣的，以第 n 列同樣的方式驅動訊號 FSEL (n + 1)、FRES (n + 1)、FTX (n + 1)、FTN 及 FTS，第 n + 1 列的訊號即被讀取。

於上述的習之實例中，由於輸出了隱藏準位和訊號準位之差值，高訊號雜訊比可被實現，因而可獲致具高品質的影像。進一步的，上述所配置之固態影像感測元件係於形成 CMOS 的製程中被形成，因而，可將影像感測元件及周邊電路整合於同一 IC 中。據此，不但可降低成本，亦能實現高的性能表現。

然而，雖然減少了雜訊的部分，但若讀取光電荷元件之動態範圍狹窄，訊號雜訊比則無法進一步的改進。

對於讀取光電荷元件之輸入動態範圍，如圖 5 所示，其最大輸出準位 $V_G(FD)_{max}$ 為：

$$V_G(FD)_{max} = V_G(RES) - V_{th}(REG) \quad (3)$$

此處， $V_G(RES)$ 是重設開關 902 的閘極位能，而 $V_{th}(REG)$ 是重設開關 902 的臨界電壓。因而，最大輸出準位係施加到重設開關 902 的訊號準位 FRES (n) 和重設開關 902 閘極、源極間臨界電壓的差。進

(請先閱讀說明書之注意事項再填寫本頁)

訂

五、發明說明(9)

一步的，最小輸出準位 $V_G(FD)_{mix}$ 為：

$$V_G(FD)_{mix} = V_G(TX) - V_{th}(TX) \quad (4)$$

此處， $V_G(TX)$ 是電晶體開關 911 的閘極位能，而 $V_{th}(TX)$ 是電晶體開關 911 的臨界電壓。因而，最小輸入準位係施加到電晶體開關 911 的訊號準位 $FRES(n)$ 和電晶體開關 911 閘極、源極間臨界電壓的差。

據此，輸入動態範圍， Dy ，為

$$\begin{aligned} Dy &= V_G(FD)_{max} - V_G(FD)_{mix} \\ &= V_G(RES) - V_{th}(TX) + V_G(TX) - V_{th}(REG) \dots \dots \dots (5) \end{aligned}$$

在輸入動態範圍 Dy 的式 (5) 中，因為 MOS 電晶體至程上的差異，MOS 電晶體的 $V_{th}(TX)$ 及 $V_{th}(REG)$ 係相互不同。如是，造成了輸入動態範圍 Dy 的不穩定。

未來光電轉換裝置將被應用到需高解析度（具更多之像素）及低能量消耗之裝置上，如數位相機、攝像機。然而，習知之電路無法符合前述之高解析度（具更多之像素）的要求，因為，如此會造成驅動負荷的增加；同時亦無法符合低能量消耗（低電壓）的需求，因為，降低電壓會使的動態範圍退化。

(請先閱讀書面之注意事項再填寫本頁)

訂

五、發明說明(10)

發明概述

本發明係考慮上述之情形來完成，其目的在提供具有良好之輸入－輸出線性度之光電轉換元件。

依據本發明，上述目標的達成係藉由提供一種光電轉換裝置，具有多數個像素單元，每個像素包含有一個光電轉換元件，一個場效電晶體，具有用以儲存該光電轉換元件所產生之電荷的閘極區，及用以輸出訊號之源極－汲極通路，該輸出訊號係相應於存在閘極區中之訊號電荷，並包含第一電源供應線，用以供應電源至該場效電晶體，及第一開關，連接該場效電晶體及該第一電源線，該裝置之特徵為：當用以重設該場效電晶體閘極之重設電壓為 V_{sig0} ，該場效電的臨界電壓為 V_{th} ，流經該場效電晶體的電流為 I_a ，經由該第一電源供應線施加的電壓為 V_{c1} ，且該第一開關的串連電阻為 R_{on} ，則每一個像素單元滿足下式

$$V_{c1} - R_{on} \times I_a > V_{gs} - V_{th2}$$

本發明之另外一個目的，在提供一光電轉換元件，可實現良好之輸入－輸出線性度極寬的動態範圍。

依據本發明，上述目標的達成係藉由提供上述之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，該第一開關及第二開關具有相

(請先閱讀說明書之注意事項再填本頁)

製

訂

五、發明說明(11)

互不同之臨界電壓。

依據本發明，上述目標的達成係藉由提供一種光電轉換裝置，具有多數個像素單元，每個像素包含有一個光電轉換元件，第一開關，用以傳遞該光電轉換元件所產生之電荷，一個場效電晶體，具有用來接受傳遞電荷的閘極區，用以相應於儲存於閘極區的電荷，輸出一訊號，且包括第二開關，用以重設該場效電晶體之閘極區，該裝置之特徵為，該第一開關及該第二開關之臨界電壓係不同於該電晶體之臨界電壓。

本發明之另外一個目的，在減少動態範圍的變動。

依據本發明，上述目標的達成係藉由提供一種光電轉換裝置，首先藉由摻雜預定濃度的雜質至所有該場效電晶體，該第一及該第二開關的通道區，用以輸出訊號之該場效電晶體的臨界電壓即不同於該第一開關及該第二開關的臨界電壓，其後，摻雜用以輸出訊號之該場效電晶體的通道區。

本發明的其他特徵將配合著伴隨的圖式來加以描述，其中於所有的圖中，相同的標示指示到相同或近似的元件。

圖式的簡單說明

伴隨的圖式，配合及構成說明之一部份，闡明了本發明之較佳實施例並說明本發明之原理。

圖1是習知光電轉換元件之簡要配置的電路圖；

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(12)

圖 2 是習知光電轉換元件及對應到圖 1 中習知光電轉換元件之單一像素之周邊電路的電路圖；

圖 3 是另一習知光電轉換元件之簡要配置的電路圖；

圖 4 是操作圖 3 中光電轉換元件之時序圖；

圖 5 是用來說明動態範圍；

圖 6 是依據本發明之第 1 實施例之光電轉換元件及對應到單一像素之周邊電路的電路圖；

圖 7 是依據本發明之第 2 實施例之電晶體配置的剖面圖；

圖 8 是依據本發明之第 2 實施例之電晶體配置的剖面圖；

圖 9 是依據本發明之第 2 實施例之電晶體配置的剖面圖；

圖 10 是依據本發明之第 2 實施例之電晶體配置的剖面圖；

圖 11 是依據本發明之第 2 實施例之電晶體配置的剖面圖；

圖 12 是依據本發明之第 2 實施例之電晶體配置的剖面圖；

圖 13 是依據本發明之第 5 實施例之光電轉換元件及對應到單一像素之周邊電路的電路圖；

圖 14 是依據本發明之第 7 實施例之光電轉換元件及對應到單一像素之周邊電路的電路圖；

圖 15 是依據本發明之第 8 實施例之光電轉換元件及

(請先閱讀背面之注意事項再填寫本頁)

製

訂

五、發明說明(13)

對應到單一像素之周邊電路的電路圖；

圖 1 6 示顯示輸入出現性度的圖；

圖 1 7 是依據本發明之第 9 實施例之電晶體配置的剖面圖；

圖 1 8 是依據本發明之第 1 0 實施例之光電轉換元件之配置圖；

圖 1 9 是依據本發明之第 1 1 實施例，如圖 3 所示之光電轉換元件之單一向素平面圖；

圖 2 0 是依據本發明之第 1 1 實施例，如圖 1 9 所示之光電轉換元件之詳細配置圖；

符號說明

1	光電轉換元件	2	M O S 電晶體
3	M O S 電晶體	4	電源供應線
5	電源供應端	6	垂直的輸出線
7	固定電流源	8	垂直的閘極線
9	垂直的掃描線路	1 0	M O S 電晶體
1 1	平行輸出線	1 2	輸出放大器
1 4	重設開關	9 0 2	重設開關
9 0 3	放大器	9 0 4	列選擇開關
9 0 6	垂直輸出線	9 0 7	訊號儲存單元
9 0 9 a	M O S 電晶體		
9 0 9 b	M O S 電晶體		
9 1 0	垂直掃描電路	9 1 1	傳遞開關

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(14)

9 0 8	水平掃描電路	1 0 2	M O S 電晶體
1 0 3	列選擇開關	1 1 3	列選擇開關
1 1 4	重設開關	4 0 1	半導體基板
4 0 2	閘極	4 0 5	閘氧化層
4 0 4	摻雜通道區	4 0 4	摻雜通道區
4 0 4	摻雜層	4 0 3	源極和汲極
5 0 1	P 型井	7 0 1	電源供應端
8 0 1	電晶體閘極	1 0 0 1	電源供應線
1 1 0 1	電容	1 0 2	第二電容
1 2 0 1	電荷傳遞開關		
7 0 2	控制傳遞開關之傳遞閘線		

較佳實施例的詳細說明

以下將依據附隨的圖式，詳細的說明本發明的較佳實施例。

本發明之第 1 至第 8 實施例之整體架構均相同，如圖 1 所示。但本發明中之 M O S 電晶體 3 及 M O S 電晶體 1 4 的特性係不同於習知技術之 M O S 電晶體，因此本發明中，對應到習知之 M O S 電晶體 2、3 及 1 4 之電晶體，分別以 1 0 2、1 0 3 及 1 1 4 來指示。

第 1 實施例

圖 6 所顯式的係依據本發明之第 1 實施例，對應於單一像素之光電轉換元件及 1 其周邊電路的電路圖。圖 6 中

(請先閱讀背面之注意事項再填寫本頁)

製

訂

五、發明說明 (15)

，作動為一系列選擇開關之 MOS 電晶體 103 係一場效電晶體 (FET)。令重設開關 114 於開啓狀態的電壓為 V_2 ，列選擇開關 103 於開啓狀態的閘極電壓為 V_3 ，MOS 電晶體 102 的集極電壓為 V_{th0} ，列選擇開關 103 的底線電壓為 V_{th1} ，MOS 電晶體 102 的底線電壓為 V_{th2} 。需注意的是，源極隨耦器係由 MOS 電晶體 102、103 以及固定電流源 7 所形成。如“發明背景”中所述，當源極隨耦器在線性的範圍中操作時，需滿足 MOS 電晶體 102 及 103 操作於飽和區的條件：

$$V_{ds} > V_{gs} - V_{th} \quad (1)$$

習知之源極隨耦器不一定在滿足上式 (1) 的區域中操作。因此，本發明中，光電轉換元件的設計係源極隨耦器的電晶體必定操作於式 (1) 的區域。第 1 實施例，將說明滿足式 (1) 之源極隨耦器的設計條件。

參考第 1 實施例之圖 6，當 MOS 電晶體 102 之源極電壓被視為參考電壓時，式 (1) 中之 V_{ds} 即為 V_1 ， V_{gs} 係 MOS 電晶體 102 的閘極電壓，而 V_{th} 係為 V_{th2} 。當 MOS 電晶體 103 的開啓狀態之阻抗以 R_{on} 表示時， V_1 則可表示為：

$$V_1 = V_{cd} - R_{on} \times I_a \quad (6)$$

五、發明說明(16)

將(6)式帶入(1)是中，即得：

$$V_{c1} - R_{on} \times I_a > V_{gs} - V_{th2} \quad (7)$$

在本發明之光電轉換元件中，MOS電晶體102之閘極係初始化地充電至一重設電壓， V_{sig0} ，且相應於光電轉換元件1所產生之電荷而降低電壓，其降低的值係對應於受光量的多寡。因此，為使源極隨耦器確實的操作於線性區，當重設電壓 V_{sig0} 施加於MOS電晶體

102之閘極時，亦即 $V_{gs} = V_{sig0}$ ，MOS電晶體102、103及144則被設計為操作於飽和區。需注意的是，當輸出訊號 V_{in} （MOS電晶體102的閘極電壓）和輸出訊號 V_{out} （源極隨耦器的輸出訊號）兩者之關係為下式時：

$$V_{out} = A \times V_{in}^r \quad (8)$$

其中， A 為增益， r 為一參數值，而源極隨耦器的輸出入線性特性係由 r 值與1偏離的多寡來界定。

圖16顯示，如第1至第8實施例所述之本發明，其所增進的輸出輸入性質。圖16中，橫座標為列選擇開關103於開啓狀態之阻抗，而縱座標顯示 r 值。如圖16所示，源極隨耦器的輸入—出入線性範圍係確切地符合(7)式。

(請先閱讀說明書之注意事項再填寫本頁)

裝

訂

五、發明說明 (17)

於第 1 實施例中，當重設開關 1 1 4 在飽和區中操作，重設電壓可以下式 (9) 表示：

$$V_{sig0} = V_2 - V_{th0} \quad (9)$$

接著，由於選擇開關 1 1 3 之開啓狀態的阻抗 R_{on} 係依據底線電壓 V_{th} 而變化，(7) 式的左項可以 V_{th} 表示。考慮到流經列選擇開關 1 0 3 之電流係相同於流經源極隨耦器之電流，則可獲致下式：

$$I_a = K (V_3 - V_1 - V_{th1})^2 \quad (10)$$

此處 $K = 1 / 2 \times \mu \times C_{ox} \times W / L$

μ ：遷移率

C_{ox} ：單位面積之閘極氧化電容

W ：閘極寬度

L ：閘極長度

在第一時施例中，使用漸進通道近似。藉由解出 (10) 式而求得 V_1 ：

$$V_1 = V_3 - V_{th} - (I_a / K)^{1/2} \quad (11)$$

藉由將 (9) 式及 (11) 式代入 (1) 式，當施加重設電壓 V_{sig0} 於 MOS 電晶體 1 0 2 的閘極時，則可

(請先閱讀說明書之注意事項再填寫本頁)

製

訂

五、發明說明 (18)

獲致源極隨耦器在線性區操作之條件。亦即，

$$V_3 - V_{th1} - (I_a/K)^{1/2} > V_2 - V_{th0} - V_{th2} \quad (12)$$

因此，光電轉換裝置係設計於滿足 (12) 式。

第 1 實施例中，說明了當源極與井有相同之位能時，MOS 電晶體 102、103 及 114 具有相同臨界電壓之情況。

當源極與井有相同之位能，而 MOS 電晶體 102、103 及 114 具有相同臨界電壓且閘極電壓 V_2 、 V_3 與電源供應器之電壓相同 (亦即， $V_2 = V_3 = V_{c1}$) 時，重設開關 114 之臨界電壓 V_{th0} 及列選擇開關 103 之臨界電壓 V_{th1} ，在重設電壓 V_{sig0} 施加於 MOS 電晶體 102 的閘極的情況下，係相同。由此，可簡化 (12) 式：

$$(I_a/K)^{1/2} < V_{th2} \quad \dots (13)$$

在此情況下，MOS 電晶體 102 的臨界電壓 V_{th2} 限制了流經源極隨耦器之最大電流，如式 (13) 所示。

以下將以實際的數值更詳盡的描述前述之說明。參考圖 6，5 V 的電壓施加到電源供應端 ($V_{c1} = 5 V$)，且亦施加到重設開關 114 及列選擇開關 113 之閘極 (

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(19)

$V_2 = V_3 = 5V$)。進一步的，當每一 MOS 電晶體之閘極氧化厚度約 15 nm 時，井的不純物濃度為 4×10^{16} 微粒 / 立方公分，且當源極和井有相同的位能時，臨界電壓為 $0.6V$ ，考慮因背閘極效應而造成臨界電壓增加的情況，重設開關 114 之及列選擇開關 103 之臨界電壓 $0.6V$ 將增加至 $1.4V (= V_{th0}, V_{th1})$ 。在上述的條件下，由重設開關 114 的特性所決定之重設電壓 V_{sig0} 可由 (9) 式求得：

$$V_{sig0} = 5 - 1.4 = 3.6 [V] \dots\dots\dots (14)$$

接著，依據 (11) 式，MOS 電晶體 102 的集極電壓 V_1 為：

$$V_1 = 5 - 1.4 - (I_a/K)^{1/2} = 3.6 - (I_a/K)^{1/2} \dots\dots\dots (15)$$

進一步的，當閘極電壓 V_{sig0} 為 $3.6V$ 時，MOS 電晶體 102 之臨界電壓為：

$$V_{th2} = 1.24 [V] \dots\dots\dots (16)$$

將 (15) 式及 (16) 式代入 (1) 式，則，

$$(I_a/K)^{1/2} < 1.24 \dots\dots\dots (17)$$

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (20)

此結果符合 (13) 式，且流經源極隨耦器的電流 I_a 需滿足 (13) 式的限制。進一步的，當 MOS 電晶體有下述之特性值：

$$\mu = 400 \text{ [cm}^2 \text{ / S } \cdot \text{V]}$$

$$C_{ox} = 2.3 \times 10^{-7} \text{ [F / cm}^2 \text{]}$$

$$W = 1 \text{ [} \mu\text{m]}$$

$$L = 1 \text{ [} \mu\text{m]}$$

則

$$K = 4.6 \times 10^{-5} \text{ [A]}$$

且

$$I_a = 7.5 \times 10^{-5} \text{ [A]}$$

因此，當 MOS 電晶體具有前述之設定及特徵值時，藉由將固定電流源 7 產生之電流設定為 $7.5 \times 10^{-5} \text{ A}$ ，則源極隨耦器可確切地在線性區中操作。

據此，如上所述之第 1 實施例，由設計源極隨耦器以使每一個 MOS 電晶體符合 (1) 式，即可藉由使用可確切地操作於線性區之源極隨耦器，來配置出具良好輸入—輸出線性度之光電轉換裝置。

第 2 實施例

在第 2 實施例中，說明了 MOS 電晶體 103 和電晶體 102 及 114 有不同臨界電壓的情形。

如第 1 實施例所述，當 MOS 電晶體 102，103

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21)

及 104 有相同之臨界電壓時，可流經源極隨耦器的電流量被限制在極低的值。因而，當需要高解析度且源極隨耦器需要驅動的負載增加時，如第 1 實施例中的配置則無法符合需求。

然而，藉由將列選擇開關 103 的臨界電壓設定成低於電晶體 102 及 114 的臨界電壓，即使增加了電流 I_a ，仍可滿足 (12) 式，或 (1) 式。當施加於重設開關 114 之閘極及列選擇開關的電壓 V_2 及 V_3 相同時 ($V_2 = V_3$)，類似於第 1 實施例，藉由解出 (12) 是中之 $(I_a/K)^{1/2}$ ，則可獲的下述之條件：

$$(I_a/K)^{1/2} < V_{th0} + V_{th2} - V_{th1} \quad (18)$$

由於 (13) 式中 $V_{th0} > V_{th1}$ 且 $V_{th2} > V_{th1}$ ， $V_{th0} + V_{th2} - V_{th1}$ 大於 V_{th2} ，亦即， $V_{th0} + V_{th2} - V_{th1} > V_{th2}$ 。因而，可將 (18) 式中的電流值 I_a 設成大於 (13) 式中者。

需注意的是，依據利用上的目的，MOS 電晶體 114，103 及 102 (V_{th0} ， V_{th1} ， V_{th2}) 可任意的設定。

以下說明幾種改變臨界電壓的方法。

(1) 於通道區中形成摻雜層。

參考圖 7，標號 401 表示半導體基板，且圖 7 中所

(請先閱讀背面之注意事項再填寫本頁)

製

訂

五、發明說明 (22)

示者爲一 P 型半導體。進一步的，藉由閘氧化層 405 的隔離，閘極 402 形成於基板 401 上。且該閘極係爲由多晶矽，多晶化合物所構成之多層薄膜。且和基板 401 有相反導電型之源極和汲極 403 係以離子植入法形成於基板 401 中。前述之元件構成一場效電晶體 (FET)。

接著，藉由在期望之電晶體的通道中形成摻雜層 404，可減少臨界電壓。相反的，藉由摻雜 P 型離子，可增加臨界電壓。因而，臨界電壓可由摻雜層中不純物之濃度及深度，精確的獲得控制。

在此配置中，摻雜層係形成於一個電晶體中。然而，本發並不限於此：具有不同雜質濃度並設定在最佳條件下之摻雜層，可形成於數個電晶體中。

(2) 形成井區

另一個改變臨界電壓的方法，是如圖 8 中所示之電晶體的配置。圖 8 中和圖 7 相同的部分以同樣的數字標示，且略過不述。

圖 8 中，井 501 形成於期望電晶體所形成的區域。圖 8 中，P 型井 501 的雜質濃度與同樣是 P 型的基板不同。因而，藉由形成具有不同於基板雜質濃度之 P 型井，可輕易的控制期望電晶體的臨界電壓。需注意的是，如圖 8 中係在 P 型基板上形成 P 型井，唯本發明並不限於此，亦可於 n 型基板中形成 P 型井，而達到控制臨界電壓的效

(請先閱讀背面之注意事項再填本頁)

訂

五、發明說明 (23)

果。

(3) 控制位於閘處之介電薄膜厚度

另一個改變臨界電壓的方法，是如圖 9 中所示之電晶體的配置。圖 9 中和圖 7 相同的部分以同樣的數字標示，且略過不述。

介電薄膜 6 0 1 及 6 0 2 係位於個別之場效電晶體的閘極下。以下將以閘介電薄膜代替介電薄膜。藉由改變存在於期望電晶體的閘極 4 0 2 與半導體基板 4 0 1 中之閘介電薄膜的厚度，可形成具不同臨界電壓之電晶體。

進一步的，使用具不同介電常數的材料作為不同電晶體中之介電薄膜材料，可達到相同之效果。例如，可在一電晶體中使用氧化矽，而在另一電晶體中使用氮化矽。藉由此方法，可形成具有不同臨界電壓之電晶體。

(4) 控制基板偏壓

另一個改變臨界電壓的方法，是如圖 10 中所示之電晶體的配置。圖 10 中和圖 7 相同的部分以同樣的數字標示，且略過不述。

其中，場效電晶體係形成於井 5 0 1 中，其和閘極，源極係具有不同之導電形式。形成有欲改變臨界電壓之電晶體的井 5 0 1，與其他電晶體中之井分隔一段距離。圖 10 中的井 5 0 1 連接至電源供應端 7 0 1 與 7 0 2。在此配置中，藉由改變電源供應端 7 0 1 與 7 0 2 相互間的電壓，由場效電晶體中所謂之背閘效應可改變電晶體之臨

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (24)

界電壓。

由前述之描述，在半導體製程後，藉由改變供應電壓，即可改變臨界電壓；因而可更精確地控制底限。進一步的，快速的回饋使得臨界電壓處於最佳化的條件。尚且，對於每一個電晶體，形成井的方法係一致，形成半導體的製程可進一步被簡化。

(5) 控制閘極的長度

另一個改變臨界電壓的方法，是如圖 11 中所示之電晶體的配置。圖 11 中和圖 7 相同的部分以同樣的數字標示，且略過不述。

參考圖 11，電晶體閘極 801 與 802 的長度彼此不同。在一絕緣閘場效電晶體中，當閘極長度小餘 $3 \sim 4 \mu m$ 時，由於源極與汲極邊緣之邊緣電場效應，會造成臨界電壓的下降。此亦稱為短通道效應。

圖 11 中的配置係利用短通道效應，藉由改變期望電晶體的閘極長度，即可實現不同之臨界電壓。

依據前述之配置，具單一型態的電晶體可形成於於半導體的製程中，因而可降低製造成本。進一步的，如圖 10 所示，不需提供額外的電源供應端，因而簡化了控制電路。

(6) 控制閘極的寬度

另一個改變臨界電壓的方法，是如圖 12 中所示之電

(請先閱讀背面之注意事項再填寫本頁)

製

訂

五、發明說明(25)

晶體的配置。圖 1 2 中和圖 7 相同的部分以同樣的數字標示，且略過不述。

參考圖 1 2，電晶體閘極 8 0 1 與 8 0 2 的寬度彼此不同。在一絕緣閘場效電晶體中，厚的介電薄膜通常存在於鄰接的元件間以作隔離，且元件下之基板雜質設計為高濃度，俾使反轉的發生不易。因此，當元件分離區及閘極寬度的比值無法忽略時，底電壓即增加。此即所謂之窄通道現象。

圖 1 2 中的配置係利此一效應，藉由改變期望電晶體的閘極寬度，即可實現不同之臨界電壓。

依據前述之配置，具單一型態的電晶體可形成於半導體的製程中，因而可降低製造成本。進一步的，如圖 1 0 所示，不需提供額外的電源供應端，因而簡化了控制電路。

依據上述之第 2 實施例，除了具有和第 1 實施例相同的功效，亦可在不窄化動態區的況下，增加流經光電轉換元件源極隨耦器的電流。

在第 2 實施例中，n 型場效電晶體係說明之一例，而 p 型場效電晶體可取代 n 型以同樣的手法控制臨界電壓。

進一步的，為了說明流經列選擇開關 1 0 3 的電流 I_a ，於上述實施例中使用了漸進通道近似技術，(1 0) 式。此顯示了理想電晶體的特性。如果由於尺寸的減小而使的實際的電晶體不若 (1 0) 式中所示之電晶體理想，則本發明的功效即無法發揮。本發明的原理係控制場效電晶

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (26)

體開啓狀態的阻抗已滿足 (7) 式，且，如第二實施例所述，可有效的設計出具不同臨界電壓之列選擇開關 103 及重設開關 114。

第 3 實施例

接下來說明本發明之第 3 實施例。第 3 實施例中，施加於重設開關 114 及列選擇開關 103 之電壓 V_2 ， V_3 係設為不同值已滿足 (12) 式。

當重設電壓 V_{sig0} 施加於 MOS 電晶體 102 之閘極上時，如果 MOS 電晶體 114，103 及 102 之臨界電壓相同 ($V_{th0} = V_{th1} = V_{th2} = V_{th}$)，藉由解出 (12) 式中之 $(I_a / K)^{1/2}$ ，可獲得：

$$(I_a / K)^{1/2} < -V_2 + V_3 + V_{th} \quad (19)$$

藉由設定 $V_3 > V_2$ ，(19) 式的左側大於 (13) 式中的 V_{th2} ，亦即， $-V_2 + V_3 + V_{th} > V_{th2}$ 。據此，可將 (19) 式中之電流值 I_a 設定為較 (13) 式中為大。

依據上述之第 3 實施例，除了具有和第 1 實施例相同的功效，亦可在不窄化動態區的況下，增加流經光電轉換元件源極隨耦器的電流。

進一步的，在半導體製程後，藉由改變供應電壓，即可改變臨界電壓；因而可更精確地控制底限。尚且，快速

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (27)

的回饋使得臨界電壓處於最佳化的條件。

需注意的是，可有效的設計出具不同臨界電壓之列選擇開關 1 0 3 及重設開關 1 1 4，如第 2 實施例所述。

第 4 實施例

第 4 實施例說明了重設開關 1 1 4 操作於飽和區及列選擇開關 1 0 3 操作於線性區的情形。考慮流經列選擇開關 1 0 3 的電流相同於流經源極的電流，參考圖 6，可獲得下列之 (21) 式：

$$I_a = K(V_3 - V_1 - V_{th1})^2 - K(V_3 - V_{cl} - V_{th1})^2 \quad (20)$$

其中， $K = 1/2 \times u \times C_{ox} \times W/L$

u ：遷移率

C_{ox} ：單位面積之閘氧化薄膜

W ：閘極寬度

L ：閘極長度

藉由解出 (20) 式中的 V_1 ，則可獲得：

$$V_1 = V_3 - V_{th1} - (I_a/K + (V_3 - V_{cl} - V_{th1})^2)^{1/2} \quad (21)$$

將 (21) 式及 (9) 式代入 (1) 式，則當施加重設電壓 V_{aig0} 至 MOS 電晶體 1 0 2 的閘極時，源極隨耦器操作於線性區的條件為：

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (28)

$$V3 - V_{th1} - (I_a/K + (V3 - V_{c1} - V_{th1})^2)^{1/2} > V2 - V_{th0} - V_{th2} \quad (22)$$

第4實施例中，藉由控制重設開關114與列選擇開關103的臨界電壓以滿足(22)式，亦如第2實施例中的手法，可使源極隨耦器確切的操作於線性操作區。

進一步的，亦可如第3實施例，控制施加到重設開關114與列選擇開關103的電壓V2及V3。

尚且，可控制源極隨耦器的供電電壓。

第5實施例

圖13所顯式的係依據本發明之第5實施例，對應於單一像素之光電轉換元件1及其周邊電路的電路圖。圖

13中相同於圖6中的元件以同樣的數值表示，且將略過不述。

圖13中，電源供應線1001係專用的存在於重設開關114中，且不同於源極隨耦器之電源供應線。電壓Vc2施加於電源供應線1001上。第5實施例中，重設開關114被設計成操作於線性區($V_{c2} - V_{sig0} < V2 - V_{sig0} - V_{th0} - V_{c2} \leq V2 - V_{th0}$)，且列選擇開關103被設計成操作於飽和區。此例中，重設電壓以下式表示：

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(29)

$$V_{sig0} = V_{c2} \quad (23)$$

將(23)式及第1實施例中之(11)式代入(1)式中，則當施加重設電壓 V_{sig0} 至MOS電晶體102的閘極時，源極隨耦器操作於線性區的條件為：

$$V_3 - V_{th1} - (I_a/K)^{1/2} > V_{c2} - V_{th2} \quad (24)$$

其中 $V_{c2} \leq V_2 - V_{th0}$

藉由設定重設開關114之供電電壓 V_{c2} ，使其不同於源極隨耦器的供電電壓 V_{c1} ，即可使源極隨耦器確切的操作於線性操作區。

第5實施例中，可設計出列選擇開關103，其具有不同於MOS電晶體102及重設開關114之臨界電壓。

第6實施例

接著，說明圖13中列選擇開關103及重設開關114接操作於線性區的情形。藉由將第5實施例中的(23)式及第4實施例中的(21)式代入(1)式，則當施加重設電壓 V_{sig0} 至MOS電晶體102的閘極時，源極隨耦器操作於線性區的條件為：

$$V_3 - V_{th1} - (I_a/K + (V_3 - V_{c1} - V_{th1})^2)^{1/2} > V_{c2} - V_{th2}$$

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(30)

$$\text{其中 } V_{c2} \leq V_2 - V_{th0} \quad (25)$$

第4實施例中，藉由控制重設開關114與列選擇開關103的臨界電壓，亦如第2實施例中的手法，可使源極隨耦器確切的操作於線性操作區。

進一步的，亦可如第3實施例，控制施加到重設開關114與列選擇開關103的電壓 V_2 及 V_3 。

尚且，可控制重設開關114之供電電壓 V_{c2} 及源極隨耦器的供電壓 V_{c1} ，一如第5實施例中的手法。

第7實施例

圖14所顯示的係依據本發明之第7實施例，對應於單一像素之光電轉換元件1及其周邊電路的電路圖。圖

14中相同於圖6中的元件以同樣的數值表示，且將略過不述。

圖14中，標號1101係一電容，形成於重設開關114及MOS電晶體102的閘極間。刻意形成之電容1101，可利用寄生電容。標號1102係形成於MOS電晶體102的閘極及地線間之第二電容。

如上所述之配置，MOS電晶體102的閘極電壓依據重設開關114之源極、閘極和汲極的電位被重設。接著，藉由改變開關114的閘極電壓，關閉重設開關114。此時，由於重設開關114的閘極線15與MOS電晶體102的閘極間存在有電容耦合，MOS電

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (31)

晶體 1 0 2 的閘極電壓乃依據第一電容與第二電容的比值而變動。例如，可將 M O S 電晶體 1 0 2 的閘極電位改變為低於其初始之設定電壓。令改變量為 ΔV ，並重寫第 1 實施例中之 (1 2) 式，則可獲得：

$$V3 - V_{th1} - (I_a/K)^{1/2} > V2 - V_{th0} - \Delta V - V_{th2} \quad (26)$$

如 (2 6) 式所示，藉由控制形成於重設開關 1 1 4 及 M O S 電晶體 1 0 2 閘極間之電容 1 1 0 1 及改變形成於 M O S 電晶體 1 0 2 的閘極及地線間之第二電容

1 1 0 2，可改變重設電壓俾使源極隨耦器操作於線性區中。在上述之配置中，單一型的電晶體形成於同一的半導體製程中；因而降低了製造成本。進一步的，除了第 1 實施例的能效外，藉由控制基板偏壓，不需如第 2 實施例所述之提供額外的供電端。

第 8 實施例

圖 1 5 所顯示的係依據本發明之第 8 實施例，對應於單一像素之光電轉換元件 1 及其周邊電路的電路圖。圖

1 5 中相同於圖 6 中的元件以同樣的數值表示，且將略過不述。標號 1 2 0 1 係表示電荷傳遞開關，用以實行由光電轉換元件 1 至 M O S 電晶體 1 0 2 之訊號電荷的完全消耗性傳遞。標號 7 0 2 表示控制傳遞開關之傳遞閘線。一般而言，為了增加光電轉換裝置的靈敏度，光電轉換元件

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(32)

1 被設計成具有大的面積以增加可儲存之訊號電荷量。然而，相應於此面積，M O S 電晶體 1 0 2 閘極上的寄生電容因而增加；據此，將光電荷轉換為電壓之光電轉換效應因而退化，並阻礙了靈敏度的提升。為了解決此一問題，藉由傳遞開關 1 2 0 1，並將 M O S 電晶體 1 0 2 閘極的電容設計為小於光電轉換元件（如光二極體）者，則大尺寸之光電轉換元件 1 所產生的光電荷被轉換成一電壓，該電壓反比於 M O S 電晶體 1 0 2 閘極的電容值而有大的電壓變化，如此可改善靈敏度。

據此，上述之第 8 實施例可達成第 1 實施例之相同的功效。

第 9 實施例

第 9 實施例中，光電轉換元件的配置係如圖 3 所示，並略去說明。此配置下，為了增加動態範圍的寬度 D y（“發明背景”中之（5）式）：

$$\begin{aligned} Dy &= V_G(FD)_{max} - V_G(FD)_{min} \\ &= V_G(RES) - V_{th}(TX) + V_G(TX) - V_{th}(REG) \dots (5) \end{aligned}$$

需要增加。為了增加 D y 的值，亦即將輸入動態範圍加寬，重設開關 9 0 2 之臨界電壓 $V_{th}(RES)$ 需被設為較低的值，而如（3）式中的最大輸出準位

$V_G(FD)_{max}$ 變大，因而可獲得源極隨耦器線性操作

（請先閱讀說明書之注意事項再填填本頁）

訂

五、發明說明(33)

區域之最好的使用。然而，此需將列選擇開關 904 的臨界電壓設為較高的值，以確保列選擇開關 904 開閉的穩定性。

因而，在第 9 實施例中，重設開關 902 的臨界電壓 $V_{th}(RES)$ 及傳遞開關的臨界電壓 $V_{th}(TX)$ 設定為低於列選擇開關 904 及 MOS 電晶體 903 的值。

然而，在通道中形成摻雜層的方法中，即方法 (1) 中，除了刻意形成不同之傳遞開關 911 的臨界電壓 $V_{th}(TX)$ 及重設開關 902 的臨界電壓 $V_{th}(RES)$ 外，由於電晶體製程上的差異，不同像素之傳遞開關 911 的臨界電壓及不同像素之重設開關 902 的臨界電壓，亦彼此各異。此即造成了 (5) 式中輸入動態範圍 D_y ，隨著像素而易的問題。以下，參考圖 17，說明在通道中形成摻雜層以解決上述問題的方法。圖 17 中，相同於圖 7 中的元件以同樣的數值表示，且將略過不述。

(1') 在通道中形成摻雜層

圖 17 中，標號 404 及 404' 表示摻雜通道區。藉由調整形成於不同電晶體之通道區中摻雜層 404 及 404' 的濃度，可簡單的改變電晶體的臨界電壓。更明確的說，實施摻雜於每一電晶體的通道區一次，以形成摻雜層，進一步的，再實施摻雜於期望的電晶體上；由此，形成了具有不同濃度的摻雜層 404 及 404'。舉例而言，藉由在二次摻雜過程中，摻雜 n 型離子於摻雜層 404 中

(請先閱讀說明書之注意事項再填寫本頁)

訂

五、發明說明(34)

，則和沒有摻雜的情形相較，可獲得較低的臨界電壓。相反的，摻雜 p 型離子，可增加臨界電壓。而在實施二次摻雜後可藉由控制摻雜層 404' 的濃度，精確的決定臨界電壓的變化量。

此處，於傳遞開關 911 及重設開關 902 中僅實施一次摻雜，而於 MOS 電晶體 903 及列選擇開關 904 中實施一次及二次摻雜。由於傳遞開關 911 及重設開關 902 的臨界電壓係決定於單次程序，電晶體製程變異的量及方向即和傳遞開關 911 及重設開關 902 的臨界電壓 $V_{th}(TX)$ 及 $V_{th}(RES)$ 相同，因而，可使 (5) 式中的 $V_{th}(TX) - V_{th}(RES)$ 穩定化；亦即，可將輸入動態範圍穩定化。

進一步的，由於傳遞開關 911 及重設開關 902 之通道的雜質濃度低於 MOS 電晶體 903 及列選擇開關 904 者，因而傳遞開關 911 及重設開關 902 的底限大於 MOS 電晶體 903 及列選擇開關 904 的底限。於是，使動態範圍變寬。

第 10 實施例

在第 10 實施例中，說明刪去圖 3 中列選擇開關 904 的情形。圖 18 係依據第 10 實施例，描述光電轉換元件配置的電路圖。需注意的是，圖 18 中相同於圖 3 中的元件以同樣的數值表示，且將略過不述。

參考圖 18，存在於光二極體 901 中的光電荷，經

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (35)

由傳遞開關 9 1 1 提供至 MOS 電晶體 9 3 0 的閘極，且當選擇脈衝 F S E L 變高時，MOS 電晶體 9 0 3 為作動態。

接著，當固定電流源 9 0 5 驅動源極隨耦器，電荷即被讀取，且對應於 MOS 電晶體 9 0 3 閘極電壓的訊號出現於垂直輸出線 9 0 6。其後，當訊號 F T S 變高時，對應於光二極體 9 0 1 所產生之光電荷，電荷被連續的儲存於訊號儲存單元 9 0 7 中。

接著，於開啓傳遞開關 9 1 1 之前，藉由提高 F R E S，MOS 電晶體 9 0 3 被重設至一高準位。其後，藉由提高 F S E L，MOS 電晶體 9 0 3 立即被致動。此例中，藉由開啓傳遞閘 9 0 9 b，雜訊部分經由垂直輸出線 9 0 6 儲存於訊號儲存單元 9 0 7。

依據前述之光電轉換元件，因為沒有使用列選擇開關，MOS 電晶體 9 0 3 操作於飽和區的上限制被移除。因而，經由重新將電壓設成高準位，可增加源極隨耦器之線性操作區。進一步的，由於 $V_G(R E S) - V_{th}(R E S) = V_G(S F)$ ，則藉由降低重設開關 9 0 2 的臨界電壓 $V_{th}(R E S)$ ，可提高重設電位 $V_G(S F)$ 。其中 $V_G(R E S)$ 是重設開關 9 0 2 的閘極電壓， $V_G(S F)$ 是 MOS 電晶體 9 0 3 閘極之重設電位。

反之，MOS 電晶體 9 0 3 的臨界電壓 $V_{th}(S F)$ ，為了獲得穩定的操作，不能被設定為低準位。因而需符合：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (36)

$$V_{th}(SF) > V_{th}(RES) \quad (27)$$

有很多方法可以用來改變第 2 實施例所述之臨界電壓，第 9 實施例所描述的方法滿足 (17) 式，參考圖 17，由於重設開關 902 之通道區的雜質濃度低於 MOS 電晶體 903 者，MOS 電晶體 903 的臨界電壓

$V_{th}(SF)$ 高於重設開關 902 之的臨界電壓 $V_{th}(RES)$ ，此滿足 (27) 式。據此，輸入動態範圍變寬，且可減少電晶體的製程變動。

第 11 實施例

接著，參考圖 19 說明發明之第 11 實施例。圖 19 是圖 3 中光電轉換裝置之單一像素之平面圖。圖 19 所示之光電轉換裝置包含光二極體 901，用以傳遞光二極體所產生之光電荷的傳遞開關 911，具浮動擴散單元之 MOS 電晶體 903，用以重設浮動擴散單元之重設開關 902，連接至 MOS 電晶體 903 汲極的列選擇開關 904。進一步的，存在有電源供應線 VDD 及垂直輸出線 906。

爲了製造此配置，實施一次摻雜於所有電晶體之通道區中，在實施二次摻雜前，傳遞開關 911 即重設開關 902 被光暫存區所覆蓋，如標示有 "CD2 中的光暫存區 (二次通道摻雜)" 的點線所示，接著實施離子植入法。

(請先閱讀背面之注意事項再填寫本頁)

製

訂

五、發明說明(37)

進一步的，藉由短的傳遞開關 9 1 1 及重設開關 9 0 2 閘極的設計，及長的 M O S 電晶體 9 0 3 及列選擇開 9 0 4 閘極的設計，且／或藉由列選擇開 9 0 4 的通道長於重設開關 9 0 2 及 M O S 電晶體 9 0 3 通道的設計，可增加光電轉換元件的線性操作範圍。

圖 2 0 顯示了圖 1 9 中光電轉換元件之像素的特定配置平圖。參考圖 2 0，傳遞開關 9 1 1 的通道長度為 $0.6\text{ }\mu\text{m}$ ，用以重設浮動擴散單元之重設開關 9 0 2 的通道長度亦為 $0.6\text{ }\mu\text{m}$ ，M O S 電晶體 9 0 3 的通道長度為 $0.1\text{ }\mu\text{m}$ ，且列選擇開關 9 0 4 的通道長度為 $0.1\text{ }\mu\text{m}$ 。

據此，輸入動態範圍變寬，且可減少電晶體的製程變動。

依據第 9 至第 1 1 實施例之光電轉換裝置，雖使用光二極體，可和偏移電阻器一起製造，該電阻器在 C M O S 的製程中作為掃描電路。藉由提升動態範圍及光電轉換裝置的線性度，並減少光電轉換裝置中動態範圍的變動，即可一般化地使用光電轉換元件，作為所謂之 C O M 感測器。

本發明並不限於上述之實施例，在本發明的精神及範圍內，可作變化及修改。為了公告本發明的範圍，做成下述之申請專利範圍。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱： 使用金氧半導體影像感測元件之影像感測裝置

一種光電轉換裝置，具有多數個像素單元，每個像素包含有一個光電轉換元件，一個場效電晶體，具有用以儲存該光電轉換元件所產生之電荷的閘極區，及用以輸出訊號之源極—汲極通路，該輸出訊號係相應於存在閘極區中之訊號電荷，並包含第一電源供應線，用以供應電源至該場效電晶體，及第一開關，連接至該場效電晶體及該第一電源供應線間，當用以重設該場效電晶體閘極之重設電壓為 V_{sig0} ，該場效電的臨界電壓為 V_{th} ，流經該場效電晶體的電流為 I_a ，經由該第一電源供應線施加的電壓為 V_{c1} ，且該第一開關的串連電阻為 R_{on} ，則每一個像素單元滿足下式

$$V_{c1} - R_{on} \times I_a > V_{sig0} - V_{th}$$

英文發明摘要(發明之名稱： IMAGE SENSING DEVICE USING MOS TYPE)
IMAGE SENSING ELEMENTS

In a photoelectric conversion device having a plurality of pixel cells each of which includes a photoelectric conversion element, a field effect transistor having the gate area for storing signal charge generated by the photoelectric conversion element and the source-drain path for outputting a signal corresponding to the signal charge stored in the gate, a first power supply line for supplying electric power to the field effect transistor, and a first switch connected between the field effect transistor and the first power supply line, when a reset voltage for resetting the gate of the field effect transistor is V_{sig0} , a threshold voltage of the field effect transistor is V_{th} , current flowing through the field effect transistor is I_a , a voltage applied via the first power supply line is V_{c1} , and a series resistance of the first switch is R_{on} , each pixel cell is configured to satisfy a condition determined by $V_{c1} - R_{on} \times I_a > V_{sig0} - V_{th}$.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第87115716號專利申請案

中文申請專利範圍修正本

民國89年3月修正

1. 一種光電轉換裝置，具有多數個像素單元，每個像素包含有一個光電轉換元件，一個場效電晶體，具有用以儲存該光電轉換元件所產生之電荷的閘極區，及用以輸出訊號之源極—汲極通路，該輸出訊號係相應於存在閘極區中之訊號電荷，並包含第一電源供應線，用以供應電源至該場效電晶體，及第一開關，連接該場效電晶體及該第一電源線，該裝置之特徵為：

當用以重設該場效電晶體閘極之重設電壓為 V_{sig0} ，該場效電晶體的臨界電壓為 V_{th} ，流經該場效電晶體的電流為 I_a ，經由該第一電源供應線施加的電壓為 V_{c1} ，且該第一開關的串連電阻為 R_{on} ，則每一個像素單元滿足下式

$$V_{c1} - R_{on} \times I_a > V_{gs} - V_{th}^2。$$

2. 如申請專利範圍第1項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，且該第一開關及第二開關係場效電晶體具有相互不同之臨界電壓。

3. 如申請專利範圍第2項之光電轉換裝置，其中藉由使該第一開關及第二開關的通道區，具有不同之雜質濃

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

度，使得該第一開關及第二開關具有相互不同之臨界電壓。

4．如申請專利範圍第2項之光電轉換裝置，其中藉由使該第一開關及第二開關的井區，具有不同之雜質濃度，使得該第一開關及第二開關具有相互不同之臨界電壓。

5．如申請專利範圍第2項之光電轉換裝置，其中藉由使該第一開關及第二開關的閘極介電薄膜，具有相互不同之厚度，使得該第一開關及第二開關具有相互不同之臨界電壓。

6．如申請專利範圍第2項之光電轉換裝置，其中藉由使該第一開關及第二開關之閘極介電薄膜的材料，具有相互不同之介電常數，使得該第一開關及第二開關具有相互不同之臨界電壓。

7．如申請專利範圍第2項之光電轉換裝置，其中該第一開關及第二開關係形成於相互孤立之不同的井區，且藉由施加不同的電壓至該對應的井區，使得該第一開關及第二開關具有相互不同之臨界電壓。

8．如申請專利範圍第2項之光電轉換裝置，其中該第一開關及第二開關係絕緣閘場效電晶體，且藉由讓該第一開關及第二開關具有相互不同的閘極長度，使得該第一開關及第二開關具有相互不同之臨界電壓。

9．如申請專利範圍第2項之光電轉換裝置，其中該第一開關及第二開關係絕緣閘場效電晶體，且藉由讓該第一開關及第二開關具有相互不同的閘極寬度，使得該第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

開關及第二開關具有相互不同之臨界電壓。

1 0 . 如申請專利範圍第 1 項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，該第一開關及第二開關係場效電晶體，且不同的電壓施加於該第一開關及第二開關的閘極。

1 1 . 如申請專利範圍第 1 項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，及第二電源供應線，用以供應一電壓電源至該第二開關，且其值不同於經由第一電源供應線者，該第一開關及第二開關係場效電晶體。

1 2 . 如申請專利範圍第 1 項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，於該第二開關及該場效電晶體閘極區之間形成一電容，且該場效電晶體之閘極電壓係由該電容所控制。

1 3 . 如申請專利範圍第一項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，及第三開關，連接該光電轉換元件及該第二開關與該場效電晶體閘極的交接觸，且該場效電晶體閘極之電容被設成低於該光電轉換元件的電容值。

1 4 . 如申請專利範圍第 1 項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，該第一開關及第二開關係場效電晶體，且於該第一開關中，當遷移率為 μ ，單位面積之閘氧化薄膜

C_{ox} ，閘極寬度 W ，閘極長度 L ， $K = 1 / 2 \times \mu \times$

六、申請專利範圍

$C o \times W / L$ ，該第二開關之臨界電壓為 V_{th0} ，且該第一開關之臨界電壓為 V_{th1} ，該第二開關的閘電壓為 V_2 ，該第一開關的閘電壓為 V_3 ，則每個像素滿足以下的條件：

$$V_3 - V_{th1} - (I_a/K)^{1/2} > V_2 - V_{th0} - V_{th}$$

1 5 . 如申請專利範圍第 1 4 項之光電轉換裝置，其中該第二開關的閘電壓 V_2 及該第一開關的閘電壓 V_3 被控制為等值，且該場效電晶體的臨界電壓 V_{th} ，該第二開關的臨界電壓 V_{th0} 及該第一開關的臨界電壓 V_{th1} 被設為等值。

1 6 . 如申請專利範圍第 1 4 項之光電轉換裝置，其中該第二開關的閘電壓 V_2 及該第一開關的閘電壓 V_3 被控制為等值，且該第二開關的臨界電壓 V_{th0} 被設定為不同於該第一開關的臨界電壓 V_{th1} 。

1 7 . 如申請專利範圍第 1 4 項之光電轉換裝置，其中該第二開關的閘電壓 V_2 被控制為不同於該第一開關的閘電壓 V_3 ，且該第二開關的臨界電壓 V_{th0} 被設定為不同於該第一開關的臨界電壓 V_{th1} 。

1 8 . 如申請專利範圍第 1 項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，該第一開關及第二開關係場效電晶體，且於該第一開關中，當遷移率為 μ ，單位面積之閘氧化薄膜 $C o \times$

六、申請專利範圍

，閘極寬度 W ，閘極長度 L ， $K = 1 / 2 \times u \times C_{ox} \times W / L$ ，該第二開關之臨界電壓為 V_{th0} ，且該第一開關之臨界電壓為 V_{th1} ，該第二開關的閘電壓為 V_2 ，該第一開關的閘電壓為 V_3 ，則每個像素滿足以下的條件：

$$V_3 - V_{th1} - (I_a / K + (V_3 - V_{c1} - V_{th1})^2)^{1/2} > V_2 - V_{th0} - V_{th}$$

19．如申請專利範圍第1項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，及第二電源供應線，用以供應一電壓電源至該第二開關，且其值不同於經由第一電源供應線者，該第一開關及第二開關係場效電晶體。且於該第一開關中，當遷移率為 μ ，單位面積之閘氧化薄膜 C_{ox} ，閘極寬度 W ，閘極長度 L ， $K = 1 / 2 \times u \times C_{ox} \times W / L$ ，該第二開關之臨界電壓為 V_{th0} ，且該第一開關之臨界電壓為 V_{th1} ，該第二開關的閘電壓為 V_2 ，該第一開關的閘電壓為 V_3 ，且經由該第二電源供應線所施加的電壓為 V_{c2} ，則每個像素滿足以下的條件：

$$V_3 - V_{th1} - (I_a / K)^{1/2} > V_{c2} - V_{th}$$

其中， $V_{c2} \leq V_2 - V_{th0}$ 。

20．如申請專利範圍第1項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，及第二電源供應線，用以供應一電壓電源至該第二開關，且其值不同於經由第一電源供應線者，該第一開關及第二開關係場效電晶體。且於該第一開關中，當遷

六、申請專利範圍

移率為 μ ，單位面積之閘氧化薄膜 C_{ox} ，閘極寬度 W ，閘極長度 L ， $K = 1 / 2 \times \mu \times C_{ox} \times W / L$ ，該第二開關之臨界電壓為 V_{th0} ，且該第一開關之臨界電壓為 V_{th1} ，該第二開關的閘電壓為 V_2 ，該第一開關的閘電壓為 V_3 ，且經由該第二電源供應線所施加的電壓為 V_{c2} ，則每個像素滿足以下的條件：

$$V_3 - V_{th1} - (I_a / K + (V_3 - V_{c1} - V_{th1})^2)^{1/2} > V_{c2} - V_{th}$$

其中， $V_{c2} \leq V_2 - V_{th0}$ 。

2 1 . 一種光電轉換裝置，具有多數個像素單元，每個像素包含有一個光電轉換元件，第一開關，用以傳遞該光電轉換元件所產生之電荷，一個場效電晶體，具有用來接受傳遞電荷的閘極區，用以相應於儲存於閘極區的電荷，輸出一訊號，且包括第二開關，用以重設該場效電晶體之閘極區，該裝置之特徵為：

該第一開關及該第二開關之臨界電壓係不同於該電晶體之臨界電壓。

2 2 . 如申請專利範圍第 2 1 項之光電轉換裝置，其中該場效電晶體的臨界電壓大於該第一開關及該第二開關之臨界電壓。

2 3 . 如申請專利範圍第 2 1 項之光電轉換裝置，其中每一像素進一步包括第三開關，被連接於該場效電晶體及用以提供電功率至該場效電晶體的電源供應器間。

2 4 . 如申請專利範圍第 2 3 項之光電轉換裝置，其中該第二開關及該第三開關係場效電晶體，且具有相互不

六、申請專利範圍

同之臨界電壓。

2 5 . 如申請專利範圍第 2 1 項之光電轉換裝置，其中該第一開關及該第二開關係場效電晶體，且用以輸出訊號之該場效電晶體的臨界電壓不同於該第一開關及該第二開關者，其係藉由使該場效電晶體之通道區的雜質濃度不同於該第一及該第二開關中者來達成。

2 6 . 如申請專利範圍第 2 5 項之光電轉換裝置，其中，首先藉由摻雜預定濃度的雜質至所有該場效電晶體，該第一及該第二開關的通道區，用以輸出訊號之該場效電晶體的臨界電壓即不同於該第一開關及該第二開關的臨界電壓，其後，摻雜用以輸出訊號之該場效電晶體的通道區。

2 7 . 如申請專利範圍第 2 1 項之光電轉換裝置，其中該第一開關及該第二開關係場效電晶體，且用以輸出訊號之該場效電晶體的臨界電壓不同於該第一開關及該第二開關者，其係藉由將用以輸出訊號之該場效電晶體之井區的雜質濃度不同於該第一及該第二開關中者來達成。

2 8 . 如申請專利範圍第 2 1 項之光電轉換裝置，其中該第一開關及該第二開關係場效電晶體，且用以輸出訊號之該場效電晶體的臨界電壓不同於該第一開關及該第二開關者，其係藉由將用以輸出訊號之該場效電晶體之介電薄膜厚度不同於該第一及該第二開關之介電薄膜厚度來達成。

2 9 . 如申請專利範圍第 2 1 項之光電轉換裝置，其

六、申請專利範圍

中該第一開關及該第二開關係場效電晶體，且用以輸出訊號之該場效電晶體的臨界電壓不同於該第一開關及該第二開關者，其係藉由將用以輸出訊號之該場效電晶體之介電薄膜的介電常數不同於該第一及該第二開關中之介電薄膜材料的介電常數來達成。

30．如申請專利範圍第21項之光電轉換裝置，其中該第一開關及該第二開關係場效電晶體，且用以輸出訊號之該場效電晶體及該第一開關及該第二開關形成於相互孤立的井區，且用以輸出訊號之該場效電晶體的臨界電壓不同於該第一開關及該第二開關者，其係藉由施加不同於該第一及該第二開關之電壓至用以輸出訊號之該場效電晶體來達成。

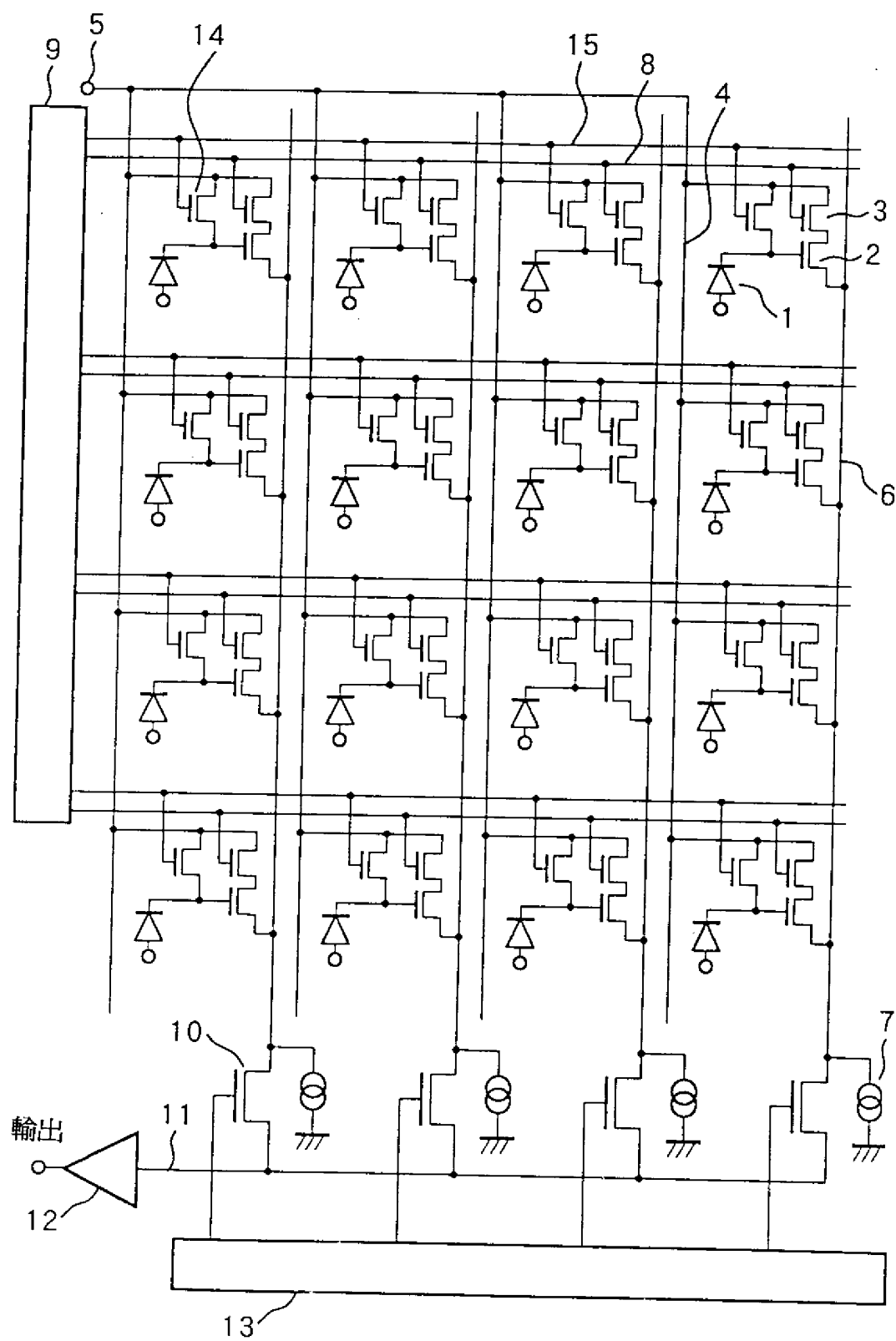
31．如申請專利範圍第21項之光電轉換裝置，其中該第一開關及該第二開關係場效電晶體，且用以輸出訊號之該場效電晶體的臨界電壓不同於該第一開關及該第二開關者，其係藉由將用以輸出訊號之該場效電晶體之閘極長度不同於該第一及該第二開關中之閘極長度來達成。

32．如申請專利範圍第21項之光電轉換裝置，其中該第一開關及該第二開關係場效電晶體，且用以輸出訊號之該場效電晶體的臨界電壓不同於該第一開關及該第二開關者，其係藉由將用以輸出訊號之該場效電晶體之閘極寬度不同於該第一及該第二開關中之閘極寬度來達成。

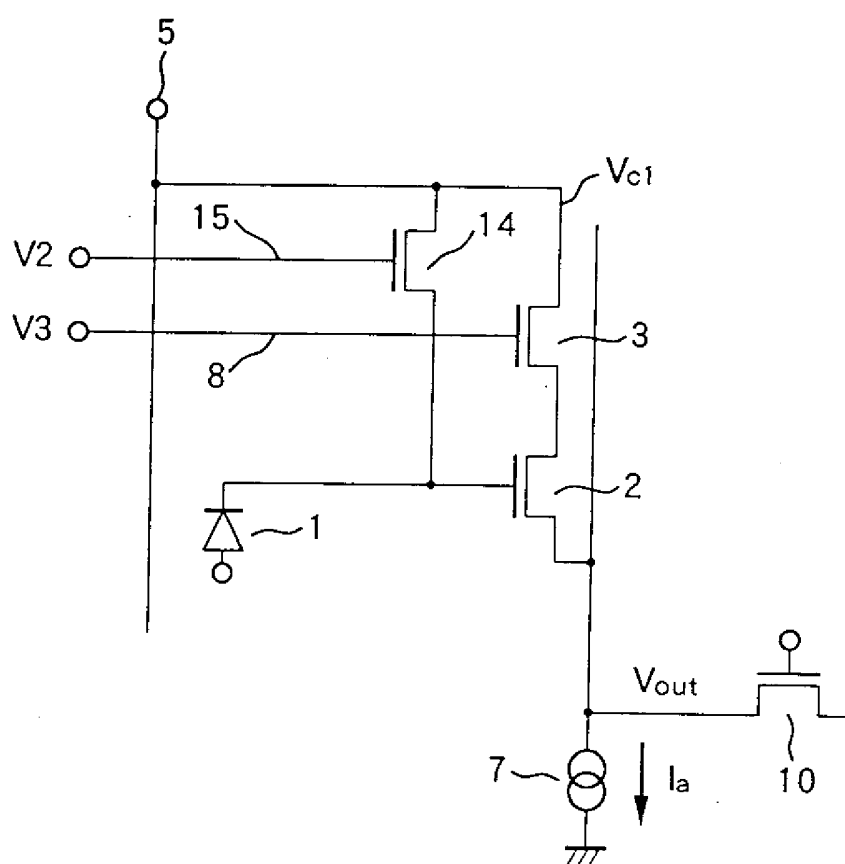
8711171b

732302

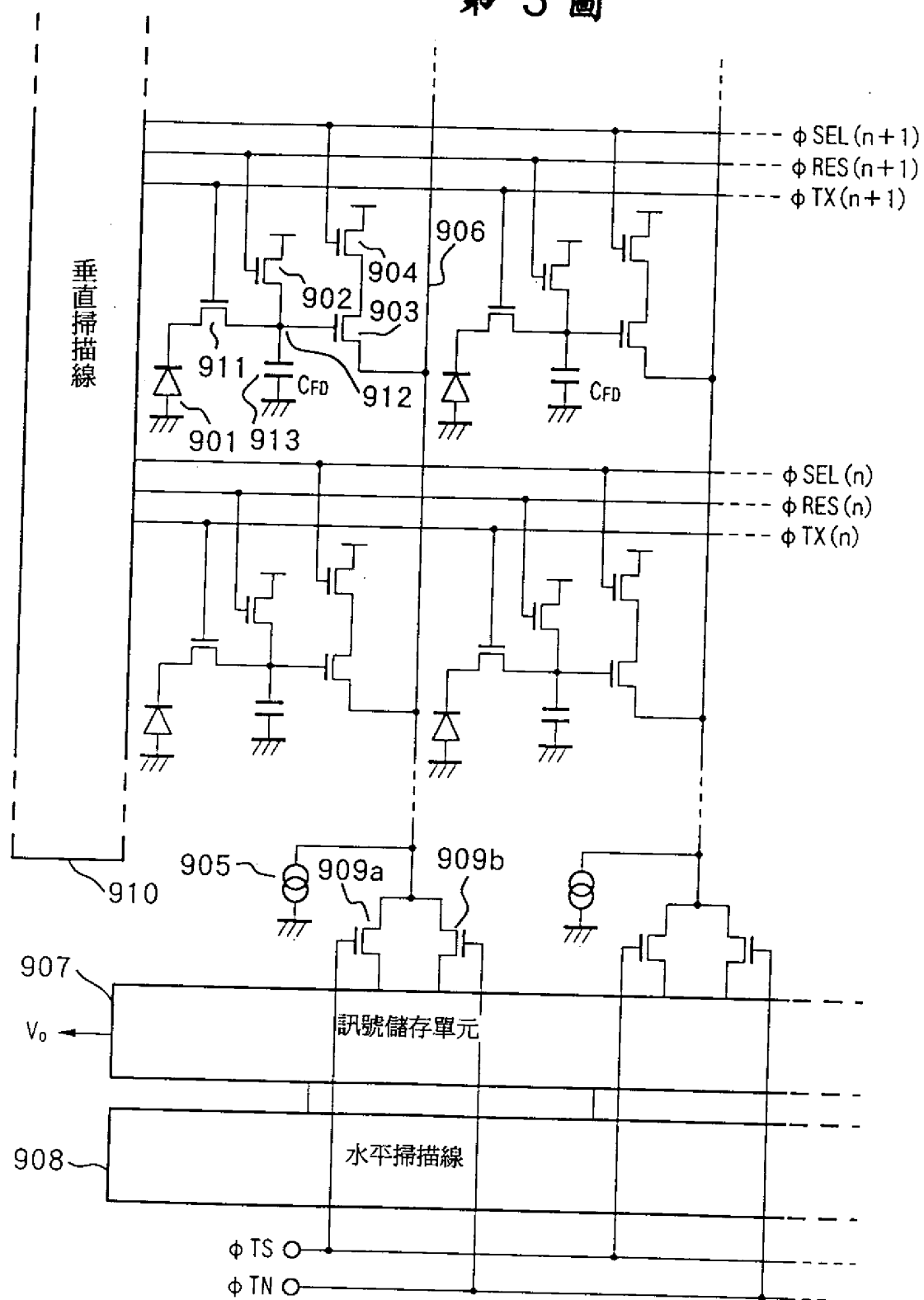
第 1 圖



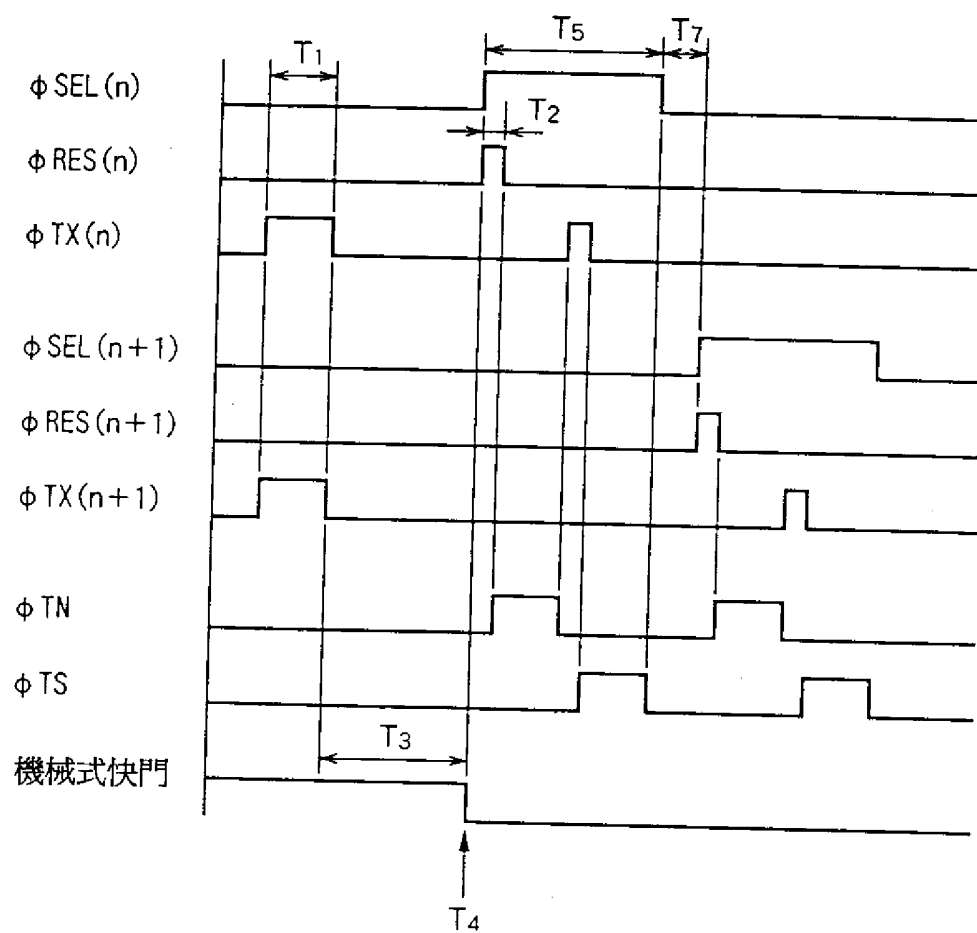
第 2 圖



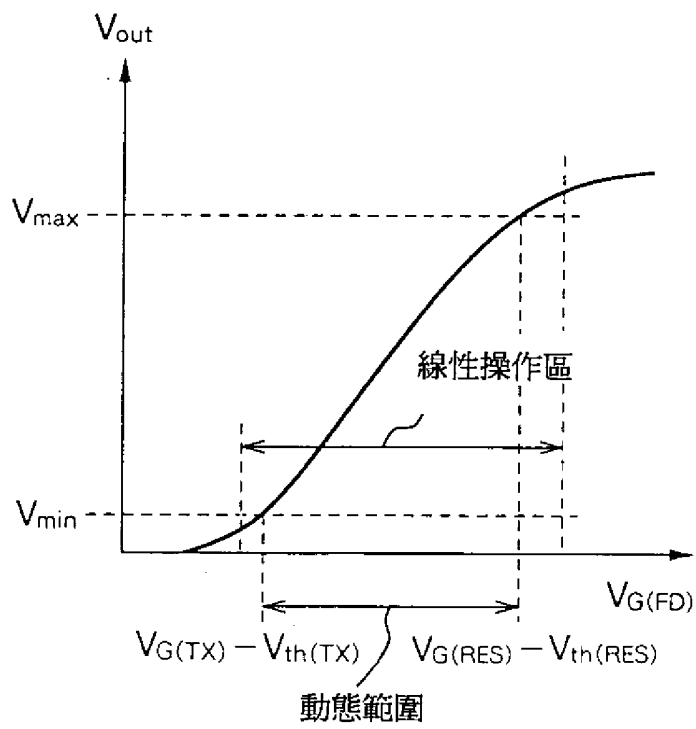
第 3 圖



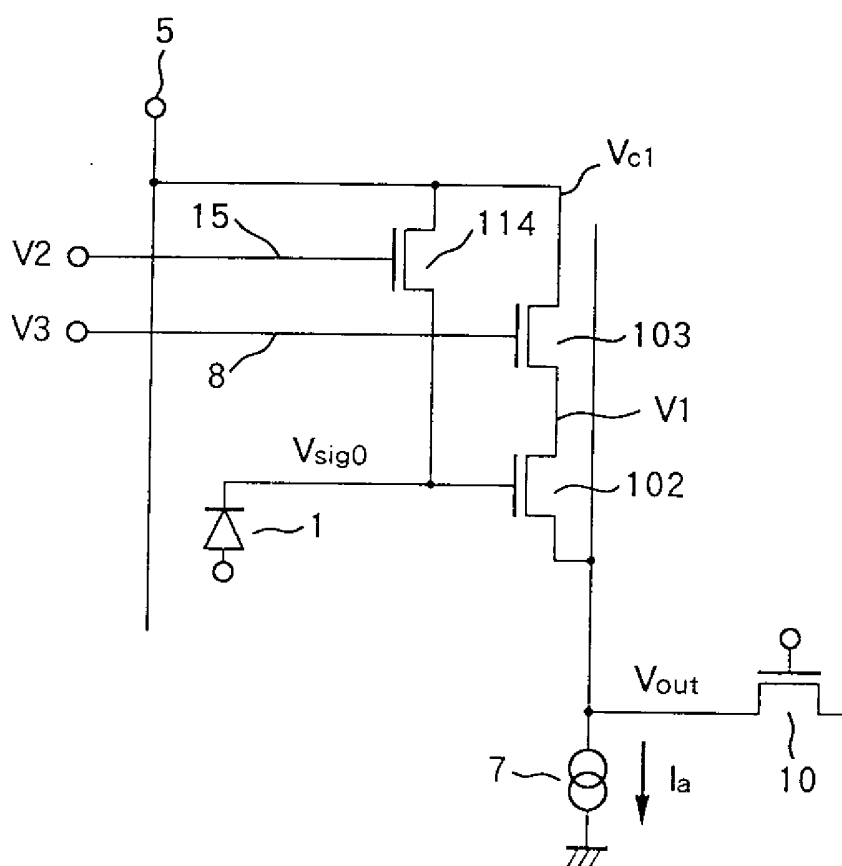
第 4 圖



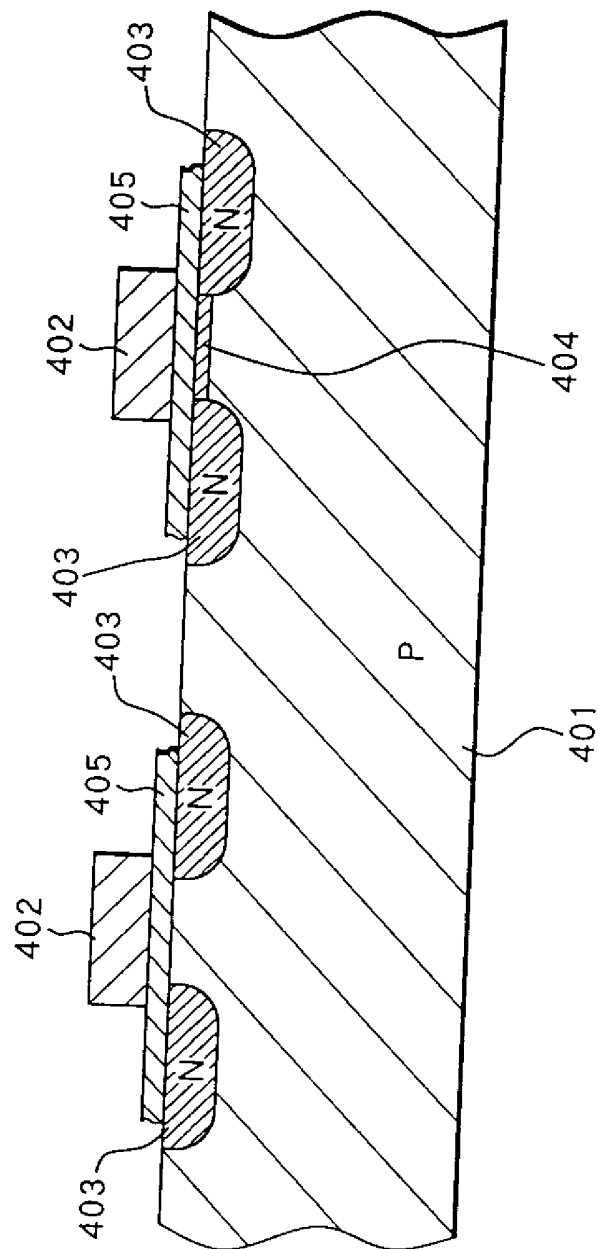
第 5 圖



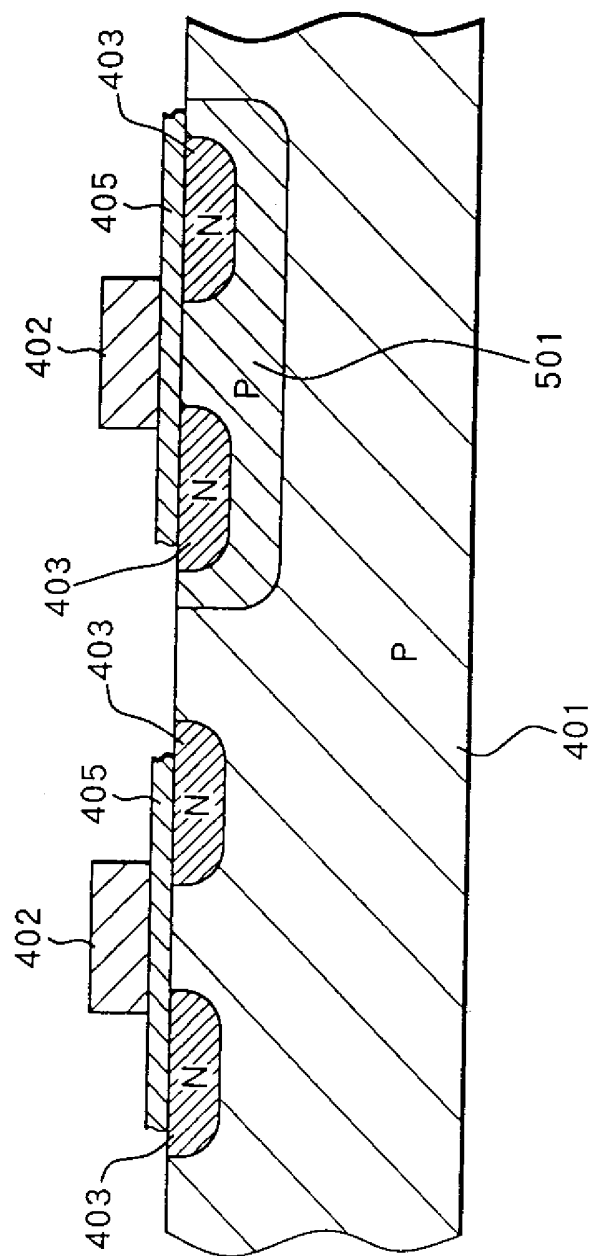
第 6 圖



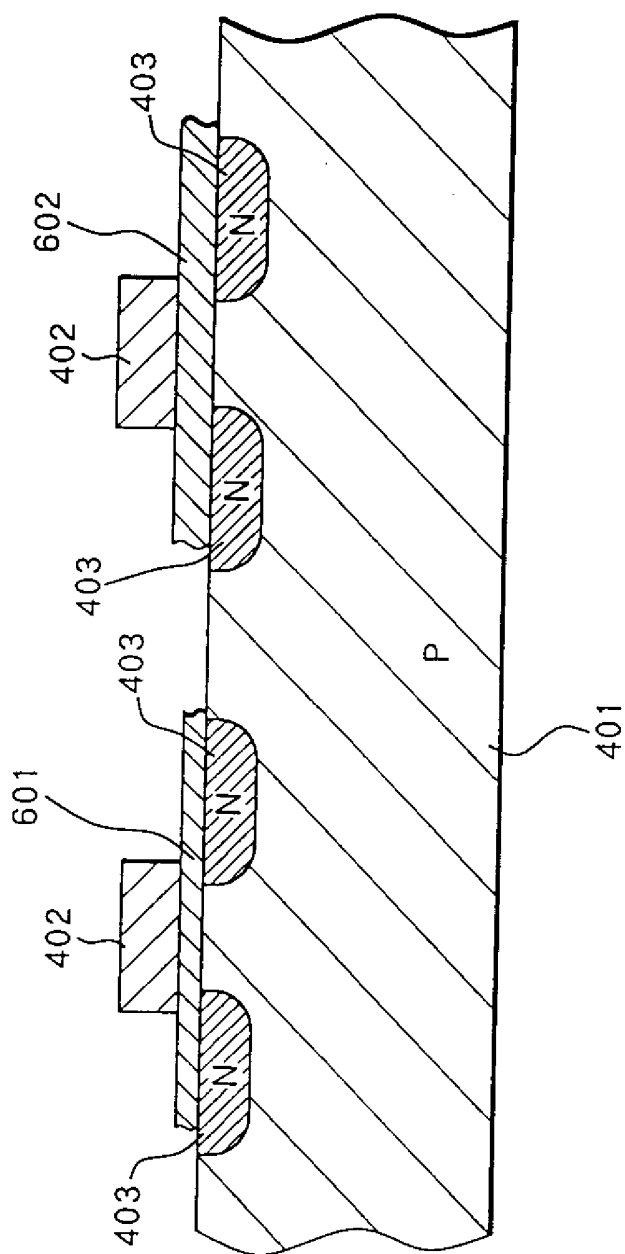
第 7 圖



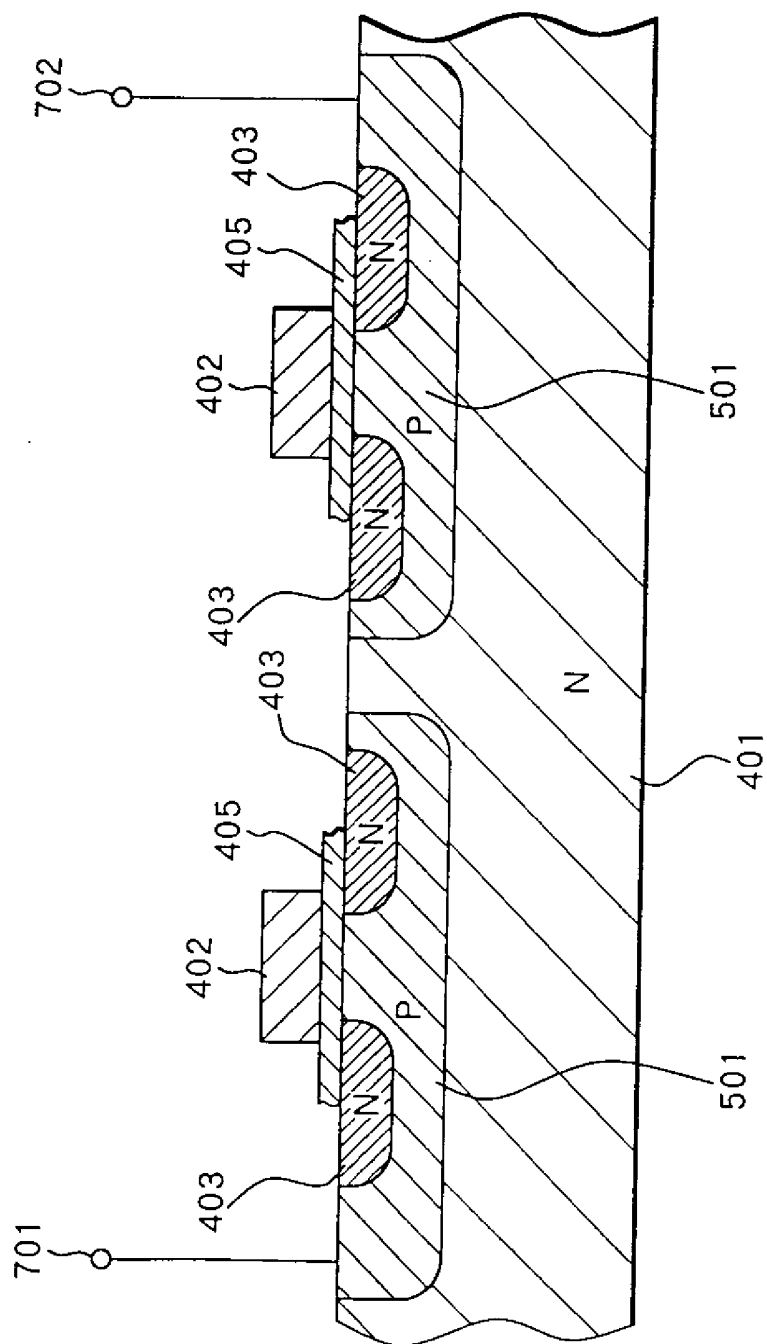
第 8 圖



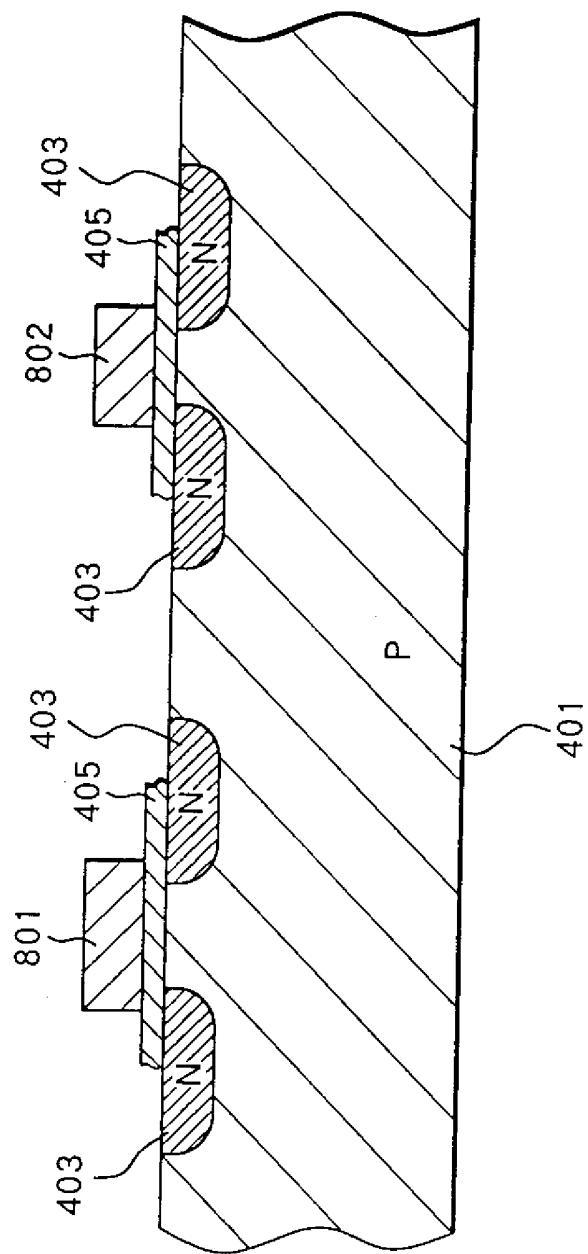
第 9 圖



第10圖



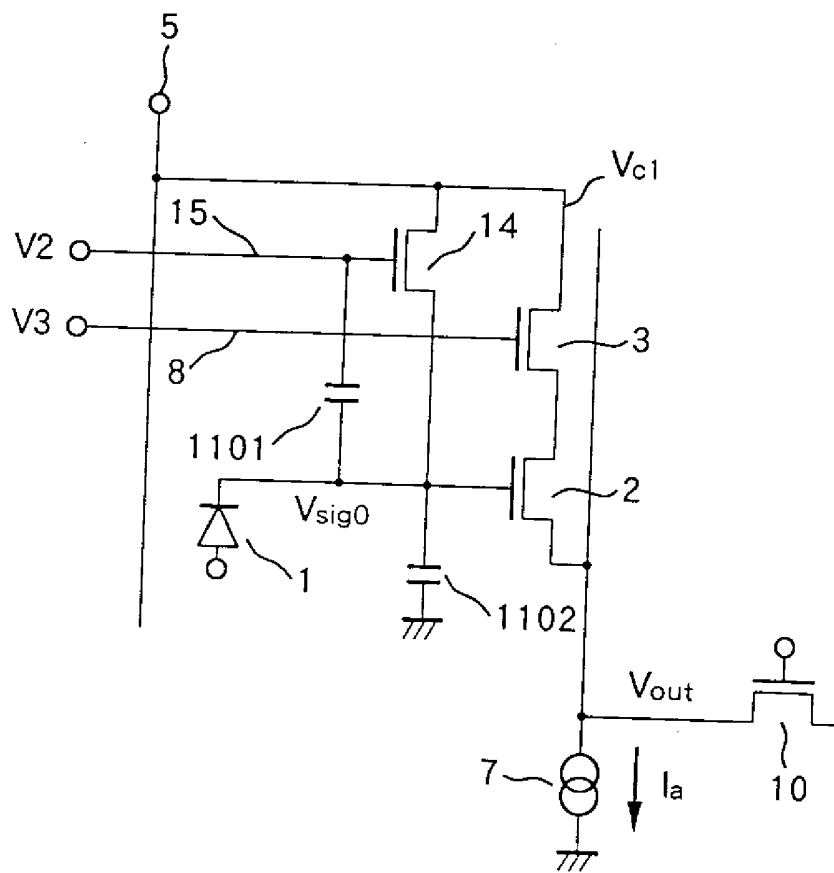
第11圖



The circuit diagram shows a differential amplifier. The input stage consists of two NMOS transistors, 102 and 103, whose gates are connected to a common-mode input signal V_{sig0} . The gates of transistors 102 and 103 are also connected to a tail current source 7, which is connected to ground. The sources of transistors 102 and 103 are connected to a common output node V_{out} . The drains of transistors 102 and 103 are connected to a current mirror load. The current mirror is formed by two PMOS transistors, 114 and 101, whose gates are connected to a common-mode input signal V_{sig0} . The gates of transistors 114 and 101 are also connected to a tail current source 8, which is connected to ground. The sources of transistors 114 and 101 are connected to a common output node V_{out} . The drains of transistors 114 and 101 are connected to a common-mode input signal V_{sig0} . The output of the differential amplifier is taken from the output node V_{out} .

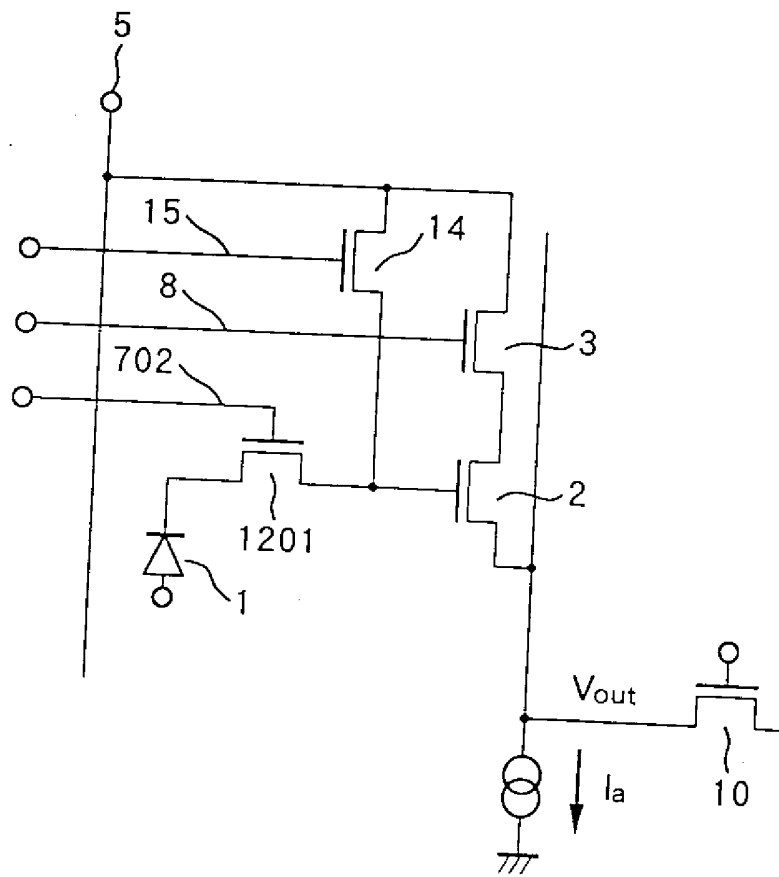
421 962

第14圖



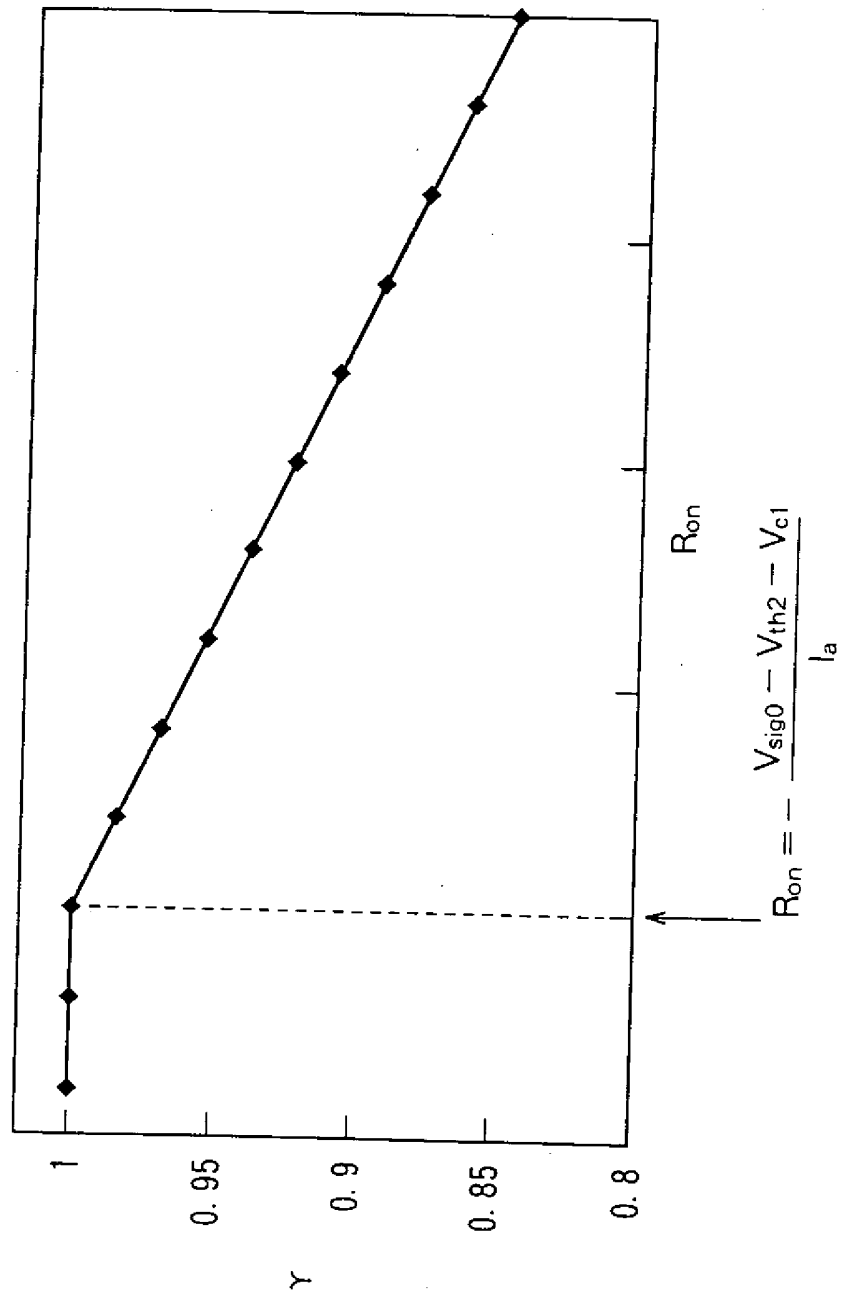
421 962

第15圖



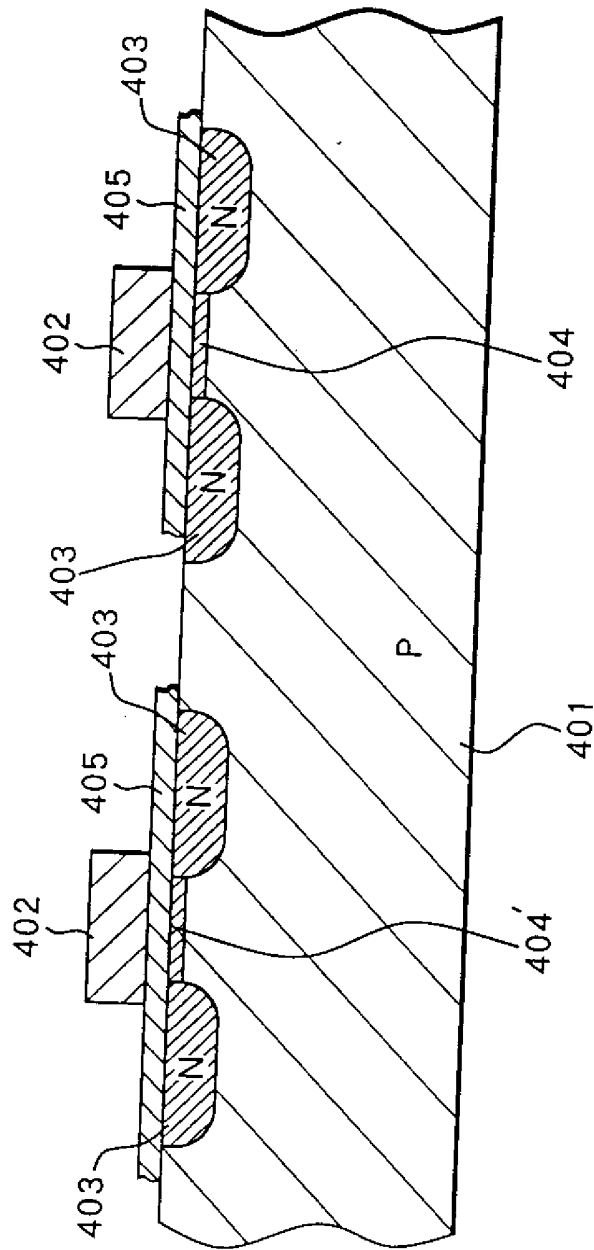
421 962

第16圖



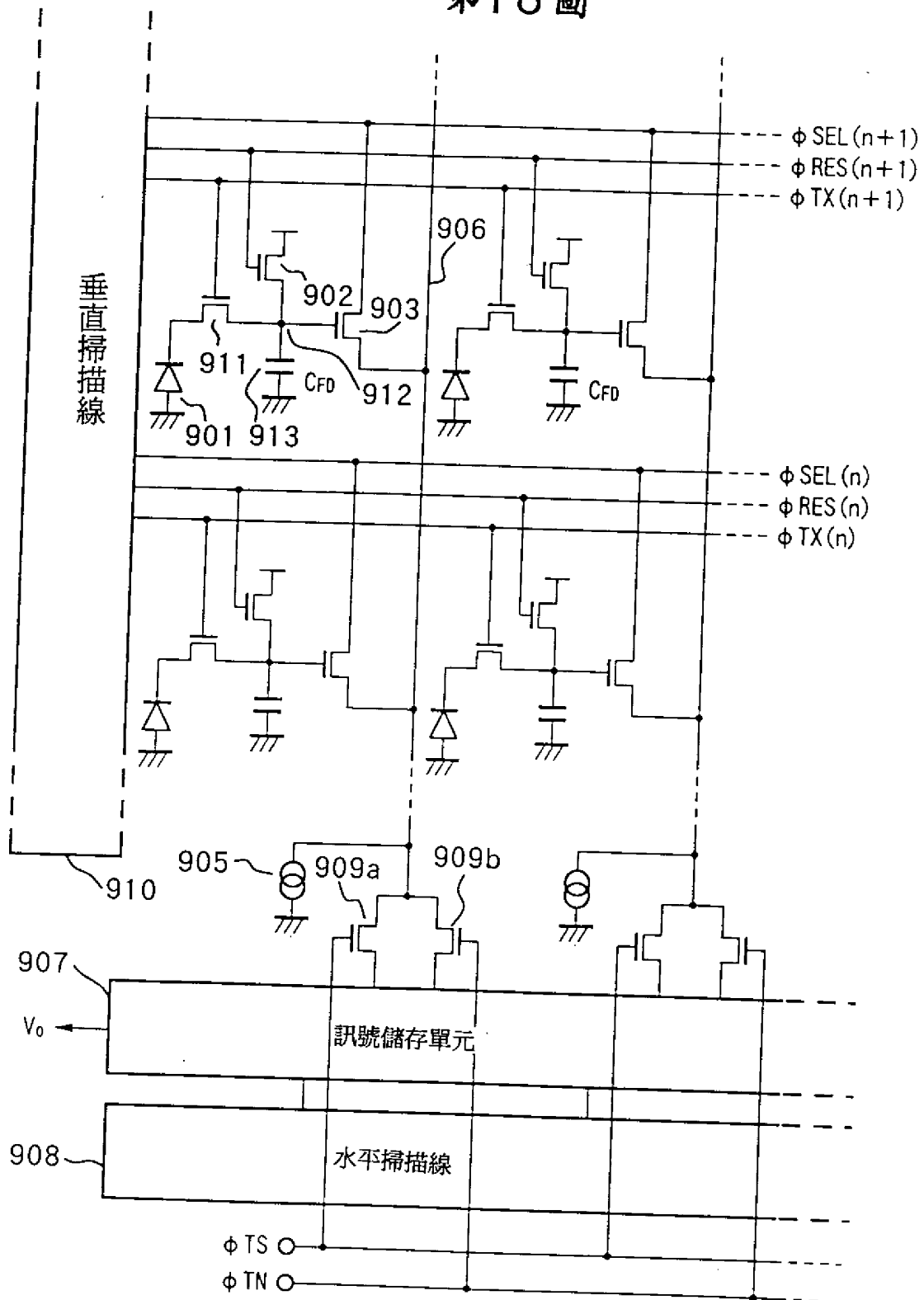
421 962

第17圖



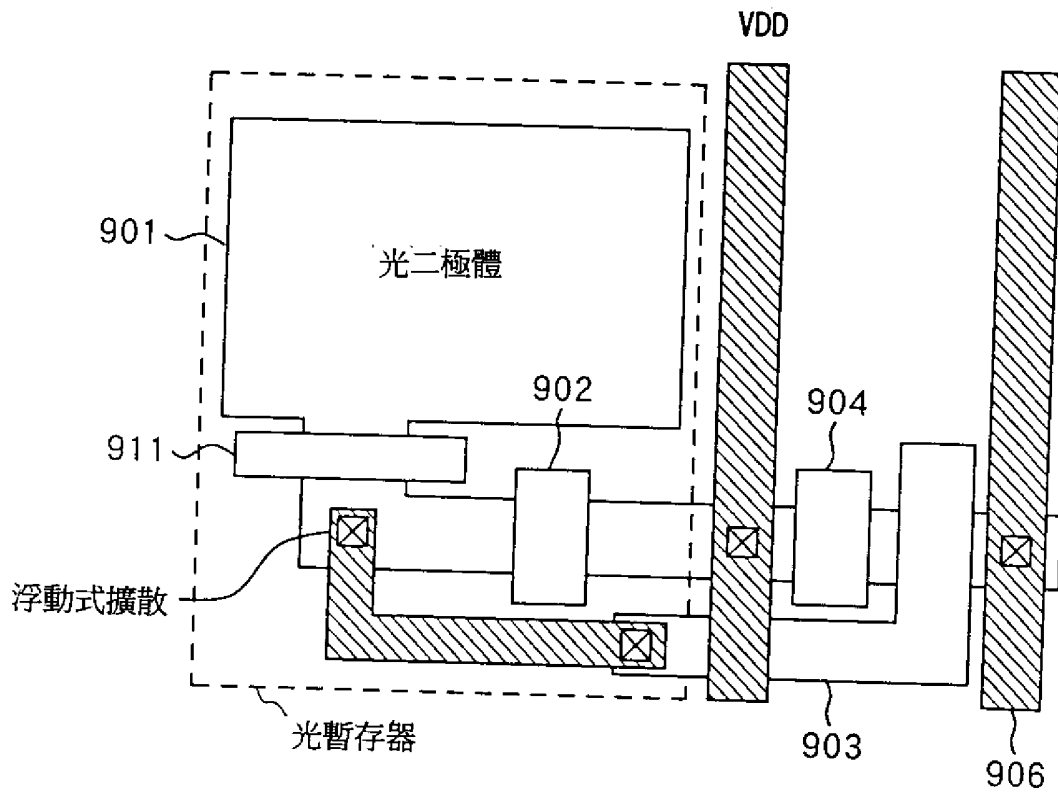
421 962

第18圖



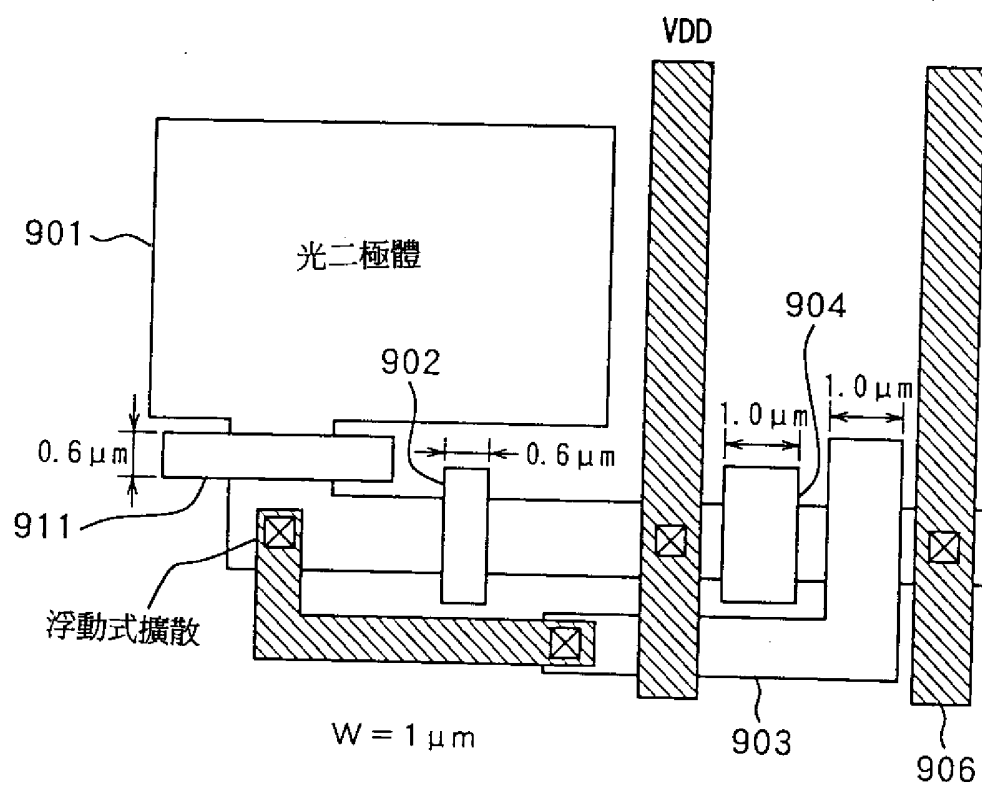
421 962

第19圖



421 962

第20圖



六、申請專利範圍

第87115716號專利申請案

中文申請專利範圍修正本

民國89年3月修正

1. 一種光電轉換裝置，具有多數個像素單元，每個像素包含有一個光電轉換元件，一個場效電晶體，具有用以儲存該光電轉換元件所產生之電荷的閘極區，及用以輸出訊號之源極—汲極通路，該輸出訊號係相應於存在閘極區中之訊號電荷，並包含第一電源供應線，用以供應電源至該場效電晶體，及第一開關，連接該場效電晶體及該第一電源線，該裝置之特徵為：

當用以重設該場效電晶體閘極之重設電壓為 V_{sig0} ，該場效電晶體的臨界電壓為 V_{th} ，流經該場效電晶體的電流為 I_a ，經由該第一電源供應線施加的電壓為 V_{c1} ，且該第一開關的串連電阻為 R_{on} ，則每一個像素單元滿足下式

$$V_{c1} - R_{on} \times I_a > V_{gs} - V_{th}^2。$$

2. 如申請專利範圍第1項之光電轉換裝置，其中每一像素進一步包括用以重設該場效電晶體之該閘極區的第二開關，且該第一開關及第二開關係場效電晶體具有相互不同之臨界電壓。

3. 如申請專利範圍第2項之光電轉換裝置，其中藉由使該第一開關及第二開關的通道區，具有不同之雜質濃

(請先閱讀背面之注意事項再填寫本頁)

裝

訂