

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年1月5日(05.01.2023)



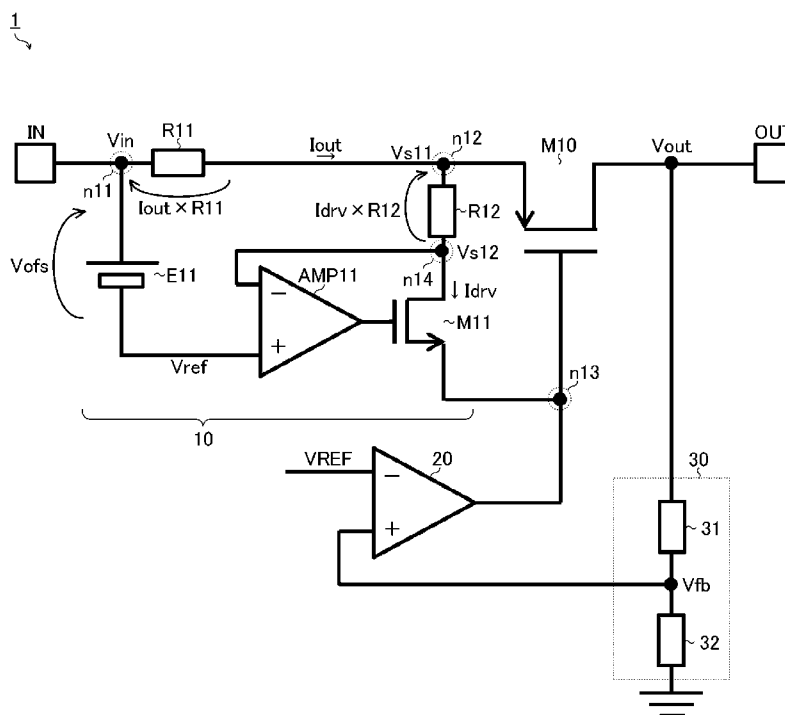
(10) 国際公開番号

WO 2023/276491 A1

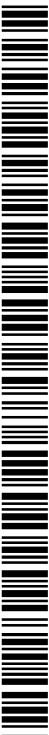
- (51) 国際特許分類:
G05F 1/56 (2006.01)
- (21) 国際出願番号: PCT/JP2022/021091
- (22) 国際出願日: 2022年5月23日(23.05.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-107634 2021年6月29日(29.06.2021) JP
特願 2021-107635 2021年6月29日(29.06.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 安坂 信 (YASUSAKA Makoto); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
永田 健 (NAGATA Takeshi); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: OVERCURRENT PROTECTION CIRCUIT AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 過電流保護回路、半導体装置



(57) Abstract: An overcurrent protection circuit 10 includes, for example: a node n11 configured such that a first end of an overcurrent detection resistor R11 is connected thereto; a node n12 configured such that a second end of the overcurrent detection resistor R11 and a main electrode of an output transistor M10 are commonly connected thereto; a node n13 configured such that a control electrode of the output transistor M10 is connected thereto; a voltage source E11 configured so as to generate a reference voltage Vref by adding/subtracting an offset voltage Vofs to/from a terminal voltage Vin



WO 2023/276491 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

of the node n11; a hysteresis setting resistor R12 and an overcurrent protection transistor M11 which are connected in series between the node n12 and the node n13 and are configured so as to output a detection voltage Vs12 from a node n14 that is between the hysteresis setting resistor R12 and the overcurrent protection transistor M11; and an operational amplifier AMP11 configured so as to control the overcurrent protection transistor M11 in accordance with a differential value between the reference voltage Vref and the detection voltage Vs11.

(57) 要約 : 過電流保護回路 10 は、例えば、過電流検出抵抗 R11 の第1端が接続されるように構成されたノード n11 と、過電流検出抵抗 R11 の第2端と出力トランジスタ M10 の主電極が共通接続されるように構成されたノード n12 と、出力トランジスタ M10 の制御電極が接続されるように構成されたノード n13 と、ノード n11 の端子電圧 Vin にオフセット電圧 Vofs を加減算して基準電圧 Vref を生成するように構成された電圧源 E11 と、ノード n12 とノード n13 の間に直列接続されて相互間のノード n14 から検出電圧 Vs12 を出力するように構成されたヒステリシス設定抵抗 R12 及び過電流保護トランジスタ M11 と、基準電圧 Vref と検出電圧 Vs11 の差分値に応じて過電流保護トランジスタ M11 を制御するように構成されたオペアンプ AMP11 とを有する。

明 細 書

発明の名称： 過電流保護回路、半導体装置

技術分野

[0001] 本明細書中に開示されている発明は、過電流保護回路、及び、これを用いた半導体装置に関する。

背景技術

[0002] 従来、出力トランジスタに流れる出力電流を所定の上限値以下に制限する過電流保護回路が広く実用化されている。

[0003] なお、上記に関連する従来技術の一例としては、特許文献1を挙げる事ができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-115646号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来の過電流保護回路では、出力電流制限時の発熱抑制について更なる改善の余地があった。

[0006] 本明細書中に開示されている発明は、本願の発明者らにより見出された上記の課題に鑑み、出力電流制限時の発熱を抑制することのできる過電流保護回路、及び、これを用いた半導体装置を提供することを目的とする。

課題を解決するための手段

[0007] 例えば、本明細書中に開示されている過電流保護回路は、過電流検出抵抗の第1端が接続されるように構成された第1ノードと、前記過電流検出抵抗の第2端と出力トランジスタの主電極が共通に接続されるように構成された第2ノードと、前記出力トランジスタの制御電極が接続されるように構成された第3ノードと、前記第1ノードの端子電圧にオフセット電圧を加減算して基準電圧を生成するように構成された電圧源と、前記第2ノードと前記第

3ノードとの間に直列接続されて相互間の第4ノードから検出電圧を出力するように構成されたヒステリシス設定抵抗及び過電流保護トランジスタと、前記基準電圧と前記検出電圧との差分値に応じて前記過電流保護トランジスタを制御するように構成されたオペアンプと、を有する。

[0008] また、例えば、本明細書中に開示されている過電流保護回路は、出力トランジスタの第1主電極が接続されるように構成された第1ノードと、前記出力トランジスタの第2主電極が接続されるように構成された第2ノードと、前記出力トランジスタの制御電極が接続されるように構成された第3ノードと、前記第1ノードの端子電圧にオフセット電圧を加減算して基準電圧を生成するように構成された電圧源と、前記第1ノードと前記第2ノードとの間に直列接続されて相互間の第4ノードから検出電圧を出力するように構成された過電流検出抵抗及びミラートランジスタと、前記第4ノードと前記第3ノードとの間に接続されるように構成された過電流保護トランジスタと、前記基準電圧と前記検出電圧との差分値に応じて前記過電流保護トランジスタを制御するように構成されたオペアンプと、を有する。

[0009] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

発明の効果

[0010] 本明細書中に開示されている発明によれば、出力電流制限時の発熱を抑制することのできる過電流保護回路、及び、これを用いた半導体装置を提供することが可能となる。

図面の簡単な説明

[0011] [図1]図1は、過電流保護回路の第1比較例を示す図である。
[図2]図2は、第1比較例の過電流保護特性を示す図である。
[図3]図3は、過電流保護回路の第1実施形態を示す図である。
[図4]図4は、第1実施形態の過電流保護特性を示す図である。
[図5]図5は、第1実施形態の第1変形例を示す図である。

[図6]図6は、第1実施形態の第2変形例を示す図である。

[図7]図7は、過電流保護回路の第2実施形態を示す図である。

[図8]図8は、過電流保護回路の第2比較例を示す図である。

[図9]図9は、第2比較例の過電流保護特性を示す図である。

[図10]図10は、過電流保護回路の第3実施形態を示す図である。

[図11]図11は、第3実施形態の過電流保護特性を示す図である。

[図12]図12は、第2実施形態の変形例を示す図である。

[図13]図13は、過電流保護回路の第4実施形態を示す図である。

[図14]図14は、半導体装置の第1適用例を示す図である。

[図15]図15は、半導体装置の第2適用例を示す図である。

発明を実施するための形態

[0012] <過電流保護回路（第1比較例）>

図1は、過電流保護回路の第1比較例（＝後出の第1実施形態及び第2実施形態と対比される一般的な回路構成の一例）を示す図である。

[0013] 第1比較例の過電流保護回路10は、出力トランジスタM10（本図の例では、PMOSFET [P-channel type metal oxide semiconductor field effect transistor]）と共に半導体装置1に内蔵される回路ブロックであり、オペアンプAMP11と、電圧源E11と、過電流保護トランジスタM11（本図の例ではNMOSFET [N-channel type MOSFET]）と、過電流検出抵抗R11と、を有する。

[0014] なお、半導体装置1は、装置外部との電気的な接続を確立するための外部端子として、入力端子IN（＝入力電圧 V_{in} の印加端）と出力端子OUT（＝出力電圧 V_{out} の印加端）を備えている。

[0015] また、半導体装置1は、出力トランジスタM10及び過電流保護回路10に加えて、ドライバ20と帰還電圧生成部30を内蔵しており、LDO [low drop out] レギュレータとして動作する。

[0016] ドライバ20は、入力端子INに入力される入力電圧 V_{in} から所望の出力電圧 V_{out} を生成して出力端子OUTから出力するように、出力トラン

ジスタM10の駆動制御を行う。本図に即して述べると、ドライバ20は、非反転入力端(+)に入力される帰還電圧Vfbと、反転入力端(-)に入力される参照電圧VREFとがイマジナリショートするように、出力トランジスタM10のゲート信号を生成するオペアンプである。

[0017] 帰還電圧生成部30は、出力端子OUTと接地端との間に直列接続された抵抗31及び32を含み、出力電圧Voutを分圧して帰還電圧Vfbを生成する。なお、帰還電圧生成部30を省略して、出力電圧Voutをドライバ20に直接入力してもよい。

[0018] 過電流保護回路10の説明に戻る。過電流検出抵抗R11の第1端及び電圧源E11の正極端は、いずれもノードn11(=第1ノードに相当)に接続されている。ノードn11は、入力端子INに接続されている。過電流検出抵抗R11の第2端、オペアンプAMP11の反転入力端(-)、出力トランジスタM10のソース、及び、過電流保護トランジスタM11のドレインは、いずれもノードn12(=第2ノードに相当)に接続されている。電圧源E11の負極端は、オペアンプAMP11の非反転入力端(+)に接続されている。オペアンプAMP11の出力端は、過電流保護トランジスタM11のゲートに接続されている。出力トランジスタM10のゲートと過電流保護トランジスタM11のソースは、いずれもノードn13(=第3ノードに相当)に接続されている。出力トランジスタM10のドレインは、出力端子OUTに接続されている。

[0019] 第1比較例の過電流保護回路10において、電圧源E11は、入力電圧Vin(=ノードn11の端子電圧)に所定のオフセット電圧Vofsを加減算することにより、基準電圧Vref(=Vin-Vofs)を生成する。

[0020] オペアンプAMP11は、電圧源E11の負極端から非反転入力端(+)に入力される基準電圧Vrefと、ノードn12から反転入力端(-)に入力される検出電圧Vs11との差分値に応じて過電流保護トランジスタM11のオン抵抗(導通度)を制御する。なお、検出電圧Vs11は、入力電圧Vinから過電流検出抵抗R11の両端間電圧を差し引いた電圧値(=Vi

$n - I_{out} \times R_{11}$) となる。従って、検出電圧 V_{s11} は、出力電流 I_{out} が大きいほど低くなり、出力電流 I_{out} が小さいほど高くなる。

[0021] 過電流検出抵抗 R_{11} の両端間電圧 ($= I_{out} \times R_{11}$) がオフセット電圧 V_{ofs} よりも低いときには、検出電圧 V_{s11} が基準電圧 V_{ref} よりも高くなるので、オペアンプ AMP_{11} の出力信号 (= 過電流保護トランジスタ M_{11} のゲート信号) がローレベルに張り付いた状態となる。このとき、過電流保護トランジスタ M_{11} がフルオフするので、出力トランジスタ M_{10} のゲート・ソース間がオープン状態となる。従って、出力トランジスタ M_{10} のオン抵抗が引き上げられることはなく、出力トランジスタ M_{10} に流れる出力電流 I_{out} には何ら制限が掛からない状態 (= 過電流保護動作が解除された状態) となる。

[0022] 一方、出力異常等により出力電流 I_{out} が増大して、過電流検出抵抗 R_{11} の両端間電圧 ($= I_{out} \times R_{11}$) がオフセット電圧 V_{ofs} よりも高くなり、検出電圧 V_{s11} が基準電圧 V_{ref} よりも低くなると、両電圧の差分値に応じてオペアンプ AMP_{11} の出力信号がローレベルから上昇する。その結果、過電流保護トランジスタ M_{11} がオンして出力トランジスタ M_{10} のゲート・ソース間に駆動電流 I_{drv} が流れるので、出力トランジスタ M_{10} のゲート・ソース間電圧が引き下げられる。従って、出力トランジスタ M_{10} のオン抵抗が上昇し、出力電流 I_{out} に制限が掛かった状態 (= 過電流保護動作が発動された状態) となる。最終的には、検出電圧 V_{s11} と基準電圧 V_{ref} とがイマジナリショートする状態で過電流保護トランジスタ M_{11} のゲート制御が平衡する。

[0023] 図2は、第1比較例の過電流保護特性を示す図である。なお、横軸は出力電流 I_{out} を示しており、縦軸は出力電圧 V_{out} を示している。

[0024] 本図で示したように、第1比較例の過電流保護回路10では、出力電流 I_{out} が所定の上限値 ($\equiv V_{ofs} / R_{11}$) を超えないように、いわゆる垂下型の出力電流制限が掛かる。なお、過電流保護動作時に流れる駆動電流 I_{drv} は、出力電流 I_{out} に対して無視できるほど小さいものとする。

[0025] このように、第1比較例の過電流保護回路10であれば、出力異常等による出力電流 I_{out} の増大を抑えることができる。しかしながら、垂下型の過電流保護特性では、例えば入力電圧 V_{in} が高い場合に出力トランジスタM10での発熱(=消費電力)が大きくなり易い。そのため、安全性を高める上では更なる改善の余地がある。

[0026] <過電流保護回路(第1実施形態)>

図3は、過電流保護回路の第1実施形態を示す図である。第1実施形態の過電流保護回路10は、先出の第1比較例(図1)を基本としつつ、ヒステリシス設定抵抗 R_{12} をさらに有している。そこで、既出の構成要素については、図1と同一の符号を付すことで重複した説明を省略し、以下では、第1実施形態の特徴部分について重点的な説明を行う。

[0027] 第1実施形態の過電流保護回路10では、先出のノード n_{12} とノード n_{13} との間にヒステリシス設定抵抗 R_{12} と過電流保護トランジスタM11が直列に接続されており、相互間のノード n_{14} (=第4ノードに相当)から検出電圧 V_{s12} が出力されている。また、オペアンプAMP11は、反転入力端(-)の接続先がノード n_{12} からノード n_{14} に変更されている。従って、オペアンプAMP11は、非反転入力端(+)に入力される基準電圧 V_{ref} と反転入力端(-)に入力される検出電圧 V_{s12} との差分値に応じて過電流保護トランジスタM11のオン抵抗(導通度)を制御する。

[0028] 過電流保護トランジスタM11がフルオフしているときには、ヒステリシス設定抵抗 R_{12} に駆動電流 I_{drv} が流れない。そのため、検出電圧 V_{s12} は、検出電圧 V_{s11} (= $V_{in} - I_{out} \times R_{11}$)と一致する。一方、過電流保護トランジスタM11がオンすると、ヒステリシス設定抵抗 R_{12} に駆動電流 I_{drv} が流れる。そのため、検出電圧 V_{s12} が検出電圧 V_{s11} よりもヒステリシス設定抵抗 R_{12} の両端間電圧(= $I_{drv} \times R_{12}$)だけ低い電圧値(= $V_{in} - I_{out} \times R_{11} - I_{drv} \times R_{12}$)に低下する。なお、先にも述べたように、過電流保護動作時に流れる駆動電流 I_{drv} は、出力電流 I_{out} に対して無視できるほど小さいものとす

る。

[0029] まず、過電流保護トランジスタM11がフルオフしている場合（＝過電流保護動作が解除されている場合）を考える。この場合、過電流検出抵抗R11の両端間電圧（＝ $I_{out} \times R11$ ）がオフセット電圧 V_{ofs} よりも低いときには、検出電圧 V_{s12} （＝ V_{s11} ）が基準電圧 V_{ref} よりも高くなるので、オペアンプAMP11の出力信号（＝過電流保護トランジスタM11のゲート信号）がローレベルに張り付いた状態となる。その結果、過電流保護トランジスタM11のフルオフが維持されるので、出力トランジスタM10のゲート・ソース間がオープン状態のままとなる。従って、出力トランジスタM10のオン抵抗が引き上げられることはなく、出力トランジスタM10に流れる出力電流 I_{out} には何ら制限が掛からない状態（＝過電流保護動作が解除された状態）が続く。

[0030] 一方、出力異常等により出力電流 I_{out} が増大して、過電流検出抵抗R11の両端間電圧（＝ $I_{out} \times R11$ ）がオフセット電圧 V_{ofs} よりも高くなり、検出電圧 V_{s12} （＝ V_{s11} ）が基準電圧 V_{ref} よりも低くなると、両電圧の差分値に応じてオペアンプAMP11の出力信号がローレベルから上昇する。その結果、過電流保護トランジスタM11がオンして出力トランジスタM10のゲート・ソース間に駆動電流 I_{drv} が流れるので、出力トランジスタM10のゲート・ソース間電圧が引き下げられる。従って、出力トランジスタM10のオン抵抗が上昇して、出力電流 I_{out} に制限が掛かった状態（＝過電流保護動作が発動された状態）となる。

[0031] また、先にも述べたように、ヒステリシス設定抵抗R12に駆動電流 I_{drv} が流れると、検出電圧 V_{s12} が検出電圧 V_{s11} よりもヒステリシス設定抵抗R12の両端間電圧（＝ $I_{drv} \times R12$ ）だけ低い電圧値に低下する。従って、最終的には、検出電圧 V_{s11} よりも低い検出電圧 V_{s12} （＝ $V_{in} - I_{out} \times R11 - I_{drv} \times R12$ ）と基準電圧 V_{ref} とがイマジナリショートする状態で過電流保護トランジスタM11のゲート制御が平衡する。

[0032] このように、第1実施形態の過電流保護回路10において、オペアンプAMP11は、過電流検出抵抗R11の両端間電圧(=I_{out}×R11)がオフセット電圧V_{ofs}を上回るまで過電流保護トランジスタM11をフルオフする一方、過電流検出抵抗R11の両端間電圧がオフセット電圧V_{ofs}を一旦上回ると、過電流検出抵抗R11の両端間電圧にヒステリシス設定抵抗R12の両端間電圧を足し合わせた加算電圧(=I_{out}×R11+I_{drv}×R12)がオフセット電圧V_{ofs}と一致するように過電流保護トランジスタM11のオン抵抗(導通度)を制御する形となる。

[0033] なお、オフセット電圧V_{ofs}は、過電流保護動作時におけるヒステリシス設定抵抗R12の両端間電圧(=I_{drv}×R12)が出力トランジスタM10のオン閾値電圧V_{th}よりも低くなるように設定しておくことが望ましい。

[0034] 図4は、第1実施形態の過電流保護特性を示す図である。なお、先出の図2と同じく、横軸は出力電流I_{out}を示しており、縦軸は出力電圧V_{out}を示している。

[0035] 本図で示したように、第1実施形態の過電流保護回路10においても、出力電流I_{out}が所定の過電流検出値(≒V_{ofs}/R11)に達するまでの挙動は、先出の第1比較例(図2)と何ら変わらない。ただし、出力電流I_{out}が過電流検出値に達した後の挙動は、先出の第1比較例(図2)と大きく異なる。

[0036] 本図に即して述べると、第1実施形態の過電流保護回路10では、出力電流I_{out}が一旦過電流検出値(≒V_{ofs}/R11)に達すると、出力電流I_{out}が過電流検出値よりも低い所定の上限値(≒(V_{ofs}-I_{drv}×R12)/R11)を超えないように、いわゆるヒステリシス型の出力電流制限が掛かる。

[0037] このように、第1実施形態の過電流保護回路10であれば、出力異常等による出力電流I_{out}の増大を抑えることができる上、垂下型の過電流保護特性を持つ第1比較例(図2)と比べて出力トランジスタM10の発熱(消

費電力)を抑制することも可能となる。

- [0038] 図5は、第1実施形態の第1変形例を示す図である。本図で示すように、本変形例の過電流保護回路10では、Nチャンネル型の過電流保護トランジスタM11に代えて、Pチャンネル型の過電流保護トランジスタM12が用いられている。この場合、先出のオペアンプAMP11に代えて、入力極性が反転されたオペアンプAMP12を用いればよい。
- [0039] 本図に即して接続関係の変更点を説明する。過電流保護トランジスタM12のソースとオペアンプAMP12の非反転入力端(+)は、いずれもヒステリシス設定抵抗R12を介してノードn12に接続されている。電圧源E11の負極端は、オペアンプAMP12の反転入力端(-)に接続されている。オペアンプAMP12の出力端は、過電流保護トランジスタM12のゲートに接続されている。出力トランジスタM10のゲートと過電流保護トランジスタM12のドレインは、いずれもノードn13に接続されている。
- [0040] このような第1変形例を採用しても、先と同様の作用・効果を楽しむことができる。
- [0041] 図6は、第1実施形態の第2変形例を示す図である。本図で示すように、出力トランジスタM10及び過電流検出抵抗R11並びにヒステリシス設定抵抗R12は、それぞれ半導体装置1に外付けしても構わない。この場合、半導体装置1には、出力トランジスタM10及び過電流検出抵抗R11並びにヒステリシス設定抵抗R12を外付けするための外部端子T1~T4を設ければよい。
- [0042] 本図に即して述べると、半導体装置1の外部において、外部端子T1は、過電流検出抵抗R11の第1端に接続されている。外部端子T2は、ヒステリシス設定抵抗R12を介して、過電流検出抵抗R11の第2端と出力トランジスタM10のソースに接続されている。外部端子T3は、出力トランジスタM10のゲートに接続されている。外部端子T4は、出力トランジスタM10のドレインに接続されている。一方、半導体装置1の内部において、外部端子T1は、電圧源E11の正極端に接続されている。外部端子T2は

、過電流保護トランジスタM11のドレインとオペアンプAMP11の反転入力端(−)に接続されている。外部端子T3は、過電流保護トランジスタM11のソースに接続されている。外部端子T4は、帰還電圧生成部30に接続されている。すなわち、外部端子T1~T3は、それぞれ、先出のノードn11~n13に対応して設けるとよい。

[0043] なお、本図では、出力トランジスタM10、過電流検出抵抗R11及びヒステリシス設定抵抗R12を全て外付けとした例を挙げたが、出力トランジスタM10及び過電流検出抵抗R11は、個別に外付けとしてもよい。なお、ヒステリシス設定抵抗R12を外付けとする場合には、過電流検出抵抗R11も外付けとする必要がある。

[0044] <過電流保護回路(第2実施形態)>

図7は、過電流保護回路の第2実施形態を示す図である。第2実施形態の過電流保護回路10は、出力トランジスタM20(本図の例ではNMOSFET)と共に半導体装置1に内蔵される回路ブロックであり、オペアンプAMP21と、電圧源E21と、過電流保護トランジスタM21(本図の例ではNMOSFET)と、過電流検出抵抗R21と、ヒステリシス設定抵抗R22と、を有する。

[0045] 過電流検出抵抗R21の第1端及び電圧源E21の負極端は、いずれも、ノードn21(=第1ノードに相当)に接続されている。ノードn21は、出力端子OUTに接続されている。過電流検出抵抗R21の第2端、ヒステリシス設定抵抗R22の第1端、及び、出力トランジスタM20のソースは、いずれもノードn22(=第2ノードに相当)に接続されている。電圧源E21の正極端は、オペアンプAMP21の反転入力端(−)に接続されている。オペアンプAMP21の出力端は、過電流保護トランジスタM21のゲートに接続されている。出力トランジスタM20のゲートと過電流保護トランジスタM21のドレインは、いずれもノードn23(=第3ノードに相当)に接続されている。ヒステリシス設定抵抗R22の第2端、オペアンプAMP21の非反転入力端(+)及び過電流保護トランジスタM21のソー

スは、いずれもノードn24（＝第4ノードに相当）に接続されている。出力トランジスタM20のドレインは、入力端子INに接続されている。

[0046] 第2実施形態の過電流保護回路10において、電圧源E21は、出力電圧 V_{out} （＝ノードn21の端子電圧）に所定のオフセット電圧 V_{ofs} を加減算することにより、基準電圧 V_{ref} （＝ $V_{out} + V_{ofs}$ ）を生成する。

[0047] また、オペアンプAMP21は、非反転入力端（+）に入力される検出電圧 V_{s22} と反転入力端（-）に入力される基準電圧 V_{ref} との差分値に応じて過電流保護トランジスタM21のオン抵抗（導通度）を制御する。

[0048] 過電流保護トランジスタM21がフルオフしているときには、ヒステリシス設定抵抗R22に駆動電流が I_{drv} が流れない。そのため、検出電圧 V_{s22} は、検出電圧 V_{s21} （＝ $V_{out} + I_{out} \times R_{21}$ ）と一致する。一方、過電流保護トランジスタM21がオンすると、ヒステリシス設定抵抗R22に駆動電流 I_{drv} が流れる。従って、検出電圧 V_{s22} が検出電圧 V_{s21} よりもヒステリシス設定抵抗R22の両端間電圧（＝ $I_{drv} \times R_{22}$ ）だけ高い電圧値（＝ $V_{out} + I_{out} \times R_{21} + I_{drv} \times R_{22}$ ）に上昇する。なお、過電流保護動作時に流れる駆動電流 I_{drv} は、出力電流 I_{out} に対して無視できるほど小さいものとする。

[0049] まず、過電流保護トランジスタM21がフルオフしている場合（＝過電流保護動作が解除されている場合）を考える。この場合、過電流検出抵抗R21の両端間電圧（＝ $I_{out} \times R_{21}$ ）がオフセット電圧 V_{ofs} よりも低いときには、検出電圧 V_{s22} （＝ V_{s21} ）が基準電圧 V_{ref} よりも低くなるので、オペアンプAMP21の出力信号（＝過電流保護トランジスタM21のゲート信号）がローレベルに張り付いた状態となる。その結果、過電流保護トランジスタM21のフルオフが維持されるので、出力トランジスタM20のゲート・ソース間がオープン状態のままとなる。従って、出力トランジスタM20のオン抵抗が引き上げられることはなく、出力トランジスタM20に流れる出力電流 I_{out} には何ら制限が掛からない状態（＝過電

流保護動作が解除された状態)が続く。

- [0050] 一方、出力異常等により出力電流 I_{out} が増大して、過電流検出抵抗 R_{21} の両端間電圧 ($= I_{out} \times R_{21}$) がオフセット電圧 V_{ofs} よりも高くなり、検出電圧 V_{s22} ($= V_{s21}$) が基準電圧 V_{ref} よりも高くなると、両電圧の差分値に応じてオペアンプ AMP_{21} の出力信号がローレベルから上昇する。その結果、過電流保護トランジスタ M_{21} がオンして出力トランジスタ M_{20} のゲート・ソース間に駆動電流 I_{drv} が流れるので、出力トランジスタ M_{20} のゲート・ソース間電圧が引き下げられる。従って、出力トランジスタ M_{20} のオン抵抗が上昇して、出力電流 I_{out} に制限が掛かった状態 (= 過電流保護動作が発動された状態) となる。
- [0051] また、先にも述べたように、ヒステリシス設定抵抗 R_{22} に駆動電流 I_{drv} が流れると、検出電圧 V_{s22} が検出電圧 V_{s21} よりもヒステリシス設定抵抗 R_{22} の両端間電圧 ($= I_{drv} \times R_{22}$) だけ高い電圧値に上昇する。従って、最終的には検出電圧 V_{s21} よりも高い検出電圧 V_{s22} ($= V_{out} + I_{out} \times R_{21} + I_{drv} \times R_{22}$) と基準電圧 V_{ref} とがイマジナリショートする状態で過電流保護トランジスタ M_{21} のゲート制御が平衡する。
- [0052] このように、第2実施形態の過電流保護回路10において、オペアンプ AMP_{21} は、過電流検出抵抗 R_{21} の両端間電圧 ($= I_{out} \times R_{21}$) がオフセット電圧 V_{ofs} を上回るまで過電流保護トランジスタ M_{21} をフルオフする一方、過電流検出抵抗 R_{21} の両端間電圧がオフセット電圧 V_{ofs} を一旦上回ると、過電流検出抵抗 R_{21} の両端間電圧にヒステリシス設定抵抗 R_{22} の両端間電圧を足し合わせた加算電圧 ($= I_{out} \times R_{21} + I_{drv} \times R_{22}$) がオフセット電圧 V_{ofs} と一致するように過電流保護トランジスタ M_{21} のオン抵抗 (導通度) を制御する形となる。
- [0053] すなわち、第2実施形態の過電流保護回路10では、出力電流 I_{out} が一旦過電流検出値 ($\equiv V_{ofs} / R_{21}$) に達すると、出力電流 I_{out} が過電流検出値よりも低い所定の上限値 ($\equiv (V_{ofs} - I_{drv} \times R_{22})$)

／R21)を超えないように、いわゆるヒステリシス型の出力電流制限が掛かる。

[0054] このように、第2実施形態の過電流保護回路10であれば、先の第1実施形態(図3)と同じく、出力異常等による出力電流 I_{out} の増大を抑えることができる上、垂下型の過電流保護特性を持つ第1比較例(図2)と比べて出力トランジスタM20の発熱(消費電力)を抑制することも可能となる。

[0055] なお、オフセット電圧 V_{ofs} は、過電流保護動作時におけるヒステリシス設定抵抗R22の両端間電圧($=I_{drv} \times R22$)が出力トランジスタM20のオン閾値電圧 V_{th} よりも低くなるように設定しておくことが望ましい。

[0056] また、改めて図示はしないが、出力トランジスタM20、過電流検出抵抗R21及びヒステリシス設定抵抗R22は、先出の図6に倣い、半導体装置1に外付けしてもよい。

[0057] <過電流保護回路(第2比較例)>

図8は、過電流保護回路の第2比較例(=後出の第3実施形態及び第4実施形態と対比される一般的な回路構成の一例)を示す図である。第2比較例の過電流保護回路10は、出力トランジスタM30(本図ではPMOSFET)と共に半導体装置1に内蔵される回路ブロックであり、ミラートランジスタM30x(本図ではPMOSFET)と、オペアンプAMP31と、電圧源E31と、過電流保護トランジスタM31(本図ではNMOSFET)と、過電流検出抵抗R31と、を有する。

[0058] なお、半導体装置1は、装置外部との電気的な接続を確立するための外部端子として、入力端子IN(=入力電圧 V_{in} の印加端)と出力端子OUT(=出力電圧 V_{out} の印加端)を備えている。この点については、先出の第1比較例(図1)と同様である。

[0059] 出力トランジスタM30のソース、過電流保護トランジスタM31のドレイン、過電流検出抵抗R31の第1端及び電圧源E31の正極端は、いずれ

もノードn31 (=第1ノードに相当)に接続されている。ノードn31は入力端子INに接続されている。出力トランジスタM30及びミラートランジスタM30xそれぞれのドレインは、いずれもノードn32 (=第2ノードに相当)に接続されている。ノードn32は、出力端子OUTに接続されている。出力トランジスタM30及びミラートランジスタM30xそれぞれのゲートと過電流保護トランジスタM31のソースは、いずれもノードn33 (=第3ノードに相当)に接続されている。ミラートランジスタM30xのソース、過電流検出抵抗R31の第2端、及び、オペアンプAMP31の反転入力端(-)は、いずれもノードn34 (=第4ノードに相当)に接続されている。電圧源E31の負極端は、オペアンプAMP31の非反転入力端(+)に接続されている。オペアンプAMP31の出力端は、過電流保護トランジスタM31のゲートに接続されている。

[0060] 第2比較例の過電流保護回路10において、電圧源E31は、入力電圧 V_{in} (=ノードn31の端子電圧)に所定のオフセット電圧 V_{ofs} を加減算することにより、基準電圧 V_{ref} ($=V_{in}-V_{ofs}$)を生成する。

[0061] ミラートランジスタM30xのゲートは、出力トランジスタM30のゲートと共通に接続されている。従って、ミラートランジスタM30xのオン抵抗(導通度)は、ノードn33に印加されるゲート信号に応じて出力トランジスタM30のオン抵抗(導通度)と同一の挙動で制御される。その結果、ミラートランジスタM30xには、出力電流 I_{out} に比例したミラー電流 I_s ($=I_{out}/m$ 、ただし $m>1$)が流れる。なお、ミラー電流 I_s は、入力端子INから過電流検出抵抗R31及びミラートランジスタM30xを介して出力端子OUTに至る電流経路に流れる。

[0062] オペアンプAMP31は、電圧源E31の負極端から非反転入力端(+)に入力される基準電圧 V_{ref} と、ノードn34から反転入力端(-)に入力される検出電圧 V_{s31} との差分値に応じて過電流保護トランジスタM31のオン抵抗(導通度)を制御する。なお、検出電圧 V_{s31} は、入力電圧 V_{in} から過電流検出抵抗R31の両端間電圧を差し引いた電圧値 ($=V_{i$

$n - (I_{out} / m) \times R_{31}$) となる。従って、検出電圧 V_{s31} は、出力電流 I_{out} が大きいほど低くなり出力電流 I_{out} が小さいほど高くなる。

[0063] 過電流検出抵抗 R_{31} の両端間電圧 ($= (I_{out} / m) \times R_{31}$) がオフセット電圧 V_{ofs} よりも低いときには、検出電圧 V_{s31} が基準電圧 V_{ref} より高くなるので、オペアンプ AMP_{31} の出力信号 (= 過電流保護トランジスタ M_{31} のゲート信号) がローレベルに張り付いた状態となる。このとき、過電流保護トランジスタ M_{31} がフルオフするので、出力トランジスタ M_{30} のゲート・ソース間がオープン状態となる。従って、出力トランジスタ M_{30} のオン抵抗が引き上げられることはなく、出力トランジスタ M_{30} に流れる出力電流 I_{out} に何ら制限が掛からない状態 (= 過電流保護動作が解除された状態) となる。

[0064] 一方、出力異常等により出力電流 I_{out} が増大して、過電流検出抵抗 R_{31} の両端間電圧 ($= (I_{out} / m) \times R_{31}$) がオフセット電圧 V_{ofs} よりも高くなり、検出電圧 V_{s31} が基準電圧 V_{ref} よりも低くなると、両電圧の差分値に応じてオペアンプ AMP_{31} の出力信号がローレベルから上昇する。その結果、過電流保護トランジスタ M_{31} がオンして出力トランジスタ M_{30} のゲート・ソース間に駆動電流 I_{drv} が流れるので、出力トランジスタ M_{30} のゲート・ソース間電圧が引き下げられる。従って、出力トランジスタ M_{30} のオン抵抗が上昇し、出力電流 I_{out} に制限が掛かった状態 (= 過電流保護動作が発動された状態) となる。なお、最終的には、検出電圧 V_{s31} と基準電圧 V_{ref} とがイマジナリショートする状態で過電流保護トランジスタ M_{31} のゲート制御が平衡する。

[0065] 図9は、第2比較例の過電流保護特性を示す図である。なお、横軸は出力電流 I_{out} を示しており、縦軸は出力電圧 V_{out} を示している。

[0066] 本図で示したように、第2比較例の過電流保護回路10では、出力電流 I_{out} が所定の上限値 ($\equiv m \times V_{ofs} / R_{31}$) を超えないように、いわゆる垂下型の出力電流制限が掛かる。なお、過電流保護動作時に流れる駆動

電流 I_{drv} は、出力電流 I_{out} に対して無視できるほど小さいものとする。

[0067] このように、第2比較例の過電流保護回路10であれば、出力異常等による出力電流 I_{out} の増大を抑えることができる。また、第1比較例（図1）と異なり、出力電流 I_{out} の流れる経路上に過電流検出抵抗 R_{31} が挿入されないので、電力損失を低減することも可能である。

[0068] しかし、垂下型の過電流保護特性では、例えば入力電圧 V_{in} が高い場合に出力トランジスタ M_{30} での発熱（＝消費電力）が大きくなり易い。そのため、安全性を高める上では更なる改善の余地がある。この点は、先出の第1比較例（図2）と何ら変わらない。

[0069] <過電流保護回路（第3実施形態）>

図10は、過電流保護回路の第3実施形態を示す図である。第3実施形態の過電流保護回路10は、先出の第2比較例（図8）を基本としつつ、過電流保護トランジスタ M_{31} のドレインの接続先がノード n_{31} からノード n_{34} に変更されている。以下では、この変更に伴う第3実施形態の特徴的な動作について重点的に説明する。

[0070] 第3実施形態の過電流保護回路10では、先出のノード n_{31} とノード n_{32} との間に過電流検出抵抗 R_{31} とミラートランジスタ M_{30x} が直列に接続されており、相互間のノード n_{34} から検出電圧 V_{s31} が出力されている。そして、オペアンプ AMP_{31} は、先にも述べたように、電圧源 E_{31} の負極端から非反転入力端（+）に入力される基準電圧 V_{ref} と、ノード n_{34} から反転入力端（-）に入力される検出電圧 V_{s31} との差分値に応じて過電流保護トランジスタ M_{31} のオン抵抗（導通度）を制御する。この動作自体は、先出の第2比較例（図8）と変わらない。

[0071] ただし、第3実施形態の過電流保護回路10では、過電流保護トランジスタ M_{31} のドレインの接続先がノード n_{31} からノード n_{34} に変更されたことに伴い、過電流保護トランジスタ M_{31} がオン状態であるときには、入力端子 I_N から過電流検出抵抗 R_{31} 及び過電流保護トランジスタ M_{31} を

介してノードn33に至る経路に駆動電流 I_{drv} が流れる。つまり、過電流保護トランジスタM31がオン状態であるときには、過電流検出抵抗R31にミラー電流 I_s と駆動電流 I_{drv} の合算電流($=I_s+I_{drv}$)が流れる。その結果、過電流検出抵抗R31は、第1実施形態(図3)の過電流検出抵抗R11及びヒステリシス設定抵抗R12それぞれの機能を併せ持つことになる。以下、本図に即して具体的に説明する。

[0072] 過電流保護トランジスタM31がフルオフしているときには、過電流検出抵抗R31にミラー電流 I_s しか流れない。そのため、検出電圧 V_{s31} がミラー電流 I_s のみに応じた電圧値 $V_{s31H} (=V_{in} - (I_{out}/m) \times R_{31})$ となる。一方、過電流保護トランジスタM31がオンすると、過電流検出抵抗R31にミラー電流 I_s と駆動電流 I_{drv} の合算電流($=I_s+I_{drv}$)が流れる。そのため、検出電圧 V_{s31} は、先の電圧値 V_{s31H} よりも駆動電流 I_{drv} の増大分だけ低い電圧値 $V_{s31L} (=V_{in} - \{(I_{out}/m) + I_{drv}\} \times R_{31})$ となる。なお、過電流保護動作時に流れる駆動電流 I_{drv} は、出力電流 I_{out} に対しては無視できるほど小さいが、ミラー電流 I_s に対しては無視できるほど小さくないものとする。

[0073] まず、過電流保護トランジスタM31がフルオフしている場合(=過電流保護動作が解除されている場合)を考える。この場合、過電流検出抵抗R31の両端間電圧($= (I_{out}/m) \times R_{31}$)がオフセット電圧 V_{ofs} よりも低いときには、検出電圧 V_{s31} が基準電圧 V_{ref} よりも高くなるので、オペアンプAMP31の出力信号(=過電流保護トランジスタM31のゲート信号)がローレベルに張り付いた状態となる。その結果、過電流保護トランジスタM31のフルオフが維持されるので、出力トランジスタM30のゲート・ソース間がオープン状態のままとなる。従って、出力トランジスタM30のオン抵抗が引き上げられることはなく、出力トランジスタM30に流れる出力電流 I_{out} には何ら制限が掛からない状態(=過電流保護動作が解除された状態)が続く。

- [0074] 一方、出力異常等により出力電流 I_{out} が増大して、過電流検出抵抗 R_{31} の両端間電圧 ($= (I_{out}/m) \times R_{31}$) がオフセット電圧 V_{ofs} よりも高くなり、検出電圧 V_{s31} が基準電圧 V_{ref} よりも低くなると、両電圧の差分値に応じてオペアンプ AMP_{31} の出力信号がローレベルから上昇する。その結果、過電流保護トランジスタ M_{31} がオンして過電流検出抵抗 R_{31} 及び過電流保護トランジスタ M_{31} を介する形で出力トランジスタ M_{30} のゲート・ソース間に駆動電流 I_{drv} が流れるので、出力トランジスタ M_{30} のゲート・ソース間電圧が引き下げられる。従って、出力トランジスタ M_{30} のオン抵抗が上昇し、出力電流 I_{out} に制限が掛かった状態 (= 過電流保護動作が発動された状態) となる。
- [0075] また、先に述べたように、過電流検出抵抗 R_{31} にミラー電流 I_s と駆動電流 I_{drv} の合算電流 ($= I_s + I_{drv}$) が流れると、検出電圧 V_{s31} は、電圧値 V_{s31H} から電圧値 V_{s31L} に低下する。従って、最終的には電圧値 V_{s31L} を持つ検出電圧 V_{s31} ($= V_{in} - \{ (I_{out}/m) + I_{drv} \} \times R_{31}$) と基準電圧 V_{ref} とがイマジナリショートする状態で過電流保護トランジスタ M_{31} のゲート制御が平衡する。
- [0076] このように、第3実施形態の過電流保護回路10において、オペアンプ AMP_{31} は、ミラー電流 I_s のみに応じた過電流検出抵抗 R_{31} の両端間電圧 ($= (I_{out}/m) \times R_{31}$) がオフセット電圧 V_{ofs} を上回るまで過電流保護トランジスタ M_{31} をフルオフする一方、ミラー電流 I_s のみに応じた過電流検出抵抗 R_{31} の両端間電圧がオフセット電圧 V_{ofs} を一旦上回ると、ミラー電流 I_s と駆動電流 I_{drv} の合算電流 ($= I_s + I_{drv}$) に応じた過電流検出抵抗 R_{31} の両端間電圧 ($= \{ (I_{out}/m) + I_{drv} \} \times R_{31}$) がオフセット電圧 V_{ofs} と一致するように過電流保護トランジスタ M_{31} のオン抵抗 (導通度) を制御する形となる。
- [0077] なお、オフセット電圧 V_{ofs} は、過電流保護動作時における過電流検出抵抗 R_{31} の両端間電圧 ($= \{ (I_{out}/m) + I_{drv} \} \times R_{31}$) が出力トランジスタ M_{30} のオン閾値電圧 V_{th} よりも低くなるように設定し

ておくことが望ましい。

[0078] 図11は、第3実施形態の過電流保護特性を示す図である。なお、先出の図9と同じく、横軸は出力電流 I_{out} を示しており、縦軸は出力電圧 V_{out} を示している。

[0079] 本図で示したように、第3実施形態の過電流保護回路10においても、出力電流 I_{out} が所定の過電流検出値 ($\cong m \times V_{ofs} / R_{31}$) に達するまでの挙動は、先出の第2比較例(図9)と何ら変わらない。ただし、出力電流 I_{out} が過電流検出値に達した後の挙動は、先出の第2比較例(図9)と大きく異なる。

[0080] 本図に即して述べると、第3実施形態の過電流保護回路10では、出力電流 I_{out} が一旦過電流検出値 ($\cong m \times V_{ofs} / R_{31}$) に達すると、出力電流 I_{out} が過電流検出値よりも低い所定の上限値 ($\cong m \times \{ (V_{ofs} / R_{31}) - I_{drv} \}$) を超えないように、いわゆるヒステリシス型の出力電流制限が掛かる。

[0081] このように、第3実施形態の過電流保護回路10であれば、出力異常等による出力電流 I_{out} の増大を抑えることができる上、垂下型の過電流保護特性を持つ第2比較例(図9)と比べて、出力トランジスタM30での発熱(=消費電力)を抑制することも可能となる。また、第1実施形態(図3)と異なり、出力電流 I_{out} の流れる経路上に過電流検出抵抗 R_{31} が挿入されないので、電力損失を低減することも可能である。

[0082] 図12は、第3実施形態の変形例を示す図である。本図で示すように、本変形例の過電流保護回路10では、Nチャネル型の過電流保護トランジスタM31に代えて、Pチャネル型の過電流保護トランジスタM32が用いられている。この場合、先出のオペアンプAMP31に代えて、入力極性が反転されたオペアンプAMP32を用いればよい。

[0083] 本図に即して接続関係の変更点を説明する。過電流保護トランジスタM32のソース及びオペアンプAMP32の非反転入力端(+)は、いずれもノードn34に接続されている。電圧源E31の負極端は、オペアンプAMP

32の反転入力端(−)に接続されている。オペアンプAMP32の出力端は、過電流保護トランジスタM32のゲートに接続されている。出力トランジスタM30及びミラートランジスタM30xそれぞれのゲートと過電流保護トランジスタM32のドレインは、いずれもノードn33に接続されている。

[0084] このような変形例を採用しても、先と同様の作用・効果を楽しむことができる。

[0085] <過電流保護回路(第4実施形態)>

図13は、過電流保護回路の第4実施形態を示す図である。第4実施形態の過電流保護回路10は、出力トランジスタM40(本図ではNMOSFET)と共に半導体装置1に内蔵される回路ブロックであり、ミラートランジスタM40x(本図ではNMOSFET)と、オペアンプAMP41と、電圧源E41と、過電流保護トランジスタM41(本図ではNMOSFET)と、過電流検出抵抗R41と、を有する。

[0086] 出力トランジスタM40のソース、過電流検出抵抗R41の第1端及び電圧源E41の負極端は、いずれもノードn41(=第1ノードに相当)に接続されている。ノードn41は出力端子OUTに接続されている。出力トランジスタM40及びミラートランジスタM40xそれぞれのドレインは、いずれもノードn42(=第2ノードに相当)に接続されている。ノードn42は、入力端子INに接続されている。出力トランジスタM40及びミラートランジスタM40xそれぞれのゲートと過電流保護トランジスタM41のドレインは、いずれもノードn43(=第3ノードに相当)に接続されている。ミラートランジスタM40x及び過電流保護トランジスタM41それぞれのソース、過電流検出抵抗R41の第2端、及び、オペアンプAMP41の非反転入力端(+)は、いずれもノードn44(=第4ノードに相当)に接続されている。電圧源E41の正極端は、オペアンプAMP41の反転入力端(−)に接続されている。オペアンプAMP41の出力端は、過電流保護トランジスタM41のゲートに接続されている。

- [0087] 第4実施形態の過電流保護回路10において、電圧源E41は、出力電圧 V_{out} (=ノードn41の端子電圧) に所定のオフセット電圧 V_{ofs} を加減算することにより、基準電圧 V_{ref} ($=V_{out} + V_{ofs}$) を生成する。
- [0088] ミラートランジスタM40xのゲートは、出力トランジスタM40のゲートと共通に接続されている。従って、ミラートランジスタM40xのオン抵抗(導通度)は、ノードn43に印加されるゲート信号に応じて出力トランジスタM40のオン抵抗(導通度)と同一の挙動で制御される。その結果、ミラートランジスタM40xには、出力電流 I_{out} に比例したミラー電流 I_s ($=I_{out}/m$ 、ただし $m > 1$) が流れる。なお、ミラー電流 I_s は、入力端子INからミラートランジスタM40x及び過電流検出抵抗R41を介して出力端子OUTに至る電流経路に流れる。
- [0089] オペアンプAMP41は、電圧源E41の正極端から反転入力端(-)に入力される基準電圧 V_{ref} と、ノードn44から非反転入力端(+)に入力される検出電圧 V_{s41} との差分値に応じて過電流保護トランジスタM41のオン抵抗(導通度)を制御する。
- [0090] 過電流保護トランジスタM41がフルオフしているときには、過電流検出抵抗R41にミラー電流 I_s しか流れない。そのため、検出電圧 V_{s41} がミラー電流 I_s のみに応じた電圧値 V_{s41L} ($=V_{out} + (I_{out}/m) \times R_{41}$) となる。一方、過電流保護トランジスタM41がオンすると、過電流検出抵抗R41にミラー電流 I_s と駆動電流 I_{drv} の合算電流($=I_s + I_{drv}$) が流れる。そのため、検出電圧 V_{s41} は、先の電圧値 V_{s41L} よりも駆動電流 I_{drv} の増加分だけ高い電圧値 V_{s41H} ($=V_{out} + \{(I_{out}/m) + I_{drv}\} \times R_{41}$) となる。なお、過電流保護動作時に流れる駆動電流 I_{drv} は、出力電流 I_{out} に対しては無視できるほど小さいが、ミラー電流 I_s に対しては無視できるほど小さいものとする。
- [0091] まず、過電流保護トランジスタM41がフルオフしている場合(=過電流

保護動作が解除されている場合) を考える。この場合、過電流検出抵抗 R_{41} の両端間電圧 ($= (I_{out}/m) \times R_{41}$) がオフセット電圧 V_{ofs} よりも低いときには、検出電圧 V_{s41} が基準電圧 V_{ref} よりも低くなるので、オペアンプ AMP_{41} の出力信号 (= 過電流保護トランジスタ M_{41} のゲート信号) がローレベルに張り付いた状態となる。その結果、過電流保護トランジスタ M_{41} のフルオフが維持されるので、出力トランジスタ M_{40} のゲート・ソース間がオープン状態のままとなる。従って、出力トランジスタ M_{40} のオン抵抗が引き上げられることはなく、出力トランジスタ M_{40} に流れる出力電流 I_{out} には何ら制限が掛からない状態 (= 過電流保護動作が解除された状態) が続く。

[0092] 一方、出力異常等により出力電流 I_{out} が増大して、過電流検出抵抗 R_{41} の両端間電圧 ($= (I_{out}/m) \times R_{41}$) がオフセット電圧 V_{ofs} よりも高くなり、検出電圧 V_{s41} が基準電圧 V_{ref} よりも高くなると、両電圧の差分値に応じてオペアンプ AMP_{41} の出力信号がローレベルから上昇する。その結果、過電流保護トランジスタ M_{41} がオンして過電流保護トランジスタ M_{41} 及び過電流検出抵抗 R_{41} を介する形で出力トランジスタ M_{40} のゲート・ソース間に駆動電流 I_{drv} が流れるので、出力トランジスタ M_{40} のゲート・ソース間電圧が引き下げられる。従って、出力トランジスタ M_{40} のオン抵抗が上昇し、出力電流 I_{out} に制限が掛かった状態 (= 過電流保護動作が発動された状態) となる。

[0093] また、先に述べたように、過電流検出抵抗 R_{41} にミラー電流 I_s と駆動電流 I_{drv} の合算電流 ($= I_s + I_{drv}$) が流れると、検出電圧 V_{s41} は、電圧値 V_{s41L} から電圧値 V_{s41H} に上昇する。従って、最終的には電圧値 V_{s41H} を持つ検出電圧 V_{s41} ($= V_{in} + \{ (I_{out}/m) + I_{drv} \} \times R_{41}$) と基準電圧 V_{ref} とがイマジナリショートする状態で過電流保護トランジスタ M_{41} のゲート制御が平衡する。

[0094] このように、第4実施形態の過電流保護回路10において、オペアンプ AMP_{41} は、ミラー電流 I_s のみに応じた過電流検出抵抗 R_{41} の両端間電

圧 ($= (I_{out}/m) \times R_{41}$) がオフセット電圧 V_{ofs} を上回るまで過電流保護トランジスタ M_{41} をフルオフする一方、ミラー電流 I_s のみに応じた過電流検出抵抗 R_{41} の両端間電圧がオフセット電圧 V_{ofs} を一旦上回ると、ミラー電流 I_s と駆動電流 I_{drv} の合算電流 ($= I_s + I_{drv}$) に応じた過電流検出抵抗 R_{41} の両端間電圧 ($= \{ (I_{out}/m) + I_{drv} \} \times R_{41}$) がオフセット電圧 V_{ofs} と一致するように過電流保護トランジスタ M_{41} のオン抵抗 (導通度) を制御する形となる。

[0095] なお、オフセット電圧 V_{ofs} は、過電流保護動作時における過電流検出抵抗 R_{41} の両端間電圧 ($= \{ (I_{out}/m) + I_{drv} \} \times R_{41}$) が出力トランジスタ M_{40} のオン閾値電圧 V_{th} よりも低くなるように設定しておくことが望ましい。

[0096] <半導体装置の適用例>

図14は、半導体装置1の第1適用例 (LDO [low drop out] レギュレータとしての適用例) を示す図である。本図で示したように、第1適用例の半導体装置1は、先出の第1実施形態 (図3) と同様の構成であり、入力端子 I_N に入力される入力電圧 V_{in} から所望の出力電圧 V_{out} を生成して出力端子 $O_U T$ に外付けされた負荷2に供給するように、出力トランジスタ M_{10} の駆動制御を行う。

[0097] 図15は、半導体装置1の第2適用例 (ロードスイッチとしての適用例) を示す図である。本図で示したように、第2適用例の半導体装置1は、先出の第1実施形態 (図3) を基本としつつ、ドライバ20に代えてコントローラ40を内蔵している。

[0098] コントローラ40は、イネーブル端子 E_N に外部入力されるイネーブル信号に応じて出力トランジスタ M_{10} のオン/オフ制御を行う。

[0099] なお、本図では、半導体装置1がハイサイドスイッチとして用いられる例を挙げたが、半導体装置1をローサイドスイッチとして用いることも可能である。

[0100] また、改めて図示はしないが、第2実施形態 (図7)、第3実施形態 (図

10) 及び第4実施形態(図13)の半導体装置1についても、LDOレギュレータまたはハイサイドスイッチ(若しくはローサイドスイッチ)として適用することが可能である。

[0101] 例えば、図14及び図15では、ドライバ20及びコントローラ40の駆動対象として出力トランジスタM10のみを例示したが、第1実施形態(図3)に代えて第3実施形態(図10)の半導体装置1を用いる場合、すなわち、過電流保護回路10がミラートランジスタM30xを含む場合には、出力トランジスタM30とミラートランジスタM30xの双方がドライバ20及びコントローラ40の駆動対象となり、ドライバ20及びコントローラ40による同期駆動制御が行われることになる。

[0102] <総括>

以下では、上記で説明した種々の実施形態について総括的に述べる。

[0103] 例えば、本明細書中に開示されている過電流保護回路は、過電流検出抵抗の第1端が接続されるように構成された第1ノードと、前記過電流検出抵抗の第2端と出力トランジスタの主電極が共通に接続されるように構成された第2ノードと、前記出力トランジスタの制御電極が接続されるように構成された第3ノードと、前記第1ノードの端子電圧にオフセット電圧を加減算して基準電圧を生成するように構成された電圧源と、前記第2ノードと前記第3ノードとの間に直列接続されて相互間の第4ノードから検出電圧を出力するように構成されたヒステリシス設定抵抗及び過電流保護トランジスタと、前記基準電圧と前記検出電圧との差分値に応じて前記過電流保護トランジスタを制御するように構成されたオペアンプと、を有する構成(第1の構成)とされている。

[0104] 上記第1の構成による過電流保護回路において、前記オペアンプは、前記過電流検出抵抗の両端間電圧が前記オフセット電圧を上回るまで前記過電流保護トランジスタをフルオフする一方、前記過電流検出抵抗の両端間電圧が前記オフセット電圧を一旦上回ると、前記過電流検出抵抗の両端間電圧に前記ヒステリシス設定抵抗の両端間電圧を足し合わせた加算電圧が前記オフセ

ット電圧と一致するように前記過電流保護トランジスタのオン抵抗を制御する構成（第2の構成）にしてもよい。

[0105] 上記第1または第2の構成による過電流保護回路において、前記オフセット電圧は、過電流保護動作時における前記ヒステリシス設定抵抗の両端間電圧が前記出力トランジスタのオン閾値電圧よりも低くなるように設定されている構成（第3の構成）にしてもよい。

[0106] また、例えば、本明細書中に開示されている半導体装置は、上記第1～第3いずれかの構成による過電流保護回路を有する構成（第4の構成）とされている。

[0107] なお、上記第4の構成による半導体装置は、前記出力トランジスタ及び前記過電流検出抵抗をいずれも内蔵する構成（第5の構成）にしてもよい。

[0108] 或いは、上記第4の構成による半導体装置は、前記出力トランジスタ及び前記過電流検出抵抗が外付けされるように構成された複数の外部端子を有する構成（第6の構成）にしてもよい。

[0109] また、上記第4～第6いずれかの構成による半導体装置は、入力電圧から所望の出力電圧を生成するように前記出力トランジスタの駆動制御を行うドライバをさらに有する構成（第7の構成）にしてもよい。

[0110] 或いは、上記第4～第6いずれかの構成による半導体装置は、イネーブル信号に応じて前記出力トランジスタのオン／オフ制御を行うコントローラをさらに有する構成（第8の構成）にしてもよい。

[0111] また、例えば、本明細書中に開示されている過電流保護回路は、出力トランジスタの第1主電極が接続されるように構成された第1ノードと、前記出力トランジスタの第2主電極が接続されるように構成された第2ノードと、前記出力トランジスタの制御電極が接続されるように構成された第3ノードと、前記第1ノードの端子電圧にオフセット電圧を加減算して基準電圧を生成するように構成された電圧源と、前記第1ノードと前記第2ノードとの間に直列接続されて相互間の第4ノードから検出電圧を出力するように構成された過電流検出抵抗及びミラートランジスタと、前記第4ノードと前記第3

ノードとの間に接続されるように構成された過電流保護トランジスタと、前記基準電圧と前記検出電圧との差分値に応じて前記過電流保護トランジスタを制御するように構成されたオペアンプと、を有する構成（第9の構成）とされている。

[0112] 上記第9の構成による過電流保護回路において、前記オペアンプは、前記過電流検出抵抗の両端間電圧が前記オフセット電圧を上回るまで前記過電流保護トランジスタをフルオフする一方、前記過電流検出抵抗の両端間電圧が前記オフセット電圧を一旦上回ると、前記過電流検出抵抗の両端間電圧が前記オフセット電圧と一致するように前記過電流保護トランジスタのオン抵抗を制御する構成（第10の構成）にしてもよい。

[0113] 上記第9または第10の構成による過電流保護回路において、前記オフセット電圧は、過電流保護動作時における前記過電流検出抵抗の両端間電圧が前記出力トランジスタのオン閾値電圧よりも低くなるように設定されている構成（第11の構成）にしてもよい。

[0114] また、例えば、本明細書中に開示されている半導体装置は、前記出力トランジスタと、上記第9～11いずれかの構成による過電流保護回路と、を有する構成（第12の構成）とされている。

[0115] なお、上記第12の構成による半導体装置は、入力電圧から所望の出力電圧を生成するように前記出力トランジスタ及び前記ミラートランジスタの駆動制御を行うドライバをさらに有する構成（第13の構成）にしてもよい。

[0116] 或いは、上記第12の構成による半導体装置は、イネーブル信号に応じて前記出力トランジスタ及び前記ミラートランジスタのオン／オフ制御を行うコントローラをさらに有する構成（第14の構成）にしてもよい。

[0117] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、バイポーラトランジスタとMOS電界効果トランジスタとの相互置換、及び、各種信号の論理レベル反転は任意である。すなわち

、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

符号の説明

- [0118] 1 半導体装置
- 2 負荷
- 10 過電流保護回路
- 20 ドライバ
- 30 帰還電圧生成部
- 31、32 抵抗
- 40 コントローラ
- AMP 11、AMP 12、AMP 21、AMP 31、AMP 32
- オペアンプ
- E 11、E 21、E 31 電圧源
- EN イネーブル端子
- IN 入力端子
- M 10、M 30 出力トランジスタ (PMOSFET)
- M 20 出力トランジスタ (NMOSFET)
- M 30x ミラートランジスタ (PMOSFET)
- M 11、M 21、M 31 過電流保護トランジスタ (NMOSFET)
- T)
- M 12、M 32 過電流保護トランジスタ (PMOSFET)
- n 11、n 12、n 13、n 14 ノード
- n 21、n 22、n 23、n 24 ノード
- n 31、n 32、n 33、n 34 ノード
- OUT 出力端子
- R 11、R 21 過電流検出抵抗

R 1 2、R 2 2 ヒステリシス設定抵抗

R 3 1 過電流検出抵抗（兼ヒステリシス設定抵抗）

T 1、T 2、T 3、T 4 外部端子

請求の範囲

- [請求項1] 過電流検出抵抗の第1端が接続されるように構成された第1ノードと、
- 前記過電流検出抵抗の第2端と出力トランジスタの主電極が共通に接続されるように構成された第2ノードと、
- 前記出力トランジスタの制御電極が接続されるように構成された第3ノードと、
- 前記第1ノードの端子電圧にオフセット電圧を加減算して基準電圧を生成するように構成された電圧源と、
- 前記第2ノードと前記第3ノードとの間に直列接続されて相互間の第4ノードから検出電圧を出力するように構成されたヒステリシス設定抵抗及び過電流保護トランジスタと、
- 前記基準電圧と前記検出電圧との差分値に応じて前記過電流保護トランジスタを制御するように構成されたオペアンプと、
- を有する、過電流保護回路。
- [請求項2] 前記オペアンプは、前記過電流検出抵抗の両端間電圧が前記オフセット電圧を上回るまで前記過電流保護トランジスタをフルオフする一方、前記過電流検出抵抗の両端間電圧が前記オフセット電圧を一旦上回ると、前記過電流検出抵抗の両端間電圧に前記ヒステリシス設定抵抗の両端間電圧を足し合わせた加算電圧が前記オフセット電圧と一致するように前記過電流保護トランジスタのオン抵抗を制御する、請求項1に記載の過電流保護回路。
- [請求項3] 前記オフセット電圧は、過電流保護動作時における前記ヒステリシス設定抵抗の両端間電圧が前記出力トランジスタのオン閾値電圧よりも低くなるように設定されている、請求項1または2に記載の過電流保護回路。
- [請求項4] 請求項1～3のいずれか一項に記載の過電流保護回路を有する、半導体装置。

- [請求項5] 前記出力トランジスタ及び前記過電流検出抵抗をいずれも内蔵する、請求項4に記載の半導体装置。
- [請求項6] 前記出力トランジスタ及び前記過電流検出抵抗が外付けされるように構成された複数の外部端子を有する、請求項4に記載の半導体装置。
- [請求項7] 入力電圧から所望の出力電圧を生成するように前記出力トランジスタの駆動制御を行うドライバをさらに有する、請求項4～6のいずれか一項に記載の半導体装置。
- [請求項8] イネーブル信号に応じて前記出力トランジスタのオン／オフ制御を行うコントローラをさらに有する、請求項4～6のいずれか一項に記載の半導体装置。
- [請求項9] 出力トランジスタの第1主電極が接続されるように構成された第1ノードと、
前記出力トランジスタの第2主電極が接続されるように構成された第2ノードと、
前記出力トランジスタの制御電極が接続されるように構成された第3ノードと、
前記第1ノードの端子電圧にオフセット電圧を加減算して基準電圧を生成するように構成された電圧源と、
前記第1ノードと前記第2ノードとの間に直列接続されて相互間の第4ノードから検出電圧を出力するように構成された過電流検出抵抗及びミラートランジスタと、
前記第4ノードと前記第3ノードとの間に接続されるように構成された過電流保護トランジスタと、
前記基準電圧と前記検出電圧との差分値に応じて前記過電流保護トランジスタを制御するように構成されたオペアンプと、
を有する、過電流保護回路。
- [請求項10] 前記オペアンプは、前記過電流検出抵抗の両端間電圧が前記オフセ

ット電圧を上回るまで前記過電流保護トランジスタをフルオフする一方、前記過電流検出抵抗の両端間電圧が前記オフセット電圧を一旦上回ると、前記過電流検出抵抗の両端間電圧が前記オフセット電圧と一致するように前記過電流保護トランジスタのオン抵抗を制御する、請求項 9 に記載の過電流保護回路。

[請求項11] 前記オフセット電圧は、過電流保護動作時における前記過電流検出抵抗の両端間電圧が前記出力トランジスタのオン閾値電圧よりも低くなるように設定されている、請求項 9 または 10 に記載の過電流保護回路。

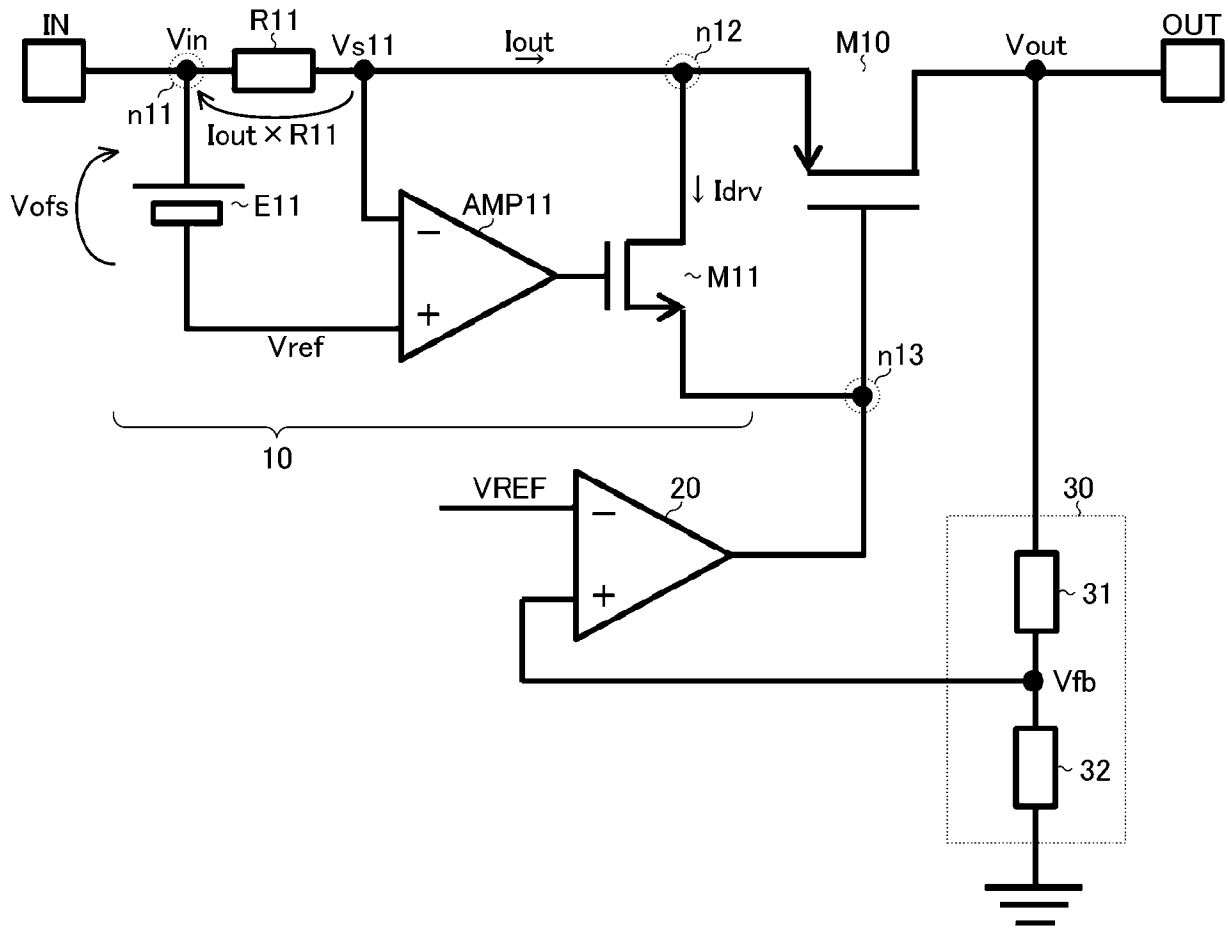
[請求項12] 前記出力トランジスタと、
請求項 9 ～ 11 のいずれか一項に記載の過電流保護回路と、
を有する、半導体装置。

[請求項13] 入力電圧から所望の出力電圧を生成するように前記出力トランジスタ及び前記ミラートランジスタの駆動制御を行うドライバをさらに有する、請求項 12 に記載の半導体装置。

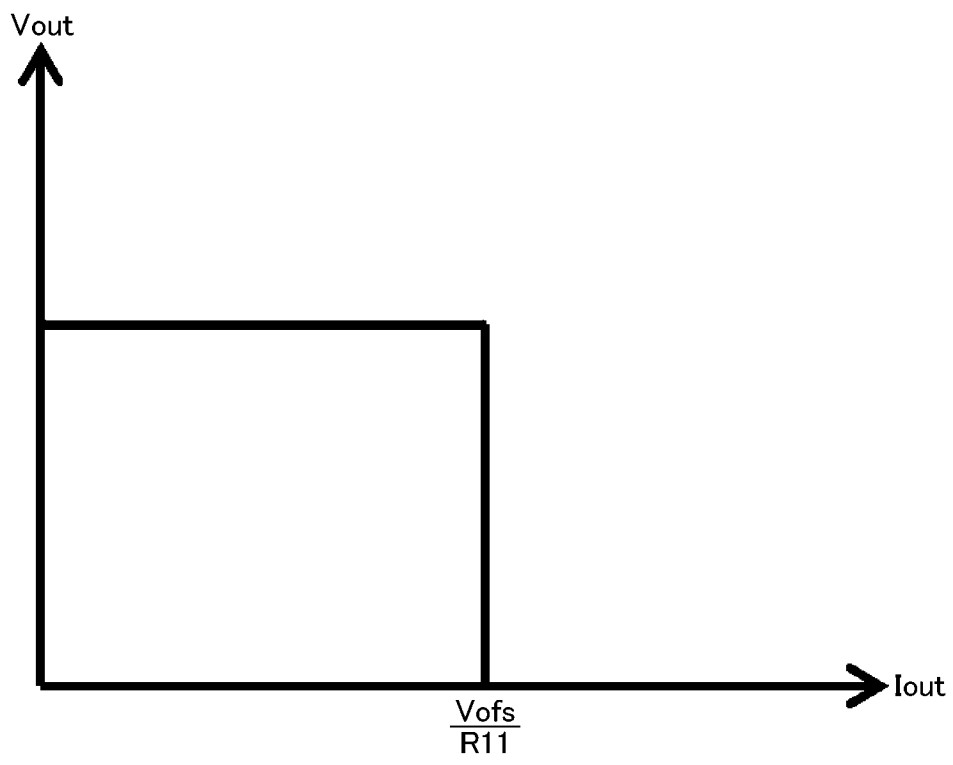
[請求項14] イネーブル信号に応じて前記出力トランジスタ及び前記ミラートランジスタのオン／オフ制御を行うコントローラをさらに有する、請求項 12 に記載の半導体装置。

[図1]

1

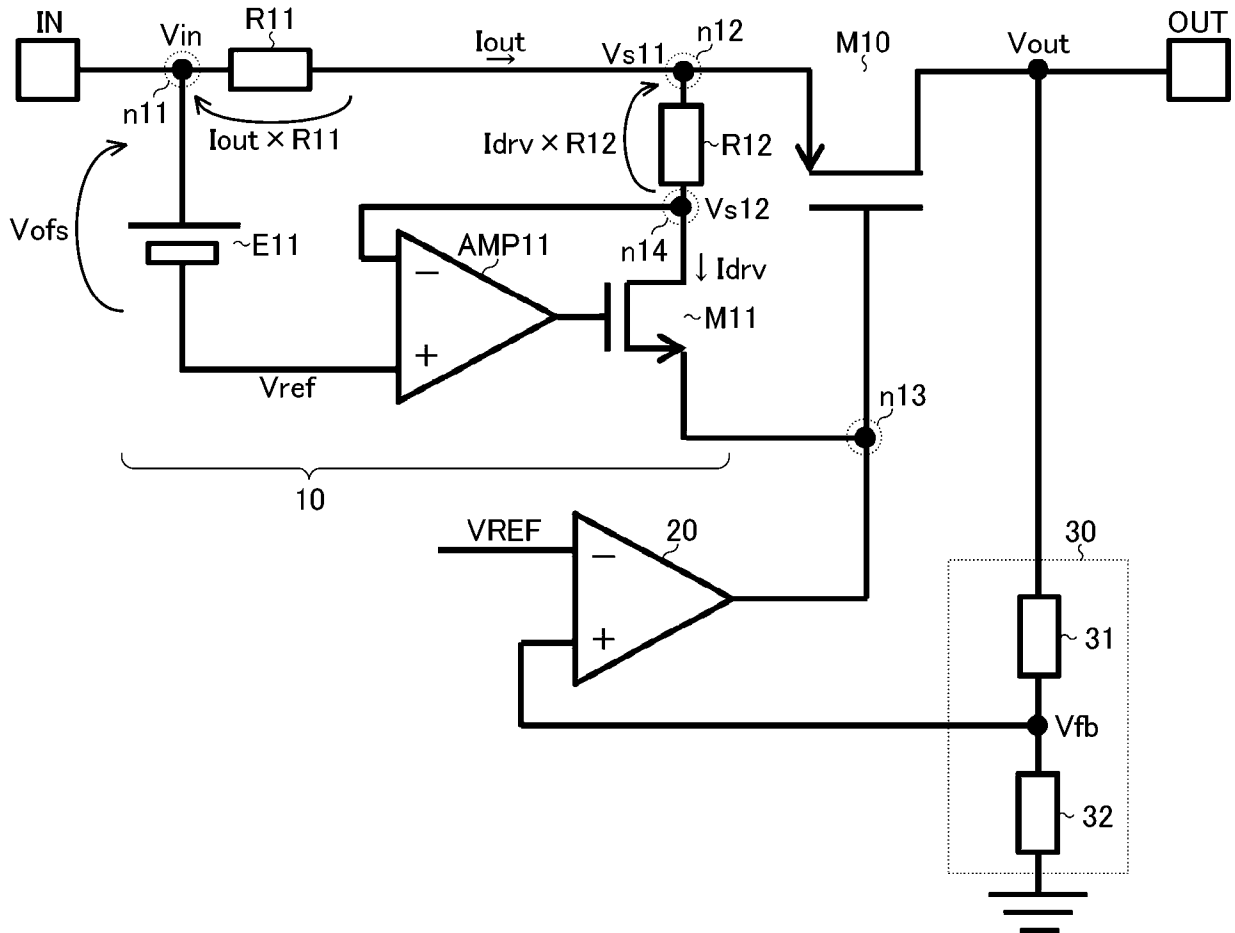


[図2]

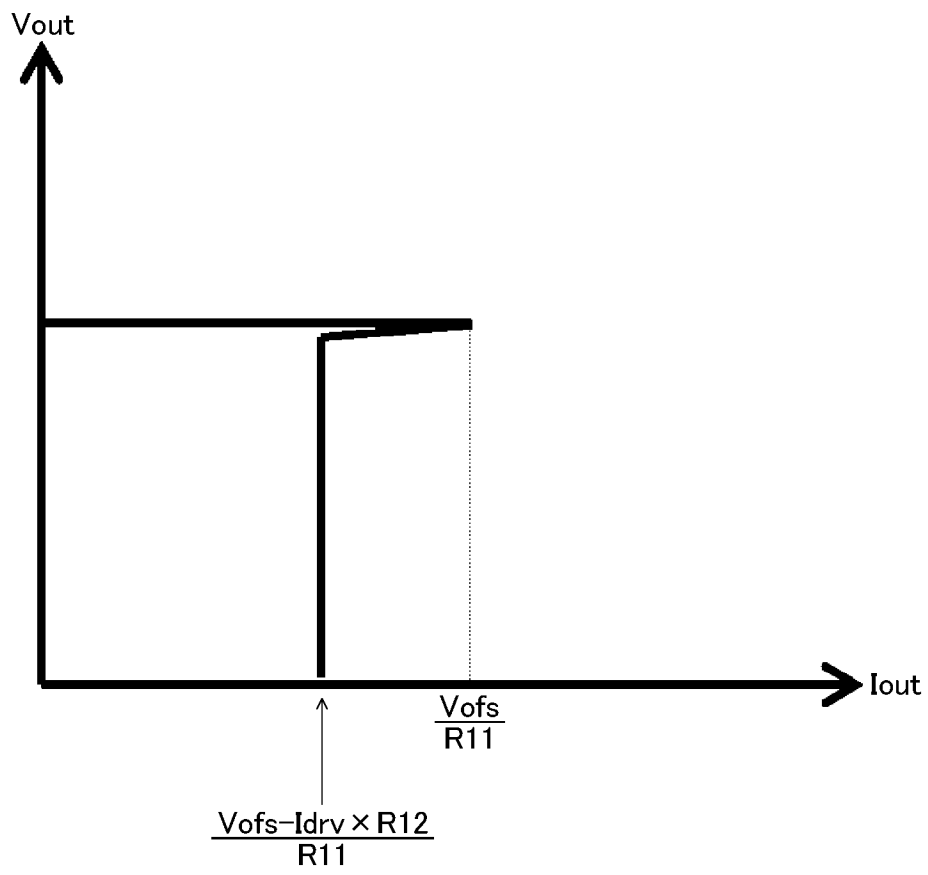


[図3]

1 ↘

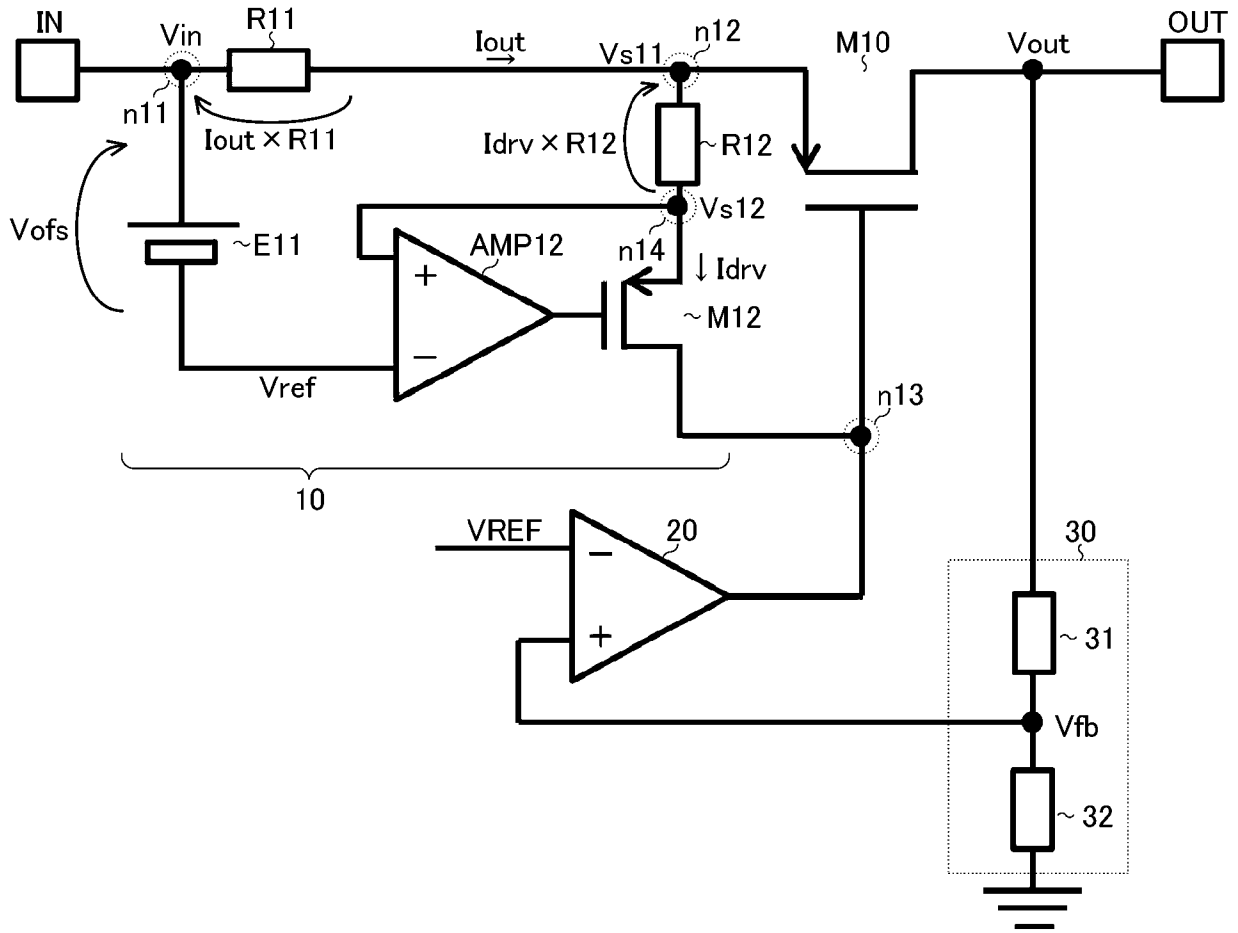


[図4]



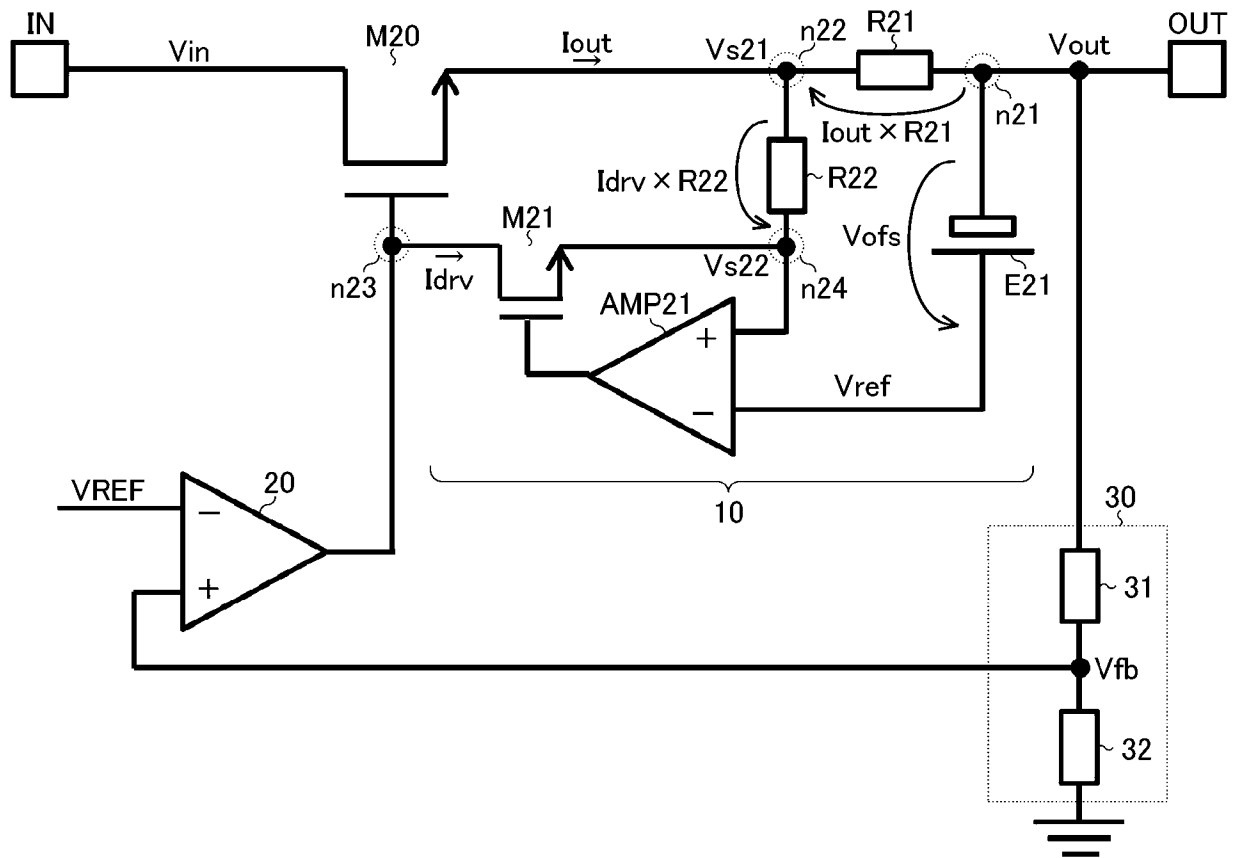
[図5]

1 ↘



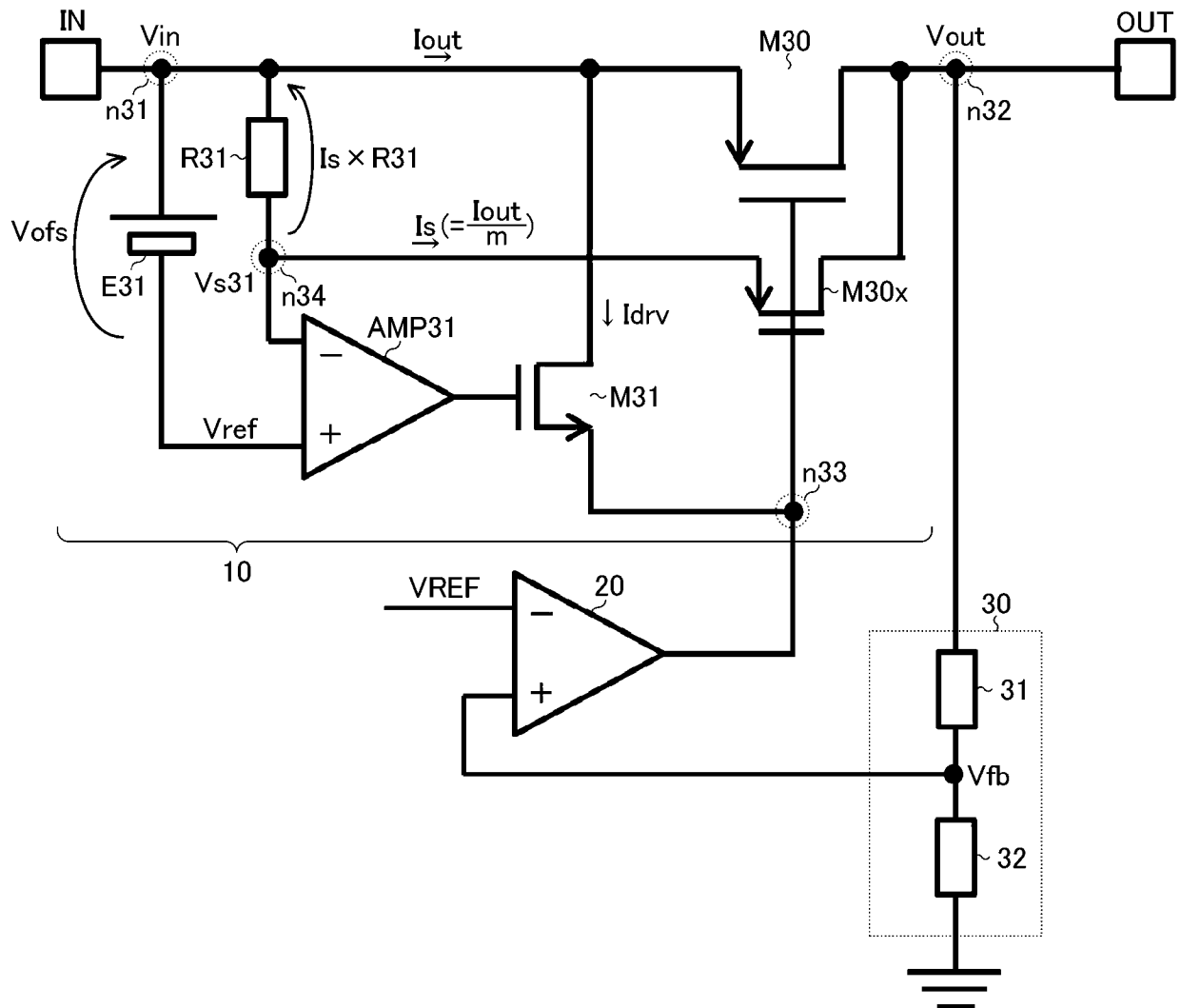
[図7]

1

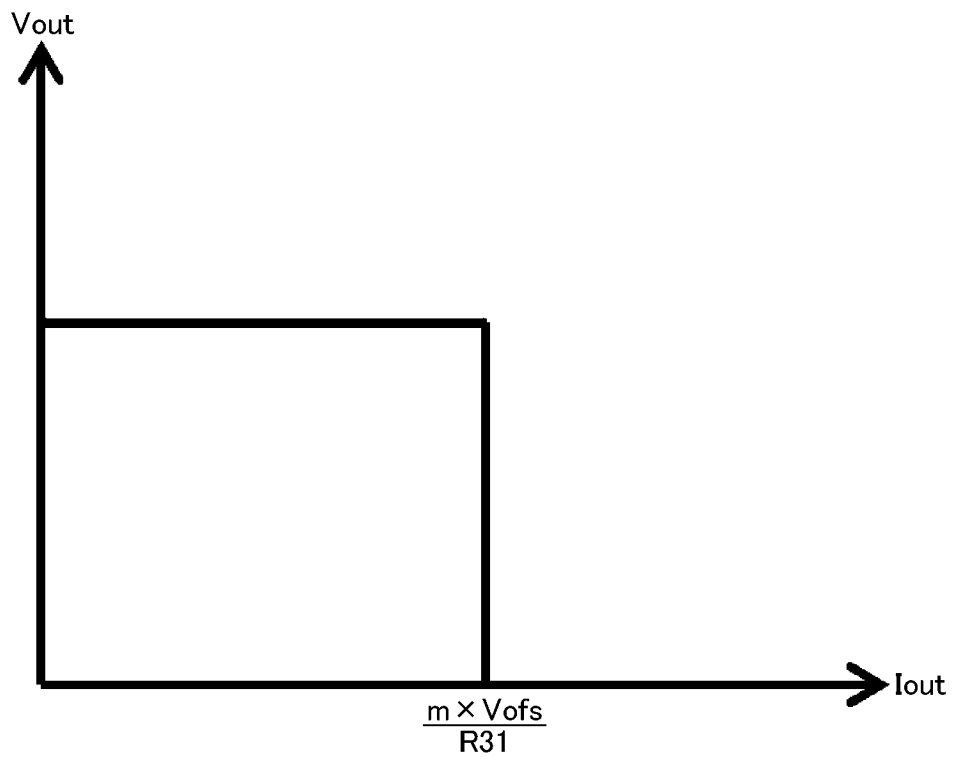


[図8]

1 ↘

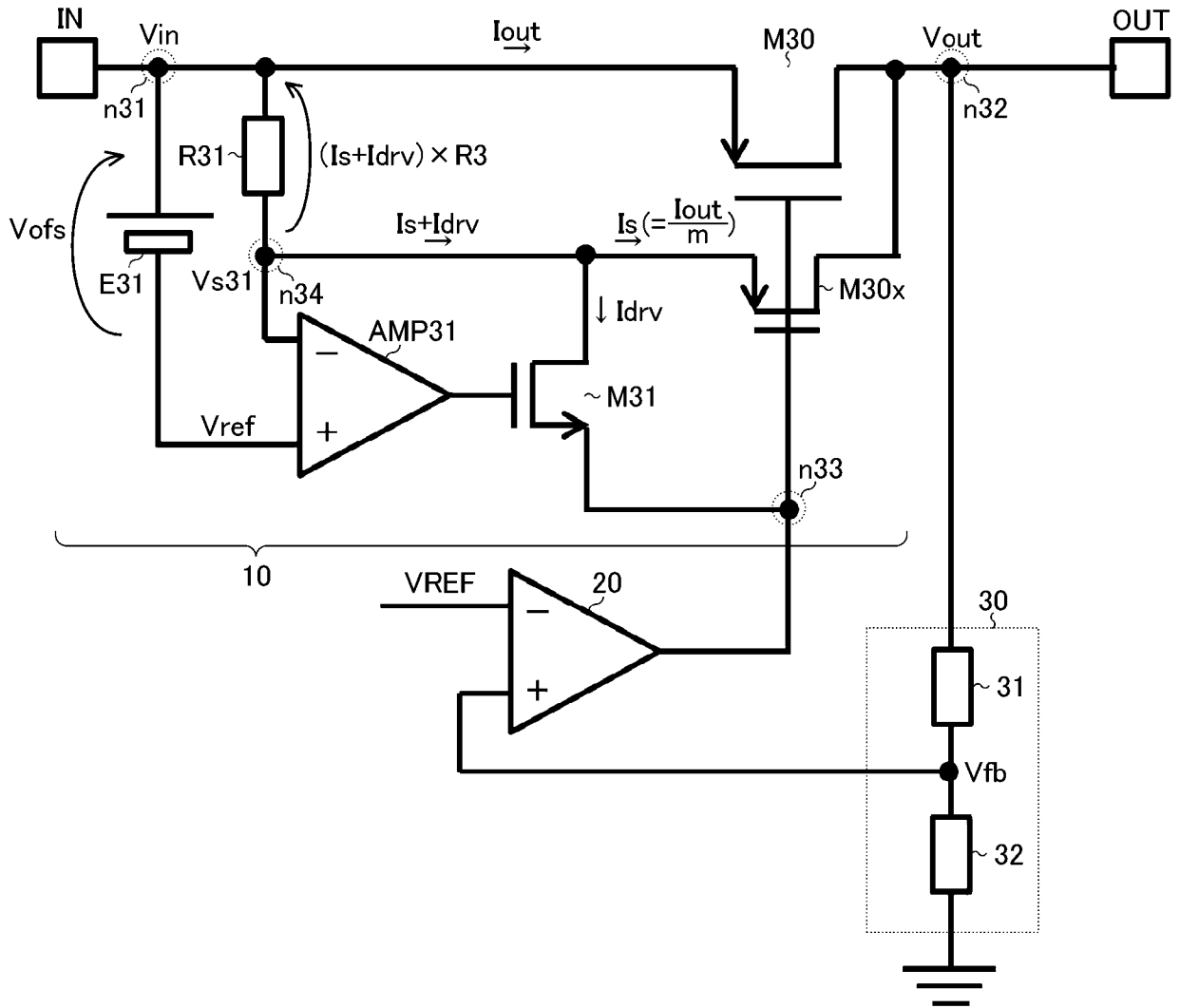


[図9]

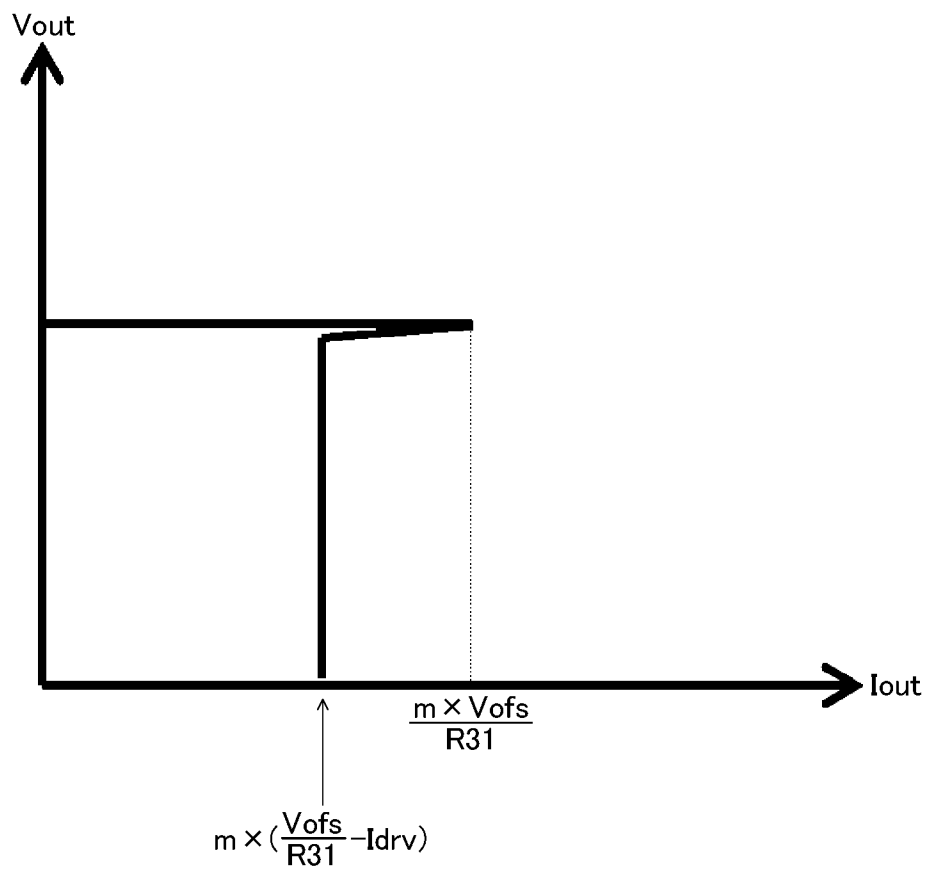


[図10]

1 ↘

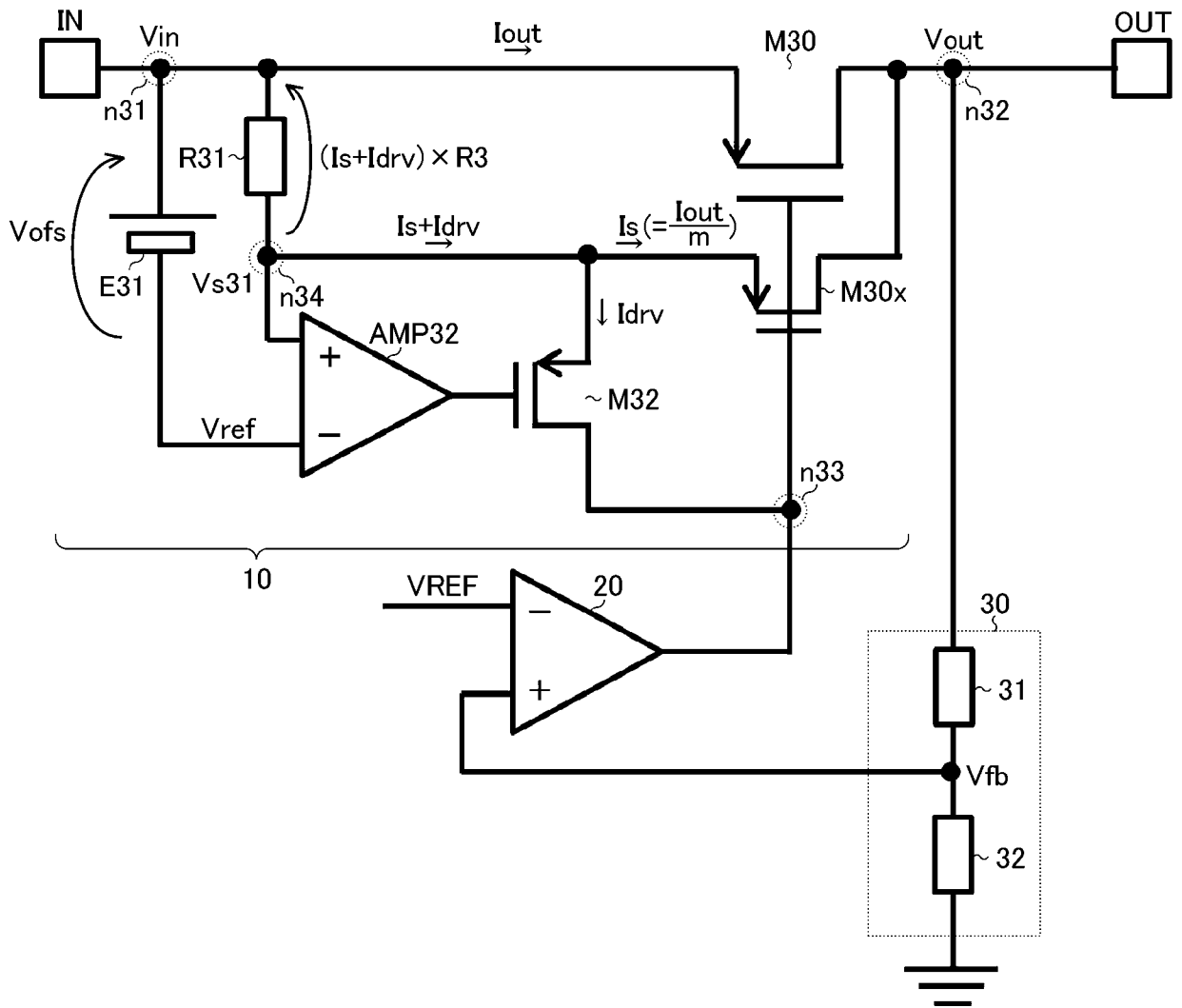


[図11]



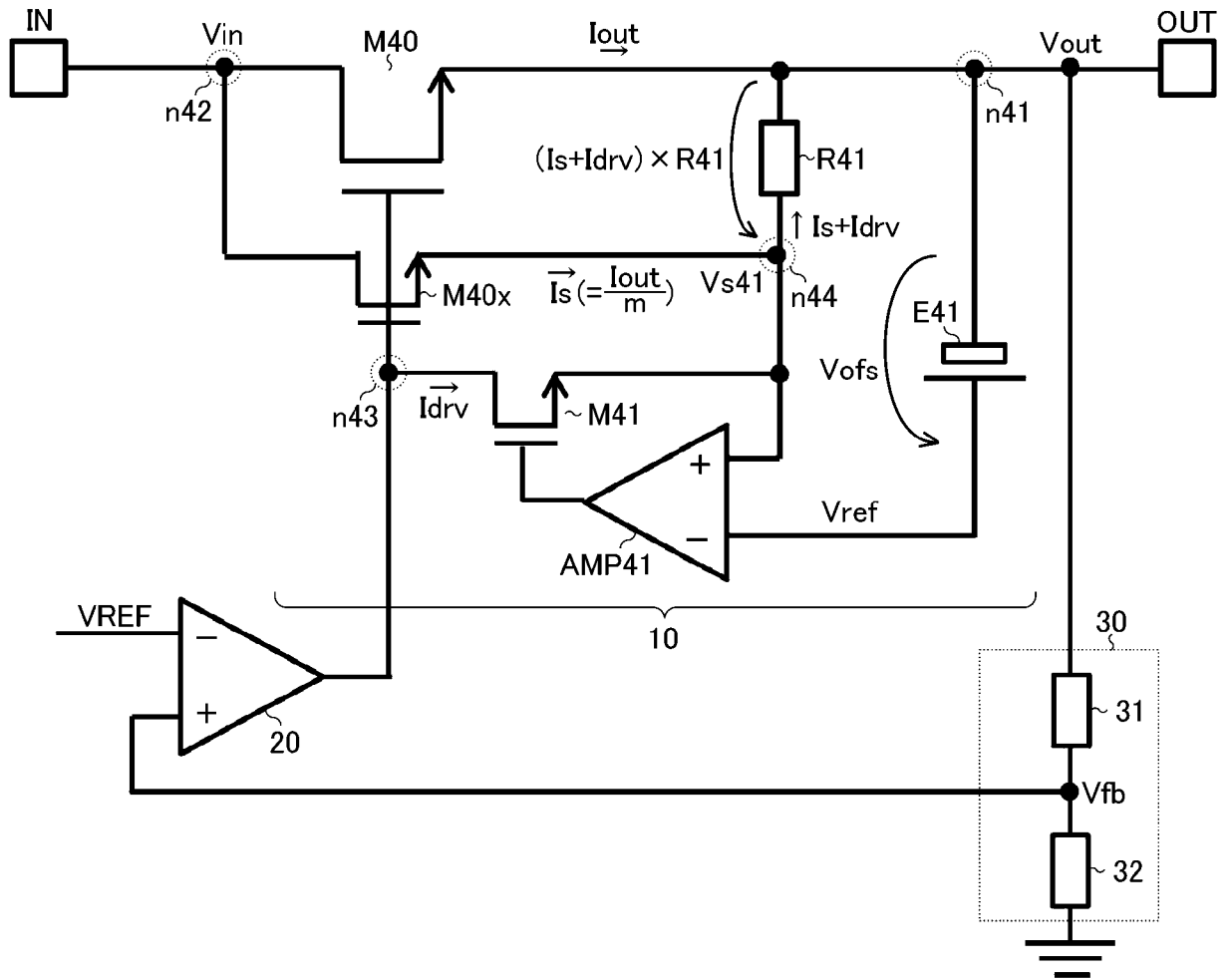
[図12]

1 ↘

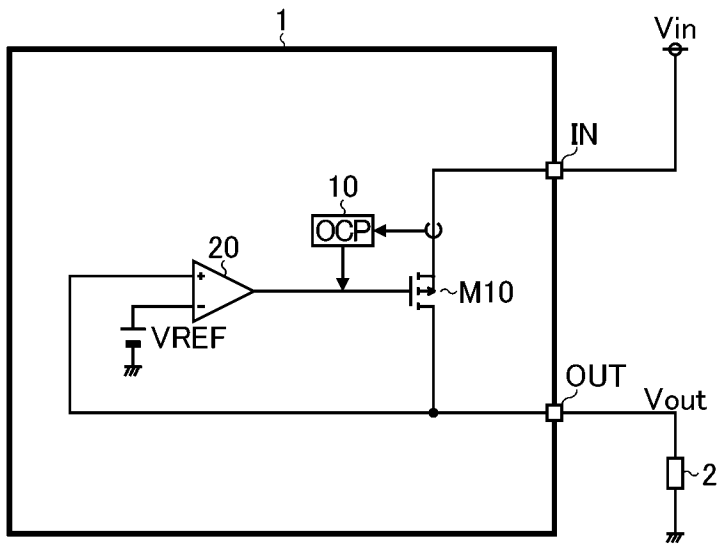


[図13]

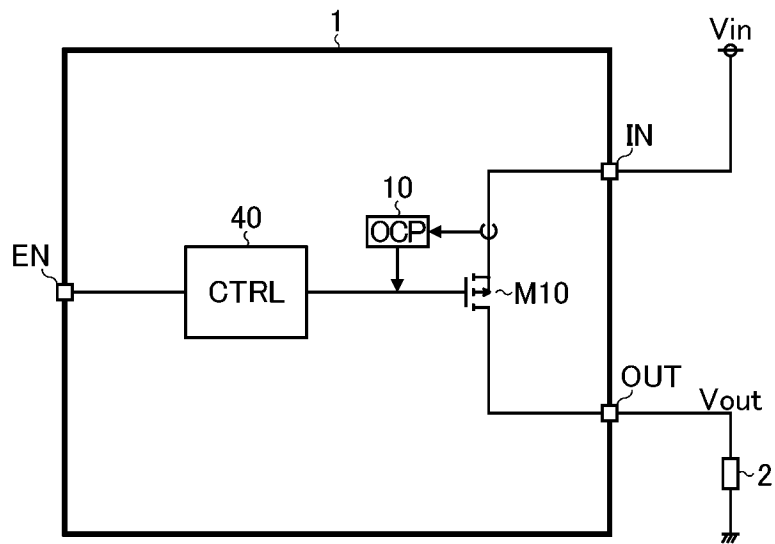
1 ↘



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/021091

A. CLASSIFICATION OF SUBJECT MATTER		
G05F 1/56(2006.01)i FI: G05F1/56 320C		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G05F1/56		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-157743 A (FUJITSU TEN LTD) 16 June 2005 (2005-06-16) entire text, all drawings	1-14
A	JP 2012-159870 A (SEIKO INSTRUMENTS INC) 23 August 2012 (2012-08-23) entire text, all drawings	1-14
A	JP 5-315852 A (FUJI ELECTRIC CO., LTD.) 26 November 1993 (1993-11-26) entire text, all drawings	1-14
A	JP 2003-216252 A (SEIKO INSTRUMENTS INC) 31 July 2003 (2003-07-31) entire text, all drawings	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 June 2022		Date of mailing of the international search report 21 June 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/021091

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2005-157743	A 16 June 2005	(Family: none)	
JP 2012-159870	A 23 August 2012	US 2012/0194947 A1 entire text, all drawings CN 102622033 A KR 10-2012-0087840 A	
JP 5-315852	A 26 November 1993	US 5422593 A entire text, all drawings	
JP 2003-216252	A 31 July 2003	US 2003/0090251 A1 entire text, all drawings KR 10-2003-0040179 A CN 1420405 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G05F 1/56(2006.01)i FI: G05F1/56 320C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G05F1/56 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-157743 A（富士通テン株式会社）16.06.2005（2005-06-16） 全文、全図	1-14
A	JP 2012-159870 A（セイコーインスツル株式会社）23.08.2012（2012-08-23） 全文、全図	1-14
A	JP 5-315852 A（富士電機株式会社）26.11.1993（1993-11-26） 全文、全図	1-14
A	JP 2003-216252 A（セイコーインスツルメンツ株式会社）31.07.2003（2003-07-31） 全文、全図	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 09.06.2022	国際調査報告の発送日 21.06.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 東 昌秋 5G 3139 電話番号 03-3581-1101 内線 3526	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/021091

引用文献	公表日	パテントファミリー文献	公表日
JP 2005-157743 A	16.06.2005	(ファミリーなし)	
JP 2012-159870 A	23.08.2012	US 2012/0194947 A1 全文, 全図 CN 102622033 A KR 10-2012-0087840 A	
JP 5-315852 A	26.11.1993	US 5422593 A 全文, 全図	
JP 2003-216252 A	31.07.2003	US 2003/0090251 A1 全文, 全図 KR 10-2003-0040179 A CN 1420405 A	