



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0096763
(43) 공개일자 2011년08월31일

(51) Int. Cl.

H01L 33/36 (2010.01) H01L 33/38 (2010.01)

(21) 출원번호 10-2010-0016199

(22) 출원일자 2010년02월23일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 이매촌청구아파트
601동 1105호

김경진

대구광역시 동구 효목1동 21-15번지 1/4

(뒷면에 계속)

(74) 대리인

박영복, 김용인

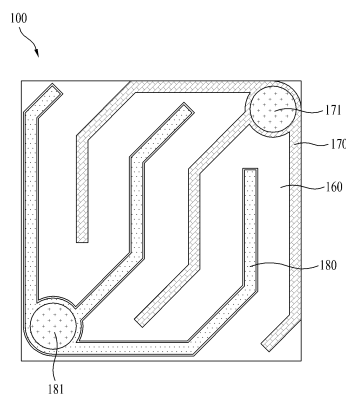
전체 청구항 수 : 총 6 항

(54) 질화물 반도체 발광소자

(57) 요약

본 발명은, 휘도특성의 감소, 광추출효율의 감소, 소비전력의 증가, 순방향전압의 증가 및 과도한 발열을 방지할 수 있는 질화물 반도체 발광소자에 관한 것으로, 기판 상에 형성되는 제1 질화물 반도체층; 상기 제1 질화물 반도체층의 제1 영역 상에 다중양자우물구조로 형성되는 활성층; 상기 활성층 상에 형성되는 제2 질화물 반도체층; 상기 제2 질화물 반도체층 상에 형성되는 오믹접촉층; 상기 오믹접촉층 상에, 광이 방출되는 발광면의 제1 꼭지점과 대응하여 형성되는 제1 전극패드; 상기 제1 영역을 제외한 상기 제1 질화물 반도체층의 제2 영역 상에, 상기 제1 꼭지점에 대각선 방향으로 대향하는 상기 발광면의 제2 꼭지점과 대응하여 형성되는 제2 전극패드; 상기 오믹접촉층 상에, 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 각각 포함하는 형태로, 상기 제1 전극패드로부터 상기 발광면 측으로 연장되어 형성되는 복수의 제1 전극; 및 상기 제1 질화물 반도체층의 제2 영역 상에, 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 각각 포함하는 형태로, 상기 발광면 상에서 상기 복수의 제1 전극과 교번하도록, 상기 제2 전극패드로부터 상기 발광면 측으로 연장되어 형성되는 복수의 제2 전극을 포함한다.

대표도 - 도5



(72) 발명자

박윤석

경기도 파주시 월롱면 덕은리 파주LCD산업단지 정
다운마을 103동 1509호

양지원

서울특별시 성북구 안암동5가 156-4호 천지빌리지
210호

김동호

서울특별시 노원구 월계2동 월계주공2단지아파트
208동 1110호

특허청구의 범위

청구항 1

기관 상에 형성되는 제1 질화물 반도체층;

상기 제1 질화물 반도체층의 제1 영역 상에 다중양자우물구조로 형성되는 활성층;

상기 활성층 상에 형성되는 제2 질화물 반도체층;

상기 제2 질화물 반도체층 상에 형성되는 오믹접촉층;

상기 오믹접촉층 상에, 광이 방출되는 발광면의 제1 꼭지점과 대응하여 형성되는 제1 전극패드;

상기 제1 영역을 제외한 상기 제1 질화물 반도체층의 제2 영역 상에, 상기 제1 꼭지점에 대각선 방향으로 대향하는 상기 발광면의 제2 꼭지점과 대응하여 형성되는 제2 전극패드;

상기 오믹접촉층 상에, 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 각각 포함하는 형태로, 상기 제1 전극패드로부터 상기 발광면 측으로 연장되어 형성되는 복수의 제1 전극; 및

상기 제1 질화물 반도체층의 제2 영역 상에, 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 각각 포함하는 형태로, 상기 발광면 상에서 상기 복수의 제1 전극과 교번하도록, 상기 제2 전극패드로부터 상기 발광면 측으로 연장되어 형성되는 복수의 제2 전극을 포함하는 질화물 반도체 발광소자.

청구항 2

제1항에 있어서,

상기 제1 전극과 상기 제2 전극 사이의 간격은 소정의 이격거리로 유지되는 질화물 반도체 발광소자.

청구항 3

제2항에 있어서,

상기 복수의 제1 전극과 복수의 상기 제2 전극은 점대칭하는 질화물 반도체 발광소자.

청구항 4

제3항에 있어서,

상기 복수의 제1 전극과 복수의 제2 전극 각각은, 상기 발광면의 제1 모서리에 평행한 연결가지 및 상기 발광면의 제1 대각선에 평행한 연결가지를 포함하는 형태로 이루어지는 질화물 반도체 발광소자.

청구항 5

제2항에 있어서,

상기 복수의 제1 전극과 복수의 제2 전극 각각은 직선으로 이루어지는 질화물 반도체 발광소자.

청구항 6

제2항에 있어서,

상기 제1 질화물 반도체층의 제2 영역은, 상기 제2 전극패드와 상기 제2 전극은, 상기 오믹접촉층, 상기 제2 질화물 반도체층, 상기 활성층의 적어도 일부를 식각하여 노출되는 영역인 질화물 반도체 발광소자.

명세서

기술 분야

[0001] 본 발명은 질화물 반도체 발광소자에 관한 것으로, 특히, 전류혼잡화를 줄일 수 있는 질화물 반도체 발광소자에 관한 것이다.

배경 기술

- [0002] 일반적으로, 발광 다이오드(Light Emitting Diode: LED)는 전류가 인가되면 광을 방출하는 발광소자 중 하나이다. 이러한 발광 다이오드는 화합물 반도체의 특성을 이용하여 전기를 광으로 변환하는데, 저전압으로 고효율의 광을 방출할 수 있어, 에너지 절감 효과가 뛰어난 것으로 알려져있다. 최근, 발광 다이오드의 휘도 문제가 크게 개선되어, 액정표시장치의 백라이트 유닛(Backlight Unit), 전광판, 표시기, 가전제품 등의 각종 자동화 기기에 적용되고 있다.
- [0003] 특히, $Al_xIn_yGa_{(1-x-y)}N$ (여기서, $0 \leq x \leq 1$, $0 \leq x+y \leq 1$ 임)의 조성식을 갖는 질화물 반도체를 이용한 발광소자(이하, "질화물 반도체 발광소자"로 지칭함) 단파장광(자외선) 및 가시광선(적색광 내지 청색광)을 포함한 광범위한 발광 스펙트럼을 나타낸다. 이에, 사용범위가 넓을 뿐만 아니라, 비소(As), 수은(Hg) 등의 환경 유해 물질을 포함하지 않는 장점이 있어, 차세대 광원으로 주목받고 있다.
- [0004] 한편, 질화물 반도체 발광소자는, n-형 질화물 반도체층, 활성층, p-형 질화물 반도체층을 포함하고, 질화물 반도체의 결정성장을 위한 격자정합 조건을 만족하는 사파이어기판 또는 SiC기판 등의 절연성 기판 위에 형성되는 복수의 질화물 반도체층, p-형 질화물 반도체층의 접촉저항을 낮추기 위한 투명도전성물질로 형성되는 오믹접촉층과, 오믹접촉층의 적어도 일부와 접촉하여 형성되어 p-형 질화물 반도체층에 전류를 주입하는 p-형 전극패드와, 그리고 활성층, p-형 질화물 반도체층 및 오믹접촉층의 일부 영역을 식각하여 노출된 n-형 질화물 반도체층과 접촉하여 형성되어 n-형 질화물 반도체층에 전류를 주입하는 n-형 전극패드를 포함하여 구성된다. 이때, p-형 전극패드와 n-형 전극패드가 절연성 기판과 대향되는 면에 수평으로 배치된다.
- [0005] 도 1은 종래기술에 따른 질화물 반도체 발광소자의 전극을 나타낸 평면도이고, 도 2는 종래의 다른 기술에 따른 질화물 반도체 발광소자의 전극을 나타낸 평면도이며, 도 3은 종래의 또 다른 기술에 따른 질화물 반도체 발광소자의 전극을 나타낸 평면도이다.
- [0006] 도 1에 도시된 바와 같이, 종래기술에 따른 질화물 반도체 발광소자(10)는, 오믹접촉층(11), 오믹접촉층(11)의 상대적인 중심부와 접촉하여 형성되는 p-형 전극패드(12) 및 노출된 n-형 질화물 반도체층의 일부 영역과 접촉하고 p-형 전극패드(12)와 대각선으로 마주하여 형성되는 n-형 전극패드(13)를 포함하여 이루어진다. 이때, p-형 전극패드(12)와 n-형 전극패드(13) 사이를 흐르는 전류운반자는 최소저항의 경로로 이동하려는 경향을 갖고 있으므로, 도 1에서 점선으로 도시된 바와 같이, p-형 전극패드(12)와 n-형 전극패드(13) 사이를 흐르는 전류는, n-형 전극패드(13)에 인접한 p-형 전극패드(12)의 하단의 좌측 꼭지점과 p-형 전극패드(12)에 인접한 n-형 전극패드(13)의 상단의 우측 꼭지점 사이에 집중된다. 이와 같이, 소정 영역에 전류가 밀집되는 현상은 전류혼잡화(Current Crowding)로 지칭된다.
- [0007] 이상과 같이, 종래기술에 따른 질화물 반도체 발광소자(10)는 두 개의 전극패드(12, 13)가 발광면에 수평하게, 대각선으로 마주하여 배치됨에 따라, 두 개의 전극패드(12, 13) 사이의 최단거리 영역에서 전류혼잡화가 발생된다.
- [0008] 이에 따라, 두 개의 전극 사이의 이격거리가 최대한 균일하게 유지되도록 하기 위하여, 도 2에 도시된 바와 같이 종래의 다른 기술에 따른 질화물 반도체 발광소자(20) 또는 도 3에 도시된 바와 같이 종래의 또 다른 기술에 따른 질화물 반도체 발광소자(30)이 제안되었다.
- [0009] 종래의 다른 기술에 따른 질화물 반도체 발광소자(20)는, 도 2에 도시된 바와 같이, 오믹접촉층(21), 오믹접촉층(21)의 상대적인 중심부와 접촉하여 형성되는 p-형 전극패드(22), p-형 전극패드(22)로부터 연장되어 형성되는 p-형 전극(23), 노출된 n-형 질화물 반도체층의 일부 영역과 접촉하고 p-형 전극패드(12)와 대각선으로 마주하여 형성되는 n-형 전극패드(24), n-형 전극패드(24)로부터 연장되어 형성되는 n-형 전극(25)을 포함하여 이루어진다. 여기서, p-형 전극(23)은 오믹접촉층(21)의 상측 모서리와 좌측 모서리의 일부로 연장되는 제1 연장전극, n-형 전극패드(24)를 향하여 연장되는 제2 연장전극 및 오믹접촉층(21)의 우측 모서리와 하측 모서리의 일부로 연장되는 제3 연장전극으로 이루어진다. 그리고, n-형 전극(25)은 p-형 전극패드(22)를 향하여 연장된 대각선 연장전극과, 대각선 연장전극으로부터 연장되어 제2 연장전극의 끝단을 둘러싸는 포위전극으로 이루어진다.
- [0010] 그리고, 종래의 또 다른 기술에 따른 질화물 반도체 발광소자(30)는, 도 3에 도시된 바와 같이, 오믹접촉층(31), 오믹접촉층(31)의 하단의 우측 꼭지점에 접촉하여 형성되는 p-형 전극패드(32), p-형 전극패드(32)로부터 연장되어 형성되는 p-형 전극(33), 발광면의 하단의 우측에 노출된 n-형 질화물 반도체층의 일부 영역과 접촉하

고 p-형 전극패드(12)와 마주하여 형성되는 n-형 전극패드(34), n-형 전극패드(34)로부터 연장되어 형성되는 n-형 전극(35)을 포함하여 이루어진다. 여기서, p-형 전극(33)은 오믹접촉층(31)의 좌측 모서리와 상측 모서리의 일부로 연장되는 제1 연장전극, 제1 연장전극에서 n-형 전극패드(34)를 향하여 연장되는 제2 연장전극, 오믹접촉층(31)의 하측 모서리의 일부로 연장되는 제3 연장전극 및 제3 연장전극에서 상측을 향하여 연장되는 제4 연장전극으로 이루어진다. 그리고, n-형 전극(35)은 발광면의 우측 모서리로 연장되는 우측 연장전극과, p-형 전극패드(32)를 향하여 연장되는 하측모서리 연장전극과, p-형 전극(33)의 제4 연장전극을 둘러싸는 포위전극으로 이루어진다.

[0011] 이와 같이, 종래의 다른 기술 및 종래의 또 다른 기술에 따른 질화물 반도체 발광소자(20, 30)는, 두 개의 전극((23, 25), (33, 35))이 발광면에 비교적 균일한 간격으로 이격되어 배치되기 때문에, 종래기술에 따른 질화물 반도체 발광소자(10)보다 전류혼잡화를 줄일 수 있다. 그러나, 두 개의 전극((23, 25), (33, 35))이 직각의 절곡부를 갖도록 형성되므로, 도 2 및 도 3에서 점선으로 도시된 바와 같이, 직각으로 절곡되는 부분에 전류가 집중되어, 전류혼잡화가 발생된다.

[0012] 이와 같이, p-형과 n-형 전극 사이의 최단거리 영역 또는 전극이 직각으로 절곡되는 부분에 의해 전류혼잡화가 발생되면, 광이 발광소자의 발광면에서 균일하게 발생될 수 없어, 발광소자의 휘도특성 및 광추출효율이 감소된다. 이 뿐만 아니라, 전류혼잡화에 의해, 더 많은 양의 전류 주입이 필요해져서 소비전력이 높아지고 순방향 전압(forward voltage)가 높아지며, 발광 소자 내부에서 더 많은 양의 열이 발생되므로 발광소자에 대한 신뢰성이 낮아진다.

발명의 내용

해결하려는 과제

[0013] 이에 따라, 본 발명이 해결하려는 과제는, 전류혼잡화를 감소함으로써, 휘도특성의 감소, 광추출효율의 감소, 소비전력의 증가, 순방향전압의 증가 및 과도한 발열이 감소될 수 있는 질화물 반도체 발광소자를 제공하는 것이다.

과제의 해결 수단

[0014] 이와 같은 과제를 해결하기 위하여, 본 발명에 따른 질화물 반도체 발광소자는, 기판 상에 형성되는 제1 질화물 반도체층; 상기 제1 질화물 반도체층의 제1 영역 상에 형성되는 활성층; 상기 활성층 상에 형성되는 제2 질화물 반도체층; 상기 제2 질화물 반도체층 상에 형성되는 오믹접촉층; 상기 오믹접촉층의 일부 상에 광이 방출되는 발광면의 제1 꼭지점과 대응하여 형성되는 제1 전극패드; 상기 제1 영역을 제외한 상기 제1 질화물 반도체층의 제2 영역 상에, 상기 제1 꼭지점에 대각선 방향으로 대향하는 상기 발광면의 제2 꼭지점과 대응하여 형성되는 제2 전극패드; 상기 오믹접촉층 상에, 상기 제1 전극패드로부터 상기 발광면으로 연장되고 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 포함하여 형성되는 복수의 제1 전극; 및 상기 제1 질화물 반도체층의 제2 영역 상에, 상기 제2 전극패드로부터 상기 발광면으로 연장되고, 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 포함하며, 상기 적어도 하나의 제1 전극과 교번하여 형성되는 복수의 제2 전극을 포함한다.

발명의 효과

[0015] 이상과 같이, 본 발명에 따르면, 복수의 제1 전극과 복수의 제2 전극 각각이 광이 방출되는 발광면 상에 수평하게, 서로 교번하고, 직각보다 완만한 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 각각 포함하여 형성된다. 이에 따라, 서로 교번하여 배치되는 복수의 제1 전극과 복수의 제2 전극 사이에서, 최단거리 영역이 발생하지 않으므로, 최단거리 영역에서의 전류혼잡화가 감소될 수 있다. 그리고, 복수의 제1 전극과 복수의 제2 전극 각각의 절곡된 부분이 135도 이상의 각도로 직각보다 완만하게 형성되어, 절곡된 부분에서의 전류혼잡화가 감소될 수 있다. 이와 같이, 전류혼잡화가 감소되면, 전류혼잡화에 의한 휘도특성의 감소와 광추출효율의 감소가 방지될 수 있고, 전류혼잡화에 의한 소비전력의 증가 및 순방향전압의 증가가 방지될 수 있으며, 전류혼잡화에 의한 과도한 발열을 방지할 수 있다.

도면의 간단한 설명

[0016] 도 1은 종래기술에 따른 질화물 반도체 발광소자의 전극을 나타낸 평면도이다.

도 2는 종래의 다른 기술에 따른 질화물 반도체 발광소자의 전극을 나타낸 평면도이다.

도 3은 종래의 또 다른 기술에 따른 질화물 반도체 발광소자의 전극을 나타낸 평면도이다.

도 4는 본 발명의 실시예에 따른 질화물 반도체 발광소자를 나타낸 단면도이다.

도 5는 도 4에 도시된 질화물 반도체 발광소자의 전극을 나타낸 평면도이다.

도 6은 도 4에 도시된 전극의 전류 흐름을 예시적으로 도시한 평면도이다.

도 7은 본 발명의 실시예에 따른 질화물 반도체 발광소자에 있어서, 상층의 내부양자효율을 나타낸 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하에서는, 본 발명의 실시예에 따른 질화물 반도체 발광소자에 대해, 첨부한 도면을 참고로 하여, 상세히 설명하기로 한다.
- [0018] 도 4는 본 발명의 실시예에 따른 질화물 반도체 발광소자를 나타낸 단면도이다. 그리고, 도 5는 도 4에 도시된 질화물 반도체 발광소자의 전극을 나타낸 평면도이다. 또한, 도 6은 도 4에 도시된 전극 사이의 전류 흐름을 예시적으로 도시한 평면도이고, 도 7은 본 발명의 실시예에 따른 질화물 반도체 발광소자에 있어서, 상층의 내부양자효율을 나타낸 평면도이다.
- [0019] 본 발명의 실시예에 따른 발광 다이오드(100)는, 기판(110) 상에 형성되는 버퍼층(120), 버퍼층(120) 상에 n-형 질화물반도체로 형성되는 제1 질화물 반도체층(130), 제1 질화물 반도체층의 제1 영역 상에 다중양자우물구조(Multi-Quantum-Well: MQW)로 형성되는 활성층(140), 활성층(140) 상에 p-형 질화물반도체로 형성되는 제2 질화물 반도체층(150), 제2 질화물 반도체층(150) 상에 투명 도전성 물질로 형성되는 오믹접촉층(160), 오믹접촉층(160) 상에 형성되는 복수의 제1 전극(170) 및 제1 질화물 반도체층(130)의 제2 영역 상에 복수의 제1 전극과 교번하여 형성되는 복수의 제2 전극(180)을 포함하여 구성된다.
- [0020] 기판(110)은, 질화물 반도체 단결정을 성장시키는 데에 적합한 기판으로 마련되는데, 사파이어(Al_2O_3), 실리콘 카바이드(SiC), 징크 옥사이드(zinc oxide, ZnO), 갈륨 나이트라이드(gallium nitride, GaN), 실리콘 카바이드(silicon carbide, SiC) 및 알루미늄 나이트라이드(AlN) 중 어느 하나로 선택될 수 있고, 통상적으로 사파이어로 자주 선택된다.
- [0021] 버퍼층(120)은, 기판(110)과 복수의 질화물 반도체층(130~160) 사이의 격자정합을 향상시키기 위하여, 기판(110)의 상면에 형성된다. 이때, 버퍼층(120)은 AlN, SiO_2 와 같이 질화물 반도체와 유사한 구조를 가지는 물질로 형성되는 제1층과, 도핑되지 않은 질화물 반도체로 형성되는 제2층을 포함하여 이루어질 수 있다. 이러한 버퍼층(120)에 의해, 기판(110)과 복수의 질화물 반도체층(130~160) 사이의 격자상수 및 열 팽창 계수의 차이가 감소되어, 기판(110) 상에 성장된 복수의 질화물 반도체층(130~160)의 결정질이 향상될 수 있고, 열에 의한 형태 변형이 방지될 수 있다.
- [0022] 복수의 질화물 반도체층(130~160)은, $In_xAl_yGa_{(1-x-y)}N$ 조성식(여기서, $0 \leq x \leq 1$, $0 \leq y$, $x+y \leq 1$)을 갖는 반도체 물질로 이루어진다.
- [0023] 제1 질화물 반도체층(130)은 n-형 도전형 불순물이 도핑된 n-형 질화물 반도체(n-GaN 또는 n-GaN/AlGaN)로 형성된다. 이때, n-형 도전형 불순물은, Si, Ge, Sn 중 어느 하나로 선택될 수 있는데, 주로 Si로 선택된다.
- [0024] 활성층(140)은 다중양자우물구조(Multi-Quantum Well)의 질화물 반도체(InGaN/GaN)로 형성된다. 이때, 질화물반도체(InGaN, GaN)의 조성비에 따라 발광 소자에서 방출되는 광의 파장대역이 결정된다. 한편, 활성층(140)은 단일의 양자우물층 또는 더블헤테로 구조로 형성될 수도 있다.
- [0025] 그리고, 제2 질화물 반도체층(150)은 p-형 도전형 불순물이 도핑된 p-형 질화물 반도체(p-GaN 또는 p-GaN/AlGaN)로 형성된다. 이때, p-형 도전형 불순물은, Mg, Zn, Be 중 어느 하나로 선택될 수 있는데, 주로 Mg로 선택된다.
- [0026] 오믹접촉층(160)은 제2 질화물 반도체층(160)과 직접 접촉하는 투명 도전성 물질로 형성된다. 이러한 오믹접촉층(160)에 의해, 제1 전극(170)에 주입된 전류가 제2 질화물 반도체층(160)에 넓게 분산될 수 있어 발광 소자의 전류 효율이 향상될 수 있고, 활성층(140)에서 생성된 광이 외부로 방출되는 것이 용이해져서 광 추출 효율이 향상될 수 있다.
- [0027] 그리고, 본 발명의 실시예에 따른 질화물 반도체 발광소자는, 광이 방출되는 발광면 상에 수평으로 서로 교번하

여 배치되는 복수의 제1 전극(170)과 복수의 제2 전극(180)을 포함한다. 여기서, 복수의 제1 전극(170)과 복수의 제2 전극(180)은 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 포함하는 형태를 갖는다.

[0028] 즉, 도 5에 도시된 바와 같이, 본 발명의 실시예에 따른 질화물 반도체 발광소자는, 오믹접촉층(160) 상에 형성되는 제1 전극패드(171)와 복수의 제1 전극(170) 및 제1 질화물 반도체층(130)의 제2 영역 상에 형성되는 제2 전극패드(181)와 복수의 제2 전극(180)을 포함하여 이루어진다.

[0029] 복수의 제1 전극(170)과 제1 전극패드(171)는, Ni, Au, Pt, Ti, Al, Cr 중 선택된 단일의 금속 또는 둘 이상을 포함하는 합금으로 이루어지며, 오믹접촉층(160)과 직접적으로 접촉한다. 이때, 복수의 제1 전극(170)과 제1 전극패드(171)는 일체로 형성될 수 있고, 개개로 형성되어 복수의 층을 이루도록 형성되는 것도 가능하다.

[0030] 제1 전극패드(171)는, 오믹접촉층(160) 상에, 발광면의 제1 꼭지점(도 5에서, 상단 좌측 꼭지점에 해당됨)에 대응하여 형성된다.

[0031] 복수의 제1 전극(170)은, 오믹접촉층(160) 상에, 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 포함하는 형태로, 제1 전극패드(171)로부터 발광면 측으로 연장되어 형성된다.

[0032] 그리고, 복수의 제2 전극(180)과 제2 전극패드(181)는, 복수의 제1 전극(170) 및 제1 전극패드(171)와 마찬가지로, Ni, Au, Pt, Ti, Al, Cr 중 선택된 단일의 금속 또는 둘 이상을 포함하는 합금으로 이루어지며, 제1 질화물 반도체층(130)과 직접적으로 접촉한다. 이때, 제1 질화물 반도체층(130) 중 제1 영역은 순차적으로 적층되는 활성층(140), 제2 질화물 반도체층(150) 및 오믹접촉층(160)에 대응하고, 제1 영역을 제외한 나머지 제1 질화물 반도체층(130)의 제2 영역은 제1 질화물 반도체층(130)과 직접적으로 접촉하는 복수의 제2 전극(180) 및 제2 전극패드(181)에 대응한다. 그리고, 제2 전극(180)과 제2 전극패드(181)는 일체로 형성될 수 있고, 개개로 형성되어 복수의 층을 이루도록 형성되는 것도 가능하다.

[0033] 한편, 본 발명의 실시예에 따른 질화물 반도체 발광소자를 제조하는 방법은, 기판(110) 상에 복수의 질화물 반도체층(120~150)을 순차적으로 성장시키는 단계, 제2 질화물 반도체층(150) 상에 오믹접촉층(160)을 형성하는 단계, 제1 질화물 반도체층(130)의 제2 영역에 대응하는 오믹접촉층(160), 제2 질화물 반도체층(150) 및 활성층(140)의 일부를 식각하여, 제1 질화물 반도체층(130)의 제2 영역을 노출시키는 단계, 오믹접촉층(160) 상에 복수의 제1 전극(170) 및 제1 전극패드(171)를 형성하는 단계 및 제1 질화물 반도체층(130)의 제2 영역에 복수의 제2 전극(180) 및 제2 전극패드(181)를 형성하는 단계를 포함하여 이루어진다. 즉, 복수의 제2 전극(180) 및 제2 전극패드(181)는 오믹접촉층(160), 제2 질화물 반도체층(150) 및 활성층(140)의 일부를 식각함으로써 노출된 제1 질화물 반도체층(130)의 제2 영역 상에 제1 질화물 반도체층(130)과 접촉하여 형성된다.

[0034] 제2 전극패드(181)는, 제1 질화물 반도체층(130)의 제2 영역 상에, 제1 꼭지점과 대각선으로 마주하는 발광면의 제2 꼭지점(도 5에서 하단 우측 꼭지점에 해당됨)에 대응하여 형성된다. 즉, 제1 전극패드(171)와 제2 전극패드(181)는 대각선 방향으로 대향하여 배치된다.

[0035] 복수의 제2 전극(180)은, 제1 질화물 반도체층(130)의 제2 영역 상에, 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 포함하는 형태로, 발광면 상에서 복수의 제1 전극(170)과 교번하도록, 제2 전극패드(181)로부터 발광면 측으로 연장되어 형성된다.

[0036] 도 5에 도시된 바를 참고하여, 복수의 제1 전극(170)과 복수의 제2 전극(180)에 대해 구체적으로 살펴보면 다음과 같다.

[0037] 복수의 제1 전극(170) 중 하나(도 5에서 좌측에 도시된 제1 전극(170)이고, 이하 "좌측 제1 전극"으로 지칭함)는, 제1 전극패드(171)에서 발광면의 상단모서리를 따라 연장되는 제1 연결가지와, 제1 연결가지에서 135도 이상의 각도로 절곡되어 좌측모서리를 향해 대각선 방향으로 연장되는 제2 연결가지와, 제2 연결가지에서 135도 이상의 각도로 절곡되어 하단모서리를 향해 좌우측모서리와 평행한 방향으로 연장되는 제3 연결가지로 이루어진다. 복수의 제1 전극(170) 중 다른 하나(도 5에서 가운데에 도시된 제1 전극(170)이고, 이하 "중간 제1 전극"으로 지칭함)는, 제1 전극패드(171)에서 제2 전극패드(181)를 향하는 대각선 방향으로 연장되는 제4 연결가지와, 제4 연결가지에서 135도 이상의 각도로 절곡되어 하단모서리를 향해 좌우측모서리와 평행한 방향으로 연장되는 제5 연결가지와, 제5 연결가지에서 135도 이상의 각도로 절곡되어 하단모서리를 향해 대각선 방향으로 연장되는 제6 연결가지로 이루어진다. 복수의 제1 전극(170) 중 또 다른 하나(도 5에서 우측에 도시된 제1 전극(170)이고, 이하 "우측 제1 전극"으로 지칭함)는, 제1 전극패드(171)에서 우측모서리를 따라 연장되는 제7 연결가지와, 제7 연결가지에서 135도 이상의 각도로 절곡되어 하단모서리를 향해 대각선 방향으로 연장되는 제8

연결가지로 이루어진다.

[0038] 그리고, 복수의 제2 전극(180) 중 하나(도 5에서 우측에 도시된 제2 전극(180)이고, 이하 "우측 제2 전극"으로 지칭함)는, 제2 전극패드(181)에서 발광면의 하단모서리를 따라 연장되는 제9 연결가지와, 제9 연결가지에서 135도 이상의 각도로 절곡되어 우측모서리를 향해 대각선 방향으로 연장되는 제10 연결가지와, 제10 연결가지에서 135도 이상의 각도로 절곡되어 상단모서리를 향해 좌우측모서리와 평행한 방향으로 연장되는 제11 연결가지로 이루어진다. 복수의 제2 전극(180) 중 다른 하나(도 5에서 가운데에 도시된 제2 전극(180)이고, 이하 "중간 제2 전극"으로 지칭함)는, 제2 전극패드(181)에서 제1 전극패드(171)를 향하는 대각선 방향으로 연장되는 제12 연결가지와, 제12 연결가지에서 135도 이상의 각도로 절곡되어 상단모서리를 향해 좌우측모서리와 평행한 방향으로 연장되는 제13 연결가지와, 제13 연결가지에서 135도 이상의 각도로 절곡되어 상단모서리를 향해 대각선 방향으로 연장되는 제14 연결가지로 이루어진다. 복수의 제2 전극(180) 중 또 다른 하나(도 5에서 좌측에 도시된 제2 전극(180)이고, 이하 "좌측 제2 전극"으로 지칭함)는, 제2 전극패드(181)에서 좌측모서리를 따라 연장되는 제15 연결가지와, 제15 연결가지에서 135도 이상의 각도로 절곡되어 상단모서리를 향해 대각선 방향으로 연장되는 제16 연결가지로 이루어진다.

[0039] 여기서, 도 5에 도시된 바와 같이, 복수의 제1 전극(170)과 복수의 제2 전극(180) 각각은 적어도 하나의 직선의 연결로 형성되고, 직선과 직선 사이의 절곡부는 135도 이상의 각도를 갖는다. 도 5에 도시된 바와는 달리, 복수의 제1 전극(170)과 복수의 제2 전극(180) 각각은, 135도 이상의 각도로 구부러진 곡선 형태로도 형성될 수 있다.

[0040] 그리고, 복수의 제1 전극(170)과 복수의 제2 전극(180) 사이의 간격은 소정의 이격거리로 유지된다. 즉, 이웃한 제1 전극(170)과 제2 전극(180) 사이의 간격은 소정의 이격거리로 유지된다. 더욱 구체적으로 설명하면, 좌우측 모서리에 평행한 방향으로 연장되고 서로 이웃한 제3 연결가지와 제15 연결가지 사이의 간격과, 제3 연결가지와 제13 연결가지 사이의 간격은 동일하다. 또는, 대각선방향으로 연장되고 서로 이웃한 제2 연결가지와 제14 연결가지 사이의 간격과, 제14 연결가지와 제4 연결가지 사이의 간격은 동일하다.

[0041] 또한, 제1 전극패드(171)와 제2 전극패드(181)는 대각선 방향으로 마주하고, 복수의 제1 전극(170)과 복수의 제2 전극(180)은 이웃한 전극끼리 동일한 이격거리로 이격되고, 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 포함한다. 이에 더 나아가서, 이웃한 두 개의 전극 사이의 간격이 동일해지고, 적어도 하나의 절곡부를 포함하는 형태를 각각 가지도록 하기 위해, 도 5에 도시된 바와 같이, 복수의 제1 전극(170)과 복수의 제2 전극은 점대칭하도록 배치될 수 있다. 즉, 제1 전극패드(171)와 제2 전극패드(181)는 점대칭하고, 좌측 제1 전극(170)과 우측 제2 전극(180)은 점대칭하며, 중간 제1 전극(170)과 중간 제2 전극(180)은 점대칭하고, 우측 제1 전극과 좌측 제2 전극은 점대칭하도록, 각각 배치될 수 있다.

[0042] 이상에서 설명한 바와 같이, 본 발명의 실시예에 따르면, 복수의 제1 전극(170)과 복수의 제2 전극(180)은, 발광면 상에 수평으로 서로 교번하여 배치되고, 이웃한 전극끼리 동일한 이격거리로 이격되며, 직각보다 완만한 135도 이상의 각도로 절곡되어 형성된다. 그러므로, 도 6에 도시된 바와 같이, 제1 전극(170)과 제2 전극(180) 사이의 거리가 최소인 영역(최단거리 영역)에서 발생될 수 있는 전류혼잡화가 방지될 수 있고, 절곡부에서의 전류혼잡화가 종래기술에 비해 감소될 수 있다. 이와 같이, 전류혼잡화가 감소됨에 따라, 과도한 발열, 순방향전압의 증가가 방지되어, 광추출효율 및 휘도 특성이 향상될 수 있다.

[0043] 다음, 본 발명의 실시예에 따른 질화물 반도체 발광소자의 특성에 대해 종래기술과 비교하여 설명한다.

[0044] 아래의 표 1은, 도 3에 도시된 종래의 질화물 반도체 발광소자와, 도 5에 도시된 본 발명의 실시예에 따른 질화물 반도체 발광소자의 특성을 비교한 표이다.

표 1

		종래기술	본 발명의 실시예
순방향 바이어스[V]		4.42	4.39
광출력과워[mW]		76.34	76.53
Wall-Plug 효율[%]		28.782	29.015
평균 IQE [%]		47.423	47.543
온도 [K]	평균값	313.9	313.6
	최고값	314.6	314
낭비 전력[mW]		184.05	183.23

[0045]

[0046]

표 1에 나타난 바와 같이, 본 발명의 실시예에 따른 질화물 반도체 발광소자의 순방향 바이어스는 종래기술보다 0.03V만큼 낮고, 광출력과워는 0.19mW만큼 향상된 것을 알 수 있다. 이 뿐만 아니라, 월 플러그 효율(Wall-Plug 효율, 전극패드 효율)은 종래에 비해 0.233%만큼 향상되었고, 평균 IQE(Internal Quantum Efficiency, 내부양자효율)는 종래에 비해 0.12%만큼 향상되었으며, 낭비전력도 종래기술보다 0.82mW만큼 감소되었고, 발열이 방지되어 내부온도가 종래기술보다 낮아진 것을 알 수 있다.

[0047]

또한, 본 발명의 실시예에 따른 질화물 반도체 발광소자의 IQE(양자효율)를 발광면에서 측정해보면, 도 7에 도시된 바와 같이, 제1 전극패드(171) 및 제2 전극패드(181)가 배치된 발광면의 제1 꼭지점과 제2 꼭지점 영역을 제외한 발광면의 나머지 영역에서 전체적으로 고르게 광이 방출되고 있음을 알 수 있다.

[0048]

이상과 같이, 본 발명의 실시예에 따른 질화물 반도체 발광소자는, 직각보다 완만한 135도 이상의 각도로 절곡되는 적어도 하나의 절곡부를 포함하는 형태를 갖고, 이웃한 전극 간의 간격이 동일하며, 교번하여 배치되는 복수의 제1 전극(170)과 복수의 제2 전극(180)을 포함한다. 이에 따라, 종래기술과 달리 절곡부가 완만한 각도로 절곡된 형태이므로, 절곡부에 의한 전류혼잡화를 방지할 수 있고, 이웃한 전극 간의 거리가 비교적 동일하게 유지되어, 최단거리 영역에서의 전류혼잡화를 방지할 수 있다. 이와 같이, 전류혼잡화가 방지됨으로써, 과도한 발열에 의해 내부 온도가 상승하는 것이 방지되고, 순방향 전압이 낮아져서 불필요한 전력낭비를 방지할 수 있으며, 이에, 발광소자의 광추출효율 및 휘도 특성이 향상될 수 있다.

[0049]

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다.

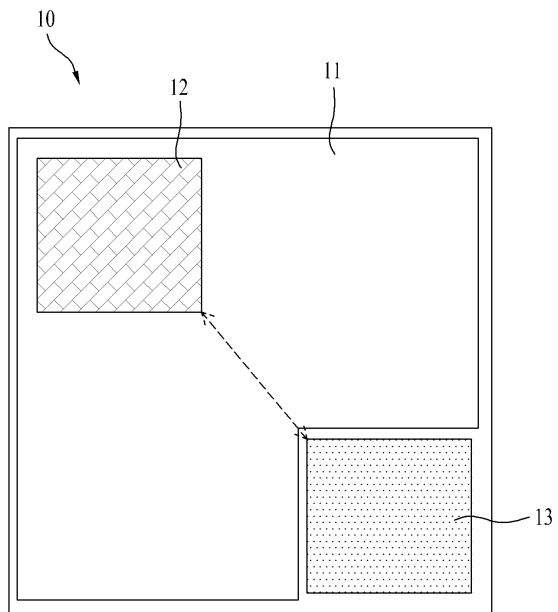
부호의 설명

[0050]

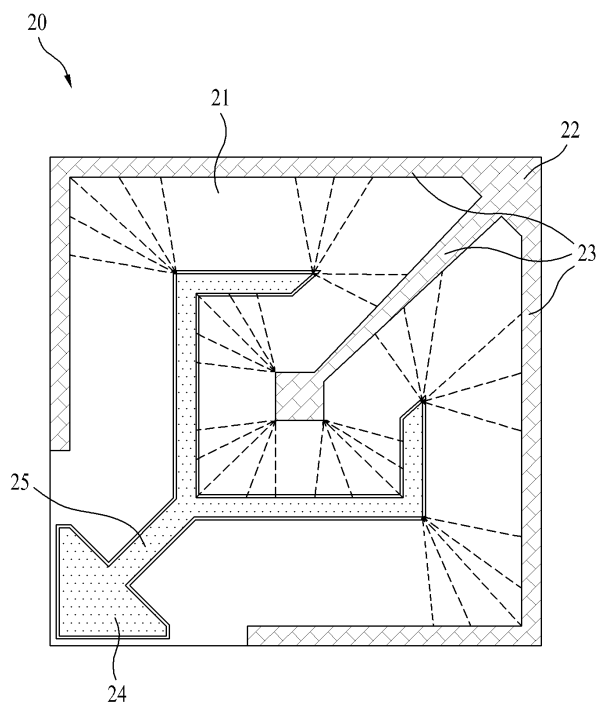
100: 질화물 반도체 발광소자 130: n-형 질화물 반도체층
 140: 활성층 150: p-형 질화물 반도체층
 160: 오믹접촉층 170: p-형 전극
 171: p-형 전극패드 180: n-형 전극
 181: n-형 전극패드

도면

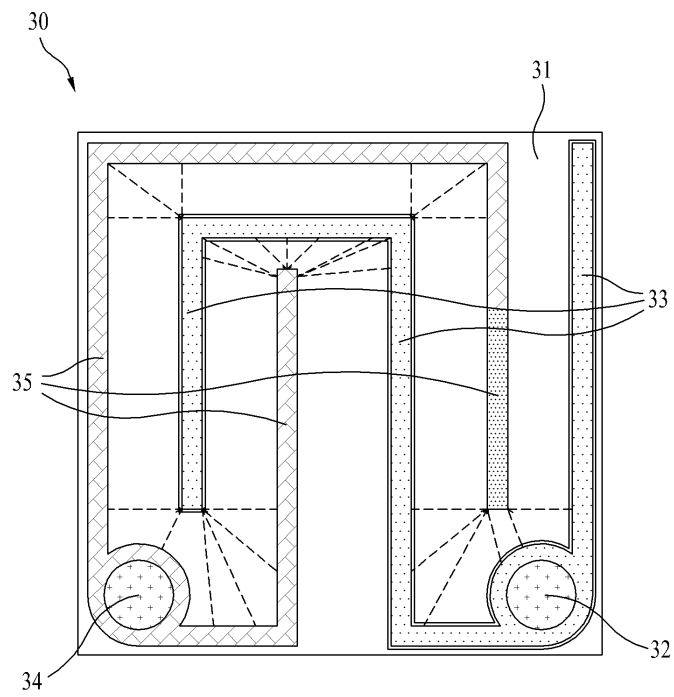
도면1



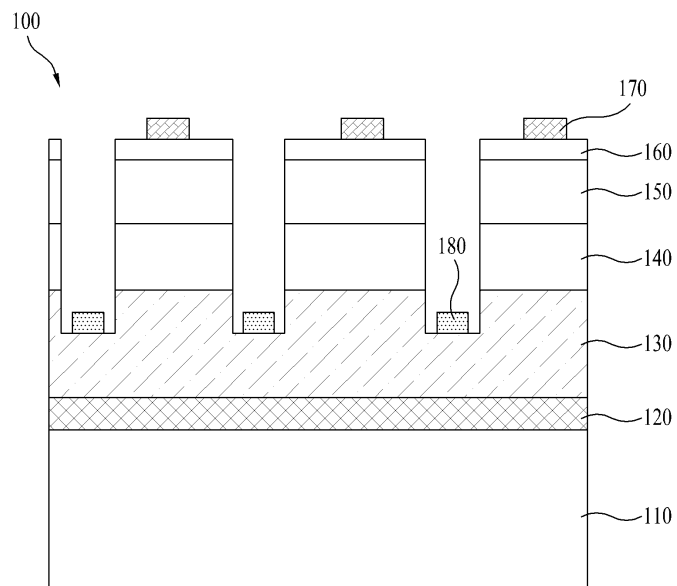
도면2



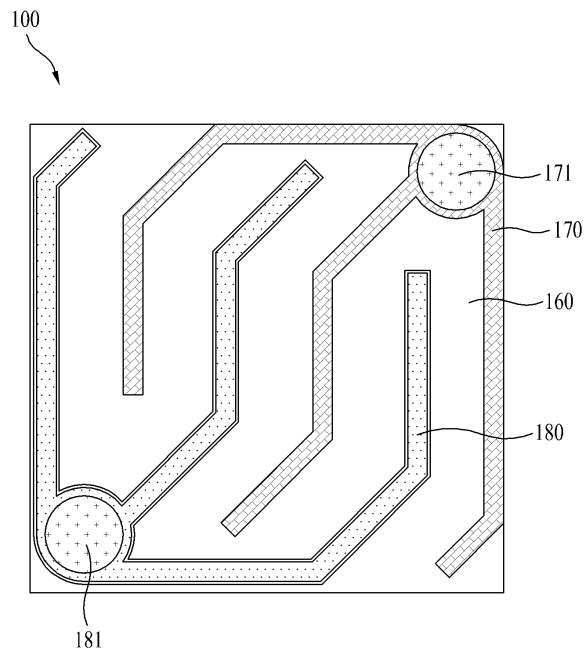
도면3



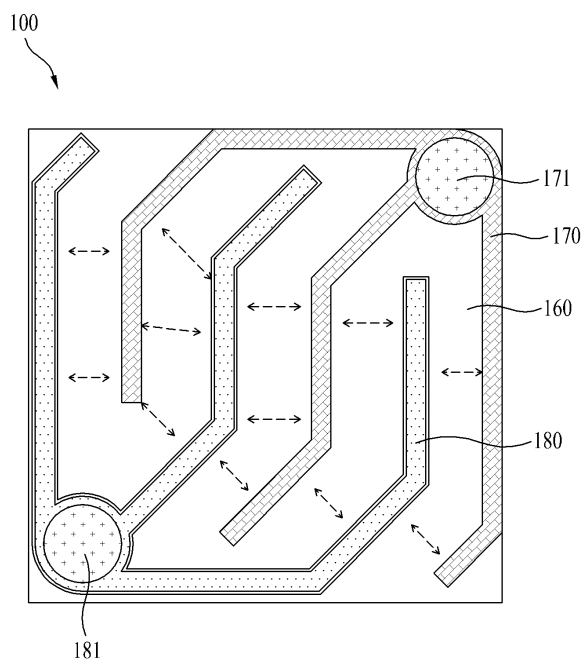
도면4



도면5



도면6



도면7

