

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7704225号  
(P7704225)

(45)発行日 令和7年7月8日(2025.7.8)

(24)登録日 令和7年6月30日(2025.6.30)

(51)国際特許分類	F I		
H 1 0 D 30/66 (2025.01)	H 1 0 D 30/66	1 0 3 R	
H 1 0 D 12/00 (2025.01)	H 1 0 D 30/66	1 0 3 Q	
H 1 0 D 62/10 (2025.01)	H 1 0 D 12/00	1 0 3 S	
H 1 0 D 30/01 (2025.01)	H 1 0 D 30/66	1 0 3 B	
H 0 1 L 21/265 (2006.01)	H 1 0 D 62/10	1 0 1 G	
請求項の数 13 (全27頁) 最終頁に続く			

(21)出願番号 特願2023-575099(P2023-575099)	(73)特許権者 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(86)(22)出願日 令和4年11月28日(2022.11.28)	
(86)国際出願番号 PCT/JP2022/043770	(74)代理人 110000877 弁理士法人 R Y U K A 国際特許事務所
(87)国際公開番号 WO2023/139931	(72)発明者 野口 晴司 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(87)国際公開日 令和5年7月27日(2023.7.27)	
審査請求日 令和5年12月28日(2023.12.28)	(72)発明者 桜井 洋輔 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(31)優先権主張番号 特願2022-7007(P2022-7007)	(72)発明者 伊倉 巧裕 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(32)優先日 令和4年1月20日(2022.1.20)	(72)発明者 浜崎 竜太郎
(33)優先権主張国・地域又は機関 日本国(JP)	最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1導電型のドリフト領域が設けられた半導体基板を備える半導体装置であって、  
前記半導体基板は、  
活性部と、  
前記半導体基板の上面において、前記活性部に設けられるトレンチ部と  
を有し、  
前記活性部は、  
前記トレンチ部が配列方向において第1トレンチ間隔で配列される第1領域と、  
前記トレンチ部が前記配列方向において前記第1トレンチ間隔よりも大きい第2トレン  
チ間隔で配列される第2領域と  
を有し、  
前記第1領域は、少なくとも2つの前記トレンチ部の底部にわたって設けられた第2導  
電型の第1底部領域を有し、  
前記第2領域は、1つの前記トレンチ部の底部に設けられた第2導電型の第2底部領域  
を有する  
半導体装置。

【請求項2】

前記第2トレンチ間隔は、前記第1トレンチ間隔の2倍以上、4倍以下である  
請求項1に記載の半導体装置。

## 【請求項 3】

前記第 2 領域は、ゲートトレンチ部を含み、  
前記第 2 底部領域は、前記ゲートトレンチ部の底部に設けられる  
請求項 1 に記載の半導体装置。

## 【請求項 4】

前記半導体基板は、上面視において前記活性部を囲む第 2 導電型の外周ウェル領域を更に有する  
請求項 1 に記載の半導体装置。

## 【請求項 5】

少なくとも一部の前記第 2 領域は、前記配列方向において 2 つの前記第 1 領域に挟まれる  
請求項 4 に記載の半導体装置。

10

## 【請求項 6】

前記 2 つの前記第 1 領域の内 1 つの前記第 1 領域に設けられた前記第 1 底部領域は、前記外周ウェル領域と電氣的に接続する  
請求項 5 に記載の半導体装置。

## 【請求項 7】

前記第 2 領域は、少なくとも 2 つの前記トレンチ部を含み、  
前記第 2 底部領域は、  
前記 2 つの前記トレンチ部の底部にそれぞれ設けられ、  
前記 2 つの前記トレンチ部で挟まれるメサ部の中央には設けられない  
請求項 1 に記載の半導体装置。

20

## 【請求項 8】

前記ドリフト領域の一部は、前記配列方向において隣り合う 2 つの前記第 2 底部領域の間に設けられる  
請求項 7 に記載の半導体装置。

## 【請求項 9】

前記半導体基板は、第 1 導電型の蓄積領域を更に有し、  
前記蓄積領域の一部は、前記配列方向において隣り合う 2 つの前記第 2 底部領域の間に設けられる  
請求項 7 に記載の半導体装置。

30

## 【請求項 10】

前記半導体基板は、第 1 導電型の蓄積領域を更に有し、  
前記第 2 領域に設けられる前記蓄積領域のドーピング濃度は、前記第 1 領域に設けられる前記蓄積領域のドーピング濃度より低い  
請求項 1 に記載の半導体装置。

## 【請求項 11】

前記第 2 底部領域の上端と前記蓄積領域の下端は、前記半導体基板の深さ方向において接する  
請求項 9 に記載の半導体装置。

## 【請求項 12】

前記第 2 トレンチ間隔は、前記第 2 底部領域の前記配列方向における長さの 1 . 6 倍より大きい  
請求項 1 に記載の半導体装置。

40

## 【請求項 13】

前記半導体基板の上方に設けられ、コンタクトホールを有する層間絶縁膜を更に備え、  
前記第 2 領域の上方に設けられる前記コンタクトホールの開口幅は、前記第 1 領域の上方に設けられる前記コンタクトホールの開口幅より大きい  
請求項 1 から 12 のいずれか一項に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

50

## 【 0 0 0 1 】

本発明は、半導体装置に関する。

## 【 背景技術 】

## 【 0 0 0 2 】

従来、IGBT ( Insulated Gate Bipolar Transistor ) 等の半導体装置において、トレンチ部の底部に、不純物領域を設けた構成が知られている ( 例えば、特許文献 1、2 参照 ) 。

## [ 先行技術文献 ]

## [ 特許文献 ]

[ 特許文献 1 ] 特開 2 0 1 9 - 9 1 8 9 2 号公報

10

[ 特許文献 2 ] 特開 2 0 1 9 - 1 1 0 2 8 8 号公報

## 【 解決しようとする課題 】

## 【 0 0 0 3 】

IGBT 装置等の半導体装置においては、耐圧アンバランスを低減することが好ましい。

## 【 一般的開示 】

## 【 0 0 0 4 】

上記課題を解決するために、本発明の第 1 の態様においては、第 1 導電型のドリフト領域が設けられた半導体基板を備える半導体装置を提供する。半導体基板は、活性部を有してよい。半導体基板は、トレンチ部を有してよい。トレンチ部は、半導体基板の上面において、活性部に設けられてよい。活性部は、第 1 領域を有してよい。第 1 領域は、トレンチ部が配列方向において第 1 トレンチ間隔で配列されてよい。活性部は、第 2 領域を有してよい。第 2 領域は、トレンチ部が配列方向において第 1 トレンチ間隔よりも大きい第 2 トレンチ間隔で配列されてよい。第 1 領域は、第 2 導電型の第 1 底部領域を有してよい。第 1 底部領域は、少なくとも 2 つのトレンチ部の底部にわたって設けられてよい。第 2 領域は、第 2 導電型の第 2 底部領域を有してよい。第 2 底部領域は、1 つのトレンチ部の底部に設けられてよい。

20

## 【 0 0 0 5 】

第 2 トレンチ間隔は、第 1 トレンチ間隔の 2 倍以上、4 倍以下であってよい。

## 【 0 0 0 6 】

第 2 領域は、ゲートトレンチ部を含んでよい。第 2 底部領域は、ゲートトレンチ部の底部に設けられてよい。

30

## 【 0 0 0 7 】

半導体基板は、第 2 導電型の外周ウェル領域を有してよい。外周ウェル領域は、上面視において活性部を囲んでよい。

## 【 0 0 0 8 】

少なくとも一部の第 2 領域は、配列方向において 2 つの第 1 領域に挟まれてよい。

## 【 0 0 0 9 】

2 つの第 1 領域の内 1 つの第 1 領域に設けられた第 1 底部領域は、外周ウェル領域と電氣的に接続してよい。

## 【 0 0 1 0 】

第 2 領域は、少なくとも 2 つのトレンチ部を含んでよい。第 2 底部領域は、2 つのトレンチ部の底部にそれぞれ設けられてよい。第 2 底部領域は、2 つのトレンチ部で挟まれるメサ部の中央には設けられなくてよい。

40

## 【 0 0 1 1 】

ドリフト領域の一部は、配列方向において隣り合う 2 つの第 2 底部領域の間に設けられてよい。

## 【 0 0 1 2 】

半導体基板は、第 1 導電型の蓄積領域を有してよい。蓄積領域の一部は、配列方向において隣り合う 2 つの第 2 底部領域の間に設けられてよい。

## 【 0 0 1 3 】

50

第2領域に設けられる蓄積領域のドーピング濃度は、第1領域に設けられる蓄積領域のドーピング濃度より低くてよい。

【0014】

第2底部領域の上端と蓄積領域の下端は、半導体基板の深さ方向において接してよい。

【0015】

第2トレンチ間隔は、第2底部領域の配列方向における長さの1.6倍より大きくてよい。

【0016】

半導体装置は、層間絶縁膜を備えてよい。層間絶縁膜は、半導体基板の上方に設けられてよい。層間絶縁膜は、コンタクトホールを有してよい。第2領域の上方に設けられるコンタクトホールの開口幅は、第1領域の上方に設けられるコンタクトホールの開口幅より大きくてよい。

10

【0017】

なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0018】

【図1】実施例に係る半導体装置100の一例を示す上面図である。

【図2】図1における領域Dの拡大図である。

【図3】図2におけるe-e断面の一例を示す図である。

20

【図4】図2におけるf-f断面の一例を示す図である。

【図5】図2におけるg-g断面の一例を示す図である。

【図6】半導体装置100の製造方法の一例を示す図である。

【図7】半導体装置100の製造方法の一例を示す図である。

【図8】レジスト形成段階S302で設けられるレジスト208の配置の一例を示す図である。

【図9】レジスト形成段階S302で設けられるレジスト208の配置の一例を示す図である。

【図10】図2におけるe-e断面の他の例を示す図である。

【図11】図2におけるe-e断面の他の例を示す図である。

30

【図12】図2におけるe-e断面の他の例を示す図である。

【図13】図2におけるe-e断面の他の例を示す図である。

【図14】他の実施例に係る半導体装置200の一例を示す上面図である。

【図15】他の実施例に係る半導体装置300の一例を示す上面図である。

【図16】比較例に係る半導体装置400の一例を示す図である。

【図17】比較例に係る半導体装置500の一例を示す図である。

【図18】比較例に係る半導体装置600の一例を示す図である。

【図19】室温時のFWDの順方向電流と逆回復電圧の傾きの関係を示す図である。

【図20】FWDの逆回復電圧の傾きの最大値（室温の低電流時）とターンオン損失（高温の定格電流時）の関係を示す図である。

40

【図21】半導体装置100および半導体装置500のゲート電圧0V(OFF)時のコレクタ電流とコレクタ電圧のIV特性を示す図である。

【図22】半導体装置100および半導体装置600のゲート電圧1.5V(ON)時のコレクタ電流とコレクタ電圧のIV特性を示す図である。

【図23】半導体装置500および半導体装置600のコレクタ電流とコレクタ電圧のIV特性を示す図である。

【発明を実施するための形態】

【0019】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合

50

わせの全てが発明の解決手段に必須であるとは限らない。

【0020】

本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

【0021】

本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z軸は地面に対する高さ方向を限定して示すものではない。なお、+Z軸方向と-Z軸方向とは互いに逆向きの方向である。正負を記載せず、Z軸方向と記載した場合、+Z軸および-Z軸に平行な方向を意味する。

10

【0022】

本明細書では、半導体基板の上面および下面に平行な直交軸をX軸およびY軸とする。また、半導体基板の上面および下面と垂直な軸をZ軸とする。本明細書では、Z軸の方向を深さ方向と称する場合がある。また、本明細書では、X軸およびY軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

【0023】

また、半導体基板の深さ方向における中心から、半導体基板の上面までの領域を、上面側と称する場合がある。同様に、半導体基板の深さ方向における中心から、半導体基板の下面までの領域を、下面側と称する場合がある。

20

【0024】

本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば10%以内である。

【0025】

本明細書においては、不純物がドーピングされたドーピング領域の導電型をP型またはN型として説明している。本明細書においては、不純物とは、特にN型のドナーまたはP型のアクセプタのいずれかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、N型の導電型を示す半導体またはP型の導電型を示す半導体とすることを意味する。

30

【0026】

本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。本明細書においては、ネット・ドーピング濃度とは、ドナー濃度を正イオンの濃度とし、アクセプタ濃度を負イオンの濃度として、電荷の極性を含めて足し合わせた正味の濃度を意味する。一例として、ドナー濃度を $N_D$ 、アクセプタ濃度を $N_A$ とすると、任意の位置における正味のネット・ドーピング濃度は $N_D - N_A$ となる。本明細書では、ネット・ドーピング濃度を単にドーピング濃度と記載する場合がある。

【0027】

ドナーは、半導体に電子を供給する機能を有している。アクセプタは、半導体から電子を受け取る機能を有している。ドナーおよびアクセプタは、不純物自体には限定されない。例えば、半導体中に存在する空孔(V)、酸素(O)および水素(H)が結合したVOH欠陥は、電子を供給するドナーとして機能する。本明細書では、VOH欠陥を水素ドナーと称する場合がある。

40

【0028】

本明細書においてP+型またはN+型と記載した場合、P型またはN型よりもドーピング濃度が高いことを意味し、P-型またはN-型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。また、本明細書においてP++型またはN++型と記載した場合には、P+型またはN+型よりもドーピング濃度が高いことを意味する。本明細書の単位系は、特に断りがなければSI単位系である。長さの単位をcmで表示することがあるが、諸計算はメートル(m)に換算してから行ってよい。

50

## 【 0 0 2 9 】

本明細書において化学濃度とは、電気的な活性化の状態によらずに測定される不純物の原子密度を指す。化学濃度（原子密度）は、例えば二次イオン質量分析法（SIMS）により計測できる。上述したネット・ドーピング濃度は、電圧 - 容量測定法（CV法）により測定できる。また、拡がり抵抗測定法（SR法）により計測されるキャリア濃度を、ネット・ドーピング濃度としてよい。CV法またはSR法により計測されるキャリア濃度は、熱平衡状態における値としてよい。また、N型の領域においては、ドナー濃度がアクセプタ濃度よりも十分大きいので、当該領域におけるキャリア濃度を、ドナー濃度としてもよい。同様に、P型の領域においては、当該領域におけるキャリア濃度を、アクセプタ濃度としてもよい。本明細書では、N型領域のドーピング濃度をドナー濃度と称する場合があります、P型領域のドーピング濃度をアクセプタ濃度と称する場合があります。

10

## 【 0 0 3 0 】

また、ドナー、アクセプタまたはネット・ドーピングの濃度分布がピークを有する場合、当該ピーク値を当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度としてよい。ドナー、アクセプタまたはネット・ドーピングの濃度がほぼ均一な場合等においては、当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度の平均値をドナー、アクセプタまたはネット・ドーピングの濃度としてよい。本明細書において、単位体積当りの濃度表示に  $\text{atoms/cm}^3$ 、または、 $/\text{cm}^3$  を用いる。この単位は、半導体基板内のドナーまたはアクセプタ濃度、または、化学濃度に用いられる。  $\text{atoms}$  表記は省略してもよい。

20

## 【 0 0 3 1 】

SR法により計測されるキャリア濃度が、ドナーまたはアクセプタの濃度より低くてもよい。拡がり抵抗を測定する際に電流が流れる範囲において、半導体基板のキャリア移動度が結晶状態の値よりも低い場合がある。キャリア移動度の低下は、格子欠陥等による結晶構造の乱れ（ディスオーダー）により、キャリアが散乱されることで生じる。

## 【 0 0 3 2 】

CV法またはSR法により計測されるキャリア濃度から算出したドナーまたはアクセプタの濃度は、ドナーまたはアクセプタを示す元素の化学濃度よりも低くてよい。一例として、シリコンの半導体においてドナーとなるリンまたはヒ素のドナー濃度、あるいはアクセプタとなるボロン（ホウ素）のアクセプタ濃度は、これらの化学濃度の99%程度である。一方、シリコンの半導体においてドナーとなる水素のドナー濃度は、水素の化学濃度の0.1%から10%程度である。本明細書における各濃度は、室温における値でよい。室温における値は、一例として300K（ケルビン）（約26.9）における値を用いてよい。

30

## 【 0 0 3 3 】

図1は、実施例に係る半導体装置100の一例を示す上面図である。図1においては、各部材を半導体基板10の上面に投影した位置を示している。図1においては、半導体装置100の一部の部材だけを示しており、一部の部材は省略している。

## 【 0 0 3 4 】

半導体装置100は、半導体基板10を備えている。半導体基板10は、半導体材料で形成された基板である。一例として半導体基板10はシリコン基板であるが、半導体基板10の材料はシリコンに限定されない。

40

## 【 0 0 3 5 】

半導体基板10は、上面視において端辺162を有する。本明細書で単に上面視と称した場合、半導体基板10の上面側から見ることを意味している。本例の半導体基板10は、上面視において互いに向かい合う2組の端辺162を有する。図1においては、X軸およびY軸は、いずれかの端辺162と平行である。またZ軸は、半導体基板10の上面と垂直である。

## 【 0 0 3 6 】

半導体基板10には活性部160が設けられている。活性部160は、半導体装置10

50

0 が動作した場合に半導体基板 10 の上面と下面との間で、深さ方向に主電流が流れる領域である。活性部 160 の上方には、エミッタ電極が設けられているが図 1 では省略している。

【0037】

本例において活性部 160 には、IGBT等のトランジスタ素子を含むトランジスタ部 70 が設けられている。他の例では、トランジスタ部 70 および FWD (Free Wheel Diode) 等のダイオード素子を含むダイオード部が、半導体基板 10 の上面における所定の配列方向に沿って、交互に配置されていてもよい。本明細書において配列方向は X 軸方向である。

【0038】

トランジスタ部 70 は、半導体基板 10 の下面と接する領域に、P+型のコレクタ領域を有する。また、トランジスタ部 70 は、半導体基板 10 の上面側に、N++型のエミッタ領域、P-型のベース領域、ゲート導電部およびゲート絶縁膜を有するゲート構造が周期的に配置されている。

【0039】

半導体装置 100 は、半導体基板 10 の上方に 1 つ以上のパッドを有してよい。本例の半導体装置 100 は、ゲートパッド 164 を有している。半導体装置 100 は、アノードパッド、カソードパッドおよび電流検出パッド等のパッドを有してもよい。各パッドは、端辺 162 の近傍に配置されている。端辺 162 の近傍とは、上面視における端辺 162 と、エミッタ電極との間の領域を指す。半導体装置 100 の実装時において、各パッドは

【0040】

ゲートパッド 164 には、ゲート電位が印加される。ゲートパッド 164 は、活性部 160 のゲートトレンチ部の導電部に電氣的に接続される。半導体装置 100 は、ゲートパッド 164 とゲートトレンチ部とを接続するゲート配線 130 を備える。図 1 においては、ゲート配線 130 に斜線のハッチングを付している。

【0041】

ゲート配線 130 は、上面視において活性部 160 と半導体基板 10 の端辺 162 との間に配置されている。本例のゲート配線 130 は、上面視において活性部 160 を囲んでいる。上面視においてゲート配線 130 に囲まれた領域を活性部 160 としてもよい。また、ゲート配線 130 は、ゲートパッド 164 と接続されている。ゲート配線 130 は、半導体基板 10 の上方に配置されている。ゲート配線 130 は、アルミニウム等を含む金属配線であってよい。

【0042】

外周ウェル領域 11 は、ゲート配線 130 と重なって設けられている。つまり、ゲート配線 130 と同様に、外周ウェル領域 11 は、上面視において活性部 160 を囲んでいる。外周ウェル領域 11 は、ゲート配線 130 と重ならない範囲にも、所定の幅で延伸して設けられている。外周ウェル領域 11 は、第 2 導電型の領域である。本例の外周ウェル領域 11 は P+型である (図 2 参照)。外周ウェル領域 11 の不純物濃度は、 $5.0 \times 10^{17} \text{ at } \text{ms} / \text{cm}^3$  以上でかつ  $5.0 \times 10^{19} \text{ at } \text{ms} / \text{cm}^3$  以下であってよい。外周ウェル領域 11 の不純物濃度は、 $2.0 \times 10^{18} \text{ at } \text{ms} / \text{cm}^3$  以上でかつ  $2.0 \times 10^{19} \text{ at } \text{ms} / \text{cm}^3$  以下であってよい。

【0043】

また、半導体装置 100 は、ポリシリコン等で形成された PN 接合ダイオードである不図示の温度センス部や、活性部 160 に設けられたトランジスタ部 70 の動作を模擬する不図示の電流検出部を備えてもよい。

【0044】

本例の半導体装置 100 は、上面視において、活性部 160 と端辺 162 との間に、エッジ終端構造部 90 を備える。本例のエッジ終端構造部 90 は、外周ゲート配線 130 と端辺 162 との間に配置されている。エッジ終端構造部 90 は、半導体基板 10 の上面側

10

20

30

40

50

の電界集中を緩和する。エッジ終端構造部 90 は、活性部 160 を囲んで環状に設けられたガードリング、フィールドプレートおよびリサーフのうちの少なくとも一つを備えていてよい。

【0045】

図 2 は、図 1 における領域 D の拡大図である。領域 D は、トランジスタ部 70 を含む領域である。本例の半導体装置 100 は、半導体基板 10 の上面側の内部に設けられたゲートトレンチ部 40、ダミートレンチ部 30、外周ウェル領域 11、エミッタ領域 12 およびコンタクト領域 15 を備える。ゲートトレンチ部 40 およびダミートレンチ部 30 は、それぞれがトレンチ部の一例である。

【0046】

本例の半導体装置 100 は、半導体基板 10 の上面の上方に設けられたエミッタ電極およびゲート配線 130 を備える。エミッタ電極およびゲート配線 130 は互いに分離して設けられる。また、エミッタ電極およびゲート配線 130 と、半導体基板 10 の上面との間には層間絶縁膜が設けられる。図 2 において、エミッタ電極、ゲート配線 130 および層間絶縁膜を省略している。

【0047】

エミッタ電極は、ゲートトレンチ部 40、ダミートレンチ部 30、外周ウェル領域 11、エミッタ領域 12 およびコンタクト領域 15 の上方に設けられる。エミッタ電極は、コンタクトホールを通して、半導体基板 10 の上面におけるエミッタ領域 12、コンタクト領域 15 と接触する。また、エミッタ電極は、層間絶縁膜に設けられたコンタクトホールを通して、ダミートレンチ部 30 内のダミー導電部と接続される。エミッタ電極は、Y 軸方向におけるダミートレンチ部 30 の先端部 31 において、ダミートレンチ部 30 のダミー導電部と接続されてよい。

【0048】

ゲート配線 130 は、層間絶縁膜に設けられたコンタクトホールを通して、ゲートトレンチ部 40 と接続する。ゲート配線 130 は、Y 軸方向におけるゲートトレンチ部 40 の先端部 41 において、ゲートトレンチ部 40 のゲート導電部と接続されてよい。ゲート配線 130 は、ダミートレンチ部 30 内のダミー導電部とは接続されない。

【0049】

エミッタ電極は、金属を含む材料で形成される。例えば、エミッタ電極の少なくとも一部の領域はアルミニウムまたはアルミニウム シリコン合金、例えば AlSi、AlSiCu 等の金属合金で形成される。エミッタ電極は、アルミニウム等で形成された領域の下層に、チタンやチタン化合物等で形成されたバリアメタルを有してよい。さらにコンタクトホール内において、バリアメタルとアルミニウム等に接するようにタングステン等を埋め込んで形成されたプラグを有してもよい。

【0050】

トランジスタ部 70 は、配列方向に複数配列されたトレンチ部を有する。本例において、トレンチ部は、半導体基板 10 の上面において、活性部 160 および外周ウェル領域 11 に設けられている。トレンチ部は、トランジスタ部 70 において上面視においてストライプ状に設けられている。トランジスタ部 70 には、配列方向に沿って 1 以上のゲートトレンチ部 40 と、1 以上のダミートレンチ部 30 とが交互に設けられている。1 つのゲートトレンチ部 40 と、2 つのダミートレンチ部 30 とが交互に設けられてよい。なお少なくとも一部の領域において、2 つのゲートトレンチ部 40 は、隣り合って設けられてもよい。

【0051】

本例のゲートトレンチ部 40 は、配列方向と垂直な延伸方向に沿って延伸する 2 つの直線部分 39 (延伸方向に沿って直線状であるトレンチの部分) と、2 つの直線部分 39 を接続する先端部 41 を有してよい。本明細書において延伸方向は Y 軸方向である。

【0052】

先端部 41 の少なくとも一部は、上面視において曲線状に設けられることが好ましい。

10

20

30

40

50

2つの直線部分39のY軸方向における端部どうしを先端部41が接続することで、直線部分39の端部における電界集中を緩和できる。

【0053】

トランジスタ部70において、ダミートレンチ部30はゲートレンチ部40のそれぞれの直線部分39の間に設けられる。それぞれの直線部分39の間には、1本のダミートレンチ部30が設けられてよく、複数本のダミートレンチ部30が設けられていてもよい。本例において、それぞれの直線部分39の間には、2本のダミートレンチ部30が設けられている。なお少なくとも一部の領域において、直線部分39の間に、ダミートレンチ部30が設けられなくてもよい。ダミートレンチ部30は、延伸方向に延伸する直線形状を有してよく、ゲートレンチ部40と同様に、直線部分29と先端部31とを有していてもよい。本例において、それぞれのダミートレンチ部30は、直線部分29と先端部31を有する。

10

【0054】

外周ウェル領域11の拡散深さは、ゲートレンチ部40およびダミートレンチ部30の深さよりも深くてもよい。ゲートレンチ部40およびダミートレンチ部30のY軸方向の端部は、上面視において外周ウェル領域11に設けられる。つまり、各レンチ部のY軸方向の端部において、各レンチ部の深さ方向の底部は、外周ウェル領域11に覆われている。これにより、各レンチ部の当該底部における電界集中を緩和できる。また、半導体装置100は、上面視において全体が外周ウェル領域11に設けられるゲートレンチ部40またはダミートレンチ部30を備えてもよい。

20

【0055】

配列方向において各レンチ部の間には、メサ部が設けられている。メサ部は、半導体基板10の内部において、レンチ部に挟まれた領域を指す。一例としてメサ部の上端は半導体基板10の上面である。メサ部の下端の深さ位置は、レンチ部の下端の深さ位置と同一である。本例のメサ部は、半導体基板10の上面において、レンチに沿って延伸方向(Y軸方向)に延伸して設けられている。本例では、トランジスタ部70にはメサ部60および幅広メサ部62が設けられている。

【0056】

それぞれのメサ部60には、第1導電型のエミッタ領域12および第2導電型のコンタクト領域15の少なくとも一方が設けられてよい。本例のエミッタ領域12はN++型であり、コンタクト領域15はP++型である。エミッタ領域12およびコンタクト領域15は、深さ方向において、ベース領域と半導体基板10の上面との間に設けられてよい。

30

【0057】

幅広メサ部62のメサ幅は、メサ部60のメサ幅より大きい。メサ幅とは、配列方向(X軸方向)におけるレンチ部の間隔である。本明細書では、メサ部60のメサ幅を第1レンチ間隔と表現し、幅広メサ部62のメサ幅を第2レンチ間隔と表現する。それぞれの幅広メサ部62には、第2導電型のコンタクト領域15が設けられてよい。

【0058】

トランジスタ部70のメサ部60は、半導体基板10の上面に露出したエミッタ領域12を有する。エミッタ領域12は、ゲートレンチ部40に接して設けられている。ゲートレンチ部40に接するメサ部60には、半導体基板10の上面に露出したコンタクト領域15が設けられていてよい。本例において、メサ部60において半導体基板10の上面に露出して、ゲート配線130に最も近く配置された領域は、コンタクト領域15である。また幅広メサ部62においても、エミッタ領域12およびコンタクト領域15が設けられてよい。図2では幅広メサ部62において、コンタクト領域15が設けられる。

40

【0059】

メサ部60におけるコンタクト領域15およびエミッタ領域12のそれぞれは、X軸方向における一方のレンチ部から、他方のレンチ部まで設けられる。一例として、メサ部60のコンタクト領域15およびエミッタ領域12は、レンチ部の延伸方向(Y軸方向)に沿って交互に配置されている。また幅広メサ部62におけるコンタクト領域15は

50

、X軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられる。

【0060】

他の例においては、メサ部60のコンタクト領域15およびエミッタ領域12は、トレンチ部の延伸方向(Y軸方向)に沿ってストライプ状に設けられていてもよい。例えばトレンチ部に接する領域にエミッタ領域12が設けられ、エミッタ領域12に挟まれた領域にコンタクト領域15が設けられる。

【0061】

図2において、エッジ終端構造部90には、ガードリング92が設けられる。エッジ終端構造部90には、複数のガードリング92が設けられてもよい。ガードリング92は、第2導電型の領域である。ガードリング92の不純物濃度は、外周ウェル領域11と同一であってよい。

10

【0062】

活性部160は、中央部170と外周部180を有する。中央部170は、エミッタ領域12を有する。外周部180は、中央部170を囲む。本例において、外周部180は、上面視において中央部170を囲んでいる。中央部170と外周部180の境界は、X軸方向またはY軸方向において外周ウェル領域11に最も近いエミッタ領域12としてよい。

【0063】

中央部170のそれぞれのメサ部60および幅広メサ部62の上方には、コンタクトホールが設けられている。本例のコンタクトホールは、コンタクト領域15、エミッタ領域12の各領域の上方に設けられる。コンタクトホールは、メサ部60の配列方向(X軸方向)における中央に配置されてよい。コンタクトホールは、幅広メサ部62の配列方向(X軸方向)における中央に配置されてよい。本例において、コンタクトホールは省略されている。

20

【0064】

図2では、半導体基板10内に設けられる第1底部領域182および第2底部領域184の配置を点線で示している。第1底部領域182は、少なくとも2つのトレンチ部にわたって設けられるP型の領域である。第2底部領域184は、1つのトレンチ部の底部に設けられるP型の領域である。本例では、第2底部領域184は、幅広メサ部62に挟まれたトレンチ部に設けられる。また第1底部領域182は、メサ部60に挟まれたトレンチ部と、メサ部60と幅広メサ部62とで挟まれたトレンチ部と、に設けられる。図2に示す通り、第1底部領域182および第2底部領域184は、離れて設けられる。つまり第1底部領域182および第2底部領域184は、電氣的に接続していない。

30

【0065】

図3は、図2におけるe-e断面の一例を示す図である。e-e断面は、中央部170のエミッタ領域12を通過するXZ面である。なお、図3の寸法は、図2の寸法と必ずしも一致しない。本例の半導体装置100は、当該断面において、半導体基板10、層間絶縁膜38、エミッタ電極52およびコレクタ電極24を有する。

【0066】

層間絶縁膜38は、半導体基板10の上面21に設けられている。層間絶縁膜38は、ホウ素またはリン等の不純物が添加されたシリケートガラス等の絶縁膜、熱酸化膜、および、その他の絶縁膜の少なくとも一層を含む膜である。層間絶縁膜38には、図2において説明したコンタクトホール54が設けられている。外周ウェル領域11の上方には、部分的にコンタクトホール54が設けられており、これにより外周ウェル領域11はエミッタ電極52に接続されている。

40

【0067】

エミッタ電極52は、層間絶縁膜38の上方に設けられる。エミッタ電極52は、層間絶縁膜38のコンタクトホール54を通して、半導体基板10の上面21と接触している。なお、エミッタ電極52は、外周ウェル領域11の上方には設けられていなくてもよい。外周ウェル領域11の上方には、ゲート配線130が設けられていてもよい。ゲート配

50

線 130 の下には、ゲートポリシリコン 46 が設けられてよい。

【0068】

コレクタ電極 24 は、半導体基板 10 の下面 23 に設けられる。エミッタ電極 52 およびコレクタ電極 24 は、アルミニウム等の金属材料で形成されている。本明細書において、エミッタ電極 52 とコレクタ電極 24 とを結ぶ方向（Z 軸方向）を深さ方向と称する。

【0069】

それぞれのメサ部 60 および幅広メサ部 62 には、第 2 導電型のベース領域 14 が設けられる。エミッタ領域 12 およびコンタクト領域 15 は、半導体基板 10 の上面 21 とベース領域 14 の間に設けられる。本例のベース領域 14 は P - 型である。

【0070】

半導体基板 10 は、第 1 導電型のドリフト領域 18 を有する。本例のドリフト領域 18 は N 型または N - 型である。

【0071】

中央部 170 のメサ部 60 には、N + + 型のエミッタ領域 12 および P - 型のベース領域 14 が、半導体基板 10 の上面 21 側から順番に設けられている。ベース領域 14 の下方にはドリフト領域 18 が設けられている。メサ部 60 には、N + 型の蓄積領域 16 が設けられてもよい。蓄積領域 16 は、ベース領域 14 とドリフト領域 18 との間に配置される。

【0072】

エミッタ領域 12 は半導体基板 10 の上面 21 に露出しており、且つ、ゲートトレンチ部 40 と接して設けられている。エミッタ領域 12 は、メサ部 60 の両側のトレンチ部と接してよい。エミッタ領域 12 は、ドリフト領域 18 よりもドーピング濃度が高い。

【0073】

ベース領域 14 は、エミッタ領域 12 の下方に設けられている。本例のベース領域 14 は、エミッタ領域 12 と接して設けられている。ベース領域 14 は、メサ部 60 の両側のトレンチ部と接してよい。ベース領域 14 の不純物濃度のピークは、一例として、 $2.5 \times 10^{17} \text{ at } \text{ms} / \text{cm}^3$  である。ベース領域 14 の不純物濃度は、 $5.0 \times 10^{16} \text{ at } \text{ms} / \text{cm}^3$  以上でかつ  $1.0 \times 10^{18} \text{ at } \text{ms} / \text{cm}^3$  以下であってよい。またベース領域 14 は、幅広メサ部 62 の両側のトレンチ部と接してよい。

【0074】

蓄積領域 16 は、ベース領域 14 の下方に設けられている。蓄積領域 16 は、ドリフト領域 18 よりもドーピング濃度が高い N + 型の領域である。蓄積領域 16 は、リンまたは水素ドナー等のドナーの濃度ピークを有してよい。ドリフト領域 18 とベース領域 14 との間に高濃度の蓄積領域 16 を設けることで、キャリア注入促進効果（IE 効果）を高めて、オン電圧を低減できる。蓄積領域 16 は、各メサ部 60 におけるベース領域 14 の下面全体を覆うように設けられてよい。

【0075】

外周部 180 のメサ部 60 には、P + + 型のコンタクト領域 15 および P - 型のベース領域 14 が、半導体基板 10 の上面 21 側から順番に設けられている。同様に外周部 180 の幅広メサ部 62 には、P + + 型のコンタクト領域 15 および P - 型のベース領域 14 が、半導体基板 10 の上面 21 側から順番に設けられてよい。ベース領域 14 の下方にはドリフト領域 18 が設けられている。蓄積領域 16 は、外周部 180 のメサ部 60 に設けられてもよい。蓄積領域 16 は、外周部 180 の幅広メサ部 62 に設けられてもよい。

【0076】

ドリフト領域 18 の下には N + 型のバッファ領域 20 が設けられてよい。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ドリフト領域 18 よりもドーピング濃度の高い濃度ピークを有してよい。濃度ピークのドーピング濃度とは、濃度ピークの頂点におけるドーピング濃度を指す。また、ドリフト領域 18 のドーピング濃度は、ドーピング濃度分布がほぼ平坦な領域におけるドーピング濃度の平均値を用いてよい。

10

20

30

40

50

## 【 0 0 7 7 】

バッファ領域 2 0 は、水素（プロトン）またはリン等の N 型ドーパントをイオン注入することで形成してよい。本例のバッファ領域 2 0 は水素をイオン注入して形成される。バッファ領域 2 0 は、ベース領域 1 4 の下端から広がる空乏層が、P + 型のコレクタ領域 2 2 に到達することを防ぐフィールドストップ層として機能してよい。

## 【 0 0 7 8 】

バッファ領域 2 0 の下方には、P + 型のコレクタ領域 2 2 が設けられる。コレクタ領域 2 2 のアクセプタ濃度は、ベース領域 1 4 のアクセプタ濃度より高い。コレクタ領域 2 2 は、ベース領域 1 4 と同一のアクセプタを含んでよく、異なるアクセプタを含んでもよい。コレクタ領域 2 2 のアクセプタは、例えばボロンである。アクセプタとなる元素は、上述した例に限定されない。

10

## 【 0 0 7 9 】

コレクタ領域 2 2 は、半導体基板 1 0 の下面 2 3 に露出しており、コレクタ電極 2 4 と接続している。コレクタ電極 2 4 は、半導体基板 1 0 の下面 2 3 全体と接触してよい。エミッタ電極 5 2 およびコレクタ電極 2 4 は、アルミニウム等の金属材料で形成される。

## 【 0 0 8 0 】

半導体基板 1 0 の上面 2 1 側には、1 以上のゲートトレンチ部 4 0、および、1 以上のダミートレンチ部 3 0 が設けられる。各トレンチ部は、半導体基板 1 0 の上面 2 1 から、ベース領域 1 4 を貫通して、ドリフト領域 1 8 に到達している。エミッタ領域 1 2、コンタクト領域 1 5 および蓄積領域 1 6 の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらのドーピング領域も貫通して、ドリフト領域 1 8 に到達している。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したのも、トレンチ部がドーピング領域を貫通しているものに含まれる。

20

## 【 0 0 8 1 】

ゲートトレンチ部 4 0 は、半導体基板 1 0 の上面 2 1 に設けられたゲートトレンチ、ゲート絶縁膜 4 2 およびゲート導電部 4 4 を有する。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁を覆って設けられる。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 4 4 は、ゲートトレンチの内部においてゲート絶縁膜 4 2 よりも内側に設けられる。つまりゲート絶縁膜 4 2 は、ゲート導電部 4 4 と半導体基板 1 0 とを絶縁する。ゲート導電部 4 4 は、ポリシリコン等の導電材料で形成される。

30

## 【 0 0 8 2 】

ゲート導電部 4 4 は、深さ方向において、ベース領域 1 4 よりも長く設けられてよい。当該断面におけるゲートトレンチ部 4 0 は、半導体基板 1 0 の上面 2 1 において層間絶縁膜 3 8 により覆われる。ゲート導電部 4 4 は、ゲート配線 1 3 0 に電氣的に接続されている。ゲート導電部 4 4 に所定のゲート電圧が印加されると、ベース領域 1 4 のうちゲートトレンチ部 4 0 に接する界面の表層に電子の反転層によるチャネルが形成される。

## 【 0 0 8 3 】

ダミートレンチ部 3 0 は、当該断面において、ゲートトレンチ部 4 0 と同一の構造を有してよい。ダミートレンチ部 3 0 は、半導体基板 1 0 の上面 2 1 に設けられたダミートレンチ、ダミー絶縁膜 3 2 およびダミー導電部 3 4 を有する。ダミー導電部 3 4 は、エミッタ電極 5 2 に電氣的に接続されている。ダミー絶縁膜 3 2 は、ダミートレンチの内壁を覆って設けられる。ダミー導電部 3 4 は、ダミートレンチの内部に設けられ、且つ、ダミー絶縁膜 3 2 よりも内側に設けられる。ダミー絶縁膜 3 2 は、ダミー導電部 3 4 と半導体基板 1 0 とを絶縁する。ダミー導電部 3 4 は、ゲート導電部 4 4 と同一の材料で形成されてよい。例えばダミー導電部 3 4 は、ポリシリコン等の導電材料で形成される。ダミー導電部 3 4 は、深さ方向においてゲート導電部 4 4 と同一の長さを有してよい。

40

## 【 0 0 8 4 】

50

本例のゲートトレンチ部 40 およびダミートレンチ部 30 は、半導体基板 10 の上面 21 において層間絶縁膜 38 により覆われている。なお、ダミートレンチ部 30 およびゲートトレンチ部 40 の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。

【0085】

本例に係る半導体装置 100 では、トレンチ部の底部において、第 2 導電型の底部領域が設けられる。本例において、中央部 170 には、トレンチ部の底部において、第 2 導電型の第 1 底部領域 182 - 1 が設けられる。第 1 底部領域 182 - 1 は、第 1 底部領域 182 - 2 と比べ中央部 170 側に設けられた第 1 底部領域 182 である。本例の第 1 底部領域 182 - 1 は P - 型である。第 1 底部領域 182 - 1 は、トレンチ部の底部を覆っている。第 1 底部領域 182 - 1 は、少なくとも 2 つのトレンチ部の底部にわたって設けられている。第 1 底部領域 182 - 1 は、ベース領域 14 の下方に設けられてよい。第 2 導電型の第 1 底部領域 182 - 1 が設けられることにより、FWD の逆回復電圧の傾きを制御しやすくなる。したがって、ターンオン損失を低減することができる。また、第 1 底部領域 182 - 1 を設けることで耐圧を向上することができる。

10

【0086】

また、外周部 180 には、トレンチ部の底部において、第 2 導電型の第 1 底部領域 182 - 2 が設けられる。第 1 底部領域 182 - 2 は、第 1 底部領域 182 - 1 と比べ外周部 180 側に設けられた第 1 底部領域 182 である。本例の第 1 底部領域 182 - 2 は P - 型である。第 1 底部領域 182 - 2 は、トレンチ部の底部を覆っている。第 1 底部領域 182 - 2 は、第 1 底部領域 182 - 1 に向かって設けられてよい。つまり、第 1 底部領域 182 - 2 は、半導体基板 10 の深さ方向において、第 1 底部領域 182 - 1 と同じ深さに設けられてよい。第 1 底部領域 182 - 2 は、外周ウェル領域 11 と電氣的に接続している。本例において、第 1 底部領域 182 - 2 は、外周ウェル領域 11 と直接接続している。したがって、外周ウェル領域 11 と第 1 底部領域 182 - 2 の境界の電界集中を緩和でき、ターンオフ時のアバランシェ耐量を向上することができる。

20

【0087】

第 1 底部領域 182 - 1 と第 1 底部領域 182 - 2 は、離れて設けられている。つまり、外周部 180 の少なくとも一部において、底部領域が設けられない。第 1 底部領域 182 - 1 と第 1 底部領域 182 - 2 が離れて設けられていることにより、第 1 底部領域 182 - 1 と外周ウェル領域 11 が同電位になることを防ぐことができる。第 1 底部領域 182 - 1 は、電氣的にフローティングであってよい。第 1 底部領域 182 - 1 が電氣的にフローティングであるとは、いずれの電極にも電氣的に接続していないことである。

30

【0088】

第 1 底部領域 182 - 1 と第 1 底部領域 182 - 2 の不純物濃度は、同一であってよい。第 1 底部領域 182 - 1 と第 1 底部領域 182 - 2 の不純物濃度を同一にすることにより、製造工程を同一にすることができる。また、第 1 底部領域 182 - 2 の不純物濃度は、第 1 底部領域 182 - 1 の不純物濃度より大きくてもよい。第 1 底部領域 182 - 2 の不純物濃度を第 1 底部領域 182 - 1 の不純物濃度より大きくすることにより、局所的な電界集中を緩和する効果が大きくなる。外周ウェル領域 11 の不純物濃度は、第 1 底部領域 182 - 2 の不純物濃度より大きくてもよい。外周ウェル領域 11 の不純物濃度を第 1 底部領域 182 - 2 の不純物濃度より大きくすることで、電界分布が急峻になることを防ぐことができる。各底部領域の不純物濃度のピークは、一例として、 $4.0 \times 10^{15} \text{ at ms / cm}^3$  である。各底部領域の不純物濃度のピークは、 $3.0 \times 10^{14} \text{ at ms / cm}^3$  以上でかつ  $3.0 \times 10^{16} \text{ at ms / cm}^3$  以下であってよい。各底部領域に注入するイオンのドーズ量は、一例として、 $5.0 \times 10^{11} \text{ ion / cm}^2$  以上でかつ  $5.0 \times 10^{13} \text{ ion / cm}^2$  以下であってよい。

40

【0089】

比較例に係る半導体装置 400（図 16 参照）では、活性部 160 内において、トレンチ部に底部領域がある領域（領域 202 とする）、トレンチ部に底部領域がない領域（領域 204）では、底部領域の有無によって IGBT の活性静耐圧にアンバランスが生じる

50

。発明者が実施したシミュレーションによれば、領域 202 に比べ領域 204 の静耐圧は約 5% 低下する。IGBT の耐圧によっては、静耐圧の差は、数 10 ~ 100 V になると推定される。同様の理由により、領域 202 に比べ領域 204 のクランプ耐圧も低下すると推定される。耐圧アンバランスにより、IGBT が領域 204 において集中的にスイッチング破壊する可能性が高くなる。

【0090】

図 3 では、活性部 160 は、第 1 領域 192 と第 2 領域 194 を有する。第 1 領域 192 は、トレンチ部が配列方向において第 1 トレンチ間隔 L1 で配列される領域である。第 2 領域 194 は、トレンチ部が配列方向において第 1 トレンチ間隔 L1 よりも大きい第 2 トレンチ間隔 L2 で配列される領域である。本例において第 1 領域 192 は、中央部 170 および外周部 180 に設けられる。本例において第 2 領域 194 は、外周部 180 に設けられる。

10

【0091】

第 1 領域 192 において底部領域を形成する場合、トレンチ部にボロン等の不純物を注入する。その後、熱処理を実施しボロンを拡散させる。第 1 領域 192 は、第 2 領域 194 と比べてトレンチ間隔が小さい。したがって、ボロンを拡散させた場合隣り合うトレンチ部に設けられた底部領域が接続する。そのため、第 1 領域 192 には、少なくとも 2 つのトレンチ部にわたって設けられる第 1 底部領域 182 が形成される。本例では、第 1 領域 192 はメサ部 60 に対応し、第 2 領域 194 は幅広メサ部 62 に対応している。

【0092】

一方、第 2 領域 194 において底部領域を形成する場合、第 2 領域 194 は第 1 領域 192 と比べてトレンチ間隔が大きいため、ボロンを拡散させた場合隣り合うトレンチ部に設けられた底部領域が接続しない。そのため、第 2 領域 194 には、1 つのトレンチ部の底部に設けられる第 2 底部領域 184 が形成される。第 2 底部領域 184 を設けることにより、活性部 160 内における耐圧アンバランスを低減することができる。また第 2 底部領域 184 は 1 つのトレンチ部の底部に設けられるため、第 1 底部領域 182 - 1 と外周ウェル領域 11 が同電位になることを防ぐことができる。したがって、ターンオン損失を低減することができる。

20

【0093】

第 2 トレンチ間隔 L2 は、第 1 トレンチ間隔 L1 の 1.3 倍以上、8 倍以下であってよい。第 2 トレンチ間隔 L2 は、第 1 トレンチ間隔 L1 の 1.5 倍以上、6 倍以下であってよい。第 2 トレンチ間隔 L2 は、第 1 トレンチ間隔 L1 の 2 倍以上、4 倍以下であってよい。第 1 トレンチ間隔 L1 は、一例として 0.4 μm 以上 2.0 μm 以下である。第 2 トレンチ間隔 L2 は、一例として 0.8 μm 以上 8.0 μm 以下である。第 1 トレンチ間隔 L1、第 2 トレンチ間隔 L2 をこのように設定することにより、耐圧アンバランスを低減することができる。

30

【0094】

本例において第 2 領域 194 は、ゲートトレンチ部 40 を含む。また第 2 底部領域 184 は、ゲートトレンチ部 40 の底部に設けられる。第 2 領域 194 は、ゲートトレンチ部 40 を含むため、幅広メサ部 62 に電流が流れやすくなる。

40

【0095】

また本例において第 2 領域 194 は、ダミートレンチ部 30 を含む。また第 2 底部領域 184 は、ダミートレンチ部 30 の底部に設けられる。このような構成でも耐圧アンバランスを解消できる。

【0096】

第 2 領域 194 は、少なくとも 2 つのトレンチ部が設けられてよい。第 2 底部領域 184 は、2 つのトレンチ部の底部にそれぞれ設けられてよい。なお本例において第 2 領域 194 は、1 つのゲートトレンチ部 40 および 1 つのダミートレンチ部 30 を含むが、この例に限定されない。例えば、第 2 領域 194 は、1 つのゲートトレンチ部 40 のみを含んでよい。第 2 領域 194 は、1 つのダミートレンチ部 30 のみを含んでよい。第 2 領域 1

50

94は、1つ以上のゲートトレンチ部40および1つ以上のダミートレンチ部30を含んでよい。

【0097】

本例において少なくとも一部の第2領域194は、配列方向において2つの第1領域192に挟まれる。第2領域194は、X軸方向において2つの第1領域192に挟まれる。第2領域194が2つの第1領域192に挟まれるため、第1底部領域182-1と第1底部領域182-2が電氣的に接続することを防ぐことができる。また2つの第1領域192の内1つの第1領域192に設けられた第1底部領域182-2は、外周ウェル領域11と電氣的に接続してよい。

【0098】

また本例において第2底部領域184は、配列方向における幅広メサ部62の中央Cには設けられない。配列方向における幅広メサ部62の中央Cに第2底部領域184が設けられないため、第2底部領域184が隣接する別の第2底部領域184と接続することを防ぐことができる。本例においてドリフト領域18の一部は、配列方向において隣り合う2つの第2底部領域184の間に設けられる。そのため、配列方向において隣り合う2つの第2底部領域184は、接続していない。

【0099】

第2トレンチ間隔L2は、第2底部領域184の配列方向における長さW1より大きくてよい。第2トレンチ間隔L2は、第2底部領域184の配列方向における長さW1の1.6倍より大きくてよい。このような構成とすることで、配列方向において隣り合う2つの第2底部領域184が接続することを防ぐことができる。

【0100】

また本例では第2底部領域184は、トレンチ部の底部を覆っている。つまり第2底部領域184の配列方向における長さW1は、トレンチ部の配列方向における長さW2より大きくてよい。トレンチ部の配列方向における長さW2とは、トレンチ部の底部の配列方向における長さであってよい。第2底部領域184がトレンチ部の底部を覆っているため、ホール電流が分散し、電流集中を防ぐことができる。

【0101】

第2底部領域184と第1底部領域182の不純物濃度は、同一であってよい。第1底部領域182と第2底部領域184の不純物濃度を同一にすることにより、製造工程を同一にすることができる。第2底部領域184と第1底部領域182の不純物濃度は、異なってもよい。また第2底部領域184は、第1底部領域182に向かって設けられてよい。つまり、第2底部領域184は、半導体基板10の深さ方向において、第1底部領域182と同じ深さに設けられてよい。

【0102】

配列方向において隣り合う第2底部領域184の距離L7は、0.1 $\mu$ m以上、10 $\mu$ m以下であってよい。配列方向において隣り合う第2底部領域184と第1底部領域182の距離も同様に、0.1 $\mu$ m以上、10 $\mu$ m以下であってよい。

【0103】

図4は、図2におけるf-f断面の一例を示す図である。f-f断面は、ゲートトレンチ部40の先端部41およびダミートレンチ部30の先端部31を通過するYZ面である。なお、図4の寸法は、図2の寸法と必ずしも一致しない。本例の半導体装置100は、当該断面において、半導体基板10、層間絶縁膜38、エミッタ電極52、コレクタ電極24およびゲート配線130を有する。

【0104】

当該断面において、ゲートトレンチ部40は、ゲート配線130と接続する。ゲート配線130の下には、ゲートポリシリコン46が設けられてよい。当該断面において、ダミートレンチ部30は、コンタクトホール56を介して、エミッタ電極52と接続する。エミッタ電極52の下には、ダミーポリシリコン36が設けられてよい。また、図4においても、図3と同様に第1底部領域182-2は、半導体基板10の深さ方向において、第

10

20

30

40

50

1 底部領域 1 8 2 - 1 と同じ深さに設けられてよい。

【 0 1 0 5 】

図 5 は、図 2 における g - g 断面の一例を示す図である。g - g 断面は、ダミートレンチ部 3 0 の直線部分 2 9 を通過する Y Z 面である。なお、図 5 の寸法は、図 2 の寸法と必ずしも一致しない。本例の半導体装置 1 0 0 は、当該断面において、半導体基板 1 0、層間絶縁膜 3 8、エミッタ電極 5 2、コレクタ電極 2 4 およびゲート配線 1 3 0 を有する。図 5 において、エミッタ電極 5 2 とダミートレンチ部 3 0 の間には、層間絶縁膜 3 8 が設けられている。図 5 においても、図 3 と同様に第 1 底部領域 1 8 2 - 2 は、半導体基板 1 0 の深さ方向において、第 1 底部領域 1 8 2 - 1 と同じ深さに設けられてよい。

【 0 1 0 6 】

図 6、図 7 は、半導体装置 1 0 0 の製造方法の一例を示す図である。半導体装置 1 0 0 の製造方法は、トレンチ形成段階 S 3 0 1、レジスト形成段階 S 3 0 2、イオン注入段階 S 3 0 3、レジスト除去段階 S 3 0 4、ゲート導電部形成段階 S 3 0 5 および熱処理段階 S 3 0 6 を備える。図 6 では、トレンチ形成段階 S 3 0 1、レジスト形成段階 S 3 0 2 およびイオン注入段階 S 3 0 3 を記載している。図 7 では、レジスト除去段階 S 3 0 4、ゲート導電部形成段階 S 3 0 5 および熱処理段階 S 3 0 6 を記載している。

【 0 1 0 7 】

トレンチ形成段階 S 3 0 1 において、半導体基板 1 0 にトレンチ 4 3 を形成する。トレンチ 4 3 は、公知の方法により形成されてよい。トレンチ 4 3 は、エッチングにより形成されてよい。本例ではトレンチ 4 3 を形成することにより、メサ部 6 0 および幅広メサ部 6 2 を形成する。トレンチ 4 3、メサ部 6 0 および幅広メサ部 6 2 には、犠牲酸化膜 2 0 6 が設けられてよい。

【 0 1 0 8 】

レジスト形成段階 S 3 0 2 において、半導体基板 1 0 の上方にレジスト 2 0 8 を形成する。レジスト 2 0 8 は、フォトリソグラフィ等々の公知の方法により形成されてよい。レジスト形成段階 S 3 0 2 において、レジスト 2 0 8 を露光、現像してよい。なお本断面ではイオン注入段階 S 3 0 3 においてレジスト 2 0 8 は設けられないが、他の断面においてレジスト 2 0 8 は設けられてよい。

【 0 1 0 9 】

イオン注入段階 S 3 0 3 において、半導体基板 1 0 にイオンを注入する。本例において、半導体基板 1 0 にボロンを注入する。イオン注入の加速エネルギーは、一例として、1 0 0 k e V である。イオン注入を実施することで、トレンチ 4 3 の底部に注入領域 2 1 0 が形成される。注入領域 2 1 0 を熱処理することにより、底部領域を形成することができる。

【 0 1 1 0 】

レジスト除去段階 S 3 0 4 において、レジスト 2 0 8 を除去する。レジスト除去段階 S 3 0 4 において、レジスト 2 0 8 を灰化してよい。なおレジスト除去段階 S 3 0 4 において、犠牲酸化膜 2 0 6 を除去してよい。

【 0 1 1 1 】

ゲート導電部形成段階 S 3 0 5 において、トレンチ 4 3 の内部にゲート導電部 4 4 を形成する。ゲート導電部 4 4 は、ポリシリコン等であってよい。ゲート導電部 4 4 とトレンチ 4 3 の間には、ゲート絶縁膜 4 2 が設けられてよい。なおゲート絶縁膜 4 2 は、メサ部 6 0 および幅広メサ部 6 2 に設けられてよい。

【 0 1 1 2 】

熱処理段階 S 3 0 6 において、半導体基板 1 0 を熱処理する。本例では、エミッタ領域 1 2、ベース領域 1 4、蓄積領域 1 6 および不図示のコンタクト領域 1 5 を形成する領域にイオン注入した後、半導体基板 1 0 を熱処理する。熱処理をした場合、メサ部 6 0 ではボロンを拡散させた場合隣り合うトレンチ部に設けられた底部領域は接続するため、第 1 底部領域 1 8 2 が形成される。一方幅広メサ部 6 2 ではボロンを拡散させた場合隣り合うトレンチ部に設けられた底部領域は接続しないため、第 2 底部領域 1 8 4 が形成される。

10

20

30

40

50

## 【 0 1 1 3 】

図 8 は、レジスト形成段階 S 3 0 2 で設けられるレジスト 2 0 8 の配置の一例を示す図である。図 8 では、図 1 の領域 D においてレジスト 2 0 8 を配置している。レジスト 2 0 8 は、配列方向に長手を有してよい。レジスト 2 0 8 は、外周部 1 8 0 に設けられてよい。

## 【 0 1 1 4 】

図 9 は、レジスト形成段階 S 3 0 2 で設けられるレジスト 2 0 8 の配置の一例を示す図である。図 9 では、図 1 の領域 E においてレジスト 2 0 8 を配置している。領域 E における各構成の配置は、Y 軸を基準として領域 D における各構成の配置を反転させたものであってよい。図 8 と同様にレジスト 2 0 8 は、配列方向に長手を有してよい。レジスト 2 0 8 は、外周部 1 8 0 に設けられてよい。

10

## 【 0 1 1 5 】

レジスト 2 0 8 は、中央部 1 7 0 側に設けられた第 1 底部領域 1 8 2 ( 図 3 の第 1 底部領域 1 8 2 - 1 ) と外周部 1 8 0 側に設けられた第 1 底部領域 1 8 2 ( 図 3 の第 1 底部領域 1 8 2 - 2 ) を接続しないように設けられてよい。レジスト 2 0 8 は、幅広メサ部 6 2 で終端してよい。本例ではレジスト 2 0 8 は、図 8 の幅広メサ部 6 2 から図 9 の幅広メサ部 6 2 まで連続して設けられる。

## 【 0 1 1 6 】

図 1 0 は、図 2 における e - e 断面の他の例を示す図である。図 1 0 は、第 1 底部領域 1 8 2 - 2 が、半導体基板 1 0 の深さ方向において第 1 底部領域 1 8 2 - 1 よりも広く設けられている点で、図 3 とは異なる。図 1 0 のそれ以外の構成は図 3 と同一であってよい。本例では、第 1 底部領域 1 8 2 - 2 は、第 1 底部領域 1 8 2 - 1 と比べ、下面 2 3 側に広く設けられており、外周ウェル領域 1 1 とほぼ同じ深さとなっている。第 1 底部領域 1 8 2 - 2 が第 1 底部領域 1 8 2 - 1 よりも広く設けられていることで電界分布を調整することができる。また第 1 底部領域 1 8 2 - 2 は、半導体基板 1 0 の深さ方向において第 2 底部領域 1 8 4 よりも広く設けられていてよい。

20

## 【 0 1 1 7 】

図 1 1 は、図 2 における e - e 断面の他の例を示す図である。図 1 1 は、蓄積領域 1 6 の構成が、図 3 とは異なる。図 1 1 のそれ以外の構成は図 3 と同一であってよい。

## 【 0 1 1 8 】

本例において、蓄積領域 1 6 の一部は、配列方向において隣り合う 2 つの第 2 底部領域 1 8 4 の間に設けられる。このような構成でも活性部 1 6 0 内における耐圧アンバランスを低減することができる。第 2 底部領域 1 8 4 の上端と蓄積領域 1 6 の下端は、半導体基板 1 0 の深さ方向において接してよい。第 2 底部領域 1 8 4 の上端と蓄積領域 1 6 の下端を接することで、半導体装置 1 0 0 の耐量を向上することができる。なお第 1 底部領域 1 8 2 - 1 の上端と蓄積領域 1 6 の下端は、半導体基板 1 0 の深さ方向において接してよい。

30

## 【 0 1 1 9 】

図 1 2 は、図 2 における e - e 断面の他の例を示す図である。図 1 2 は、蓄積領域 1 6 の構成が、図 1 1 とは異なる。図 1 2 のそれ以外の構成は図 1 1 と同一であってよい。

40

## 【 0 1 2 0 】

本例において、第 1 領域 1 9 2 に設けられる蓄積領域 1 6 を蓄積領域 1 6 - 1 とし、第 2 領域 1 9 4 に設けられる蓄積領域 1 6 を蓄積領域 1 6 - 2 とする。第 2 領域 1 9 4 に設けられる蓄積領域 1 6 - 2 のドーピング濃度は、第 1 領域 1 9 2 に設けられる蓄積領域 1 6 - 1 のドーピング濃度より低くてよい。蓄積領域 1 6 のドーピング濃度が高いと耐圧が下がる傾向にあるため、耐圧が下がりやすい第 2 領域 1 9 4 に設けられる蓄積領域 1 6 - 2 のドーピング濃度を下げることにより、耐圧アンバランスを解消することができる。

## 【 0 1 2 1 】

図 1 3 は、図 2 における e - e 断面の他の例を示す図である。図 1 3 は、コンタクトホール 5 4 の構成が、図 3 とは異なる。図 1 3 のそれ以外の構成は図 3 と同一であってよい。

50

## 【 0 1 2 2 】

本例において、第 1 領域 1 9 2 の上方に設けられるコンタクトホール 5 4 をコンタクトホール 5 4 - 1 とし、第 2 領域 1 9 4 の上方に設けられるコンタクトホール 5 4 をコンタクトホール 5 4 - 2 とする。第 2 領域 1 9 4 の上方に設けられるコンタクトホール 5 4 - 2 の開口幅  $W 3$  は、第 1 領域 1 9 2 の上方に設けられるコンタクトホール 5 4 - 1 の開口幅  $W 4$  より大きくてよい。第 2 領域 1 9 4 の上方に設けられるコンタクトホール 5 4 - 2 では、コンタクト領域 1 5 が露出するため、コンタクトホール 5 4 - 2 の開口幅  $W 3$  を大きくすることにより、ホールの引き抜きを向上することができる。したがって、半導体装置 1 0 0 のラッチアップを抑制できる。本例においてコンタクトホール 5 4 - 2 の開口幅  $W 3$  は、第 2 トレンチ間隔  $L 2$  ( 図 3 参照 ) と同一である。

10

## 【 0 1 2 3 】

図 1 4 は、他の実施例に係る半導体装置 2 0 0 の一例を示す上面図である。図 1 4 は、幅広メサ部 6 2 が中央部 1 7 0 に設けられる点で、図 2 とは異なる。図 1 4 のそれ以外の構成は、図 2 と同一であってよい。

## 【 0 1 2 4 】

本例において幅広メサ部 6 2 は、中央部 1 7 0 に設けられる。したがって、中央部 1 7 0 に第 2 底部領域 1 8 4 を形成できる。よって半導体装置 2 0 0 の耐圧アンバランスを調整することができる。本例において、第 2 底部領域 1 8 4 が設けられるトレンチ部は、ダミートレンチ部 3 0 である。第 2 底部領域 1 8 4 が設けられるトレンチ部は、ゲートトレンチ部 4 0 であってよい。また中央部 1 7 0 に複数の第 2 底部領域 1 8 4 が形成されてよい。中央部 1 7 0 に設けられる幅広メサ部 6 2 のトレンチ間隔は、外周部 1 8 0 に設けられる幅広メサ部 6 2 のトレンチ間隔と同一であってもよく、異なってもよい。

20

## 【 0 1 2 5 】

本例では、中央部 1 7 0 に設けられる幅広メサ部 6 2 におけるエミッタ領域 1 2 とコンタクト領域 1 5 の面積比は、中央部 1 7 0 に設けられるメサ部 6 0 におけるエミッタ領域 1 2 とコンタクト領域 1 5 の面積比と同一である。エミッタ領域 1 2 とコンタクト領域 1 5 の面積比とは、例えば、延伸方向の単位長さにおけるエミッタ領域 1 2 の面積 / コンタクト領域 1 5 の面積である。なお本例ではメサ部 6 0、幅広メサ部 6 2 においてエミッタ領域 1 2 およびコンタクト領域 1 5 は X 軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられるため、エミッタ領域 1 2 とコンタクト領域 1 5 の面積比は、延伸方向における 1 つのエミッタ領域 1 2 の長さ / 延伸方向における 1 つのコンタクト領域 1 5 の長さである。

30

## 【 0 1 2 6 】

図 1 5 は、他の実施例に係る半導体装置 3 0 0 の一例を示す上面図である。図 1 5 は、幅広メサ部 6 2 に設けられるエミッタ領域 1 2、コンタクト領域 1 5 の構成が、図 1 4 とは異なる。図 1 5 のそれ以外の構成は、図 1 4 と同一であってよい。

## 【 0 1 2 7 】

本例では、中央部 1 7 0 に設けられる幅広メサ部 6 2 におけるエミッタ領域 1 2 とコンタクト領域 1 5 の面積比は、中央部 1 7 0 に設けられるメサ部 6 0 におけるエミッタ領域 1 2 とコンタクト領域 1 5 の面積比と異なる。図 1 5 では、中央部 1 7 0 に設けられる幅広メサ部 6 2 におけるエミッタ領域 1 2 とコンタクト領域 1 5 の面積比は、中央部 1 7 0 に設けられるメサ部 6 0 におけるエミッタ領域 1 2 とコンタクト領域 1 5 の面積比より小さい。幅広メサ部 6 2 における延伸方向における 1 つのエミッタ領域 1 2 の長さを  $L 3$  とし、幅広メサ部 6 2 における延伸方向における 1 つのコンタクト領域 1 5 の長さを  $L 4$  とする。またメサ部 6 0 における延伸方向における 1 つのエミッタ領域 1 2 の長さを  $L 5$  とし、メサ部 6 0 における延伸方向における 1 つのコンタクト領域 1 5 の長さを  $L 6$  とする。 $L 3 / L 4$  は、 $L 5 / L 6$  より小さくてよい。つまり中央部 1 7 0 に設けられる幅広メサ部 6 2 では、中央部 1 7 0 に設けられるメサ部 6 0 と比べ、コンタクト領域 1 5 の割合が高くてもよい。このような構成でも、ホールの引き抜きを向上し、半導体装置 3 0 0 のラッチアップを抑制できる。

40

50

## 【 0 1 2 8 】

図 1 6 は、比較例に係る半導体装置 4 0 0 の一例を示す図である。図 1 6 は、幅広メサ部 6 2 および第 2 底部領域 1 8 4 が設けられない点で、図 3 とは異なる。図 1 6 のそれ以外の構成は、図 3 と同一であってよい。

## 【 0 1 2 9 】

図 1 7 は、比較例に係る半導体装置 5 0 0 の一例を示す図である。図 1 7 は、第 1 底部領域 1 8 2 が設けられない点で、図 1 6 とは異なる。図 1 7 のそれ以外の構成は、図 1 6 と同一であってよい。

## 【 0 1 3 0 】

図 1 8 は、比較例に係る半導体装置 6 0 0 の一例を示す図である。図 1 8 は、第 1 底部領域 1 8 2 - 1 および第 1 底部領域 1 8 2 - 2 が接続している点で、図 1 6 とは異なる。図 1 8 のそれ以外の構成は、図 1 6 と同一であってよい。本例の場合、第 1 底部領域 1 8 2 - 1 と第 1 底部領域 1 8 2 - 2 の境界は、中央部 1 7 0 と外周部 1 8 0 の境界であってよい。

10

## 【 0 1 3 1 】

図 1 9 は、室温時の F W D の順方向電流と逆回復電圧の傾きの関係を示す図である。順方向電流は定格電流を 1 とした場合の割合で示している。図 1 9 の半導体装置 1 0 0 と半導体装置 5 0 0 は、順方向電流 5 ~ 1 0 % 時（低電流時）の逆回復電圧の傾きが同一（約 5 k V /  $\mu$  s e c）となるように外付けのゲート抵抗を調整している。図 1 9 より、半導体装置 1 0 0 は、半導体装置 5 0 0 と比べて、順方向電流を変化させても F W D の逆回復電圧の傾きを同程度に保つことができる。したがって、順方向電流 1 0 0 % 時（定格電流時）に I G B T 側のターンオンのスピードが緩くなることなく順方向電流 5 ~ 1 0 % 時（低電流時）と同程度に速い状態に保つことができるため、ターンオン損失を低減することができる。

20

## 【 0 1 3 2 】

図 2 0 は、F W D の逆回復電圧の傾きの最大値（室温の低電流時）とターンオン損失（高温の定格電流時）の関係を示す図である。図 2 0 は、外付けのゲート抵抗を変化させて F W D 側の逆回復電圧の傾きの最大値と I G B T 側のターンオン損失を 1 対 1 でプロットして得ることができる。図 2 0 より、F W D の逆回復電圧の傾きの最大値を 5 k V /  $\mu$  s e c とし半導体装置 1 0 0 と半導体装置 5 0 0 を比較した場合、ターンオン損失を約 5 0 パーセント低減することができる。

30

## 【 0 1 3 3 】

図 2 1 は、半導体装置 1 0 0 および半導体装置 5 0 0 のゲート電圧 0 V（OFF）時のコレクタ電流とコレクタ電圧の I V 特性を示す図である。コレクタ電圧は半導体装置 5 0 0 の耐圧を 1 とした場合の割合で示している。図 2 1 に示す通り、半導体装置 1 0 0 は底部領域を有するため、半導体装置 5 0 0 と比べ、耐圧を向上することができる。

## 【 0 1 3 4 】

図 2 2 は、半導体装置 1 0 0 および半導体装置 6 0 0 のゲート電圧 1 5 V（ON）時のコレクタ電流とコレクタ電圧の I V 特性を示す図である。図 2 2 に示す通り、第 1 底部領域 1 8 2 - 1 および第 1 底部領域 1 8 2 - 2 が接続している場合、半導体装置 6 0 0 は動作しない。

40

## 【 0 1 3 5 】

図 2 3 は、半導体装置 5 0 0 および半導体装置 6 0 0 のコレクタ電流とコレクタ電圧の I V 特性を示す図である。図 2 3 に示す通り、半導体装置 6 0 0 において第 1 底部領域 1 8 2 - 1 および第 1 底部領域 1 8 2 - 2 が接続している場合、I V 特性に飛びが発生する。第 1 底部領域 1 8 2 - 1 および第 1 底部領域 1 8 2 - 2 を接続しないようにすることで、飛びを防ぐことができる。

## 【 0 1 3 6 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えること

50

が可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

【0137】

請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのではない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

【0138】

10・・・半導体基板、11・・・外周ウェル領域、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、18・・・ドリフト領域、20・・・バッファ領域、21・・・上面、22・・・コレクタ領域、23・・・下面、24・・・コレクタ電極、29・・・直線部分、30・・・ダミートレンチ部、31・・・先端部、32・・・ダミー絶縁膜、34・・・ダミー導電部、36・・・ダミーポリシリコン、38・・・層間絶縁膜、39・・・直線部分、40・・・ゲートレンチ部、41・・・先端部、42・・・ゲート絶縁膜、43・・・レンチ、44・・・ゲート導電部、46・・・ゲートポリシリコン、52・・・エミッタ電極、54・・・コンタクトホール、56・・・コンタクトホール、60・・・メサ部、62・・・幅広メサ部、70・・・トランジスタ部、90・・・エッジ終端構造部、92・・・ガードリング、100・・・半導体装置、130・・・ゲート配線、160・・・活性部、162・・・端辺、164・・・ゲートパッド、170・・・中央部、180・・・外周部、182・・・第1底部領域、184・・・第2底部領域、192・・・第1領域、194・・・第2領域、200・・・半導体装置、202・・・領域、204・・・領域、206・・・犠牲酸化膜、208・・・レジスト、210・・・注入領域、300・・・半導体装置、400・・・半導体装置、500・・・半導体装置、600・・・半導体装置

10

20

30

40

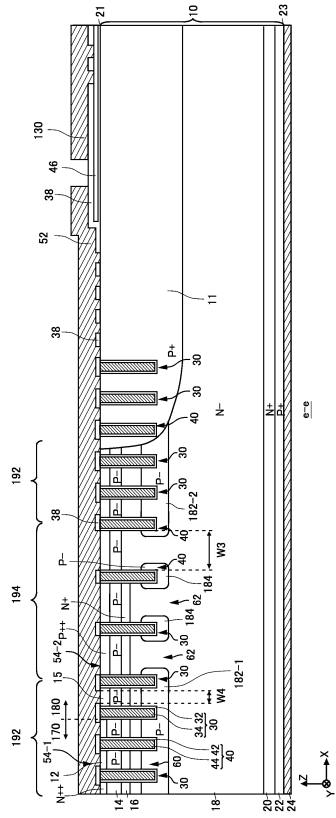
50



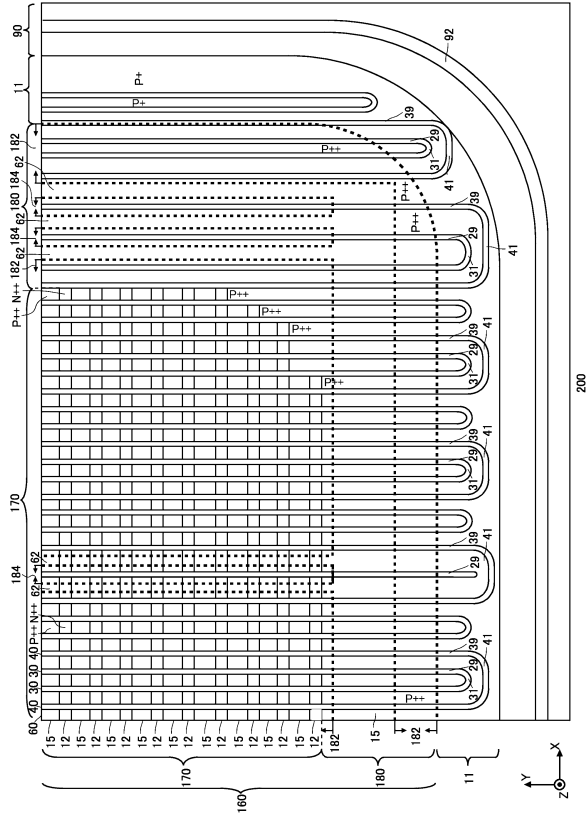




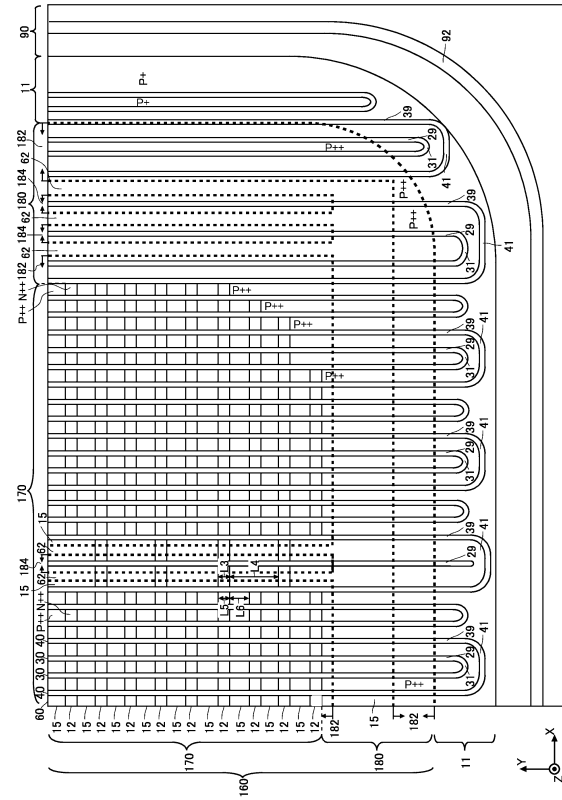
【図 13】



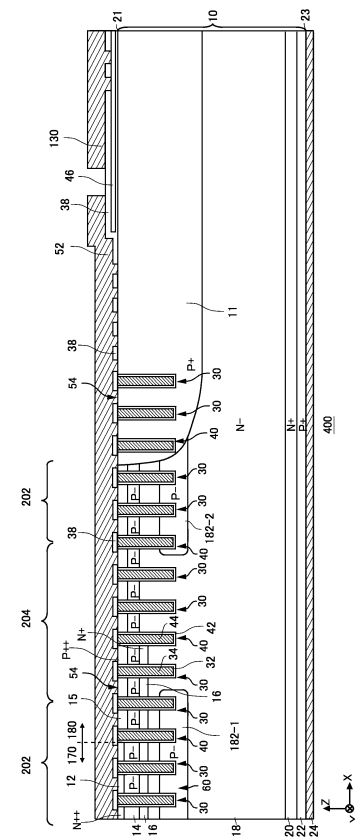
【図 14】



【図 15】



【図 16】



10

20

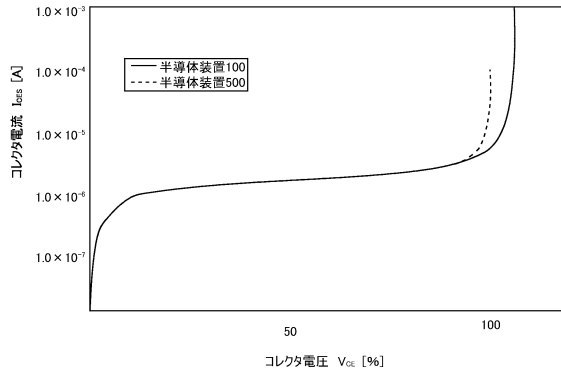
30

40

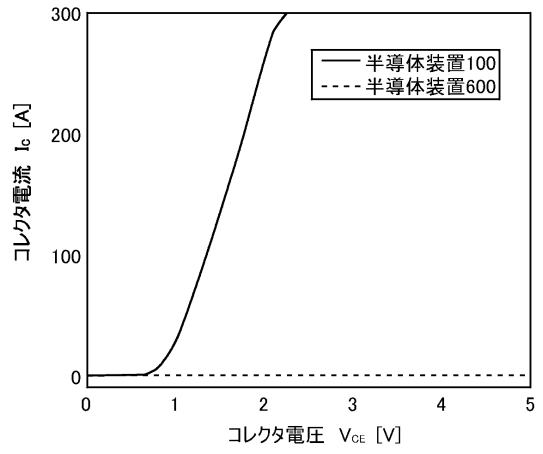
50



【図 2 1】

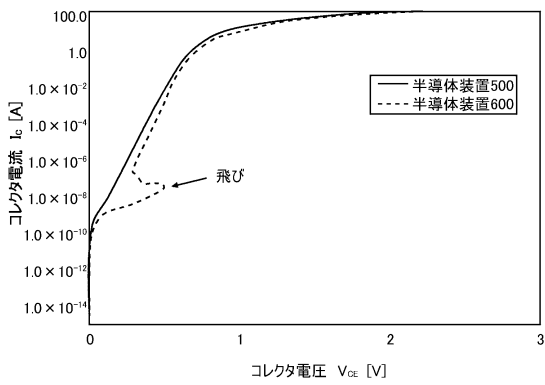


【図 2 2】



10

【図 2 3】



20

30

40

50

## フロントページの続き

(51)国際特許分類	F I		
	H 1 0 D	62/10	1 0 1 V
	H 1 0 D	30/66	2 0 1 A
	H 1 0 D	30/66	1 0 1 H
	H 1 0 D	30/01	3 0 1 A
	H 0 1 L	21/265	R

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

(72)発明者 尾崎 大輔

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 戸川 匠

(56)参考文献 特開2019-091892(JP,A)  
特開2019-110288(JP,A)  
特開2019-212718(JP,A)  
特開2019-169575(JP,A)  
特開2016-189368(JP,A)  
国際公開第2015/166754(WO,A1)

(58)調査した分野 (Int.Cl., DB名)  
H 1 0 D 3 0 / 6 6  
H 1 0 D 1 2 / 0 0  
H 1 0 D 6 2 / 1 0  
H 1 0 D 3 0 / 0 1  
H 0 1 L 2 1 / 2 6 5