

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-76926

(P2020-76926A)

(43) 公開日 令和2年5月21日(2020.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 623A	5C080
	G09G 3/20 691G	
	G09G 3/20 622A	
	G09G 3/20 621E	
	G09G 3/20 623F	
審査請求 未請求 請求項の数 14 O L (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2018-211701 (P2018-211701)	(71) 出願人	000001007
(22) 出願日	平成30年11月9日 (2018.11.9)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100076428
			弁理士 大塚 康德
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

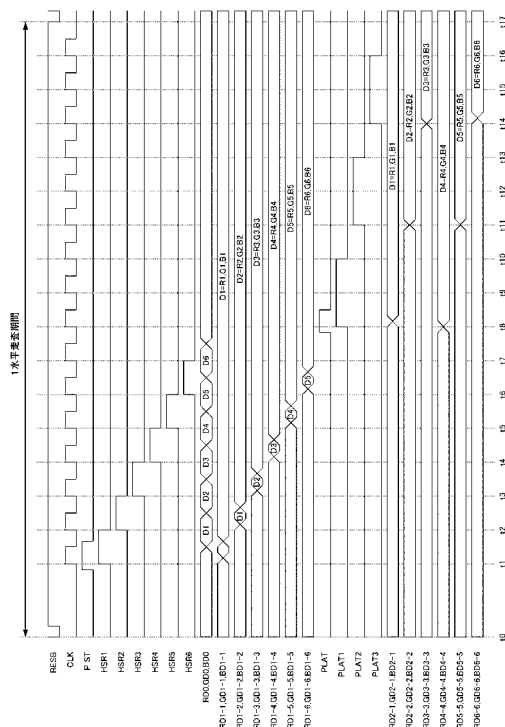
(54) 【発明の名称】 表示装置および撮像装置

(57) 【要約】

【課題】第1保持部によって保持されたデータが第2保持部によって取り込まれる際の最大過渡電流を低減する。

【解決手段】表示装置は、複数の行および複数の列を構成するように配置された複数の画素と、前記複数の行における行を選択する行選択回路と、前記複数の画素のうち前記行選択回路によって選択された行の画素に信号を供給する信号供給回路とを備える。前記信号供給回路は、複数の第1データ保持部を有する第1保持部と、前記複数の第1データ保持部を順に選択し、選択された第1データ保持部にデータを取り込ませる走査回路と、各ブロックが複数の第2データ保持部を有する複数のブロックを有し、前記第1保持部によって保持された複数のデータを時分割で取り込んで保持する第2保持部と、前記第2保持部によって保持された複数のデータに応じた複数のアナログ信号を前記複数の画素のうち前記行選択回路によって選択された行の画素に供給するDA変換部を含む。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

複数の行および複数の列を構成するように配置された複数の画素と、前記複数の行における行を選択する行選択回路と、前記複数の画素のうち前記行選択回路によって選択された行の画素に信号を供給する信号供給回路と、を備える表示装置であって、前記信号供給回路は、

複数の第 1 データ保持部を有する第 1 保持部と、

前記複数の第 1 データ保持部を順に選択し、選択された第 1 データ保持部にデータを取り込ませる走査回路と、

各ブロックが複数の第 2 データ保持部を有する複数のブロックを有し、前記第 1 保持部によって保持された複数のデータを時分割で取り込んで保持する第 2 保持部と、

前記第 2 保持部によって保持された複数のデータに応じた複数のアナログ信号を前記複数の画素のうち前記行選択回路によって選択された行の画素に供給する D/A 変換部と、を含む、

ことを特徴とする表示装置。

【請求項 2】

前記複数のブロックの各々は、前記第 1 保持部によって保持された複数のデータのうち対応するデータを時分割で取り込んで保持する、

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記複数のブロックのうち 1 つのブロックが前記第 1 保持部によって保持された複数のデータのうち対応するデータを取り込むことに並行して、前記複数のブロックのうち他のブロックが前記第 1 保持部によって保持された複数のデータのうち対応するデータを取り込む、

ことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記複数のブロックのそれぞれに含まれる前記第 2 データ保持部の個数が前記複数のブロックにおいて同一である、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 5】

前記複数のブロックにそれぞれデータを取り込ませるための複数のパルスが発生するパルス発生回路を更に備え、

前記パルス発生回路は、前記複数のパルスのそれぞれのアクティブ期間が互いに重複しないように前記複数のパルスが発生する、

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記複数のパルスのそれぞれの前記アクティブ期間の長さが互いに等しい、

ことを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記複数のブロックにそれぞれデータを取り込ませるための複数のパルスが発生するパルス発生回路を更に備え、

前記パルス発生回路は、前記複数のパルスにおける互いに連続するパルス同士が互いに部分的に重複するアクティブ期間を有するように前記複数のパルスが発生する、

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記複数のパルスのそれぞれの前記アクティブ期間の長さが互いに等しい、

ことを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

各パルスのアクティブ期間が他のパルスのアクティブ期間と重複している期間の長さが、前記複数のパルスにおいて互いに等しい、

10

20

30

40

50

ことを特徴とする請求項 7 又は 8 に記載の表示装置。

【請求項 10】

前記パルス発生回路が発生する前記複数のパルスの各々のアクティブ期間は、前記走査回路が前記第 1 保持部にデータを取り込ませるためのパルスのアクティブ期間より長い、ことを特徴とする請求項 5 乃至 9 のいずれか 1 項に記載の表示装置。

【請求項 11】

前記走査回路が前記複数の第 1 データ保持部の全てにデータを取り込ませる動作を行う期間の終了後に、前記第 1 保持部によって取り込まれたデータを前記第 2 保持部が取り込む動作が実行される、

ことを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の表示装置。

10

【請求項 12】

前記走査回路が前記複数の第 1 データ保持部の全てにデータを取り込ませる動作を行う期間の終了前に、前記期間において前記第 1 保持部によって既に取り込まれたデータを前記第 2 保持部が取り込む動作が開始される、

ことを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の表示装置。

【請求項 13】

前記第 2 保持部の前記複数のブロックのうちの 1 つのブロックに供給すべき一群のデータが前記第 1 保持部によって取り込まれる度に、前記一群のデータが前記第 2 保持部によって取り込まれる、

ことを特徴とする請求項 12 に記載の表示装置。

20

【請求項 14】

撮像部と、

前記撮像部によって撮像された画像を処理する処理部と、

前記処理部によって処理された画像を表示する表示部として構成された請求項 1 乃至 13 のいずれか 1 項に記載の表示装置と、

を備えることを特徴とする撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および撮像装置に関する。

30

【背景技術】

【0002】

特許文献 1 には、複数の画素がマトリクス状に配置された有効表示部と、水平駆動回路と、垂直駆動回路とを有する表示装置が記載されている。垂直駆動回路は、シフトレジスタと、サンプリング回路群と、第 2 ラッチ回路群とを有する。シフトレジスタは、列を選択するサンプリングパルスを順次が発生する。サンプリング回路群は、シフトレジスタからのサンプリングパルスに応じてデジタル画像データを順次にサンプリングする。第 2 ラッチ回路群は、サンプリング回路群によってサンプリングされたデータ群を一括してラッチすることによって該データ群を線順次化する。

【先行技術文献】

40

【特許文献】

【0003】

【特許文献 1】特開 2006 - 171034 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載された表示装置では、サンプリング回路群によってサンプリングされたデータ群を第 2 ラッチ回路群が同時にラッチするので、最大過渡電流が大きくなりうる。最大過渡電流が大きいと、電源線の寄生抵抗による電圧降下が無視できなくなり、回路が誤動作する可能性がある。

50

【 0 0 0 5 】

本発明は、第 1 保持部によって保持されたデータが第 2 保持部によって取り込まれる際の最大過渡電流を低減するために有利な技術を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明の 1 つの側面によれば、複数の行および複数の列を構成するように配置された複数の画素と、前記複数の行における行を選択する行選択回路と、前記複数の画素のうち前記行選択回路によって選択された行の画素に信号を供給する信号供給回路と、を備える表示装置であって、前記信号供給回路は、複数の第 1 データ保持部を有する第 1 保持部と、前記複数の第 1 データ保持部を順に選択し、選択された第 1 データ保持部にデータを取り込ませる走査回路と、各ブロックが複数の第 2 データ保持部を有する複数のブロックを有し、前記第 1 保持部によって保持された複数のデータを時分割で取り込んで保持する第 2 保持部と、前記第 2 保持部によって保持された複数のデータに応じた複数のアナログ信号を前記複数の画素のうち前記行選択回路によって選択された行の画素に供給する D A 変換部と、を含む。

10

【発明の効果】

【 0 0 0 7 】

本発明によれば、第 1 保持部によって保持されたデータが第 2 保持部によって取り込まれる際の最大過渡電流を低減するために有利な技術が提供される。

20

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】本発明の一実施形態の表示装置の構成を示す図。

【図 2】信号供給回路の構成例を示す図。

【図 3】第 1 実施形態の信号出力回路の動作を例示する図。

【図 4】第 2 実施形態の信号出力回路の動作を例示する図。

【図 5】表示装置が組み込まれた撮像装置の構成例を示す図。

【発明を実施するための形態】

【 0 0 0 9 】

以下、添付図面を参照しながら本発明をその例示的な実施形態を通して説明する。

【 0 0 1 0 】

30

図 1 には、本発明の一実施形態の表示装置 1 の構成が示されている。表示装置 1 は、画素アレイ 10、垂直走査回路（行選択回路）20、信号供給回路 30 および制御回路 40 を備える。画素アレイ 10 は、複数の行および複数の列を構成するように配置された複数の画素 11 を有する。各画素 11 は、複数のサブ画素（例えば、R（赤）サブ画素、G（緑）サブ画素、B（青）サブ画素）を含みうる。垂直走査回路（行選択回路）20 は、画素アレイ 10 の複数の行における行を選択する。行の選択は、垂直走査回路 20 が走査線 21 を介して、選択すべき行を構成する 1 行分の画素 11（1 行分のサブ画素）に制御信号を供給することによってなされる。信号供給回路 30 は、垂直走査回路 20 によって選択された行の 1 行分の画素 11 に信号線 31 を介して信号（輝度信号）を供給する。垂直走査回路 20 および信号供給回路 30 は、制御回路 40 によって制御されうる。

40

【 0 0 1 1 】

1 つの信号線 310 は、1 つの画素 11 を構成する複数のサブ画素（R サブ画素、G サブ画素、B サブ画素）に対応する個数のサブ信号線を含みうる。以下では、説明の簡単化のために、画素アレイ 10 が 6 列（信号線 310 の数が 6）で構成され、1 つの信号線 310 が 3 つのサブ信号線（R サブ画素用、G サブ画素用、B サブ画素用）で構成されるものとして説明する。しかし、実際には、画素アレイ 10 は、より多くの列を有しうる。また、1 つの画素 11 を構成するサブ画素の個数は、3 個に限定されない。

【 0 0 1 2 】

図 2 には、信号供給回路 30 の構成例が示されている。信号供給回路 30 は、走査回路 201（シフトレジスタ）と、第 1 保持部 202 と、第 2 保持部 203 と、D A 変換部（

50

デジタル - アナログ変換部) 204 とを含みる。第1保持部202は、複数の第1データ保持部DH1-1、DH1-2、DH1-3、DH1-4、DH1-5、DH1-6を有する。ここで、文字列(例えば、DH1)に付される添え字"-x"(この例では、x=1~6)は、画素アレイ10の列に対応する。例えば、DH1-1は、画素アレイ10の第1列に対応する第1データ保持部、即ち、画素アレイ10の第1列に信号を供給するための第1データ保持部である。以下では、列を特定する必要がない場合には、第1データ保持部DH1と記載する。各第1保持部DH1は、Rサブ画素、Gサブ画素、Bサブ画素に信号を供給するために、Rサブ画素用のラッチRL1、Gサブ画素用のラッチGL1、Bサブ画素用のラッチGL1を含みうる。

【0013】

第2保持部203は、複数のブロックBLK1、BLK2を含み、各ブロックは、複数の第2データ保持部DH2を有する。例えば、第1ブロックBLK1は、複数の第2データ保持部DH2として、第2データ保持部DH2-1、DH2-2、DH2-3を有する。また、第2ブロックBLK2は、複数の第2データ保持部DH2として、第2データ保持部DH2-4、DH2-5、DH2-6を有する。第2保持部203は、第1保持部202によって保持された複数のデータを時分割で取り込んで保持する。別の観点において、複数のブロックBLK1、BLK2の各々は、第1保持部202によって保持された複数のデータを時分割で取り込んで保持する。各第2データ保持部DH2は、Rサブ画素、Gサブ画素、Bサブ画素に信号を供給するために、Rサブ画素用のラッチRL2、Gサブ画素用のラッチGL2、Bサブ画素用のラッチGL2を含みうる。

【0014】

第1保持部202および第2保持部203によって2段の保持部が構成される。制御回路40から供給される輝度データ(この例では、RデータRD0、GデータGD0、BデータBD0で構成される。)の取り込みおよび保持を第1保持部202が担い、DA変換部204への輝度データ(この例では、RデータRD2、GデータGD2、BデータBD2で構成される。)の供給を第2保持部203が担う。このような構成では、輝度データの取り込み動作と供給動作とを並行して行うことができるので、高速化に有利である。

【0015】

走査回路201は、第1保持部202の複数の第1データ保持部DH1を順に選択し、選択された第1データ保持部DH1にデータを取り込ませる。走査回路201は、シフトレジスタで構成されうる。該シフトレジスタは、制御回路40から供給されるスタートパルスP_{ST}を受けてパルスを順次に後段に転送するように直列接続された6個(6段)のフリップフロップFFで構成されうる。該シフトレジスタは、複数のフリップフロップFFがクロック信号CLKに同期してパルスを順次に転送するように構成されうる。各フリップフロップFFは、制御回路40から供給されるリセット信号RESBによってリセットされうる。クロック信号CLKは、例えば、外部装置または表示装置1において生成される基準クロック信号に基づいて制御回路40によって生成されうる。走査回路201は、6個のフリップフロップFFのそれぞれからの出力信号を書き込みパルスHSR1~HSR6として出力しうる。DA変換部204は、第2保持部203によって保持された複数のデータに応じた複数のアナログ信号を複数の画素11のうち垂直走査回路(行選択回路)20によって選択された行の画素11に供給しうる。

【0016】

制御回路40は、輝度データとして、RデータRD0、GデータGD0、BデータBD0を信号供給回路30の第1保持部202に供給しうる。第1保持部202は、書き込みパルスHSR1~HSR6に応じて、RデータRD0、GデータGD0、BデータBD0を取り込んで保持する。ここで、第1保持部202において、第1データ保持部DH1-xは、書き込みパルスHSR_x(x=1~6)に応じてRデータRD0、GデータGD0、BデータBD0を取り込んで保持し、RデータRD1、GデータGD1、BデータBD1として出力する。第2保持部203において、第2データ保持部DH2は、書き込みパルスPLAT1~PLAT3に応じて、RデータRD1、GデータGD1、BデータBD

10

20

30

40

50

1を取り込んで保持し、RデータRD2、GデータGD2、BデータBD2として出力する。制御回路40は、書き込みパルスPLAT1～PLAT3を発生するパルス発生回路41を含みうる。パルス発生回路41は、信号供給回路30に備えられてもよい。

【0017】

図3には、第1実施形態に信号供給回路30の動作が例示されている。時刻t0において、リセット信号REBがアクティブレベル（ローレベル）に遷移し、これにより、走査回路201のシフトレジスタを構成する6段のフリップフロップFFの出力である書き込みパルスHSR1～HSR6がリセットされる。その後、リセット信号REBがインアクティブレベル（ハイレベル）に遷移した後、時刻t1からクロック信号CLKの供給が開始される。制御回路40は、時刻t1を含む期間においてアクティブレベルになるスタートパルスP_{ST}を走査回路201に供給する。走査回路201は、クロック信号CLKに同期してパルス信号を順次に後段に転送することによって、互いに重複しない書き込みパルスHSR1～HSR6を発生する。

10

【0018】

時刻t1から時刻t2において書き込みパルスHSR1がアクティブレベルとなり、第1保持部202の第1データ保持部DH1-1（RL1-1、GL1-1、BL1-1）によって、RデータRD0、GデータRD0、BデータBD0が取り込まれ保持される。時刻t2から時刻t3において書き込みパルスHSR2がアクティブレベルとなり、第1保持部202の第1データ保持部DH1-2（RL1-2、GL1-2、BL1-2）によって、RデータRD0、GデータRD0、BデータBD0が取り込まれ保持される。

20

【0019】

時刻t3から時刻t4において書き込みパルスHSR3がアクティブレベルとなり、第1保持部202の第1データ保持部DH1-3（RL1-3、GL1-3、BL1-3）によって、RデータRD0、GデータRD0、BデータBD0が取り込まれ保持される。時刻t4から時刻t5において書き込みパルスHSR4がアクティブレベルとなり、第1保持部202の第1データ保持部DH1-4（RL1-4、GL1-4、BL1-4）によって、RデータRD0、GデータRD0、BデータBD0が取り込まれ保持される。

【0020】

時刻t5から時刻t6において書き込みパルスHSR1がアクティブレベルとなり、第1保持部202の第1データ保持部DH1-5（RL1-5、GL1-5、BL1-5）によって、RデータRD0、GデータRD0、BデータBD0が取り込まれ保持される。時刻t6から時刻t7において書き込みパルスHSR2がアクティブレベルとなり、第1保持部202の第1データ保持部DH1-6（RL1-6、GL1-6、BL1-6）によって、RデータRD0、GデータRD0、BデータBD0が取り込まれ保持される。

30

【0021】

その後、パルス発生回路41は、時刻t8～t10において書き込みパルスPLAT1をアクティブレベルとする。したがって、時刻t8～t10において、第2保持部203の第1ブロックBLK1における第2データ保持部DH2-1によって、それに対応するRデータRD1-1、GデータRD1-1、BデータBD1-1が取り込まれ保持される。また、時刻t8～t10において、第2保持部203の第2ブロックBLK2における第2データ保持部DH2-4によって、それに対応するRデータRD1-4、GデータRD1-4、BデータBD1-4が取り込まれ保持される。このように、第1ブロックBLK1における第2データ保持部DH2-1および第2ブロックBLK2における第2データ保持部DH2-4によるデータの取り込み動作が書き込みパルスPLAT1に従って同時になされうる。パルス発生回路41は、例えば、書き込み信号HSR6に应答して生成されるタイミング信号PLATに依じて書き込みパルスPLAT1を発生しうる。あるいは、パルス発生回路41は、例えば、書き込み信号HSR6に应答して書き込みパルスPLAT1、PLAT2、PLAT3を発生しうる。

40

【0022】

パルス発生回路41は、時刻t11～t13において書き込みパルスPLAT2をアク

50

ティブレベルとする。したがって、時刻 $t_{11} \sim t_{13}$ において、第 2 保持部 203 の第 1 ブロック B L K 1 における第 2 データ保持部 D H 2 - 2 によって、それに対応する R データ R D 1 - 2、G データ R D 1 - 2、B データ B D 1 - 2 が取り込まれ保持される。また、時刻 $t_{11} \sim t_{13}$ において、第 2 保持部 203 の第 2 ブロック B L K 2 における第 2 データ保持部 D H 2 - 5 によって、それに対応する R データ R D 1 - 5、G データ R D 1 - 5、B データ B D 1 - 5 が取り込まれ保持される。このように、第 1 ブロック B L K 1 における第 2 データ保持部 D H 2 - 2 および第 2 ブロック B L K 2 における第 2 データ保持部 D H 2 - 5 によるデータの取り込み動作が書き込みパルス P L A T 2 に従って同時になされう。

【0023】

パルス発生回路 41 は、時刻 $t_{14} \sim t_{16}$ において書き込みパルス P L A T 3 をアクティブレベルとする。したがって、時刻 $t_{14} \sim t_{16}$ において、第 2 保持部 203 の第 1 ブロック B L K 1 における第 2 データ保持部 D H 2 - 3 によって、それに対応する R データ R D 1 - 3、G データ R D 1 - 3、B データ B D 1 - 3 が取り込まれ保持される。また、時刻 $t_{14} \sim t_{16}$ において、第 2 保持部 203 の第 2 ブロック B L K 2 における第 2 データ保持部 D H 2 - 6 によって、それに対応する R データ R D 1 - 6、G データ R D 1 - 6、B データ B D 1 - 6 が取り込まれ保持される。このように、第 1 ブロック B L K 1 における第 2 データ保持部 D H 2 - 3 および第 3 ブロック B L K 2 における第 2 データ保持部 D H 2 - 6 によるデータの取り込み動作が書き込みパルス P L A T 3 に従って同時になされう。

【0024】

以上のように、パルス発生回路 41 は、第 1 保持部 202 によって保持された複数のデータが第 2 保持部 203 によって時分割で取り込まれるように書き込みパルス P L A T 1 ~ P L A T 3 を発生する。ここで、複数のブロックのうち 1 つのブロックが第 1 保持部によって保持された複数のデータのうち対応するデータを取り込むことに並行して複数のブロックのうち他のブロックが第 1 保持部によって保持された複数のデータのうち対応するデータを取り込む。その後、D A 変換部 204 は、第 2 保持部 203 によって保持されたデータ R D 2、G D 2、B D 2 に応じたアナログ信号を複数の画素 11 のうち垂直走査回路（行選択回路）20 によって選択された行の画素 11 に供給する。これにより、垂直走査回路 20 によって選択された行の画素 11 にアナログ信号が書き込まれる。

【0025】

以上のように、パルス発生回路 41 は、複数の書き込みパルス P L A T 1、P L A T 2、P L A T 3 のそれぞれのアクティブ期間が互いに重複しないように複数のパルス P L A T 1、P L A T 2、P L A T 3 を発生する。換言すると、パルス発生回路 41 は、複数の書き込みパルス P L A T 1、P L A T 2、P L A T 3 の遷移タイミングが同一タイミングにならないように複数のパルス P L A T 1、P L A T 2、P L A T 3 を発生する。これにより、複数の書き込みパルス P L A T 1、P L A T 2、P L A T 3 の遷移時に大きな過渡電流が流れることを防止し、信号供給回路 30 の電源線と接地線との間に流れる最大過渡電流を抑えることができる。

【0026】

複数のブロック B L K 1、B L K 2 のそれぞれに含まれる第 2 データ保持部 D H 2 の個数は、複数のブロック B L K 1、B L K 2 において同一にされう。これにより、前述の過渡電流を均一化することができる。パルス発生回路 41 は、複数の書き込みパルス P L A T 1 ~ P L A T 3 のそれぞれのアクティブ期間の長さが互いに等しいように複数の書き込みパルス P L A T 1 ~ P L A T 3 を発生しう。パルス発生回路 41 は、複数の書き込みパルス P L A T 1 ~ P L A T 3 の各々のアクティブ期間が書き込みパルス H S R 1 ~ H S R 6 のアクティブ期間より長いように、複数の書き込みパルス P L A T 1 ~ P L A T 3 を発生しう。複数の書き込みパルス P L A T 1 ~ P L A T 3 の個数は、例えば、複数のブロック B L K 1、B L K 2 の各々を構成する第 2 データ保持部 D H 2 の個数（列数）と等しく設定されう。

10

20

30

40

50

【 0 0 2 7 】

上記の実施形態では、走査回路 2 0 1 が第 1 保持部 2 0 2 の複数の第 1 データ保持部 D H 1 の全てにデータを取り込ませる動作を行う期間 ($t_0 \sim t_7$) の終了後に、第 1 保持部 2 0 2 によって取り込まれたデータを第 2 保持部 2 0 2 が取り込む動作が実行される。しかし、走査回路 2 0 1 が第 1 保持部 2 0 2 の複数の第 1 データ保持部 D H 1 の全てにデータを取り込ませる動作を行う期間の終了前に、当該期間において第 1 保持部 2 0 2 によって既に取り込まれたデータを第 2 保持部 2 0 3 が取り込む動作が開始されてもよい。例えば、第 2 保持部 2 0 3 の複数のブロック B L K 1、B L K 2 のうちの 1 つのブロックに供給するべき一群のデータが第 1 保持部 2 0 2 によって取り込まれる度に、該一群のデータが第 2 保持部 2 0 3 によって取り込まれる。より具体的には、例えば、時刻 t_5 の後に書き込みパルス P L A T 1 がアクティブレベルにされ、時刻 t_5 の後に書き込みパルス P L A T 2 がアクティブレベルにされう。ただし、複数の書き込みパルス P L A T 1、P L A T 2、P L A T 3 のそれぞれのアクティブ期間は、互いに重複しないように複数の書き込みパルス P L A T 1、P L A T 2、P L A T 3 が生成される。

10

【 0 0 2 8 】

図 4 には、第 2 実施形態における信号供給回路 3 0 の動作が例示されている。図 4 に示された例では、パルス発生回路 4 1 は、複数の書き込みパルス P L A T 1 ~ P L A T 3 における互いに連続する書き込みパルス同士が互いに部分的に重複するアクティブ期間を有するように複数のパルス P L A T 1 ~ P L A T 3 を発生する。アクティブ期間が部分的に互いに重複するとは、1 つのアクティブ期間の一部と他のアクティブ期間の一部とが重複することを意味する。

20

【 0 0 2 9 】

図 4 に示された第 2 実施形態における時刻 $t_0 \sim t_8$ の動作は、図 3 に示された第 1 実施形態における時刻 $t_0 \sim t_8$ の動作と同一である。パルス発生回路 4 1 は、時刻 $t_8 \sim t_{11}$ において書き込みパルス P L A T 1 をアクティブレベルとする。したがって、時刻 $t_8 \sim t_{11}$ において、第 2 保持部 2 0 3 の第 1 ブロック B L K 1 における第 2 データ保持部 D H 2 - 1 によって、それに対応する R データ R D 1 - 1、G データ R D 1 - 1、B データ B D 1 - 1 が取り込まれ保持される。また、時刻 $t_8 \sim t_{11}$ において、第 2 保持部 2 0 3 の第 2 ブロック B L K 2 における第 2 データ保持部 D H 2 - 4 によって、それに対応する R データ R D 1 - 4、G データ R D 1 - 4、B データ B D 1 - 4 が取り込まれ保持される。このように、第 1 ブロック B L K 1 における第 2 データ保持部 D H 2 - 1 および第 2 ブロック B L K 2 における第 2 データ保持部 D H 2 - 4 によるデータの取り込み動作が書き込みパルス P L A T 1 に従って同時になされう。

30

【 0 0 3 0 】

パルス発生回路 4 1 は、書き込みパルス P L A T 2 のアクティブ期間の一部が書き込みパルス P K A T 1 のアクティブ期間の一部と重複するように、時刻 $t_9 \sim t_{11}$ において書き込みパルス P L A T 2 をアクティブレベルとする。したがって、時刻 $t_9 \sim t_{11}$ において、第 2 保持部 2 0 3 の第 1 ブロック B L K 1 における第 2 データ保持部 D H 2 - 2 によって、それに対応する R データ R D 1 - 2、G データ R D 1 - 2、B データ B D 1 - 2 が取り込まれ保持される。また、時刻 $t_9 \sim t_{11}$ において、第 2 保持部 2 0 3 の第 2 ブロック B L K 2 における第 2 データ保持部 D H 2 - 5 によって、それに対応する R データ R D 1 - 5、G データ R D 1 - 5、B データ B D 1 - 5 が取り込まれ保持される。このように、第 1 ブロック B L K 1 における第 2 データ保持部 D H 2 - 2 および第 2 ブロック B L K 2 における第 2 データ保持部 D H 2 - 5 によるデータの取り込み動作が書き込みパルス P L A T 2 に従って同時に、あるいは並行してなされう。

40

【 0 0 3 1 】

パルス発生回路 4 1 は、書き込みパルス P L A T 3 のアクティブ期間の一部が書き込みパルス P K A T 2 のアクティブ期間の一部と重複するように、時刻 $t_{10} \sim t_{13}$ において書き込みパルス P L A T 3 をアクティブレベルとする。したがって、時刻 $t_{10} \sim t_{13}$ において、第 2 保持部 2 0 3 の第 1 ブロック B L K 1 における第 2 データ保持部 D H 2

50

- 3によって、それに対応するRデータRD1-3、GデータRD1-3、BデータBD1-3が取り込まれ保持される。また、時刻t10~t13において、第2保持部203の第2ブロックBLK2における第2データ保持部DH2-6によって、それに対応するRデータRD1-6、GデータRD1-6、BデータBD1-6が取り込まれ保持される。このように、第1ブロックBLK1における第2データ保持部DH2-3および第2ブロックBLK2における第2データ保持部DH2-6によるデータの取り込み動作が書き込みパルスPLAT3に従って同時になされう。パルス発生回路41は、3以上の書き込みパルスPLAT1~PLAT3のそれぞれのアクティブ期間の一部が重複するように書き込みパルスPLAT1~PLAT3を発生してもよい。

【0032】

以上のように、パルス発生回路41は、第1保持部202によって保持された複数のデータが第2保持部203によって時分割で取り込まれるように書き込みパルスPLAT1~PLAT3を発生する。ここで、複数のブロックのうち1つのブロックが第1保持部によって保持された複数のデータのうち対応するデータを取り込むことに並行して複数のブロックのうち他のブロックが第1保持部によって保持された複数のデータのうち対応するデータを取り込む。その後、DA変換部204は、第2保持部203によって保持されたデータRD2、GD2、BD2に応じたアナログ信号を複数の画素11のうち垂直走査回路(行選択回路)20によって選択された行の画素11に供給する。これにより、垂直走査回路20によって選択された行の画素11にアナログ信号が書き込まれる。第2実施形態は、最大過渡電流の抑制の他、1水平走査期間を短くするために有利である。

【0033】

第2実施形態においても、パルス発生回路41は、複数の書き込みパルスPLAT1~PLAT3のそれぞれのアクティブ期間の長さが互いに等しいように複数の書き込みパルスPLAT1~PLAT3を発生しう。また、パルス発生回路41は、複数の書き込みパルスPLAT1~PLAT3の各々のアクティブ期間が書き込みパルスHSR1~HSR6のアクティブ期間より長いように、複数の書き込みパルスPLAT1~PLAT3を発生しう。また、パルス発生回路41は、各書き込みパルスが他の書き込みパルスのアクティブ期間と重複している期間の長さが複数の書き込みパルスPLAT1~PLAT3互いに等しいように複数の書き込みパルスPLAT1~PLAT3を発生しう。

【0034】

走査回路201が第1保持部202の複数の第1データ保持部DH1の全てにデータを取り込ませる動作を行う期間の終了前に、当該期間において第1保持部202によって既に取り込まれたデータを第2保持部203が取り込む動作が開始されてもよい。例えば、第2保持部203の複数のブロックBLK1、BLK2のうちの1つのブロックに供給すべき一群のデータが第1保持部202によって取り込まれる度に、該一群のデータが第2保持部203によって取り込まれう。より具体的には、例えば、時刻t5の後に書き込みパルスPLAT1がアクティブレベルにされ、時刻t6の後に書き込みパルスPLAT2がアクティブレベルにされう。ただし、複数の書き込みパルスPLAT1~PLAT3における互いに連続する書き込みパルス同士が互いに部分的に重複するアクティブ期間を有するように複数の書き込みパルスPLAT1、PLAT2、PLAT3が生成される。

【0035】

図5には、上記の実施形態の表示装置1に代表される表示部1003が組み込まれた撮像装置1000の構成が例示されている。撮像装置1000は、撮像部(イメージセンサ)1001と、撮像部1001によって撮像された画像を処理する処理部1002と、処理部1002によって処理された画像を表示する表示部1003とを備えう。表示部1003は、例えば、撮像部1001によって撮像され処理部1002によって処理された画像の他、撮像装置1000の操作のための情報が表示されう。撮像装置の概念には、撮像機能を有するあらゆる装置が含まれう。表示部1003は、例えば、デジタルスチルカメラに代表される撮像装置の背面表示部であってもよいし、ビューファインダーであ

10

20

30

40

50

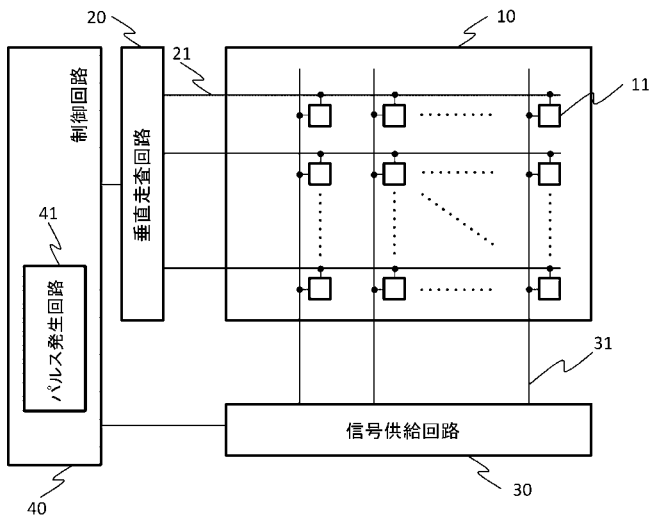
ってよいし、その他の部分に設けられた表示部であってもよい。ビューファインダーは、撮像装置のファインダの中に配置されている表示装置である。

【符号の説明】

【0036】

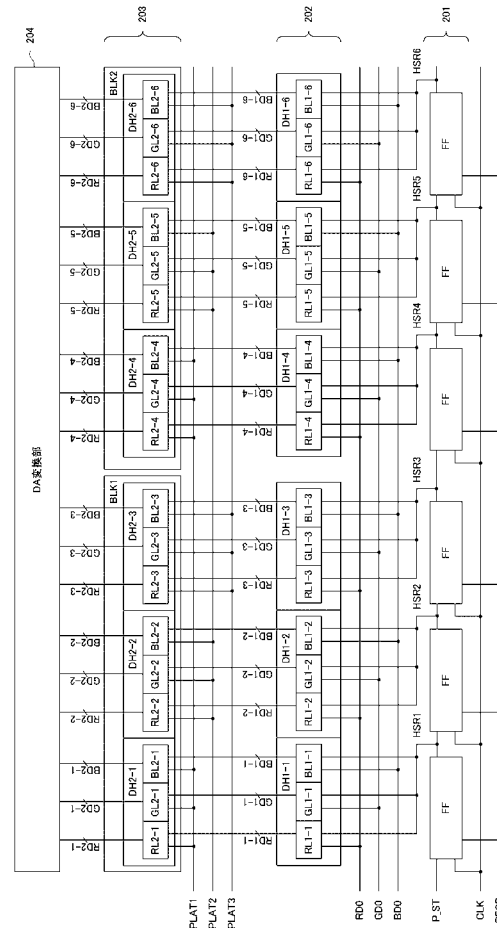
1：表示装置、10：画素アレイ、11：画素、20：垂直走査回路（行選択回路）、30：信号供給回路、201：走査回路、202：第1保持部、203：第2保持部、204：DA変換部、DH1：第1データ保持部、DH2：第2データ保持部

【図1】



1

【図2】



30

1 水平位置期间

```

graph LR
    1001[撮像部] --- 1002[プロセッサ]
    1002 --- 1003[表示部]
    subgraph 1000 [撮像装置]
        1001
        1002
        1003
    end

```

フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
	G 0 9 G	3/20	6 1 2 J	
	G 0 9 G	3/20	6 2 1 A	
	G 0 9 G	3/20	6 3 2 F	
	G 0 9 G	3/20	6 1 1 J	
	G 0 9 G	3/20	6 7 0 M	

(72)発明者 永 崎 瑞樹
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 山崎 隆博
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 松野 靖司
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5C080 BB05 CC03 DD09 DD26 FF09 FF11 JJ02 JJ03 JJ04