



(12)发明专利

(10)授权公告号 CN 103093818 B

(45)授权公告日 2017.09.05

(21)申请号 201210436459.7

(22)申请日 2012.11.05

(65)同一申请的已公布的文献号

申请公布号 CN 103093818 A

(43)申请公布日 2013.05.08

(30)优先权数据

10-2011-0114282 2011.11.04 KR

(73)专利权人 三星电子株式会社

地址 韩国京畿道

(72)发明人 朱相炫 朴起台 尹翔镛 韩真晚

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 张泓

(51)Int.Cl.

G11C 16/10(2006.01)

G11C 16/34(2006.01)

(56)对比文件

CN 101627371 A, 2010.01.13,

CN 101763895 A, 2010.06.30,

US 2007/0170268 A1, 2007.06.26,

CN 101202109 A, 2008.06.18,

US 2011/0119558 A1, 2011.05.19,

审查员 耿翠萍

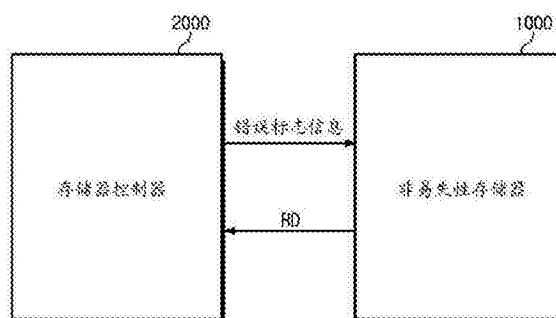
权利要求书3页 说明书26页 附图34页

(54)发明名称

存储系统及其操作方法

(57)摘要

一种存储系统及其操作方法,存储系统包括:非易失性存储装置和存储器控制器,存储器控制器配置为控制非易失性存储装置,并配置为向非易失性存储装置提供包括从该非易失性存储装置读取的数据的错误的错误位置信息的错误标志信息。



1. 一种存储系统,包括:

非易失性存储装置,配置为读取数据、接收错误信息以及根据接收的错误信息来校正读取的数据;和

控制器,具有配置为接收读取的数据的接口单元,并具有配置为确定接收的数据的错误位的位置以使得接口输出关于接收的数据的确定的错误位位置的错误信息的单元,

其中,所述错误信息包括与读取的数据的位对应的位,所述错误信息的位包括表示读取的数据的位的错误的位,并且读取的数据的所述位的值根据错误信息的所述位的值而改变,

其中:

所述控制器输出错误信息到所述非易失性存储装置;并且

所述错误信息不包括读取的数据和该读取的数据的校正数据。

2. 根据权利要求1的存储系统,其中,所述非易失性存储装置输出读取的数据到所述控制器并从所述控制器接收错误信息。

3. 根据权利要求1的存储系统,其中,所述非易失性存储装置将读取的数据作为随机化的数据输出到所述控制器,并从所述控制器接收作为非随机化的数据的所述错误信息。

4. 根据权利要求1的存储系统,其中,所述非易失性存储装置包括页缓冲器单元,所述页缓冲器单元用于在输出读取的数据到所述控制器之后并且当从所述控制器接收错误信息时存储读取的数据,从而所存储的读取的数据根据接收的错误信息被校正。

5. 根据权利要求1的存储系统,其中,错误信息不与读取的数据的所有位对应。

6. 根据权利要求1的存储系统,其中,所述非易失性存储装置改变与接收的错误信息的所述位的值对应的位的值作为改变的位,并存储改变的位和维持的位作为校正数据。

7. 根据权利要求1的存储系统,其中,所述非易失性存储装置维持不与错误信息对应的位的值,并且存储包括具有改变的值的位和具有维持的值的位的校正数据。

8. 根据权利要求1的存储系统,其中,所述非易失性存储装置包括单比特存储器阵列和多比特存储器阵列,从所述单比特存储器阵列读取数据,并将校正数据存储在多比特存储器阵列中。

9. 根据权利要求1的存储系统,其中,所述非易失性存储装置读取使用SLC编程方法编程的数据,并根据MLC编程方法存储校正数据。

10. 根据权利要求1的存储系统,其中,所述非易失性存储装置从所述控制器以页为单位接收错误信息。

11. 根据权利要求1的存储系统,其中,读取的数据和错误信息具有相同的数据大小。

12. 根据权利要求1的存储系统,其中,所述非易失性存储装置在复制操作中接收与读取的数据对应的错误信息,以将数据从所述非易失性存储装置的第一区域复制到第二区域。

13. 根据权利要求1的存储系统,其中,所述非易失性存储装置响应于指示复制操作的命令来激活读取数据以及根据接收的错误信息存储校正数据。

14. 根据权利要求1的存储系统,其中,所述非易失性存储装置包括页缓冲器锁存器,该页缓冲器锁存器配置为以读取的数据的页为单位根据错误信息来执行具有错误的位的校正,并且该页缓冲器锁存器配置为存储读取的数据、错误信息和校正数据。

15. 根据权利要求14的存储系统,其中,所述非易失性存储装置在读取的数据和错误信息的位之间进行逐位比较,以根据异或方法和同方法之一来校正读取的数据的错误位。

16. 根据权利要求1的存储系统,其中,错误信息的位包括表示读取的数据的另一个位的无错误的第二位,并且读取的数据的另一个位的值不根据错误信息的第二位的值而改变。

17. 一种存储系统,包括:

非易失性存储装置,用于输出数据;和

控制器,具有配置为从所述非易失性存储装置接收数据的接口单元,并具有配置为确定接收的数据的错误位的位置以使得接口向所述非易失性存储装置输出关于接收的数据的确定的错误位位置的信息的单元,

其中,所接收的信息不包括读取的数据和该读取的数据的校正数据。

18. 根据权利要求17的存储系统,其中,所述控制器解随机化接收的数据以确定接收的数据中错误位的位置,并且输出该信息而不进行随机化。

19. 根据权利要求17的存储系统,其中,所述控制器包括随机发生器/解随机发生器,用于解随机化接收的数据,并且所述控制器防止所述随机发生器/解随机发生器随机化所述信息。

20. 根据权利要求17的存储系统,其中,所述非易失性存储装置根据接收的错误位置信息来校正数据。

21. 根据权利要求17的存储系统,其中,所述非易失性存储装置包括已经从中读取数据的区域,并且所述非易失性存储装置根据校正数据对该区域执行刷新编程。

22. 根据权利要求17的存储系统,其中:

所述非易失性存储装置包括第二区域,用于存储校正数据;并且

所述第二区域是多比特存储器阵列。

23. 根据权利要求17的存储系统,其中,关于接收的数据的确定的错误位位置的信息包括接收的数据的确定的错误位位置的地址,从而所述非易失性存储装置根据所述地址来校正数据。

24. 一种存储系统,包括:

控制器;和

非易失性存储装置,包括具有单比特存储器阵列以根据第一编程方法存储数据的第一区域以及具有多比特存储器阵列的第二区域,并且被配置为从第一区域读取多页中的每页的数据,以及被配置为将多页中的每页的数据输出到所述控制器,

其中,所述控制器产生多页中的每页的数据的错误位置信息,并将该多页中的每页的数据的错误位置信息输出到非易失性存储装置,

其中,所述非易失性存储装置根据与多页中的每页的数据对应的错误位置信息来校正多页中的每页的数据,并且根据第二编程方法将多页的校正数据一次存储在第二区域。

25. 根据权利要求24的存储系统,其中,所述数据包括至少具有第一页和第二页的多页,并且所述控制器重复接收数据,从而响应于第一页而确定和输出第一错误信息,以及从而响应于第二页而确定和输出第二错误信息。

26. 根据权利要求24的存储系统,其中,所述非易失性存储装置同时读取数据和接收错

误位置信息。

27. 根据权利要求24的存储系统,其中,所述非易失性存储装置包括缓冲器电路,用于同时存储读取的数据和接收的错误位置信息。

28. 根据权利要求24的存储系统,其中,所述非易失性存储装置包括:主缓冲器,用于存储读取的数据;以及高速缓冲存储器,用于接收错误位置信息以根据该错误位置信息来校正主缓冲器中存储的数据。

29. 根据权利要求24的存储系统,其中,所述非易失性存储装置包括:主缓冲器,用于与第一区域和第二区域通信以存储读取的数据和校正数据;以及高速缓冲存储器,用于与控制器通信以接收错误位置信息。

30. 根据权利要求24的存储系统,其中,所述非易失性存储装置根据错误位置信息执行用于反转读取的数据的位的反转操作,以产生校正数据。

31. 根据权利要求24的存储系统,其中,第二区域的多比特存储器阵列包括3位存储器阵列。

32. 根据权利要求24的存储系统,其中,第二编程方法包括多个操作,每个操作用于根据将要存储在第二区域的多比特存储器阵列中的校正数据来产生不同的电压。

33. 根据权利要求24的存储系统,其中,第二编程方法包括重新编程方法,用于根据将要存储在第二区域的多比特存储器阵列中的校正数据来产生不同的电压。

34. 根据权利要求24的存储系统,其中:

所述信息与读取的数据的多个部分之一对应;

读取的数据重复地从所述控制器发送到所述非易失性存储装置;

多个信息从所述控制器被发送到所述非易失性存储装置,直到与读取的数据的所有部分对应为止;并且

所述非易失性存储装置在接收到对应信息时根据该对应信息来校正数据的每个部分。

35. 根据权利要求24的存储系统,还包括:

主机设备,具有功能单元和能够连接到所述控制器以在所述非易失性存储装置中存储数据的端子。

36. 根据权利要求35的存储系统,其中,所述主机设备经过所述控制器输出从功能单元产生的数据以存储在非易失性存储装置中,或从非易失性存储装置接收数据以在所述功能单元中使用。

37. 根据权利要求35的存储系统,其中,所述主机设备包括如下中的至少一个:摄像机、电视设备、音频装置、游戏机、电子音乐装置、蜂窝电话机、计算机、个人数字助理、录音机、移动装置和无接触智能卡。

存储系统及其操作方法

[0001] 对相关申请的交叉引用

[0002] 本申请根据要求于2011年11月4日提交的韩国专利申请No.10-2011-0114282的优先权权益,其全部内容通过引用合并于此。

技术领域

[0003] 示例性实施例涉及一种包括非易失性存储装置和控制非易失性存储器的控制器的存储系统。

背景技术

[0004] 半导体存储装置是在诸如计算机的数字逻辑系统以及范围从卫星到消费类电子产品的基于微处理器的应用中常见的重要微电子组件。因此,半导体存储装置的制造的进展(包括允许扩展到更高存储器密度和更快操作速度的工艺提高和与电路设计相关的发展)有助于建立用于其他数字逻辑家族的性能标准。

[0005] 半导体存储装置通常包括诸如随机存取存储器(RAM)装置的易失性存储装置和非易失性存储装置。在RAM装置中,通过例如在静态随机存取存储器(SRAM)中建立双稳态触发器的逻辑状态或者在动态随机存取存储器中对电容器充电来存储数据。在SRAM和DRAM装置两者中,只要施加电力数据就保持存储并可以读取,但是当电力切断时数据丢失。

[0006] 即使电力被切断,掩模只读存储器(MROM)、可编程只读存储器(PROM)、可擦除可编程只读存储器(EPROM)以及电可擦除可编程只读存储器(EEPROM)装置也能够存储数据。取决于使用的制造技术,非易失性存储器数据存储状态可以是永久的或可重编程的。非易失性半导体存储器用于在计算机、航空电子设备、电信和消费类电子产业中的各种各样的应用中存储程序和微代码存储。单片易失性和非易失性存储器存储方式的组合在诸如非易失性SRAM(nvRAM)的装置中也可以使用,以在需要快速、可重编程的非易失性存储器的系统中使用。另外,许多专用存储器架构已被发展,其包含一些额外的逻辑电路用于对于专用任务最优化它们的性能。

[0007] 掩模只读存储器(MROM)、可编程只读存储器(PROM)和可擦除可编程只读存储器(EPROM)非易失性存储装置不能由系统自身自由擦除和写入,因此不容易更新存储器的内容。另一方面,电可擦除可编程只读存储器(EEPROM)非易失性存储装置是电可擦除和可写的,并且因此可以容易地应用于需要连续更新的辅助存储器或系统编程存储器。

发明内容

[0008] 本总的发明构思提供一种包括非易失性存储装置和控制非易失性存储器的控制器的存储系统,以及可与该存储系统合用的电子设备。

[0009] 本总的发明构思的额外的方面和优点部分将在随后的说明中阐述,部分将从说明所显而易见,或者可以通过总的发明构思的实践而获知。

[0010] 本总的发明构思的上述特征和效用可以通过提供一种存储系统来获得,该存储系

统包括：非易失性存储装置，配置为读取数据、接收错误信息以及根据接收的错误信息来校正读取的数据；和控制器，具有配置为接收读取的数据的接口单元，并具有配置为确定接收的数据的错误位的位置以使得接口输出关于接收的数据的确定的错误位位置的错误信息的单元。错误信息可以包括与读取的数据的位对应的位，错误信息的位包括表示读取的数据的位的错误的位，并且读取的数据的所述位的值根据错误信息的所述位的值而改变。

[0011] 非易失性存储装置可以输出读取的数据到控制器并从控制器接收错误信息。

[0012] 控制器可以输出错误信息到非易失性存储装置，并且错误信息可以不包括读取的数据和该读取的数据的校正数据。

[0013] 非易失性存储装置可以将读取的数据作为随机化的数据输出到控制器，并从所述控制器接收作为非随机化的数据的错误信息。

[0014] 非易失性存储装置可以包括页缓冲器单元，以在输出读取的数据到控制器之后并且当从控制器接收错误信息时存储读取的数据，从而所存储的读取的数据根据接收的错误信息被校正。

[0015] 错误信息可以不与读取的数据的所有位对应。

[0016] 非易失性存储装置可以改变与所接收的错误信息的所述位的值对应的位的值作为改变的位，并存储改变的位和维持的位作为校正数据。

[0017] 非易失性存储装置可以维持不与错误信息对应的位的值，并且存储包括具有改变的值的位和具有维持的值的位的校正数据。

[0018] 非易失性存储装置可以包括单比特存储器阵列和多比特存储器阵列、从单比特存储器阵列读取数据、并将校正数据存储在多比特存储器阵列中。

[0019] 非易失性存储装置可以读取使用SLC编程方法编程的数据，并根据MLC编程方法存储校正数据。

[0020] 非易失性存储装置可以从所述控制器以页为单位接收错误信息。

[0021] 读取的数据和错误信息可以具有相同的数据大小。

[0022] 非易失性存储装置可以在复制操作中接收与读取的数据对应的错误信息，以将数据从非易失性存储装置的第一区域复制到第二区域。

[0023] 非易失性存储装置可以响应于指示复制操作的命令来激活读取数据以及根据接收的错误信息存储校正数据。

[0024] 非易失性存储装置可以包括页缓冲器锁存器，该页缓冲器锁存器配置为以读取的数据的页为单位根据错误信息来执行具有错误的位的校正，并且该页缓冲器锁存器可以配置为存储读取的数据、错误信息和校正数据。

[0025] 非易失性存储装置可以在读取的数据和错误信息的位之间进行逐位比较，以根据异或(exclusive OR)方法和同(exclusive NOR)方法之一来校正读取的数据的错误位。

[0026] 错误信息的位可以包括表示读取的数据的另一个位的无错误的第二位，并且读取的数据的另一个位的值不根据错误信息的第二位的值而改变。

[0027] 本总的发明构思的上述特征和效用还可以通过提供一种存储系统来获得，该存储系统包括：非易失性存储装置，用于输出数据；和控制器，具有配置为从非易失性存储装置接收数据的接口单元，并具有配置为确定接收的数据的错误位的位置以使得接口向所述非易失性存储装置输出关于接收的数据的确定的错误位位置的信息的单元。

[0028] 控制器可以解随机化接收的数据以确定接收的数据中错误位的位置,并且输出该信息而不进行随机化。

[0029] 控制器可以包括随机发生器/解随机发生器,用于解随机化接收的数据,并且控制器可以防止随机发生器/解随机发生器随机化所述信息。

[0030] 非易失性存储装置可以根据接收的错误位置信息来校正数据。

[0031] 非易失性存储装置可以包括已经从中读取数据的区域,并且根据校正数据对该区域执行刷新编程。

[0032] 非易失性存储装置可以包括第二区域,用于存储校正数据,并且第二区域可以是多比特存储器阵列。

[0033] 关于接收的数据的确定的错误位位置的信息可以包括接收的数据的确定的错误位位置的地址,从而所述非易失性存储装置根据所述地址来校正数据。

[0034] 本总的发明构思的上述特征和效用可以通过提供一种存储系统来获得,该存储系统包括:控制器;和非易失性存储装置,包括具有单比特存储器阵列以根据第一编程方法存储数据的第一区域以及具有多比特存储器阵列的第二区域,并且被配置为从第一区域读取多页中的每页的数据,以及被配置为将多页中的每页的数据输出到所述控制器。控制器可以产生多页中的每页的数据的错误位置信息,并将该多页中的每页的数据的错误位置信息输出到非易失性存储装置。非易失性存储装置可以根据与多页中的每页的数据对应的错误位置信息来校正多页中的每页的数据,并且根据第二编程方法将多页的校正数据一次存储在第二区域。

[0035] 数据可以包括至少具有第一页和第二页的多页,并且控制器可以重复接收数据,从而响应于第一页而确定和输出第一错误信息,以及从而响应于第二页而确定和输出第二错误信息。

[0036] 非易失性存储装置可以同时读取数据和接收错误位置信息。

[0037] 非易失性存储装置可以包括缓冲器电路,用于同时存储读取的数据和接收的错误位置信息。

[0038] 非易失性存储装置可以包括:主缓冲器,用于存储读取的数据;以及高速缓冲存储器,用于接收错误位置信息以根据该错误位置信息来校正在主缓冲器中存储的数据。

[0039] 非易失性存储装置可以包括:主缓冲器,用于与第一区域和第二区域通信以存储读取的数据和校正数据;以及高速缓冲存储器,用于与控制器通信以接收错误位置信息。

[0040] 非易失性存储装置可以根据错误位置信息执行用于反转读取的数据的位的反转操作,以产生校正数据。

[0041] 第二区域的多比特存储器阵列可以是3位存储器阵列。

[0042] 第二编程方法可以包括多个操作,每个操作用于根据将要存储在第二区域的多比特存储器阵列中的校正数据来产生不同的电压。

[0043] 第二编程方法可以包括重新编程方法,用于根据将要存储在第二区域的多比特存储器阵列中的校正数据来产生不同的电压。

[0044] 信息可以与读取的数据的多个部分之一对应,并且读取的数据可以重复地从控制器发送到非易失性存储装置。多个信息可以从控制器被发送到非易失性存储装置,直到与读取的数据的所有部分对应为止,并且非易失性存储装置可以在接收到对应信息时根据该

对应信息来校正数据的每个部分。

[0045] 存储系统可以还包括主机设备,其具有功能单元和能够连接到控制器以在非易失性存储装置中存储数据的端子。

[0046] 主机设备可以经过控制器输出从功能单元产生的数据以存储在非易失性存储装置中,或从非易失性存储装置接收数据以在功能单元中使用。

[0047] 主机设备可以包括摄像机、电视设备、音频装置、游戏机、电子音乐装置、蜂窝电话机、计算机、个人数字助理、录音机和卡中的至少一个。

附图说明

[0048] 从以下结合附图对实施例的描述,本总的发明构思的这些和/或其他方面及优点将变得清楚和更加容易理解。附图中:

[0049] 图1是示意性地图示根据本发明构思的示例性实施例的存储系统的框图。

[0050] 图2是示意性地图示图1的存储系统的存储器控制器的框图。

[0051] 图3是示意性地图示根据本发明构思的示例性实施例的图1的存储系统的存储器控制器的框图。

[0052] 图4是示意性地图示根据本发明构思的示例性实施例的图1的存储系统的非易失存储装置的框图。

[0053] 图5是示意性地图示图4的非易失性存储装置中具有全部位线存储器架构或奇-偶存储器架构的存储单元阵列的图。

[0054] 图6是示意性地图示根据本发明构思的示例性实施例的图5的非易失性存储装置的页缓冲器电路的一部分的框图。

[0055] 图7是示意性地图示根据本发明构思的示例性实施例的非易失性存储装置的错误校正操作的图。

[0056] 图8是图示包括根据本发明构思的示例性实施例的存储系统的复制操作的方法的流程图。

[0057] 图9是图示在图8的复制操作中将错误标志信息传送到非易失性存储装置的操作的时序图。

[0058] 图10是图示根据本发明构思的示例性实施例的在图8的复制操作中将错误标志信息传送到非易失性存储装置的操作的时序图。

[0059] 图11是示意性地图示根据本发明构思的示例性实施例的存储系统的错误检测操作和错误校正操作的图。

[0060] 图12是示意性地图示根据本发明构思的示例性实施例的存储系统的错误检测操作和错误校正操作的图。

[0061] 图13A是图示应用于多级存储装置的地址加扰方式的示例的图。

[0062] 图13B是示意性地图示当根据3-步编程方法执行编程操作以在每个存储单元中存储3位数据时可变的阈值电压分布的图。

[0063] 图14是示意性地图示根据本发明构思的示例性实施例的数据存储系统的框图。

[0064] 图15A到图15D是图示根据本发明构思的示例性实施例的多比特存储装置的第一和第二区域的各种组合的图。

- [0065] 图16是示意性地图示根据本发明构思的示例性实施例的1步编程操作的命令序列的图。
- [0066] 图17是示意性地图示根据图16的1步编程命令序列的数据流的图。
- [0067] 图18是示意性地图示根据错误校正操作(或位翻转操作)的数据流的图。
- [0068] 图19是示意性地图示根据本发明构思的示例性实施例的粗编程操作的命令序列的图。
- [0069] 图20是示意性地图示根据图19的粗编程命令序列的数据流的图。
- [0070] 图21是示意性地图示根据本发明构思的实施例的存储系统中的粗/细编程操作的数据流的图。
- [0071] 图22是示意性地图示根据本发明构思的示例性实施例的存储系统的刷新编程操作的图。
- [0072] 图23是示意性地图示根据本发明构思的示例性实施例的存储系统的框图。
- [0073] 图24是示意性地图示根据本发明构思的示例性实施例的计算系统的框图。
- [0074] 图25是示出根据本发明构思的示例性实施例的固态驱动器的框图。
- [0075] 图26是图示使用图25的固态驱动器的存储的框图。
- [0076] 图27是图示使用图25的固态驱动器的存储服务器的框图。
- [0077] 图28到图30是图示根据本发明构思的示例性实施例的具有数据存储装置的系统图。
- [0078] 图31是图示根据本发明构思的示例性实施例的存储器卡的框图。
- [0079] 图32是图示根据本发明构思的示例性实施例的数字照相机的框图。
- [0080] 图33是图示具有图32的存储器卡的各种系统的图。

具体实施方式

[0081] 现在将详细参考本总的发明构思的实施例,该总的发明构思的示例在附图中示出,其中相同的参考数字始终指示相同的元件。下面将参考附图来更描述实施例,以便解释本总的发明构思。但是本发明构思可以按多个不同的形式来实施,而不应被理解为限于这里所描述的实施例。相反,提供这些实施例以使得本公开将是全面的和完整的,并将向本领域技术人员完整地传达本发明构思的范围。在附图中,为了清楚起见,层与区域的尺寸和相对尺寸可能被放大。相同的数字始终指示相同的元件。

[0082] 将会理解,尽管术语第一、第二、第三等可以在此处用来描述各个元件、组件、区域、层和/或部分,但是这些元件、组件、区域、层和/或部分不应当被这些术语限制。这些术语仅用来将一个元件、部件、区域、层或部分与另一个区域、层或部分相区分。因此,下面讨论的第一元件、部件、区域、层或部分可以被称作第二元件、部件、区域、层或部分,而不会背离本发明构思的教导。

[0083] 这里可以使用空间相对术语,诸如“在...之下”、“下面”、“下部”、“之下”、“上面”、“上部”等等,以便于用于描述图中所示的一个元件或特征与另一个或多个元件或特征的关系的描述。应当理解,空间相对术语意图涵盖除了图中描述的方向之外的使用中或操作中的设备的不同的方向。例如,如果图中的设备被翻转,则被描述为在其他元件或特征“下面”或“在...之下”或“之下”的元件将在其他元件或特征“上面”。因而,示例性术语“下面”和

“之下”可以涵盖上面和下面的方向二者。装置可以不同地定向(旋转90度或在其他方向),并相应地解释这里使用的空间相对描述符。此外,还将理解,当层被称为在两层“之间”时,其可以是两层之间仅有的层,或也可以存在一个或多个插入层。

[0084] 这里使用的术语仅仅用于描述特定实施例的目的,而不意欲限制本发明构思。如这里使用的,单数形式“一”和“该”意欲也包括复数形式,除非上下文另外地明确指示出。还将明白,当在该说明书中使用时,术语“包括”指明所声明的特征、整数、步骤、操作、元件和/或组件的存在,但是不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、组件和/或它们的组。如这里使用的,术语“和/或”包括相关列出的项中的一个或多个的任意和所有组合。

[0085] 应当理解,当元件或层被称为“在…上”、“连接到”、“耦接到”或“相邻于”另一个元件或层时,它可以直接在其他元件或层上、连接到、耦接到或相邻于其他元件或层,或可以存在插入元件或层。相反,当元件被称为直接在另一个元件或层上或“直接连接到”、“直接耦接到”或“紧紧相邻于”另一个元件或层时,不存在插入的元件或层。

[0086] 除非另外限定,否则在此使用的所有术语(包括科技术语)具有由本发明构思所属领域的普通技术人员通常理解的相同含义。还应当明白,诸如在通常使用的词典中所限定的那些术语应当被理解为具有与它们在相关领域和/或本公开的环境中的含义一致的含义,并且将不被理解为理想化的或过度形式的含义,除非在此明确地如此定义。

[0087] 图1是示意性地图示根据本发明构思的示例性实施例的存储系统的框图。

[0088] 参见图1,根据本发明构思的示例性实施例的存储系统可以包括非易失性存储装置1000和存储器控制器2000。非易失性存储装置1000可以用作存储数据信息的存储介质。存储介质可以由一个或多个存储器芯片形成。一个或多个存储器芯片可以被形成半导体封装或存储器封装。非易失性存储装置1000和存储器控制器2000可以经由一个或多个通道相互通信。非易失性存储装置1000例如可以包括NAND闪存装置。存储器控制器2000可以配置为根据外部装置(例如主机)的请求或内部请求(例如与诸如合并、无用单元回收等的后台操作相关联的请求)来控制非易失性存储装置1000。

[0089] 在示例性实施例中,完全能够理解非易失性存储装置1000不限于NAND闪存装置。例如,非易失性存储装置1000可以由阻变随机存取存储器(RRAM)、相变存储器(PRAM)、磁阻随机存取存储器(MRAM)、铁电随机存取存储器(FRAM)、自旋转移力矩随机存取存储器(STT-RAM)等形成。根据本发明构思的非易失性存储装置1000可以被实现为具有三维阵列结构。具有三维阵列结构的非易失性存储装置可以称为垂直NAND闪存装置。本发明构思可以应用于其中电荷存储层由导电浮置栅极形成的闪存装置和其中电荷存储层由绝缘膜形成的电荷捕获闪存(CTF)装置两者。

[0090] 根据本发明构思的示例性实施例的存储系统可以支持将数据从非易失性存储装置1000的第二存储区域复制到你第一存储区域的操作。该操作可以被称例如复制回(copyback)操作。从第一存储区域向第二存储区域复制数据操作可以包括与从第一存储区域读出的数据相关联的错误检测和校正操作。这可以用来改善数据可靠性。这里,第一存储区域可以不同于第二存储区域或与第二存储区域相同。利用本发明构思的存储系统,从非易失性存储装置1000读出的读取的数据RD的错误检测可以由存储器控制器2000来进行,并且其错误校正可以在非易失性存储装置1000中进行。存储器控制器2000可以在错误检测中

向非易失性存储装置1000提供检测的错误的位信息(下文中称为错误位信息)和模式信息(下文中称为错误标志信息),并且非易失性存储装置1000可以在错误校正中基于从存储器控制器2000提供的错误位信息和错误标志信息来校正数据的错误。也就是说,由于在错误检测之后存储器控制器2000不进行错误校正(或由于在存储器控制2000的错误检测之后由非易失性存储装置1000进行错误校正),因此存储器控制器2000不需要将从非易失性存储装置1000接收的所有数据(或校正数据)传送到非易失性存储装置1000。也就是说,从存储器控制器2000向非易失性存储装置1000传送数据所花的时间或者从存储器控制器2000向非易失性存储装置1000传送数据所消耗的电力被减少、防止或避免。

[0091] 图2是示意性地图示图1的存储系统的存储器控制器2000的框图。参见图2,控制器2000可以包括主机接口2100作为第一接口、存储器接口2200作为第二接口、处理单元2300(诸如CPU)、缓冲存储器2400、以及错误检测和校正单元2500。

[0092] 主机接口2100可以配置为与外部装置(例如主机)接口,并且存储器接口2200可以配置为与图1图示的非易失性存储装置1000接口。例如CPU的处理单元2300可以配置为控制存储器控制器2000的整体操作。处理单元2300可以配置为操作诸如闪存转换层(FTL)的固件。缓冲存储器2400可以用于临时存储经由主机接口2100从外部装置传送的数据或经由存储器接口2200从非易失性存储装置1000传送的数据。

[0093] 错误检测和校正电路2500可以配置为编码数据以存储在非易失性存储装置1000中以及解码从中读出的数据。编码可以包括生成奇偶信息,其在字段(field)单元生成。一页数据可以由一个或多个字段形成。解码可以包括错误检测操作和错误校正操作。当从非易失性存储装置1000输出的数据被发送到外部装置时,包括错误检测操作和错误校正操作的解码可以由错误检测和校正电路2500进行。在上述复制操作,错误检测和校正电路2500可以利用错误校正操作对从非易失性存储装置1000读出的数据执行错误检测操作。错误检测和校正电路2500可以生成错误位信息和错误标志信息作为错误检测操作的结果,并且错误位信息和错误标志信息可以在处理单元2300的控制下经由存储器接口2200发送到非易失性存储装置1000。例如,错误位信息可以包括列地址以指示或指定错误数据位,并且错误标志信息可以是用于指示由错误位信息指定的位置的数据位是否错误的位信息。在一个实施例中,错误检测和校正单元2500可以向非易失性存储装置1000提供字段数据(注意该字段数据不是错误校正后的数据)作为错误检测操作的结果,该字段数据包括指示由错误位信息指定的位置的数据位是错误的位信息(即错误标志信息)。这将在后面更加全面地描述。

[0094] 尽管未在图2中示出,但是存储器控制器2000还可以包括ROM。该ROM可以用来存储诸如FTL的固件。在另一个实施例中,可能将存储器控制器2000配置为不包括ROM。在该情形中,ROM中的固件可以被存储在由存储器控制器2000控制的非易失性存储装置1000中,并且可以在加电或接通状态从非易失性存储装置1000加载到存储器控制器2000上。也可以的是,存储器控制器2000的处理单元2300、缓冲存储器2400以及错误检测和校正电路2500可以形成配置用来执行下述方法的单元:所述方法确定接收的数据的错误位的位置并生成有关接收的数据的所确定的错误位位置的信息以使得信息被发送到非易失性存储装置1000。

[0095] 在示例性实施例中,主机接口2100可以由计算机总线标准、存储总线标准和iFCP

外围总线标准中的一个形成或由两个或更多个标准的组合形成。计算机总线标准可以包括 S-100 总线、Mbus、Smbus、Q-Bus、ISA、Zorro II、Zorro III、CAMAC、FASTBUS、LPC、EISA、VME、VXI、NuBus、TURBOchannel、MCA、Sbus、VLB、PCI、PXI、HP GSC bus、CoreConnect、InfiniBand、UPA、PCI-X、AGP、PCIe、Intel QuickPath 互连、超级传输等。存储总线标准可以包括 ST-506、ESDI、SMD、Parallel ATA、DMA、SSA、HIPPI、USB MSC、固件 (1394)、串行 ATA、eSATA、SCSI、并行 SCSI、串行附接 SCSI、光纤信道、iSCSI、SAS、RapidIO、FCIP 等。iFCP 外围总线标准可以包括 Apple 桌面总线、HIL、MIDI、Multibus、RS-232、DMX512-A、EIA/RS-422、IEEE-1284、UNI/O、1-Wire、I2C、SPI、EIA/RS-485、USB、照相机链接、外部 PCIe、Light Peak、多点总线等。

[0096] 图3是示意性地图示作为根据本发明构思的示例性实施例的图1的存储系统的存储器控制器2000的存储器控制器2000a的框图。图3图示了与图2的那些基本相同的组成元件，并且这些可以由相同的参考数字表示。因此，将省略其描述。图3中图示的存储系统2000a还可以包括随机发生器/解随机发生器2600。

[0097] 随机发生器/解随机发生器2600可以配置为随机化正被传送到非易失性存储装置1000的数据并解随机化从非易失性存储装置1000输出的数据(例如随机化的数据)。在上面描述的复制操作，随机发生器/解随机发生器2600可以解随机化从非易失性存储装置1000输出的数据(例如随机化的数据)，并且错误检测和校正电路2500可以检测解随机化的数据的错误。如上所述，从存储器控制器2000a传送到非易失性存储装置1000的错误标志信息可能未随机化。类似的，在其中发送包括错误标志信息的字段数据的情形中，随机发生器/解随机发生器2600不操作。如果错误校正后的数据被发送到非易失性存储装置1000，则错误校正后的数据可以通过随机发生器/解随机发生器2600来随机化。对于本发明构思，由于根据从存储器控制器2000a提供的错误标志信息由非易失性存储装置1000来进行错误校正，所以在传送错误标志信息/字段数据(包括错误标志信息)时可能不进行随机发生器/解随机发生器2600的随机化。

[0098] 图4是示意性地图示根据本发明构思的示例性实施例的图1的存储系统的非易失存储装置1000的框图。参见图4，非易失性存储装置1000可以包括存储单元阵列1100、地址译码器1200、电压生成器1300、控制逻辑1400、页缓冲器电路1500和输入/输出接口1600。

[0099] 存储单元阵列1100可以包括布置在行(例如字线)和列(例如位线)的交叉处的存储单元。每个存储单元可以存储1位数据或多位数据。地址译码器1200可以通过控制逻辑1400来控制，并且可以进行存储单元阵列1100的行(例如字线、串选择线(或多个)、地选择线(或多个)、公共源极线等)的选择和驱动。电压生成器1300可以由控制逻辑1400来控制以生成用于每个操作的电压，例如高电压、编程电压、读电压、验证电压、擦除电压、通过电压、体(bulk)电压等。由电压生成器1300生成的电压可以经由地址译码器1200提供到存储单元阵列1100。控制逻辑1400可以配置为控制非易失性存储装置1000的整体操作。页缓冲器电路1500可以由控制逻辑1400控制，并且可以配置为从存储单元阵列中读取数据或者根据编程数据驱动存储单元阵列1100的列(例如位线)。输入/输出接口1600可以由控制逻辑1400控制，并且可以配置为与外部装置(例如图1中的存储器控制器)接口。

[0100] 页缓冲器电路1500可以包括分别与位线或位线对对应的多个页缓冲器。每个页缓冲器可以包括多个锁存器。页缓冲器电路1500可以在控制逻辑1400的控制下使用每个页缓

冲器的锁存器来执行错误校正操作。即,页缓冲器电路1500可以在控制逻辑1400的控制下根据从存储器控制器提供的错误标志信息来执行错误校正操作。在本发明构思的实施例中,错误校正操作可以通过反转与错误位置信息相对应的数据位的值来完成。即,可以根据错误标志信息反转与错误位置信息相对应的数据位的值。该错误校正操作可以称为位翻转(flip)操作。这将在后面更加全面地描述。

[0101] 图5是示意性地图示作为图4的非易失性存储装置的存储单元阵列1100的、具有全部位线存储器架构或奇-偶存储器架构的存储单元阵列的图。下面将描述存储单元阵列1100的示例结构。作为一个实施例,现在将描述包括被分区为1024块的存储单元阵列1100的NAND闪存装置。存储在每个块中的数据可以被同时擦除。在一个实施例中,存储块可以是被同时擦除的存储器件(storage element)的最小单元。例如,每个存储块可以具有每个与位线(例如1KB的位线)对应的列。在称为全部位线(ABL)架构的一个实施例中,存储块的全部位线在读和编程操作期间能够同时被选择。在公共字线中并且连接到全部字线的存储器件能够同时被编程。

[0102] 在示例实施例中,同一列中的多个存储器件可以串联连接以形成NAND串111。NAND串111的一端可以经由由串选择线SSL控制的选择晶体管连接到对应的位线,并且另一端可以经由由地选择线GSL控制的选择晶体管连接到公共源极线CSL。

[0103] 在称为奇-偶架构的实施例中,位线可以划分为偶位线(BLe)和奇位线(BLo)。在奇/偶位线架构中,在公共字线中并且连接到奇位线的存储器件能够在第一时间被编程,而在公共字线中并且连接到偶位线的存储器件能够在第二时间被编程。数据能够被编程并读入到不同块以及从不同块读取。这样的操作能够同时执行。

[0104] 图6是图示根据本发明构思的示例性实施例的图5的非易失性存储装置1000的页缓冲器电路1500的一部分的框图。根据本发明构思的示例性实施例的页缓冲器电路1500可以包括分别与位线连接的多个页缓冲器PB。在图6中,仅示意性地示出了一个页缓冲器PB。剩余的页缓冲器可以与图6中相同地配置。

[0105] 参见图4和图6,页缓冲器PB可以由控制逻辑1400控制,并且可以包括预充电电路1510、锁存器块1520和数据输入/输出电路1530。预充电电路1510可以与位线BL连接并且配置为向位线BL预充电。在页缓冲器PB与一对位线连接的情形中,预充电电路1510可以包括选择位线对中的一个的功能。锁存器块1520可以与读出(sence)节点S0连接。锁存器块1520可以包括多个锁存器单元,例如5个锁存器单元1521-1525(在图6中,分别以S、L、M、F和C表示)。在页缓冲器PB中包括的锁存器单元的数量不限于此。在读出操作(与编程验证操作、读操作、擦除验证操作等相关联),锁存器块1520可以配置为在控制逻辑1400的控制下锁存读出节点S0的值。控制逻辑1400可以控制锁存块1520,以便执行其中在锁存器之间传送数据的转存(dump)操作。在转存操作,在锁存器之间传送的数据的相位可以根据控制逻辑1400的控制被反向或保持。在编程操作,锁存器块1520可以用位线编程电压(例如0V或高于0V且低于电源电压的电压)或位线编程禁止电压(例如电源电压)来驱动位线BL。

[0106] 如下面将要描述的,锁存器块1520可以根据控制逻辑1400的控制使用错误标志信息来执行上述位翻转操作(或错误校正操作)。这可以根据控制逻辑1400的控制,通过在锁存器单元1521到1525之间执行的数据传送操作来完成。数据输入/输出电路1530可以配置为使得锁存器块1520的数据被发送到数据线DL或数据线DL的数据被发送到锁存器块1520。

[0107] 完全能够理解,图6中图示的页缓冲器PB的结构不限于所述公开。

[0108] 图7是图示根据本发明构思的示例性实施例的非易失性存储装置的错误校正操作的图。下面,将参考附图更加全面地描述根据本发明构思的示例性实施例的非易失性存储器的错误校正操作。

[0109] 在从存储单元阵列1100的第一存储区域读取的数据被复制到该存储单元阵列的第二存储区域的情况中,可以执行与从第一存储区域读取的数据相关联的错误校正。如上所述,与从第一存储区域读取的数据相关联的错误校正可以由非易失性存储装置1000进行,而不是存储器控制器2000。错误校正可以根据从存储器控制器2000提供的错误标志信息来进行。例如,错误校正可以经由位翻转操作执行。

[0110] 如图7中所示,为了易于描述,假设从存储单元阵列1100的第一存储区域读取的数据为8位数据“01010011”。参见图1到图7,从第一存储区域读取的数据可以被传送到存储器控制器2000。存储器控制器2000的错误检测和校正电路2500可以根据错误检测方法来确定从非易失性存储装置1000提供的数据是否是错误的。由于错误检测方法是公知的,因此将省略其详细描述。如果从非易失性存储装置1000提供的数据是错误的,则错误检测和校正电路2500可以产生错误位置信息和错误标志信息。错误位置信息和错误标志信息可以在存储器控制器2000的处理单元2300的控制下被提供到非易失性存储装置1000。此处,错误标志信息可以指示与错误位置信息相对应的数据位是错误的。例如,如图7所示,当与错误位置信息相对应的数据位是错误的时,错误标志信息可以具有值“1”。然而,错误标志信息可以被设置为当与错误位置信息相对应的数据位是错误的时具有值“0”。

[0111] 错误标志信息可以独立于从第一存储区域读取的数据而被存储在非易失性存储装置1000的页缓冲器电路1500中。错误校正操作或位翻转操作可以基于错误标志信息经由页缓冲器电路1500来执行。如图7所示,与错误位置信息对应的数据位可以根据错误标志信息从“0”改变为“1”。包括改变后的数据位的数据可以是错误校正后的数据。然后,错误校正后的数据可以被存储在存储单元阵列1100的第二存储单元中。

[0112] 下面将更加全面地描述根据错误标志信息执行的页缓冲器的错误校正操作或位翻转操作。

[0113] 错误校正操作(或位翻转操作)可以使用页缓冲器PB的锁存器单元来执行。例如,错误校正操作可以使用三个锁存器单元1521、1522和1525经由异或(XOR)运算来执行。完全能够理解,错误校正操作不限于异或运算。例如,错误校正操作可以经由同(exclusive-NOR, XNOR)运算来执行。错误校正操作可以在控制逻辑1400的控制下执行。

[0114] 从第一存储区域读取的数据可以被存储在锁存器单元1521(下文称为S锁存器单元)中。存储在S锁存器单元中的数据可以被转存到锁存器单元1522和1525(以下分别称为L锁存器单元和C锁存器单元)。存储在C锁存器单元1525中的数据可以被输出到存储器控制器2000用于错误校正。为了易于表述,将基于一个数据位来描述错误校正操作。在该情况中,一个读取数据位和错误标志位的组合可以具有四种情况(例如“00”、“01”、“10”和“11”)中的一种。下面的表1可以表示当数据被输出到存储器控制器2000用于错误校正时锁存器单元的状态。在下面的表中,“X”可以表示不关心(或在错误检测中不操作)。对于上面的描述,如从下面的表1所理解的,S锁存器单元1521、L锁存器单元1522和C锁存器单元1525可以具有相同的状态。

[0115] [表1]

[0116]

S锁存器	L锁存器	M锁存器	F锁存器	C锁存器
1	1	X	X	1
1	1	X	X	1
0	0	X	X	0
0	0	X	X	0

[0117] 在数据从C锁存器单元1525输出到存储器控制器2000之后,C锁存器单元1525可以被复位到值“0”。存储器控制器2000可以对从非易失性存储装置1000输出的数据执行错误检测操作,以提供错误位置信息和错误标志信息(或错误标志位)作为错误检测操作的结果。错误标志信息(或错误标志位)可以具有值“1”。在输入错误标志信息之前,锁存器单元1521可以复位到“0”。下面的表2可以表示根据L锁存器单元1522的值(读取数据位的值)和C锁存器单元1525的值(错误标志信息/位)的组合的情况。

[0118] [表2]

[0119]

S锁存器	L锁存器	M锁存器	F锁存器	C锁存器
0	1	X	X	1

[0120]

0	1	X	X	0
0	0	X	X	1
0	0	X	X	0

[0121] 错误校正操作可以通过反转与C锁存器单元1525对应的L锁存器单元1522的值来完成。下面将更加全面地描述。

[0122] 控制逻辑1400可以控制页缓冲器PB以反转加载到C锁存器单元1525的错误标志位并将反转的位存储在S锁存器单元1521中。可以在数据从C锁存器单元1525被转存到S锁存器单元1521时进行错误标志位的反转。下面的表3可以表示该操作的结果。

[0123] [表3]

[0124]

S锁存器	L锁存器	M锁存器	F锁存器	C锁存器
0	1	X	X	1
1	1	X	X	0
0	0	X	X	1
1	0	X	X	0

[0125] 当S锁存器单元1521的值为“0”并且L锁存器单元1522的值为“0”时,控制逻辑1400可以控制页缓冲器PB,以使得S锁存器单元1521和L锁存器单元1522的值改变为“1”。下面的表4可以表示该操作的结果。

[0126] [表4]

[0127]

S锁存器	L锁存器	M锁存器	F锁存器	C锁存器
------	------	------	------	------

0	1	X	X	1
1	1	X	X	0
1	1	X	X	1
1	0	X	X	0

[0128] 当S锁存器单元1521的值为“0”时,控制逻辑1400可以控制页缓冲器PB,以使得L锁存器单元1522的值改变为“0”。下面的表5可以表示该操作的结果。

[0129] [表5]

[0130]

S锁存器	L锁存器	M锁存器	F锁存器	C锁存器
------	------	------	------	------

[0131]

0	0	X	X	1
1	1	X	X	0
1	1	X	X	1
1	0	X	X	0

[0132] 存储在L锁存器单元1522中的数据可以是错误校正后的数据。即,当读数据位具有值“1”并且对应的错误标志位具有值“1”时,如从表2到5所理解的,L锁存器单元1522的值可以从“1”改变为“0”。当读数据位具有值“0”并且对应的错误标志位具有值“1”时,如从表2到5所理解的,L锁存器单元1522的值可以从“0”改变为“1”。

[0133] 上述错误校正操作或位翻转操作可以是示例性的,并且本发明构思不限于此。错误校正操作或位翻转操作可以根据页缓冲器的结构、错误标志信息的值等不同地改变。

[0134] 图8是图示根据本发明构思的示例性实施例的存储系统的复制方法的流程图,并且图9是图示在图8的复制方法将错误标志信息传送到非易失性存储装置的操作的时序图。下面,将参考附图更加全面地描述根据本发明构思的示例性实施例的存储系统的复制操作。

[0135] 复制操作可以意味着其中数据从存储单元阵列1100的第一存储区域(例如与第一存储块的页对应)复制到存储单元阵列1100的第二存储区域(例如与第二存储块的页对应)的操作。完全能够理解,术语“复制操作”不限于特定操作。例如,复制操作可以包括其中数据从一个存储区域被移位到另一个存储区域的所有操作。

[0136] 参见图1到图9,在操作S100中,页缓冲器电路1500可以从存储单元阵列1100的第一存储块的第一存储区域(或所选择的页)读取数据。读取的数据可以存储在页缓冲器电路1500的S锁存器单元1521中。读取的数据可能包括在读操作引起的错误位。如果包括错误位的读取的数据被直接存储在第二存储区域中而不进行错误校正,则存储在第二存储区域中的数据的错误位的数量可能超过存储器控制器2000的可校正错误范围。因此,可以执行针对读取的数据的错误检测和错误校正操作。为此,在操作S110中,读取的数据可以被输出到存储器控制器2000。如上所述,读取的数据可以在输出到外部装置之前被转存到L锁存器单元1522和C锁存器单元1525。存储在C锁存器单元1525中的读取的数据可以被输出到存储器控制器2000。

[0137] 在操作S120,存储器控制器2000可以确定读取的数据是否包括一个或更多个错误位。这可以经由存储器控制器2000的错误检测和校正电路2500来进行。在该情况中,存储器

控制器2000可以产生指示在读取的数据的至少一部分中没有错误位的信号,并且输出该信号到非易失性存储装置1000,以便响应于该信号而不执行读取的数据的该部分的校正。如果确定读取的数据不包括错误位,则方法进行到操作S160。如果确定读取的数据包括错误位,则错误检测和校正电路2500可以产生错误位置信息和错误标志信息。错误检测和校正电路2500可以执行错误检测操作以产生错误位置信息和错误标志信息。即,在复制操作,错误检测和校正电路2500不需要执行错误校正操作。在操作S140,错误位置信息和错误标志信息可以从存储器控制器2000发送到非易失性存储装置1000。这将参见图9更加全面地描述。

[0138] 从非易失性存储装置1000输出的读取的数据可以包括一个或更多个错误位。错误位置信息和错误标志信息可以以位为单位或以与读取的数据的错误位对应的逐个位单位发送到非易失性存储装置1000。如图9所示,与错误位中的第一错误位对应的错误位置信息可以被包括在跟随在第一命令86h之后而传送的地址C1C2R1R2R3中,并且错误标志信息EFI可以跟随在地址C1C2R1R2R3之后传送。这里,地址C1C2R1R2R3中的列地址C1C2可以包括错误位置信息。地址C1C2R1R2R3可以包括行地址R1R2R3以指示包括第一存储区域的存储块(或平面/垫块)。可以关于一个错误位而做出该序列。与剩余错误位中的每一位对应的错误位置信息可以被包括在跟随在第一命令86h之后传送的地址C1C2中,并且其错误标志信息EFI可以跟随在地址C1C2之后传送。这里,地址C1C2,即列地址C1C2可以包括错误位置信息。在关于所有错误位的错误标志信息按照图9中所示的定时被发送到非易失性存储装置1000之后,第二命令12h可以从存储器控制器2000传送到非易失性存储装置1000。然后,如下面将要描述的,错误校正操作(或位翻转操作)和编程操作可以在例如位翻转(XOR)和编程操作tPROG中执行。

[0139] 返回图8,在操作S150,非易失性存储装置1000可以基于从存储器控制器2000提供的错误标志信息来执行错误校正操作(或位翻转操作)。错误校正操作(或位翻转操作)可以与关于表2到表5所描述的相同地执行,并且因此省略其描述。在操作S160,错误校正后的数据可以被编程或存储在存储单元阵列1100的第二存储区域中。然后,该方法可以结束。

[0140] 利用上面的描述,错误检测可以通过存储器控制器2000进行,并且错误校正可以在非易失性存储装置1000中进行。即,由于在错误检测之后错误校正不是由存储器控制器2000进行(或者,由于在错误检测之后错误校正由非易失性存储装置1000进行),所以可能不需要将从非易失性存储装置1000输出的所有数据或与输出数据对应的校正数据传送到非易失性存储装置1000。这可以意味着,从存储器控制器2000向非易失性存储装置1000传送数据所花的时间或者从存储器控制器2000向非易失性存储装置1000传送数据所消耗的电力被减少、防止或避免。

[0141] 图10是图示根据本发明构思的示例性实施例的在图8的复制操作中将错误标志信息传送到非易失性存储装置的操作的时序图。

[0142] 与图9中的其中通过错误位单元来传送错误标志信息的传送方式不同,包括错误标志信息(包括分别与错误位对应的错误标志位)的数据(下文中称为字段(field)数据)可以跟随在命令86h和地址C1C2R1R2R3之后发送到非易失性存储装置1000。字段数据的大小可以与读取的数据的大小相同。在字段数据中,与错误位置信息对应的位置的值可以被设置为逻辑值“1”(指示逻辑值是错误位),并且剩余位置的值可以设置为反转的逻辑值“0”

(指示逻辑值是非错误位)。例如,当数据以字节为单位从存储器控制器2000发送到非易失性存储装置1000时,与错误位置信息对应的位置可以与八个数据位(例如,D0到D7)之一(例如,D1)对应。根据传送包括错误标志信息的字段数据的传送方式,总线迁移数量可以非常少。这可以意味着,数据传送所消耗的电力被减少、防止或避免。此外,由于错误检测由存储器控制器进行并且错误校正由非易失性存储装置执行,所以从存储器控制器向非易失性存储装置传送数据所花的时间或者从存储器控制器向非易失性存储装置传送数据所消耗的电力可以被减少。

[0143] 图11是示意性地图示根据本发明构思的示例性实施例的存储系统的错误检测操作和错误校正操作的图。

[0144] 存储单元阵列MCA的第一存储区域(例如,与第一存储区块的页对应)的数据可以由主缓冲器MB读取,并且存储在主缓冲器MB中的读取的数据可以经由高速缓冲存储器CB被发送到存储器控制器2000。这里,主缓冲器MB可以由一个或更多个S锁存器单元1521形成,并且高速缓冲存储器CB可以由一个或更多个C锁存器单元1525形成。然而,本发明构思不限于此。主缓冲器MB和高速缓冲存储器CB可以被包括在页缓冲器电路1500中。发送到存储器控制器2000的数据可以经由随机发生器/解随机发生器2600解随机化。错误检测和校正电路2500可以执行与通过随机发生器/解随机发生器2600解随机化的数据相关联的错误检测操作。此处,从非易失性存储装置1000输出的读取的数据RD的解随机化的数据可以被存储在缓冲器存储器2400中。作为错误检测操作的结果,错误标志信息可以从存储器控制器2000传送到非易失性存储装置1000的高速缓冲存储器CB。此处,错误标志信息可以根据关于图9或图10描述的方式从存储器控制器2000传送到非易失性存储装置1000。错误标志信息或包括错误标志信息的字段数据可以直接被发送到非易失性存储装置1000而不经随机发生器/解随机发生器2600。位翻转操作(或错误校正操作)可以基于在高速缓冲存储器CB中存储的错误标志信息来执行,并且经由位翻转操作(或者错误校正操作)而校正的数据可以经由主缓冲器MB被存储在存储单元阵列MCA的第二存储区域(例如与第二存储块的一页对应)。位翻转操作(或错误校正操作)可以与关于表3到图5所描述的相同地执行,因此省略其描述。

[0145] 在实施例中,从存储器控制器2000提供的错误标志信息可以被加载到页缓冲器电路1500的高速缓冲存储器CB中。此时,读取的数据可能已经被存储在主缓冲器MB中。即,加载到高速缓冲存储器CB的信息可以是指示加载到主缓冲器MB的数据位是否是错误的值。

[0146] 在一个实施例中,关于图11描述的复制操作可以应用于包括由虚线表示的随机发生器/解随机发生器2600的存储器控制器(例如对应于图3中的存储器控制器)和不包括由虚线表示的随机发生器/解随机发生器2600的存储器控制器(例如对应于图2中的存储器控制器)两者。在包括随机发生器/解随机发生器2600的存储器控制器中,如果用于包括第一存储区域的第一存储块的随机化的种子与用于包括第二存储区域的第二存储块的随机化的种子相同,则可以不进行错误标志信息的随机化。

[0147] 在一个实施例中,种子值可以被存储在其中将存储随机化的数据的区域的存储单元中。

[0148] 作为复制操作,在美国专利No.7941586中公开了复制回(copy-back)操作(或复制回编程操作),所述美国专利的整体通过引用合并于此。

[0149] 图12是图示根据本发明构思的示例性实施例的存储系统的错误检测操作和错误校正操作的图。

[0150] 存储单元阵列MCA的第一存储区域的数据可以被读取然后被存储在主缓冲器MB中,并且存储在主缓冲器MB中的读取的数据可以经由高速缓冲存储器CB发送到存储器控制器2000。这里,主缓冲器MB可以由一个或更多个S锁存器单元1521形成,并且高速缓冲存储器CB可以由一个或多个C锁存器单元1525形成。然而,本发明构思不限于此。发送到存储器控制器2000的数据可以经由随机发生器/解随机发生器2600被解随机化。错误检测和校正电路2500可以执行与通过随机发生器/解随机发生器2600解随机化的数据相关联的错误检测操作。如果用于存储单元阵列MCA的第一存储区域的随机化的种子与用于其第二存储区域的随机化的种子不同,则存储器控制器2000可以对于读取的数据RD执行错误检测操作和错误校正操作两者。此处,从非易失性存储装置1000输出的读取的数据RD的解随机化的数据可以被存储在缓冲器存储器2400中。读取的数据的错误可以由错误检测和校正电路2500校正。校正数据可以经由随机发生器/解随机发生器2600发送到非易失性存储装置1000的高速缓冲存储器CB。存储在高速缓冲存储器CB中的错误校正后的数据可以被转存到主缓冲器MB中,并且转存到主缓冲器MB的数据(即错误校正后的数据)可以被存储在存储单元阵列MCA的第二存储区域中。

[0151] 包括错误检测操作和错误校正操作的复制操作可应用于各种存储系统。下面,将描述应用包括错误检测操作和错误校正操作的复制操作的示例存储系统。

[0152] 图13A是图示例如应用于非易失性存储装置的多级存储装置的地址加扰方式的图。

[0153] 随着存储在每个存储单元中的数据位的数量的增加,越来越难以确存储多位(或者多级)数据的存储装置(其在下文中称为多级存储装置)的可靠性。导致可靠性恶化的一个代表性因素可以是由于邻近的存储单元之间的耦合而导致的阈值电压的变化。例如,先前编程的存储单元的阈值电压可能由于当与编程的存储单元邻近的存储单元被编程时导致的耦合而变化。

[0154] 将描述当在一个存储单元中存储3位数据时的地址加扰方式。尽管图13中仅图示了四个字线WL0到WL3,但是可能多个存储单元MC可以与每一个字线连接。执行1-步编程操作以在第一字线WL0的每个存储单元中存储低2位数据。即,在1-步编程操作期间,2-页数据可以被存储在与第一字线WL0连接的存储单元中。这在图13A中通过①来标记。也可以对于与第二字线WL1连接的存储单元来执行1-步编程操作。这在图13A中通过②来标记。在对于与第二字线WL1连接的存储单元执行1-步编程操作之后,可以对于第一字线WL0执行粗编程操作(或者2-步编程操作),所述第一字线WL0位于第二字线WL1之下并且其中低1位数据将被编程。这在图13A中通过③来标记。

[0155] 在粗编程操作期间,高1位数据可以被存储在与第一字线WL0相连接的存储单元中。在与第一字线WL0相连接的存储单元的粗编程操作之后,可以对于第三字线WL2进行1-步编程操作。这在图13A中通过④来标记。在对于第三字线WL2的1-步编程操作之后,可以执行粗编程操作,在该粗编程操作期间,高1位数据被存储在与第二字线WL1连接的存储单元中。这在图13A中通过⑤来标记。跟随在对于第二字线WL1的粗编程操作之后,可以对于第一字线WL0执行细编程操作。这在图13A中通过⑥来标记。然后,1-步、粗和细编程操作可以根

据上述编程操作次序(参见图13A)来顺序执行。其中根据在图13A中描述的编程顺序来选择字线的方法可以被称为地址加扰方式。然而,编程方法不限于此。编程方法可以根据不同于上述地址加扰方式的其他方式来执行。

[0156] 如果1-步编程操作和粗编程操作都完成,则可以形成与M位数据(M是大于等于2的整数)对应的全部阈值电压分布(例如,2M个阈值电压分布)。尽管所有的阈值电压分布在粗编程操作完成时形成,但是可能阈值电压分布之间的容限不足以将阈值电压分布彼此区分。可以执行细编程操作以确保容限足以将阈值电压分布彼此区分。可以进行细编程操作以缩窄每个阈值电压分布的宽度。在细编程操作期间,可以使用验证电压,该验证电压比在粗编程操作使用的阈值电压分布的验证电压高预定电压。通过上述编程方式(称为重编程方法/算法),可以减小邻近的存储单元之间的耦合。

[0157] 在示例性实施例中,用于3位数据的上述重编程方法,即1-步编程、粗编程和细编程可以被应用于2位数据和4位数据的重编程方法。

[0158] 利用该重编程方法,需要在任意字线中保留在存储单元中存储的数据,直到对于该任意字线的细编程操作完成为止。例如,1-步编程操作可以取决于从存储器控制器提供到多比特存储装置的数据而执行,并且粗编程操作可以取决于通过1-步编程操作存储的数据和从存储器控制器提供的数据来进行。细编程操作可以取决于通过1-步编程操作和粗编程操作存储的数据来执行。但是,如上所述,难以确切地读取通过1-步编程操作和粗编程操作存储的数据。这可能意味着细编程操作需要的数据必须从存储器控制提供到多比特存储装置。为此,存储器控制器需要在任意字线中保留在存储单元中存储的数据,直到对于该任意字线的细编程操作完成为止。可以在存储器控制器中提供大缓冲器存储器,以保留细编程操作所需的数据。可以将后面将要描述的片上缓冲编程(OBP)技术应用于存储系统,以减小存储器控制器中的缓冲器存储器的大小。

[0159] 图13B是示意性地图示当根据3-步编程执行编程操作以在每个存储单元中存储3位数据时可变的阈值电压分布的图。下面,将参考附图更加全面地表述根据3-步编程的编程方法。

[0160] 首先,2-页数据(即第一和第二页数据)可以被存储在所选择的字线(例如图13A中的WL0)的存储单元中。此时,如图13B的框31中图示,基于将要编程的数据,与擦除状态E对应的阈值电压分布中的存储单元可以被编程为具有与编程状态Q1、Q2和Q3中的每个对应的阈值电压分布中的阈值电压。

[0161] 如上所述,字线(例如WL0)中1-步编程的存储单元的粗编程操作可以在邻近字线(例如,WL1)中的存储单元的1-步编程操作之后执行。此时,如图13B的框31的实线所图示的,由于当邻近字线(例如WL1)中的存储单元被编程时引起的耦合,字线(例如WL0)中1-步编程的存储单元的分布可能加宽。

[0162] 然后,1页数据可以被存储在所选择的字线WL0的存储单元中。此时,如图13B的框32中图示的,与每个状态对应的阈值电压分布中的存储单元可以被编程为具有对应的阈值电压分布中的阈值电压。例如,基于将要编程的数据,与擦除状态E对应的阈值电压分布中的存储单元可以被编程为具有与编程状态P1对应的阈值电压分布中的阈值电压。基于将要编程的数据,与编程状态Q1对应的阈值电压分布中的存储单元可以被编程为具有与编程状态P2和P3对应的阈值电压分布中的阈值电压。基于将要编程的数据,与编程状态Q2对应的

阈值电压分布中的存储单元可以被编程为具有与编程状态P4和P5对应的阈值电压分布中的阈值电压。基于将要编程的数据,与编程状态Q3对应的阈值电压分布中的存储单元可以被编程为具有与编程状态P6和P7对应的阈值电压分布中的阈值电压。

[0163] 如上所述,字线(例如WL0)中粗编程的存储单元的细编程操作可以在邻近字线(例如WL2和WL1)的1-步编程操作和粗编程操作之后执行。此时,如图13B的框32中的实线所图示的,由于当邻近字线(例如WL2和WL1)中的存储单元被编程时引起的耦合,字线(例如WL0)中粗编程的存储单元的分布可能加宽。为此,难以确切地从粗编程的存储单元读取数据。

[0164] 字线WL0中的存储单元可以被编程为具有最终阈值电压分布,如图13B的框33中所图示的。该操作可以称为细编程操作。如上所述,细编程操作可能需要先前编程的数据(例如第一到第三页数据)。由于难以从字线WL0的存储单元读取先前编程的数据,因此将基于从存储器控制器提供的数据(或者由存储装置保持的数据)来进行细编程操作。如图13B的框33中的实线所图示的,由于当邻近字线中的存储单元被编程时引起的耦合,细编程的存储单元的分布可能加宽。

[0165] 然后,将根据图13A中描述的编程次序(或序列)进行对每个字线的1-步编程操作、粗编程操作和细编程操作,其将以与图13B中所描述的相同的方式执行。

[0166] 图14是示意性地图示根据本发明构思的示例性实施例的数据存储系统3000的框图。

[0167] 参见图14,数据存储系统3000可以包括多比特存储装置3100作为非易失性存储装置、存储器控制器3200和主机3300。多比特存储装置3100可以由一个或更多个存储器芯片形成。作为数据存储装置,多比特存储装置3100和存储器控制器3200可以被形成为存储器卡、固态驱动器(SSD)、存储器棒或单个单片和/或集成体中的其他等等,或形成为包括在它们中。数据存储装置可以使用有线或无线通信方法与主机通信,以发送或接收例如与数据或命令对应的信号。多比特存储装置3100可以包括多个存储块(或扇区/存储体(bank)),每一个存储块具有按行和列布置的存储单元。每个存储单元可以存储多位(或多级)数据。存储单元可以被布置为具有2维阵列结构或3维/垂直阵列结构。在美国公开No. 2008/0023747和2008/0084729中公开了示例性3维阵列结构,其整体通过引用结合于此。

[0168] 多比特存储装置3100的存储块可以被划分为第一区域3101和第二区域3102。这里,第一区域3101和第二区域3102的划分可以是在多比特存储装置3100中逻辑地进行的,而不是物理地进行。第一区域3101和第二区域3102的划分可以逻辑地改变。第一区域3101的存储块可以以与第二区域3102的存储块不同的方式来编程。例如,第一区域3101的存储块可以根据例如单比特编程方式(以下称为SLC编程方式)的第一编程方法来编程,而第二区域3102的存储块可以根据例如多比特编程方式或上述N-步重编程方式(以下称为MLC编程方式)的第二编程方法来编程。换句话说,第一区域3101的每个存储单元可以存储1位数据,并且第二区域3102的每个存储单元可以存储多位数据,即M位数据(M是大于等于3的整数)。此外,与在第二区域3102中布置的每个存储单元中存储的M位数据(M是大于等于3的整数)相比,布置在第一区域3101中的每个存储单元可以存储更少数量的数据位。

[0169] 返回参见图14,存储器控制器3200可以被配置为响应于主机3300的请求而控制多比特存储装置3100。存储器控制器3200可以包括缓冲器存储器3201以及错误检测和校正单元3202。缓冲器存储器3201可以用来临时存储从主机3300发送的数据以及从多比特存储装

置3100读出的数据。错误检测和校正电路3202可以配置为编码将被存储在多比特存储装置3100中的数据以及解码从中读出的数据。编码可以包括产生奇偶校验信息,其在字段单元中产生。一页数据可以由一个或更多个字段形成。解码可以包括错误检测操作和错误校正操作。如上所述,错误检测操作可以由存储器控制器3200执行,并且错误校正操作可以由多比特存储装置3100执行。

[0170] 存储器控制器3200可以以静态调度方式控制存储装置3100的编程操作。例如,当第一区域3101的最小编程单元的数据被存储在缓冲器存储器3201中时,存储器控制器3200可以控制多比特存储装置3100,以使得最小编程单元的数据被存储(或编程)在第一区域3101中。这可以称为缓冲器编程操作。如果第二区域3102的最小编程单元的数据在第一区域3101中聚集或收集,则存储器控制器3200可以控制多比特存储装置3100,从而在第二区域3102中存储(或编程)第二区域3102的最小编程单元的数据。这可以成为主编程操作。缓冲器编程操作和主编程操作可以构成片上缓冲编程操作。

[0171] 利用本发明构思的实施例,主编程操作可以包括错误检测和校正操作两者,所述错误检测和校正操作在从第一存储器区域3101读出的数据被复制到第二存储器区域3102之前执行。错误检测操作可以由存储器控制器3200进行,而错误校正操作可以由多比特存储装置3100执行。这将更加全面地描述。

[0172] 在示例性实施例中,第一区域3101的最小编程单元和第二区域3102的最小编程单元可以取决于编程方式、每位的单元(cell-per-bit)数而不同地确定。第一区域3101的最小编程单元可以不同于第二区域3102的最小编程单元。

[0173] 在示例性实施例中,可以通过经过缓冲器编程操作在第一区域3101中存储数据以及经过主编程操作在第二区域3102中存储数据,来最小化存储器控制器3200的缓冲器存储器3201的大小。换句话说,不需要在缓冲器存储器3201中保持用于细编程操作的数据。因此,可以最小化存储器控制器3200的缓冲器存储器3201的大小。

[0174] 图15A到图15D是图示根据本发明构思的示例性实施例的多比特存储装置的第一和第二区域的各种组合的图。在图中,“BP”指示将在第一区域3101上执行的“缓冲器编程”,且“MP”指示将在第二区域3102上执行的“主编程”。

[0175] 如上所述,多比特存储装置3100可以包括第一区域3101和第二区域3102。此处,第一区域3101和第二区域3102可以组成多比特存储装置3100的存储单元阵列。尽管在图中没有示出,但是存储单元阵列可以包括更多的区域,例如元数据区域、保留区域等。存储单元阵列的区域可以被逻辑地划分而不是物理地划分。这可以意味着存储单元阵列的这样的区域是根据存储器控制器3200的地址映射来定义的。

[0176] 参见图15A,在每个单元存储3位数据的多比特存储装置的情况中,第一区域3101可以由每个存储1位数据的存储单元形成,并且第二区域3102可以由每个存储3位数据的存储单元形成。在该情况中,缓冲器编程可以根据SLC编程方式执行,并且主编程可以根据上述的MLC编程方式进行。

[0177] 参见图15B,在每个单元存储4位数据的多比特存储装置的情况中,第一区域3101可以由每个存储1位数据的存储单元形成,并且第二区域3102可以由每个存储4位数据的存储单元形成。在该情况中,缓冲器编程可以根据SLC编程方式执行,并且主编程可以根据上述的MLC编程方式进行。

[0178] 参见图15C,在每个单元存储3位数据的多比特存储装置的情况中,第一区域3101可以由每个存储2位数据的存储单元形成,并且第二区域3102可以由每个存储3位数据的存储单元形成。在该情况中,缓冲器编程可以根据上述或传统的MLC编程方式执行,并且主编程可以根据上述的MLC编程方式(即重新编程方式)进行。

[0179] 参见图15D,在每个单元存储4位数据的多比特存储装置的情况中,第一区域3101可以由每个存储2位数据的存储单元形成,并且第二区域3102可以由每个存储4位数据的存储单元形成。在该情况中,缓冲器编程可以根据上述或传统的MLC编程方式执行,并且主编程可以根据上述的MLC编程方式(即重新编程方式)进行。

[0180] 在示例性实施例中,图15A到图15D图示了多比特存储装置3100以定义第一区域3101和第二区域3102。然而,本总的发明构思不限于此。例如,如果在数据存储系统中包括的存储介质由多个多比特存储装置形成,则第一区域3101和第二区域3102可以相对于相应的多比特存储装置来定义。可替换的,第一区域3101可以相对于多比特存储装置中的任意一个来定义。可替换的,任意一个多比特存储装置可以定义为第一区域3101。

[0181] 图16是图示根据本发明构思的示例性实施例的1-步编程操作的命令序列的图。图17是示意性地图示根据图16的1-步编程命令序列的数据流的图。图18是示意性地图示根据错误校正操作(或位翻转操作)的数据流的图。下面,将参考附图更全面地描述根据本发明构思的示例性实施例的数据存储系统的操作。

[0182] 当第二存储器区域3102上的最小编程单元(例如,2页)被存储在第一存储器区域3101中时,可以执行1-步编程操作。作为主编程操作,第二存储器区域3102的1-步编程操作可以伴随有第一存储器区域3101上的两个SLC读取操作和第二存储器区域3102上的一个MLC编程操作。每个SLC读取操作可以包括上述的错误检测操作和错误校正操作。

[0183] 对于根据本发明构思的示例性实施例的数据存储系统3000,在执行1-步编程操作之前,用于切换到操作的SLC模式的命令DAh可以被发送到多比特存储装置3100。当输入用于模式切换的命令DAh时,多比特存储装置3100可以将从存储器控制器3200提供的命令识别为与SLC操作相关联的命令。

[0184] 跟随在用于模式切换的命令DAh之后,如图16中图示的,存储器控制器3200可以发送命令00h、地址ADDR和命令39h的集合到多比特存储装置3100。此时,地址ADDR可以是用于指示或指定两页数据中的一页的地址。在输入命令39h之后,多比特存储装置3100的页缓冲器3103可以从第一存储器区域3101读取第一数据,如图17中所图示的。读取的数据可以被存储在S锁存器单元中。在读取操作期间,如图16所图示的,多比特存储装置3100可以设置准备就绪/忙信号RnB,以指示忙状态。在读取操作完成之后,多比特存储装置3100可以设置准备就绪/忙信号RnB,以指示准备就绪状态。

[0185] 如图16中所图示的,读取的数据可以从多比特存储装置3100输出到存储器控制器3200。在输出读取的数据之前,S锁存器单元的数据可以被转存到C锁存器单元。转存进C锁存器单元的数据可以被输出到存储器控制器3200。存储器控制器3200可以以与上面的描述相同的方式来执行错误检测操作,并且作为错误检测操作的结果,可以产生错误位置信息和错误标志信息。在执行了错误检测操作之后,存储器控制器3200可以将命令86h、地址ADDR和数据EFI的集合发送到多比特存储装置3100。此处,数据EFI可以包括错误标志信息,并且可以被加载到C锁存器单元,如图17中图示的。错误标志信息可以根据关于图9或图10

描述的方式来传送。在关于图9描述的方式的情况中,尽管那里没有图示,但是在图16中图示的错误标志输入序列(86h, ADDR, EFI)可以被重复错误位的次数。

[0186] 当传送错误标志信息时,存储器控制器3200可以发送命令C0h和地址ADDR的集合到多比特存储装置3100。此处,命令C0h可以是与上述位翻转操作(或错误校正操作)的执行对应的命令,并且地址ADDR可以是指示或指定将在其中存储错误校正后的数据的锁存器单元的地址。在命令C0h和地址ADDR的输入之后,准备就绪/忙信号RnB可以被设置为忙状态。在准备就绪/忙信号RnB的忙状态期间,可以执行上述位翻转操作(或错误校正操作)。

[0187] 参见示出了根据位翻转操作(或错误校正操作)的数据流的图18,在操作S T1,从存储器控制器3200提供的错误标志信息可以被加载到C锁存器单元。在操作ST2,被加载到C锁存器单元的错误标志信息可以被转存到S锁存器单元中。此时,从C锁存器单元转存到S锁存器单元的数据可以反转。在操作ST3中,S锁存器单元的数据可以经由同(XNOR)运算被转存到L锁存器单元。此时,转存到L锁存器单元的数据可以是由XNOR操作校正了错误的数据。可以通过与命令C0h输入的地址ADDR指示或指定其中存储校正了错误的数据的位置,即L锁存器单元中的位置。上述反转(或倒转)和XNOR运算可以组成与位翻转操作的异或(XOR)运算对应。上述操作(即包括错误标志加载、错误标志信息的反转和XNOR运算)可以根据与关于表2到表5描述的相同的方式来执行,并且因此省略其描述。

[0188] 返回图16,当错误校正操作(或位翻转操作)完成时,多比特存储装置3100可以设置准备就绪/忙信号RnB以指示准备就绪状态。存储器控制器3200可以响应于准备就绪/忙信号RnB的状态将命令00h、地址ADDR和命令39h的集合发送到多比特存储装置3100。此时,地址ADDR可以是指示或指定1-步编程操作所需的两页数据中的剩余页的地址。在输入命令39h之后,多比特存储装置3100的页缓冲器3103可以从第一存储器区域3101读取数据,如图17中所图示的。读取的数据可以存储在S锁存器单元中。在读取操作期间,如图16中所图示的,多比特存储装置3100可以设置准备就绪/忙信号RnB以指示忙状态。在读取操作完成之后,多比特存储装置3100可以设置准备就绪/忙信号RnB以指示准备就绪状态。准备就绪/忙信号RnB包括信号tR和/或tDBSY,如图16中所图示的。

[0189] 如图16中所图示的,读取的数据可以从多比特存储装置3100输出到存储器控制器3200。在输出读取的数据之前,S锁存器单元的数据可以被转存进C锁存器单元,如图17中图示的。转存到C锁存器单元的数据可以被输出到存储器控制器3200。存储器控制器3200可以以与上面的描述相同的方式执行错误检测操作,并且作为错误检测操作的结果,可以产生错误位置信息和错误标志信息。在执行错误检测操作之后,存储器控制器3200可以将命令86h、地址ADDR和数据EFI的集合发送到多比特存储装置3100。此处,数据EFI可以包括错误标志信息,并且可以被加载到C锁存器单元,如图17中图示的。错误标志信息可以根据关于图9或图10描述的方式来传送。在关于图9描述的方式的情况中,尽管图中没有示出,但是在图16中图示的错误标志输入序列(86h, ADDR, EFI)可以被重复错误位的次数。

[0190] 当传送错误标志信息时,存储器控制器3200可以发送命令C0h和地址ADDR的集合到多比特存储装置3100。在命令C0h和地址ADDR的输入之后,准备就绪/忙信号RnB可以被设置为忙状态。在准备就绪/忙信号RnB的忙状态期间,可以执行关于图18描述的上述位翻转操作(或错误校正操作)。错误校正后的数据可以被存储在通过与命令C0h输入的地址ADDR指示或指定的F锁存器单元中。

[0191] 一旦准备了1-步编程操作所需的数据,就可以执行与第二存储器区域3102相关联的1-步编程操作。在执行1-步编程操作之前,存储器控制器3200可以发送用于模式切换的命令DFh到多比特存储装置3100。命令DFh可以是用于SLC操作的模式退出的命令。当输入命令DFh时,多比特存储装置3100可以将从存储器控制器3200提供的命令识别为与主编程操作(例如MLC操作)相关联的命令。

[0192] 然后,存储器控制器3200可以发送命令8Bh、地址ADDR和命令10h的集合到多比特存储装置3100,如图16中图示的。此时,地址ADDR可以是用于指定将被1-步编程的多页中的一页的地址。由于1-步编程操作所需的数据在页缓冲器3103中被准备,所以可能没有数据从存储器控制器3200被发送到多比特存储装置3100。在输入命令10h之后,存储在页缓冲器3103中的数据可以被编程到第二存储器区域3102中,如图17中图示的。在编程操作期间,如图16中图示的,多比特存储装置3100可以设置准备就绪/忙信号RnB以指示忙状态。在编程操作结束之后,多比特存储装置3100可以设置准备就绪/忙信号RnB以指示准备就绪状态。

[0193] 图19是图示根据本发明构思的示例性实施例的粗编程操作的命令序列的图。图20是示意性地图示根据图19中图示的粗编程命令序列的数据流的图。下面,将参考附图更全面地描述根据本发明构思的示例性实施例的数据存储系统的操作。

[0194] 在描述之前,当第二存储器区域3102上的最小编程单元(例如,3页)被存储在第一存储器区域3101中时,可以执行粗编程操作。第二存储器区域3102的粗编程操作可以伴随有第一存储器区域3101上的三个SLC读取操作和第二存储器区域3102上的一个MLC编程操作。每个SLC读取操作可以包括上述的错误检测操作和错误校正操作。

[0195] 如图20中图示的,每个SLC读取操作可以与关于图16到图18的描述相同地执行,并且因此省略其描述。在执行第一SLC读取操作之前,存储器控制器3200可以将用于模式切换的命令DAh发送到存储器控制器3200,如图19中图示的。除了3位数据被存储在第二存储器区域3102中之外,第二存储器区域3102上的MLC编程操作可以与关于图16到图18的描述相同地执行,因此省略其描述。在执行粗编程操作之前,存储器控制器3200可以将用于模式切换的命令DFh发送到存储器控制器3200,如图19中图示的。尽管那里没有图示,但是作为主编程操作的细编程操作可以根据图19图示的命令序列相同地执行。

[0196] 尽管关于图16到图20图示了1-步编程操作和粗编程操作,但是本总的发明构思不限于此。即,片上缓冲编程方式不限于此。可能的是,在复制操作中其他编程方式可以是可用的。

[0197] 在粗/细编程操作或细编程操作,可以连续地执行3个SLC读取操作。在该情况中,经由第一SLC读取操作读取的数据可以被输出到存储器控制器3200,同时执行第二SLC读取操作。在执行第二SLC读取操作期间,存储器控制器3200可以产生错误标志信息。图21图示了根据本发明构思的实施例的粗/细编程操作的数据流。当连续地执行SLC读取操作时,可以在下一个SLC读取操作时期,执行与前一个SLC读取操作相关联的数据输出操作和错误标志产生操作。

[0198] 当数据包括至少具有第一页和第二页的多个页时,存储器控制器可以重复地接收数据,从而响应于第一页而确定和输出第一错误信息,并且响应于第二页而确定和输出第二错误信息。因此,非易失性存储装置可以在接收错误位置信息时重复地读取数据,并在接收到读取的数据的至少一部分的错误位置信息时将读取的数据输出到存储器控制器。非易

失性存储装置可以同时从存储器读取数据并从存储器控制器接收错误位置信息。

[0199] 非易失性存储装置可以包括缓冲器电路以同时存储读取的数据和接收的错误位置信息。非易失性存储装置可以包括：主缓冲器以存储读取的数据；以及高速缓冲存储器以接收错误位置信息，以便根据错误位置信息校正主缓冲器中的存储的数据。

[0200] 非易失性存储装置可以包括主缓冲器和高速缓冲存储器，所述主缓冲器与第一区域和第二区域通信以存储读取的数据和校正数据，所述高速缓冲存储器与控制器通信以接收错误位置信息。主缓冲器可以根据错误位置信息在第二区域中存储校正数据。

[0201] 非易失性存储装置在接收有关先前读取的数据的至少一部分的错误位置信息时重复从存储器控制器读取数据。非易失性存储装置可以重复读取将要存储在其中并被输出到存储器控制器的数据，直到接收到与所有读取的数据对应的错误位置信息为止。非易失性存储装置可以根据错误位置信息来执行用于翻转读取的数据的位的翻转操作，以产生在将第一存储器区域的数据存储到第二存储器区域的操作中将要存储的校正数据。

[0202] 图22是图示根据本发明构思的示例性实施例的存储系统的刷新编程操作的图。

[0203] 反复的编程/擦除周期可能强加或造成对存储器晶体管氧化物膜的压力，并且该压力可能使得存储器晶体管的隧道氧化物膜损毁。由于该压力，存储单元的阈值电压可能变低。即，电子可能从编程的存储单元的电荷存储层漏出。这可能使得编程的存储单元的阈值电压分布向低电压偏移，从而产生每个具有低于编程检验电压的阈值电压的存储单元。这可以意味着由于读取容限减小造成读取失败。可以在造成读取失败之前，重新编程每个具有低于编程检验电压的阈值电压的存储单元。这一操作可以被称为刷新编程操作。

[0204] 参见图22，在重新编程/刷新编程操作，首先，数据可以经由页缓冲器电路1500的主缓冲器MB从存储单元阵列MCA的特定页读出。存储在主缓冲器MB中的读取的数据可以经由高速缓冲存储器CB被发送到存储器控制器2000。这里，主缓冲器MB可以由S锁存器单元1521形成，并且高速缓冲存储器CB可以由C锁存器单元1525形成。然而，本发明构思不限于此。主缓冲器MB和高速缓冲存储器CB可以组成页缓冲器电路1500。

[0205] 发送到存储器控制器2000的数据可以经由随机发生器/解随机发生器2600被解随机化。错误检测和校正电路2500可以执行与通过随机发生器/解随机发生器2600解随机化的数据相关联的错误检测操作。此处，从非易失性存储装置1000输出的读取的数据RD的解随机化的数据可以被存储在缓冲器存储器2400中。作为错误检测操作的结果，错误标志信息可以从存储器控制器2000传送到非易失性存储装置1000的高速缓冲存储器CB。此处，错误标志信息可以根据关于图9或图10描述的方式从存储器控制器2000传送到非易失性存储装置1000。错误标志信息或包括错误标志信息的字段数据可以被直接发送到非易失性存储装置1000，而不经随机发生器/解随机发生器2600。位翻转操作(或错误校正操作)可以基于存储在高速缓冲存储器CB中的错误标志信息来执行，并且经由位翻转操作(或错误校正操作)而校正的数据可以经由主缓冲器MB被存储在存储单元阵列MCA的特定页中(即，从中读取数据的位置与在其中存储数据的位置相同)。即，可以执行与从特定页读取的数据相关联的重新编程操作。换句话说，位翻转操作(或错误校正操作)可以与关于表3到表5的描述相同地执行，并且因此省略其描述。

[0206] 刷新编程操作的进一步和详细的描述在美国专利No.7697359中公开，其整体通过引用并入于此。

[0207] 图23是示意性地图示根据本发明构思的示例性实施例的存储系统3000a的框图。参见图23,存储系统3000a可以包括非易失性存储装置3100a和存储器控制器3200a。

[0208] 非易失性存储装置3100a可以包括存储单元阵列3110、行译码器电路3120、电压生成器电路3130、控制逻辑3140、页缓冲器电路3150和输入/输出接口3160。在图23中,存储单元阵列3110、行译码器电路3120和电压生成器电路3130可以与图4中图示的那些基本相同,并且因此省略其描述。控制逻辑3140可以配置为控制非易失性存储装置3100a的整体操作。控制逻辑3140可以包括随机序列数据产生器3141(在图23中,由RDG表示)。随机序列数据产生器3141可以使用种子值来产生随机序列数据。随机序列数据可以经由输入/输出接口3160传送到页缓冲器电路3150。

[0209] 页缓冲器电路3150可以在控制逻辑3140的控制下对编程数据和随机序列数据执行异或(XOR)运算。这可以意味着在页缓冲器电路3150中随机化编程数据。此外,页缓冲器电路3150可以对从存储单元阵列3110读取的数据和随机序列数据执行XOR运算。这可以意味着读取的数据(或随机化的读取的数据)在页缓冲器电路3150中被解随机化。页缓冲器电路3150可以在控制逻辑3140的控制下执行上述错误校正操作(或位翻转操作)。此处,数据随机化可以在错误校正之前进行,或者数据随机化可以跟随在错误校正之后进行。

[0210] 存储器控制器3200a可以包括缓冲器存储器3210以及错误检测和校正电路3220。缓冲器存储器3210可以配置为临时存储从非易失性存储装置3100a读取的数据。错误检测和校正电路3220可以检测从非易失性存储装置3100a读取的数据的错误,并且作为错误检测操作的结果而可以产生错误位置信息和错误标志信息。这可以与上面的描述基本相同地进行,并且因此省略其描述。错误位置信息和错误标志信息可以以关于图9或图10描述的方式发送到非易失性存储装置3100a。

[0211] 因此,错误检测可以由存储器控制器3200a进行,并且错误校正和数据随机化/解随机化(或片上随机化/解随机化)可以通过非易失性存储装置3100a进行。

[0212] 图24是示意性地图示根据本发明构思的示例性实施例的计算系统的框图。

[0213] 计算系统可以包括微处理器2100、用户接口2201、诸如基带芯片集的调制解调器2301、存储器控制器2401和作为存储介质的非易失性存储装置2501。存储器控制器2401和非易失性存储装置2501可以与图1或图14中图示的那些相同地配置。即,由于错误检测是由存储器控制器2401进行的,并且错误校正正在非易失性存储装置2501中进行,所以可以减少从存储器控制器2401向非易失性存储装置2501传送数据所花的时间或者从存储器控制器2401向非易失性存储装置2501传送数据所消耗的电力。

[0214] 微处理器2101处理的/将要处理的N位数据(N是大于等于1的整数)可以经过存储器控制器2401被存储在非易失性存储装置2501中。在计算系统是移动装置的情况中,电池2601可以进一步被包括在计算系统中以向其供应操作电压。尽管图中未示出,但是计算系统可以进一步包括应用芯片集、照相机图像处理器(CIS)、移动DRAM等。

[0215] 图25是图示意图示根据本发明构思的示例性实施例的固态驱动器4000的框图。

[0216] 参见图25,固态驱动器(SSD)4000可以包括存储介质4100和控制器4200。存储介质4100可以经由多个通道与控制器4200连接,每个通道公共地与存储介质4100的多个非易失性存储装置连接。存储介质4100的每个非易失性存储装置可以由图1中图示的非易失性存储器1000形成。控制器4200可以配置为根据关于图1到图19描述的方式中的任意一种来控制

制存储介质4100。即,由于错误检测是通过存储器控制器进行的,并且错误校正是在非易失性存储装置中进行的,所以可以减少从存储器控制器向非易失性存储装置传送数据所花的时间或者从存储器控制器向非易失性存储装置传送数据所消耗的电力。

[0217] 图26是图示使用图25的固态驱动器(SSD)4000的存储的框图。图27是图示使用图25的固态驱动器(SSD)4000的存储服务器的框图。

[0218] 根据本发明构思的示例性实施例的SSD 4000可以用于形成存储。如图26中图示的,存储可以包括与图25中所描述的相同地配置的多个固态驱动器4000。根据本发明构思的示例性实施例的SSD 4000可以用于配置存储服务器。如图27中图示的,存储服务器包括与图25中所描述的相同地配置多个固态驱动器4000、以及服务器4000A。此外,完全能够理解在存储服务器中提供公知的RAID控制器4000B。

[0219] 图28到图30是图示根据本发明构思的示例性实施例的具有数据存储装置的系统的图。

[0220] 当系统包括诸如包含根据本发明构思的示例性实施例的、由存储器控制器和多比特存储装置形成的数据存储装置的固态驱动器的存储器时,如图28中图示的,系统6000包括通过有线或无线方式与主机通信的存储器6100。当存储服务器包括包含有根据本发明构思的示例性实施例的数据存储装置的固态驱动器时,如图29所示,系统7000包括通过有线或无线方式与主机通信的多个存储服务器7100和7200。此外,如图30所示,包括根据本发明构思的示例性实施例的数据存储装置的固态驱动器可以被应用于邮件服务器8100。

[0221] 图31是图示根据本发明构思的实施例的存储器卡的框图。存储器卡可以是例如MMC卡、SD卡、多用途卡、微SD卡、存储棒、紧密SD卡、ID卡、PCMCIA卡、SSD卡、芯片卡、智能卡、USB卡等。

[0222] 参见图31,存储器卡可以包括:接口电路9221,以便与外部装置接口;控制器9222,包括缓冲器存储器并用于控制存储器卡的操作;和至少一个根据本发明构思的示例性实施例的非易失性存储装置9207。控制器9222可以是处理器,其被配置为控制非易失性存储装置9207的写和读操作。具体的,控制器9222可以经由数据总线和地址总线与非易失性存储装置9207和接口电路2221耦接。控制器9222和非易失性存储装置9207分别可以对应于关于图1或图14描述的控制器和非易失性存储装置。控制器9222可以配置为根据关于图1到图19描述的方式中的任意一种来控制非易失性存储装置9207。即,由于错误检测是通过存储器控制器进行的,并且错误校正是在非易失性存储装置中进行的,所以可以减少或防止从存储器控制器向非易失性存储装置传送数据所花的时间或者从存储器控制器向非易失性存储装置传送数据所消耗的电力。

[0223] 图32是图示根据本发明构思的示例性实施例的电子设备(诸如数字照相机)的框图。

[0224] 参见图32,数字照相机可以包括主体9301、作为端子的槽9302、镜头9303、显示电路9308、快门按钮9312、闪光灯9318等。具体的,存储器卡9331可以插入在槽9308中,并且包括关于图1或图14图示的存储器控制器和非易失性存储装置。即,由于错误检测是通过存储器控制器进行的,并且错误校正是在非易失性存储装置中进行的,所以可以减少或防止从存储器控制器向非易失性存储装置传送数据所花的时间或者从存储器控制器向非易失性存储装置传送数据所消耗的电力。

[0225] 如果存储器卡9331具有接触类型,则当其被插入槽9308时,电路板上的电子电路可以与存储器卡9331电接触。在存储器卡9301具有非接触类型的情况中,电路板上的电子电路可以以射频方式与存储器卡9331通信。

[0226] 图33是图示根据本总的发明构思的示例性实施例的具有图32的存储器卡9331的各种系统的图。

[0227] 参见图33,存储器卡9331可以应用于主机设备,例如摄像机VC、电视TV、音频装置AD、游戏机GM、电子音乐装置EMD、蜂窝电话机HP、计算机CP、个人数字助理(PDA)、录音机VR、PC卡PCC等。

[0228] 主机设备可以包括用于执行主机设备的操作的功能单元和在主机设备的主体上形成的端子,该端子可连接到存储器卡9331,从而从功能单元产生的数据被存储在存储器卡9331中或者从而存储器卡9331的数据被传送到功能单元以使用该数据执行其功能。存储器卡9331可以可拆卸地附连到该端子。在存储器卡9331中存储的数据可以执行上述操作,例如在存储器卡9331中存储数据期间的复制操作或刷新操作。

[0229] 执行上述操作的以上图示的存储系统可以是无接触智能存储器卡,其可以与例如主机设备的主设备无接触地或无线地通信,以传送或接收数据。可以从主设备向无接触式存储器卡供电,而不用与主设备连线或接触。

[0230] 在本发明构思的示例性实施例中,存储单元可以由可变电阻存储单元形成。示例性可变电阻存储单元和包括可变电阻存储单元的存储装置在美国专利No.7529124中公开,其整体通过引用合并于此。

[0231] 在本发明构思的示例性实施例中,存储单元可以由具有电荷存储层的各种单元结构之一形成。具有电荷存储层的单元结构包括使用电荷俘获层的电荷俘获闪存结构、其中在多个层堆叠阵列的堆栈闪存结构、源极-漏极自由闪存结构、插脚类型闪存结构等。

[0232] 具有作为电荷存储层的电荷俘获闪存结构的存储装置在美国专利No.6858906以及美国专利公开No.2004/0169238和2006/0180851中公开,其公开通过引用整体合并于此。源极-漏极自由闪存结构在韩国专利No.673020中公开,其整体通过引用合并于此。

[0233] 根据本发明构思的非易失性存储装置和/或存储器控制器可以使用各种类型的封装来封包。例如,根据本发明构思的非易失性存储装置或存储器控制器可以通过各种封装来封装,如PoP(Package on Package,层叠封装)、球栅阵列(Ball grid array,BGA)、芯片尺寸封装(Chip scale package,CSP)、塑料带引线芯片载体(Plastic Leaded Chip Carrier,PLCC)、塑料双列直插封装(Plastic Dual In Line Package,PDIP)、叠片内裸片封装(Die in Wafer Pack)、晶片内裸片形式(Die in Wafer Form)、板上芯片(Chip On Board,COB)、陶瓷双列直插封装(Ceramic Dual In-Line Package,CERDIP)、塑料标准四边扁平封装(Metric Quad Flat Pack,MQFP)、薄型四边扁平封装(Thin QuadFlatpack,TQFP)、小外型IC(Small Outline IC,SOP)、缩小型小外型封装(Shrink Small Outline Package,SSOP)、薄型小外型封装(Thin Small Outline,TSOP)、薄型四边扁平封装(Thin Quad Flatpack,TQFP)、系统级封装(System In Package,SIP)、多芯片封装(Multi Chip Package,MCP)、晶片级结构封装(Wafer-level Fabricated Package,WFP)、晶片级处理堆叠封装(Wafer-Level Processed Stack Package,WSP),等等。

[0234] 尽管已经示出和描述了本总的发明构思的一些实施例,本领域技术人员将理解,

可以在这些实施例中做出改变而不背离本总的发明构思的原理和精神,本总的发明构思的范围在附加权利要求极其等价物中定义。

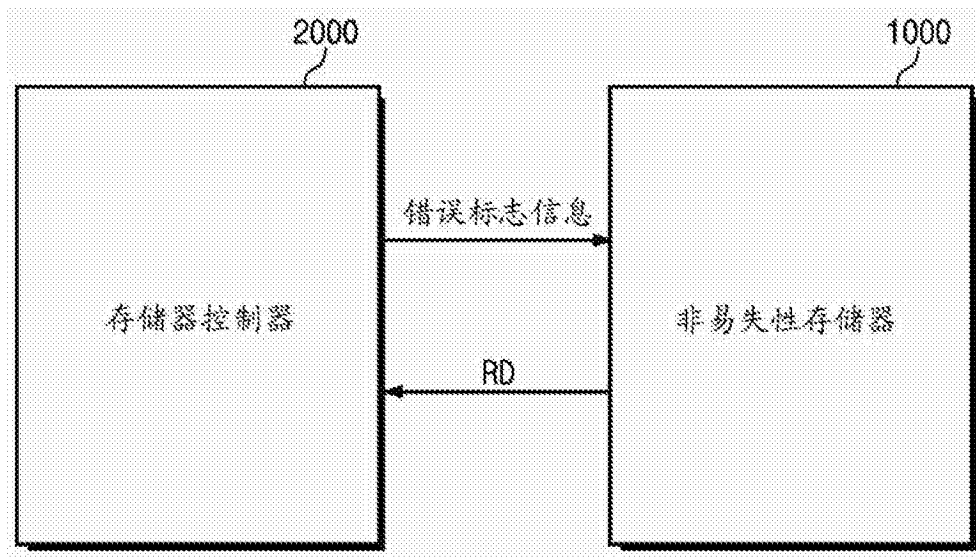


图1

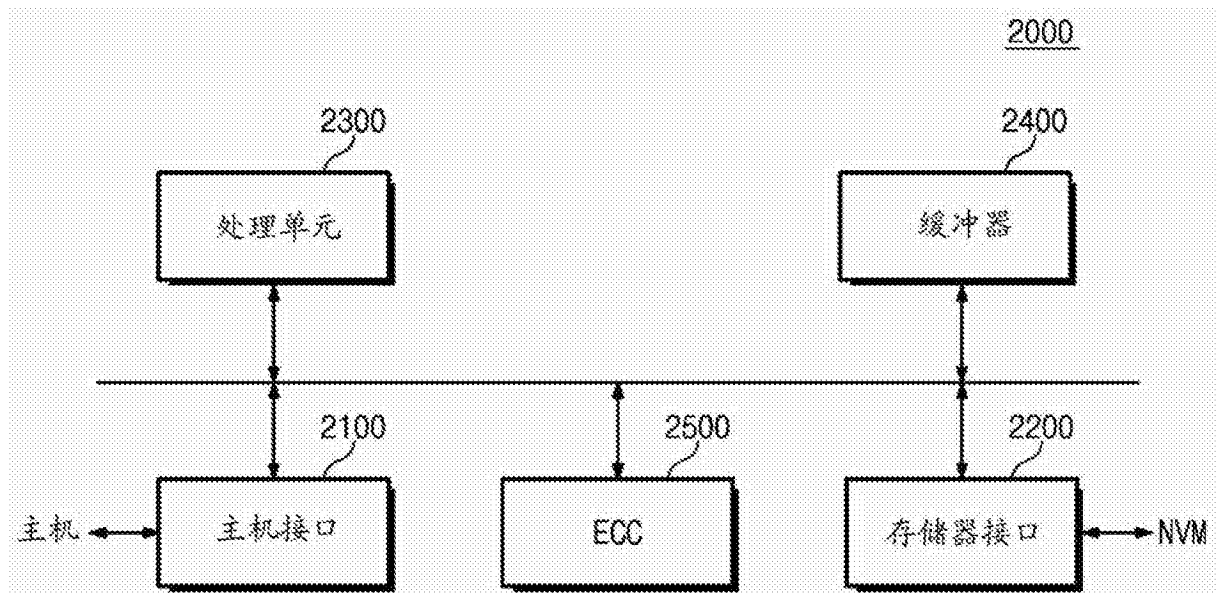


图2

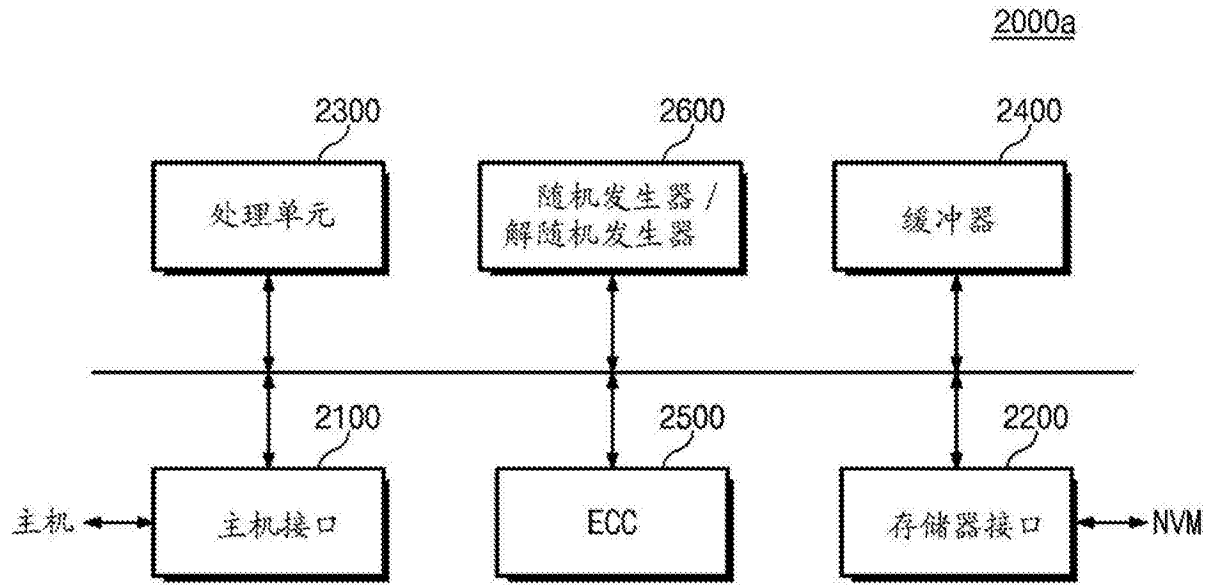


图3

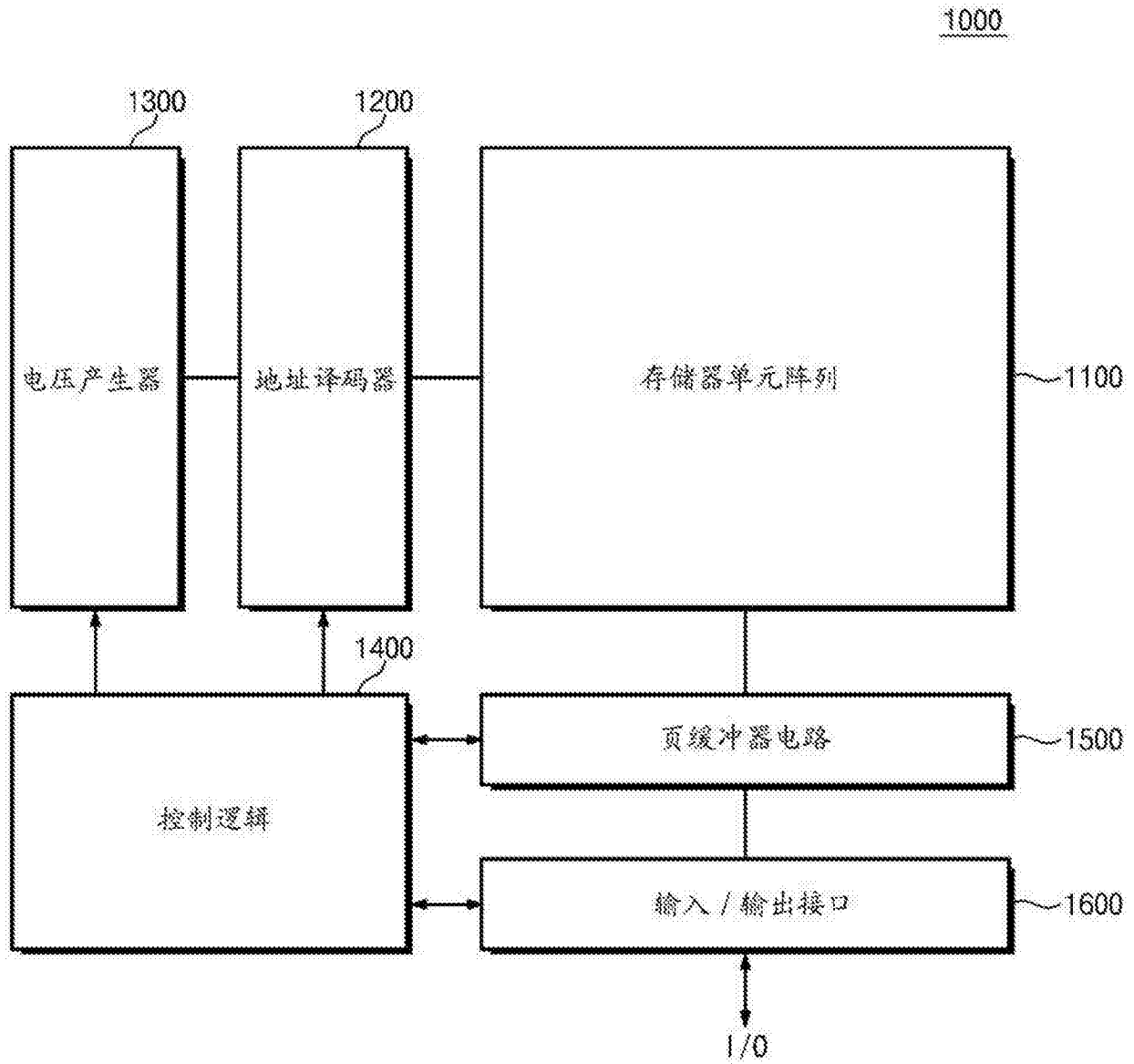


图4

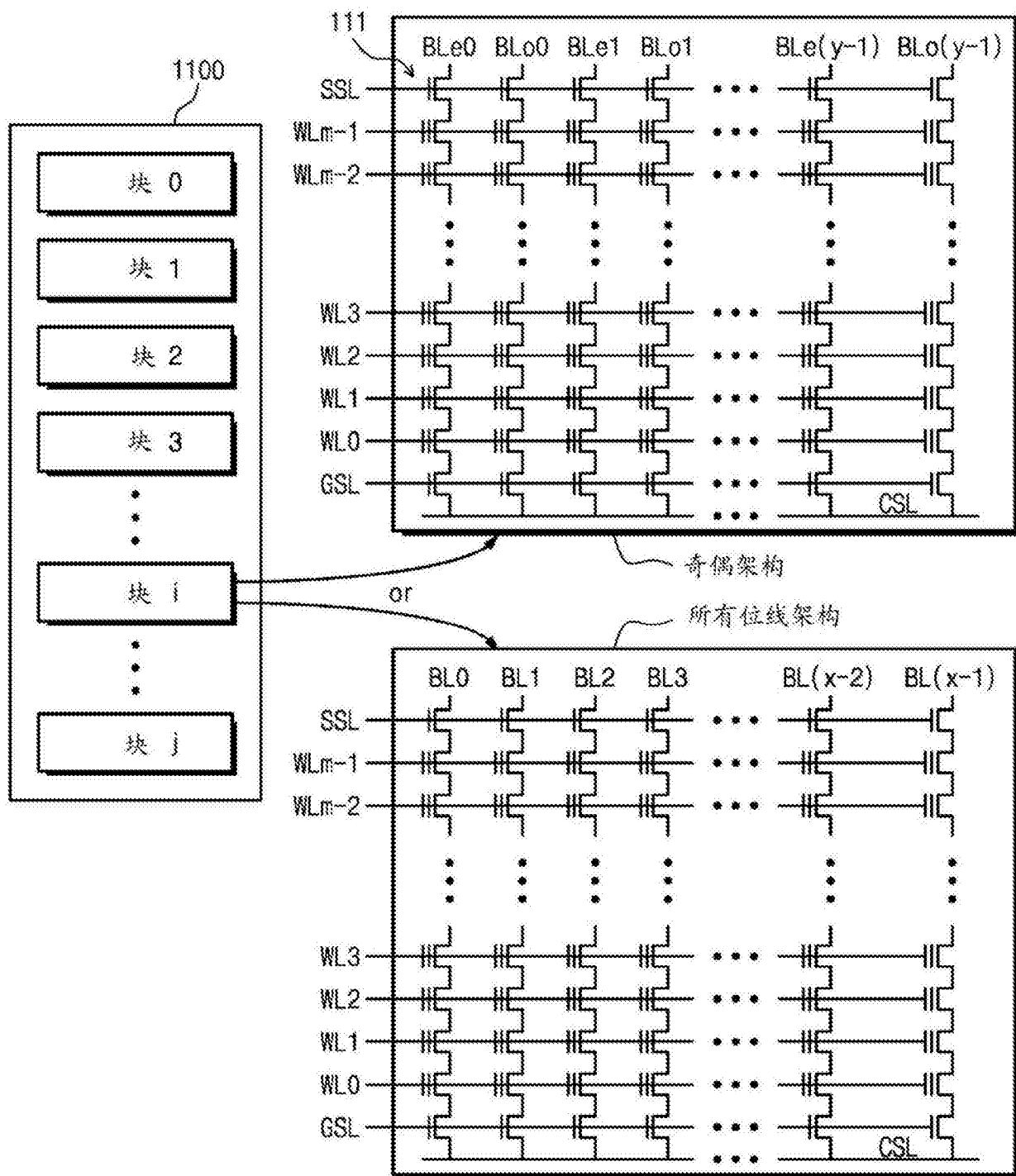


图5

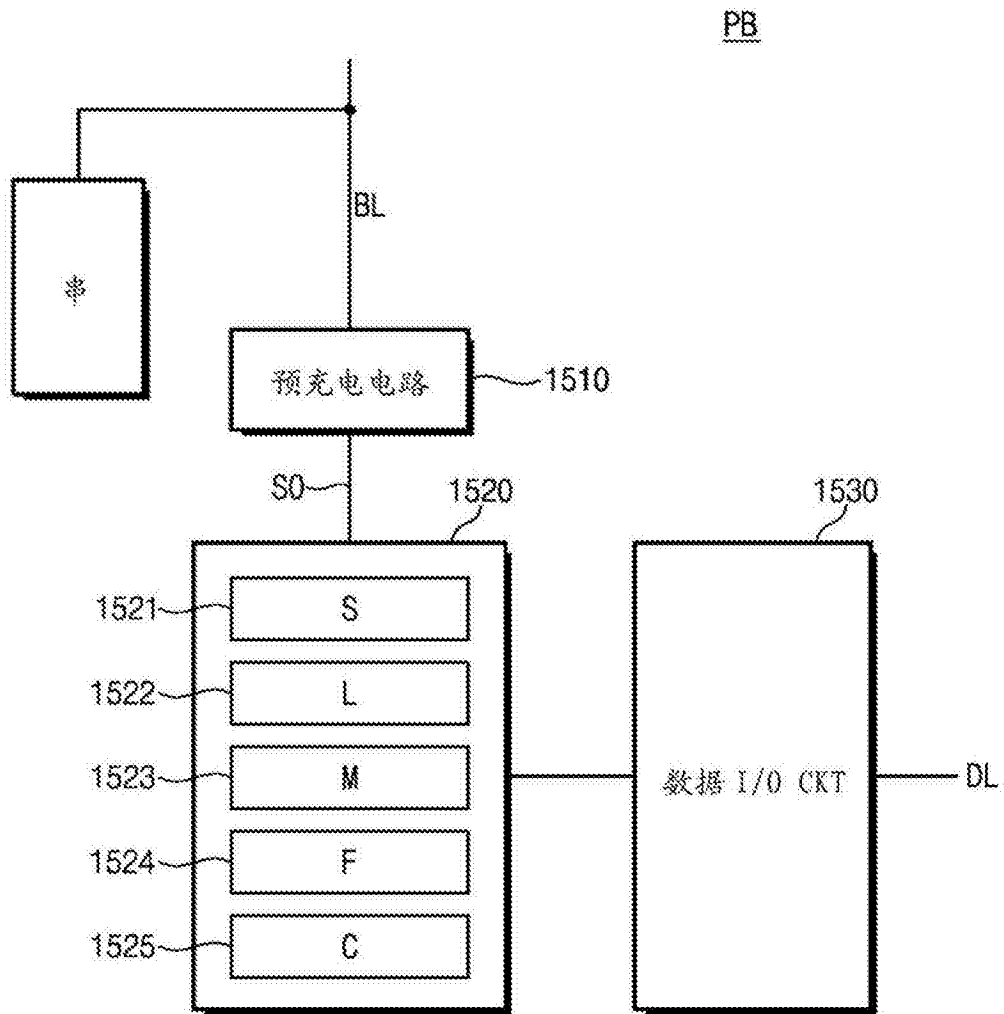


图6

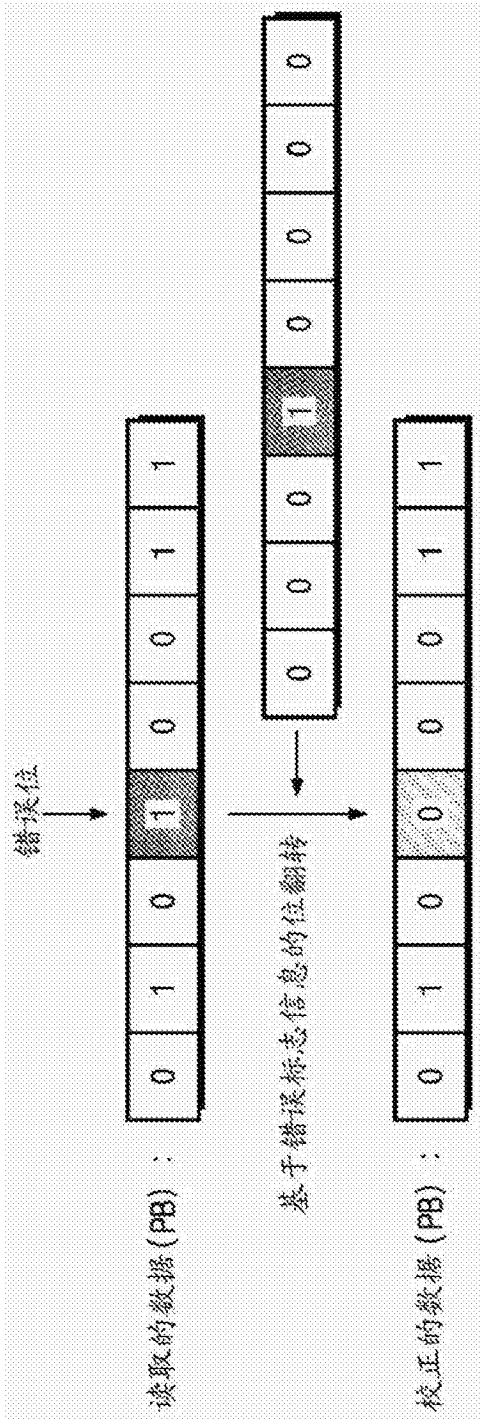


图7

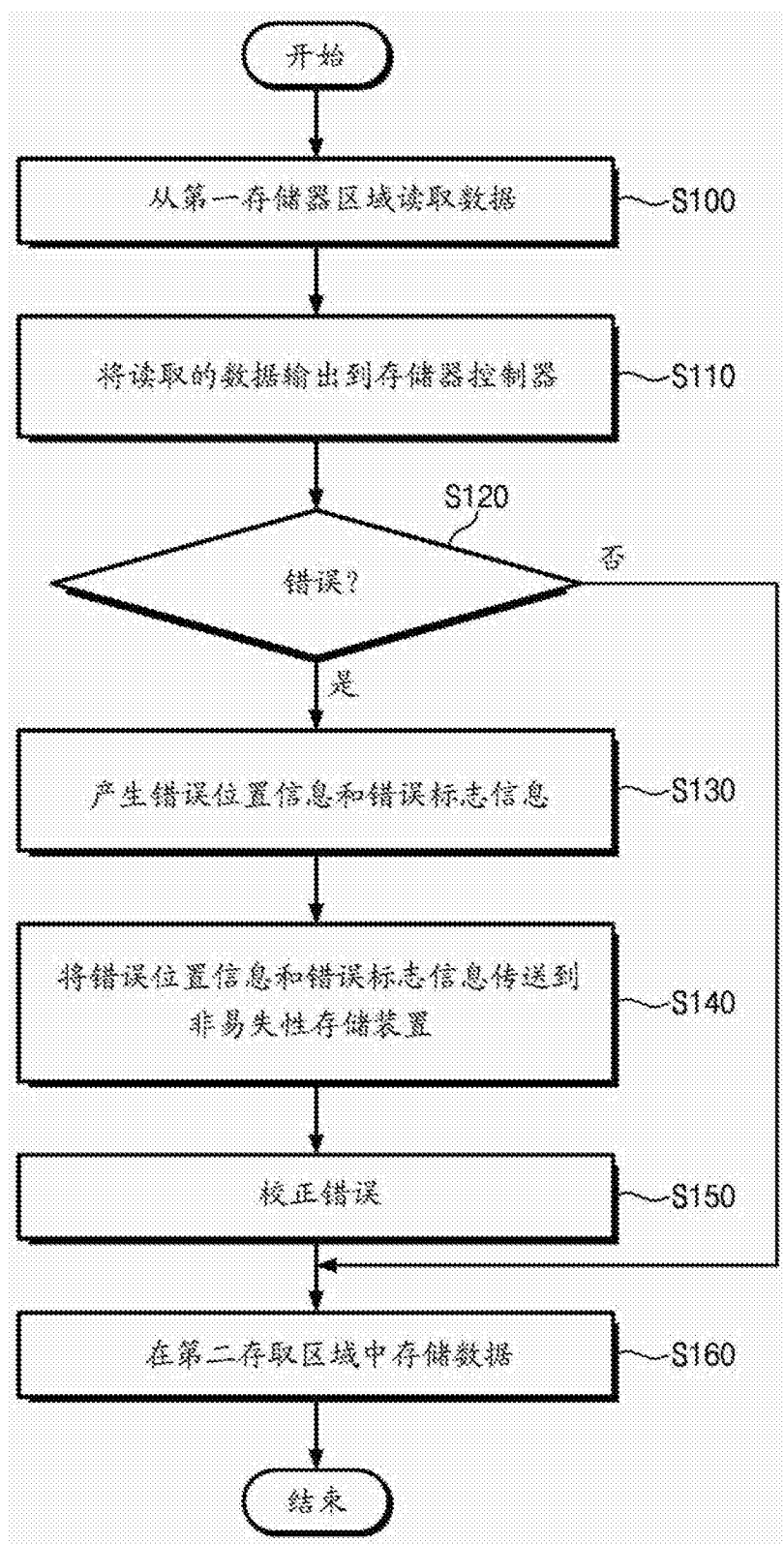


图8

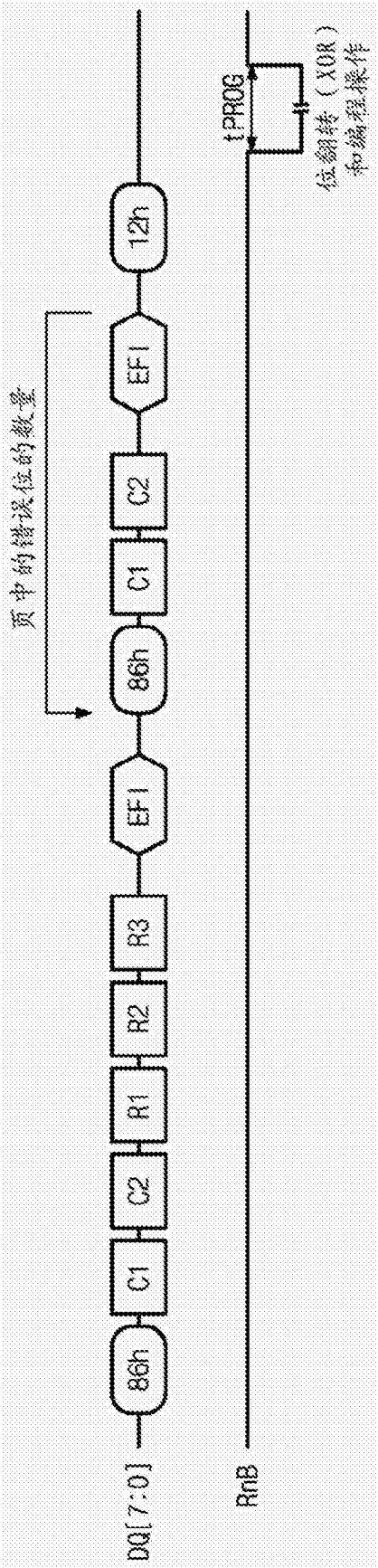


图9

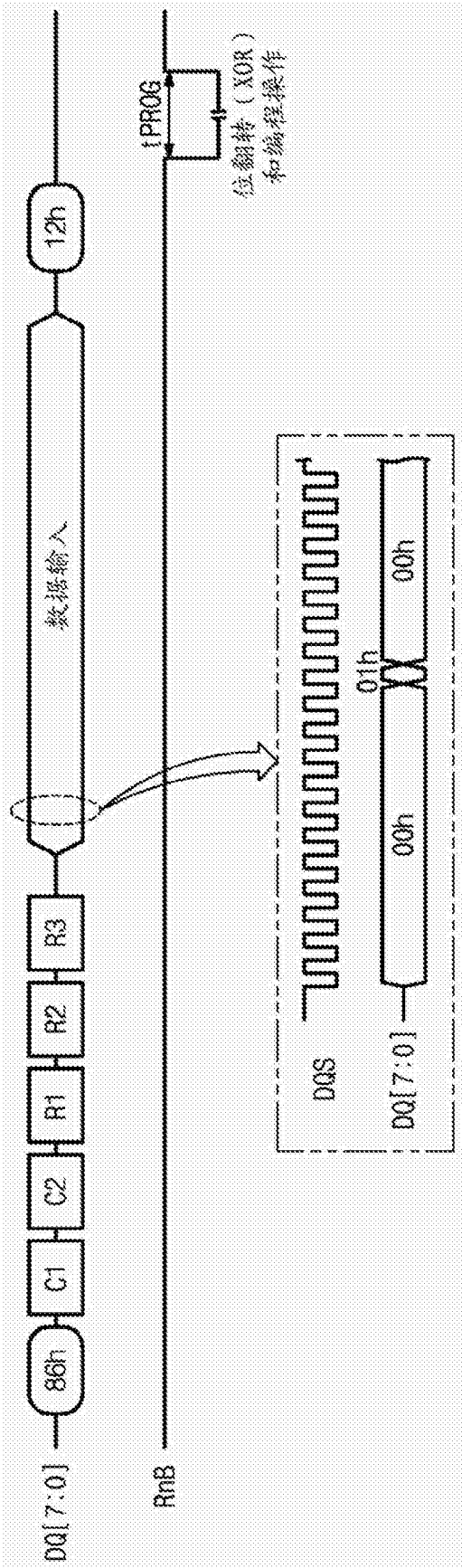


图10

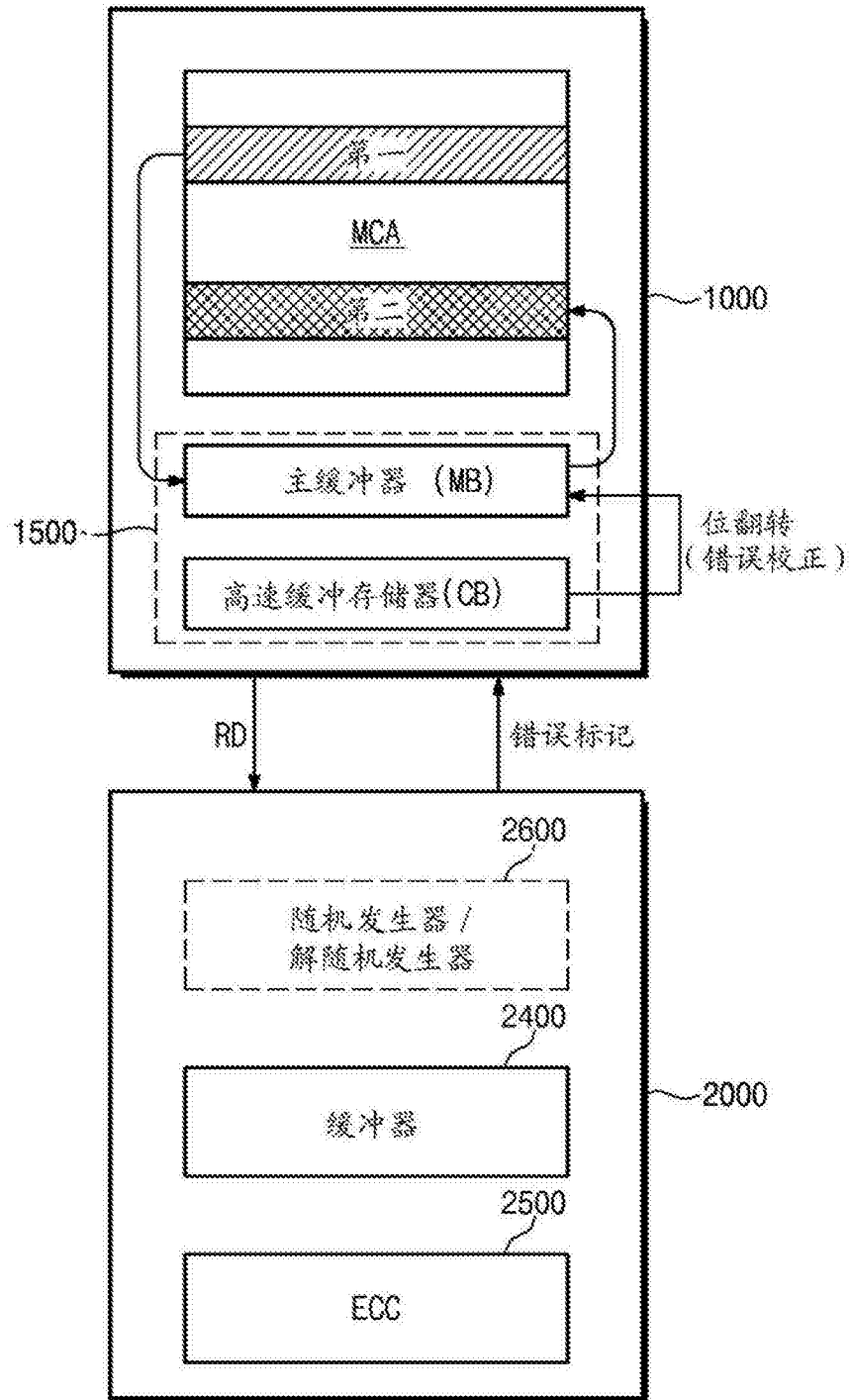


图11

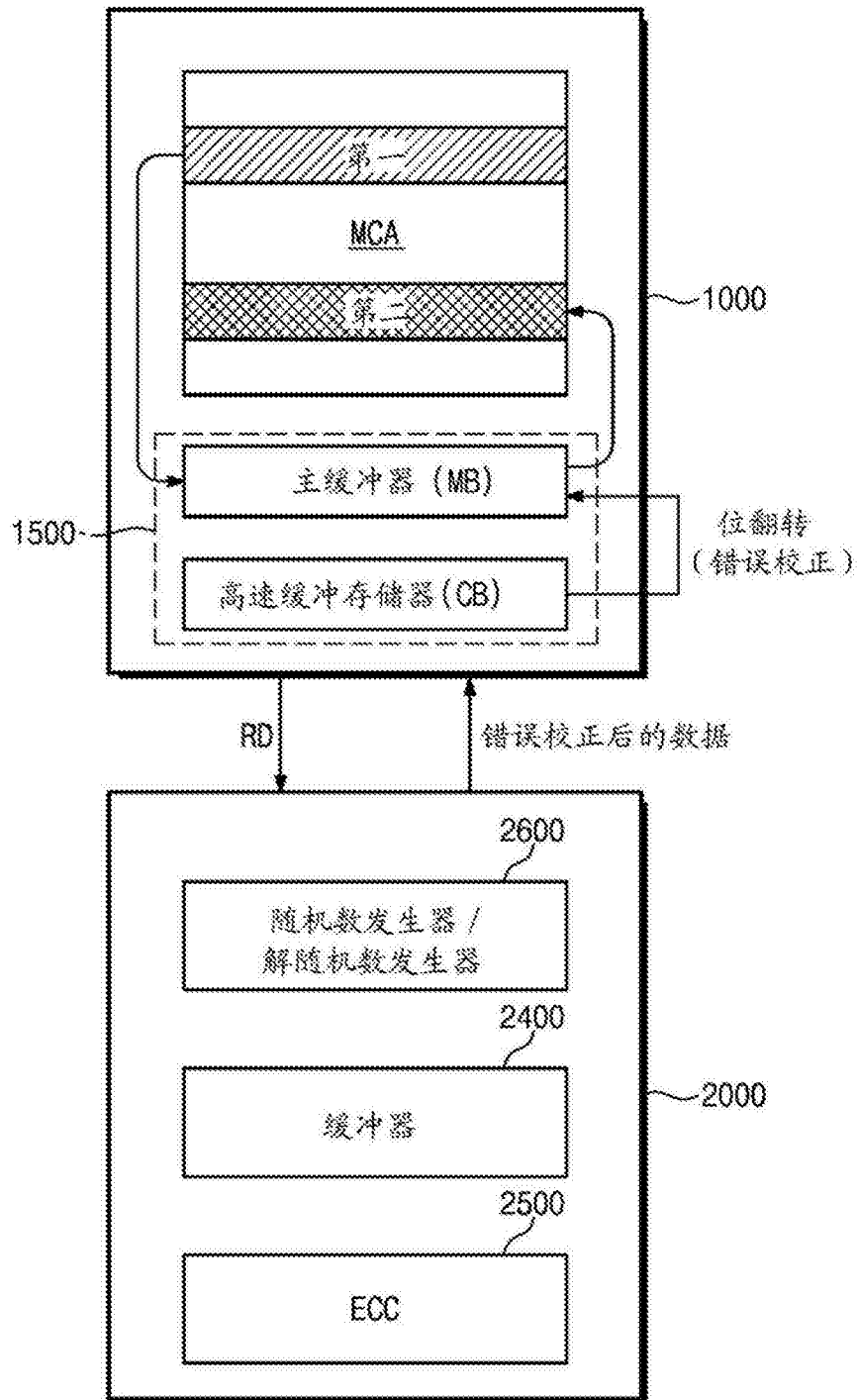


图12

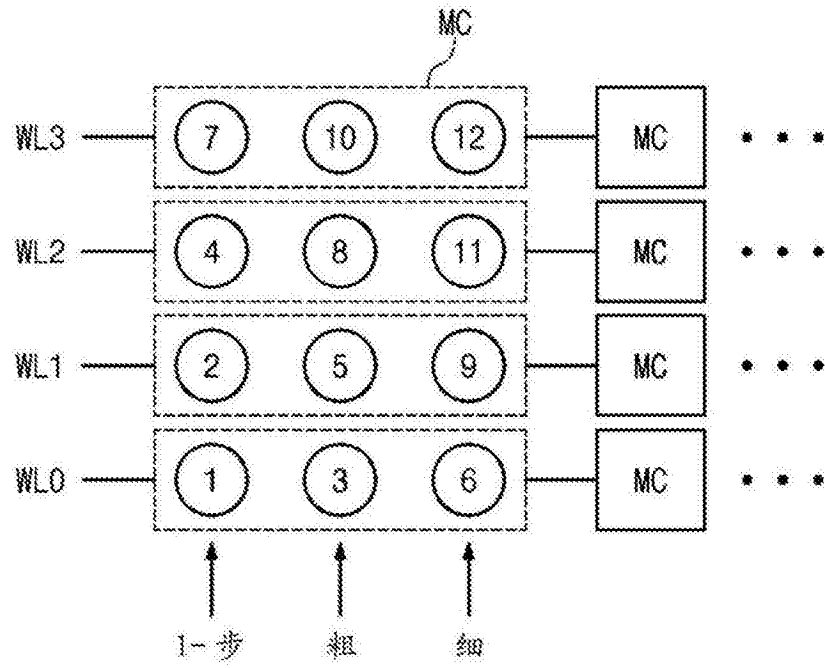


图13A

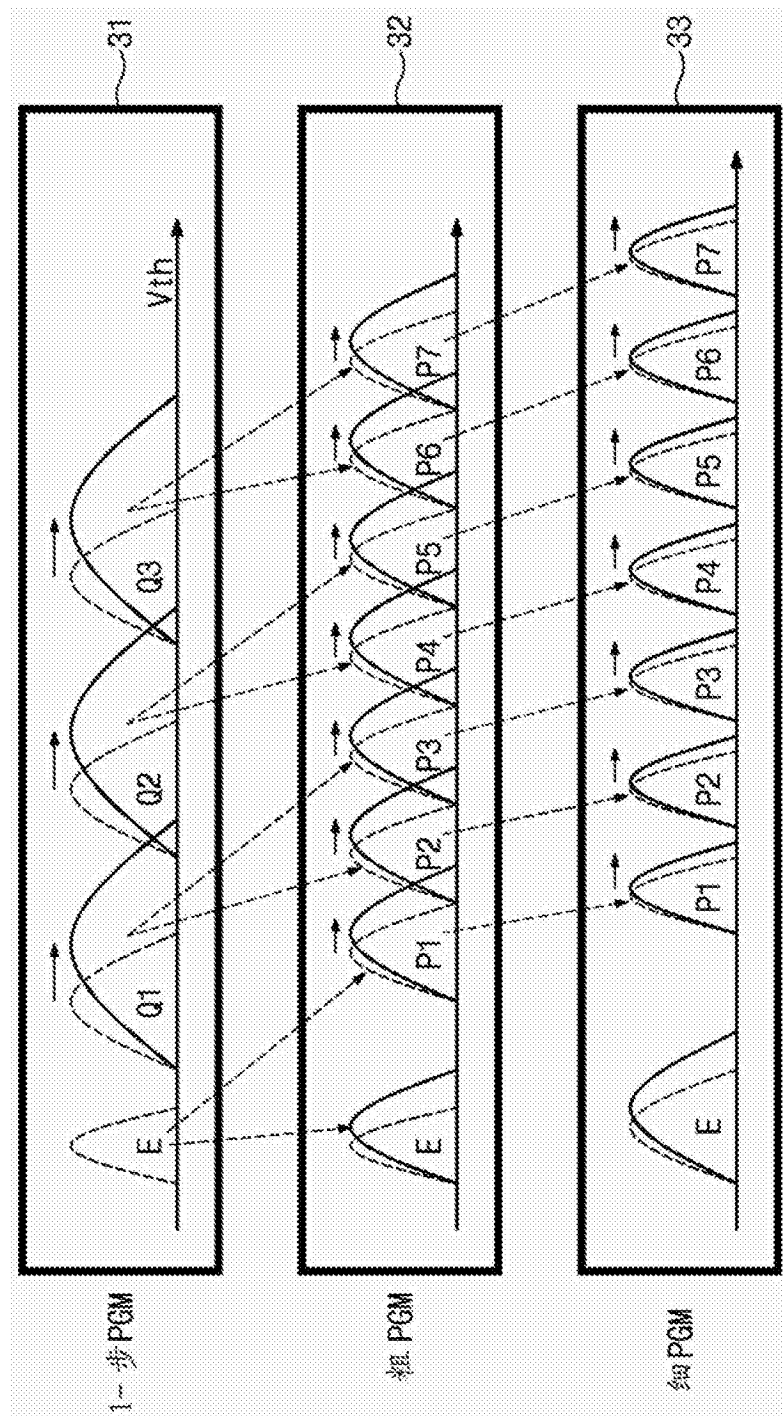


图13B

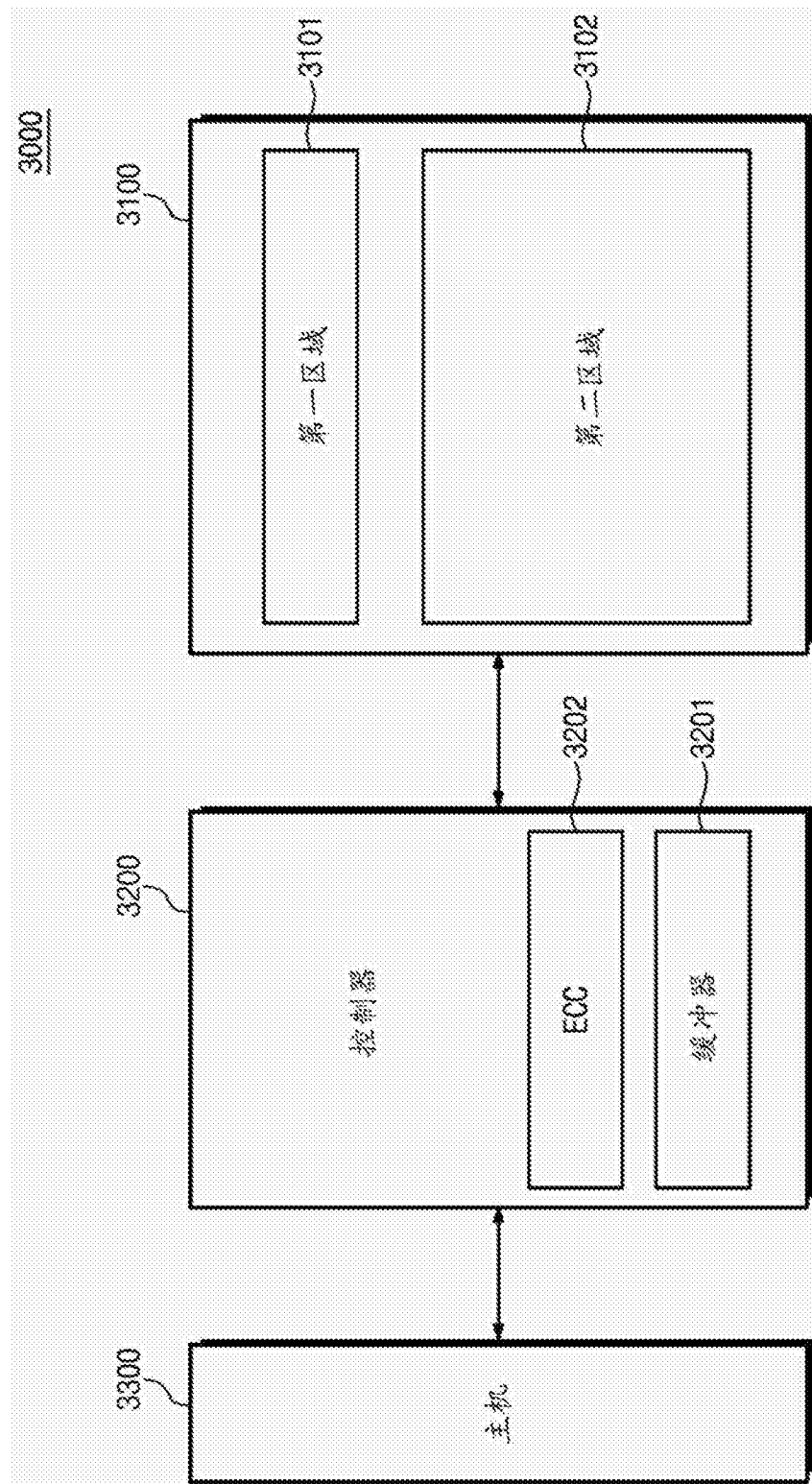


图14

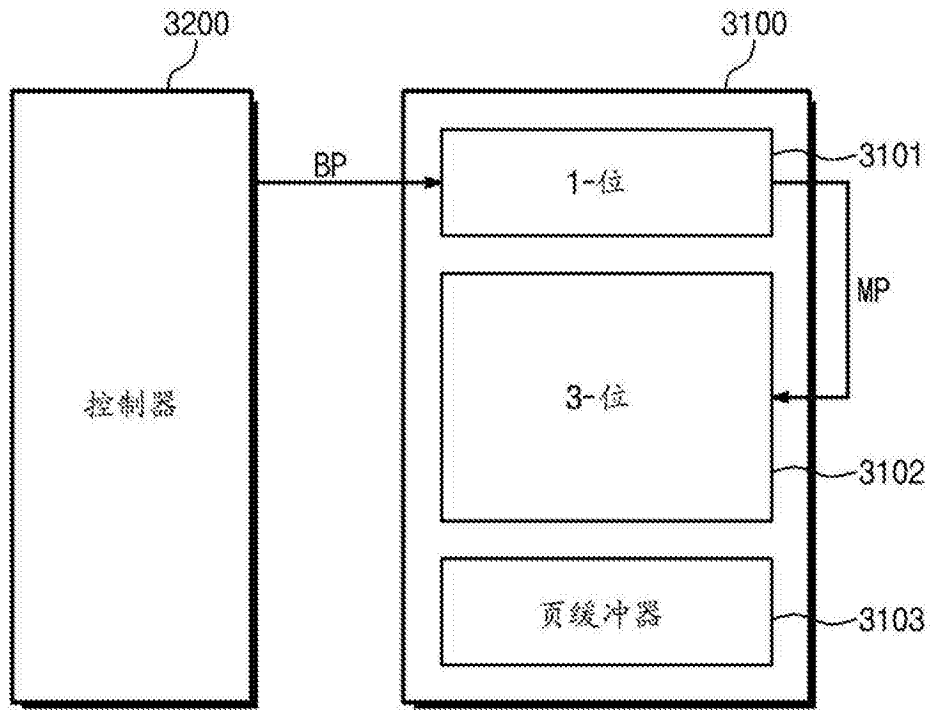


图15A

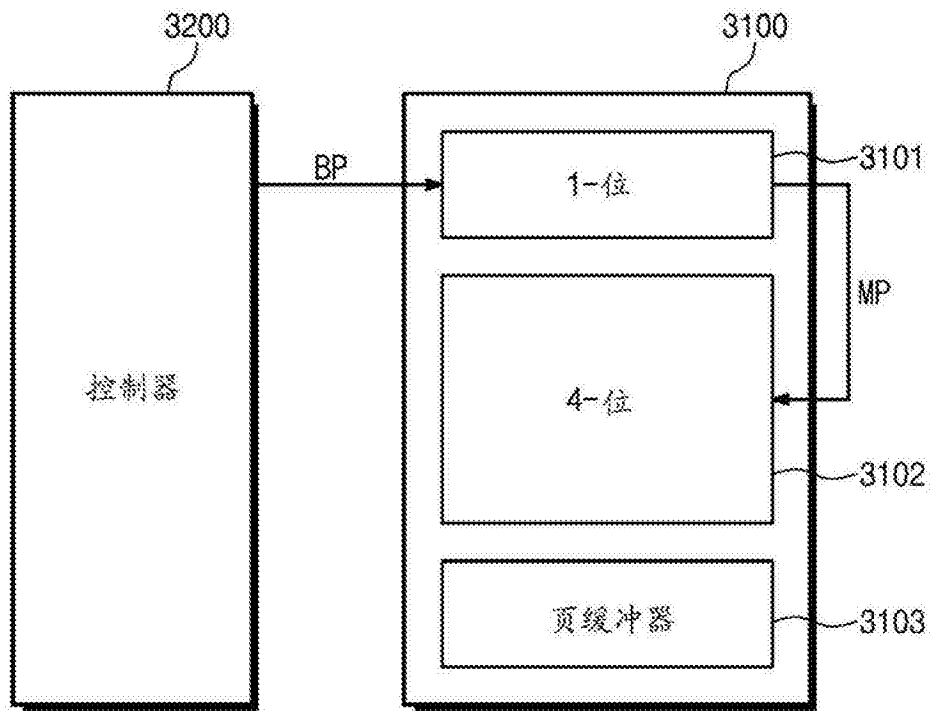


图15B

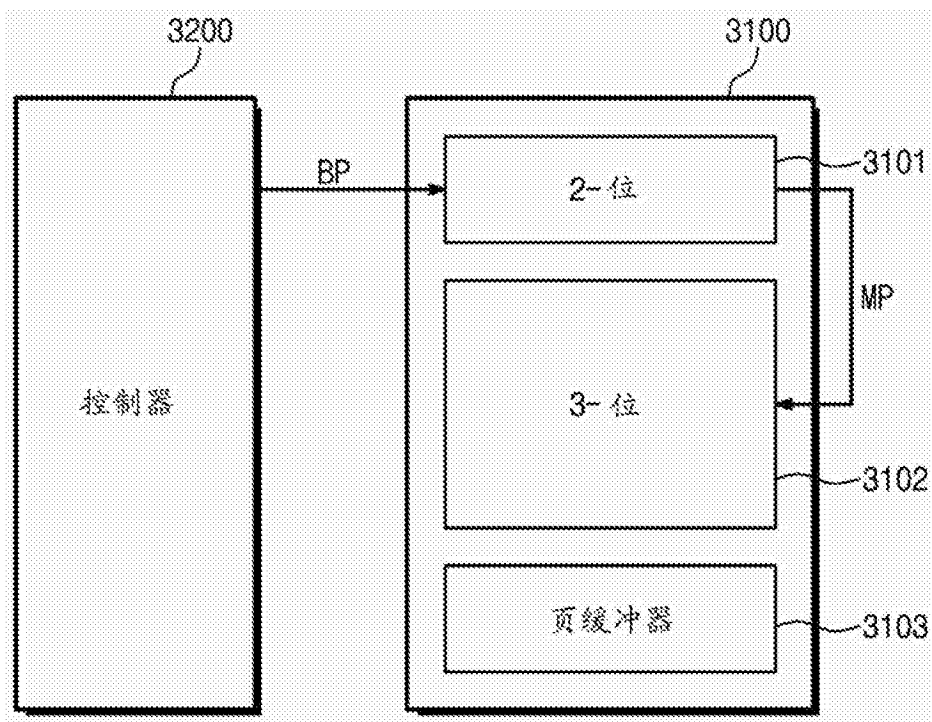


图15C

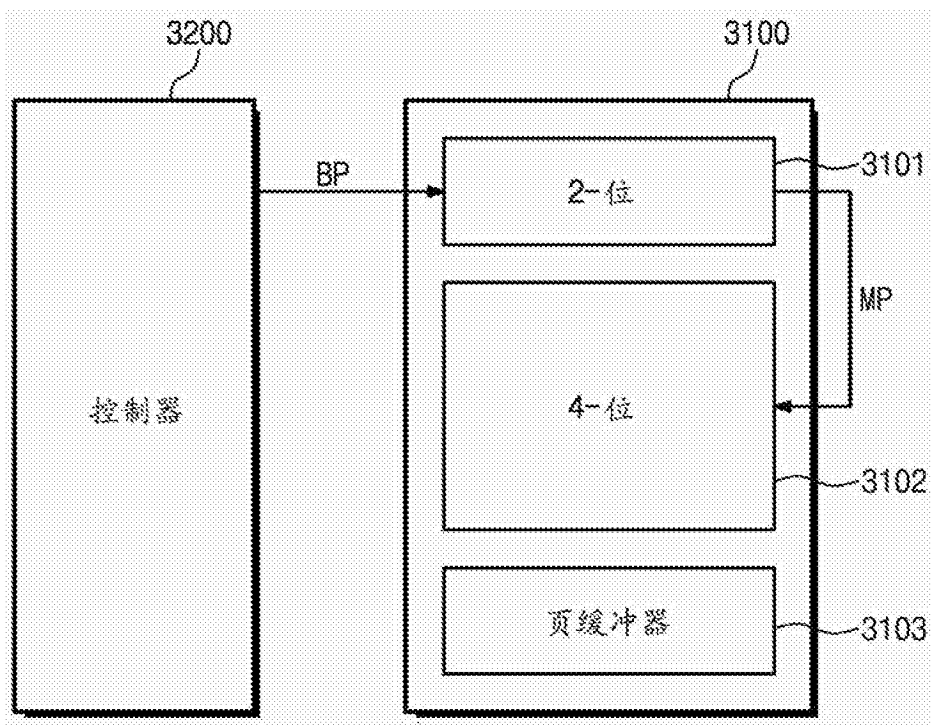


图15D

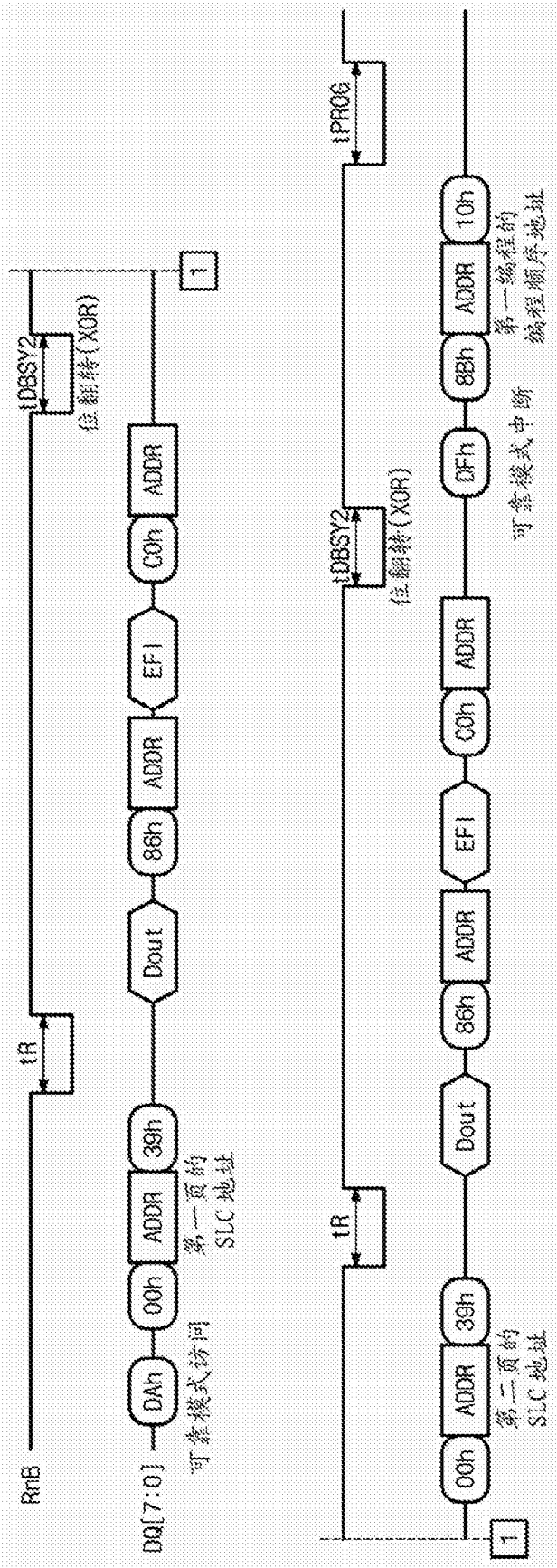


图16

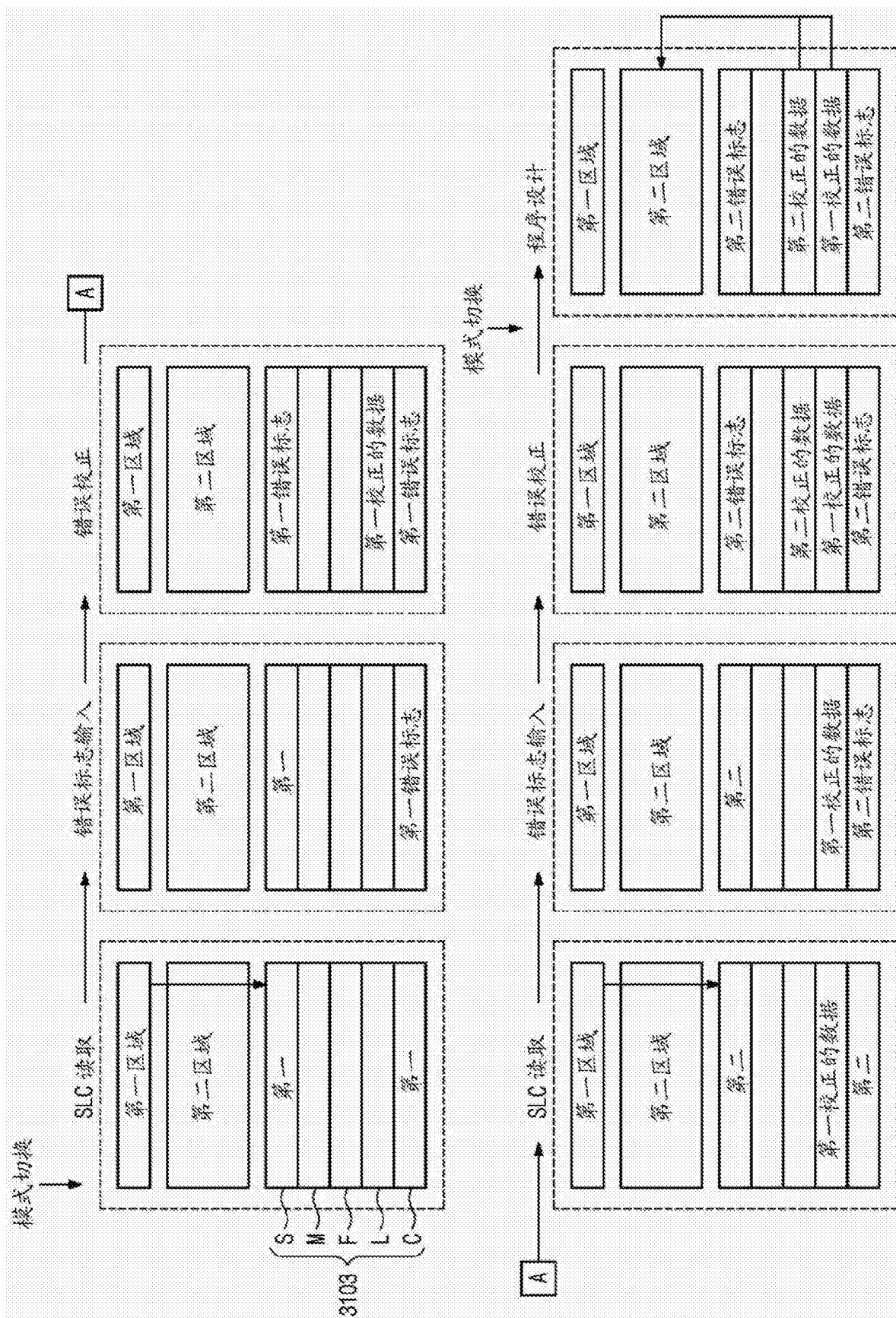


图17

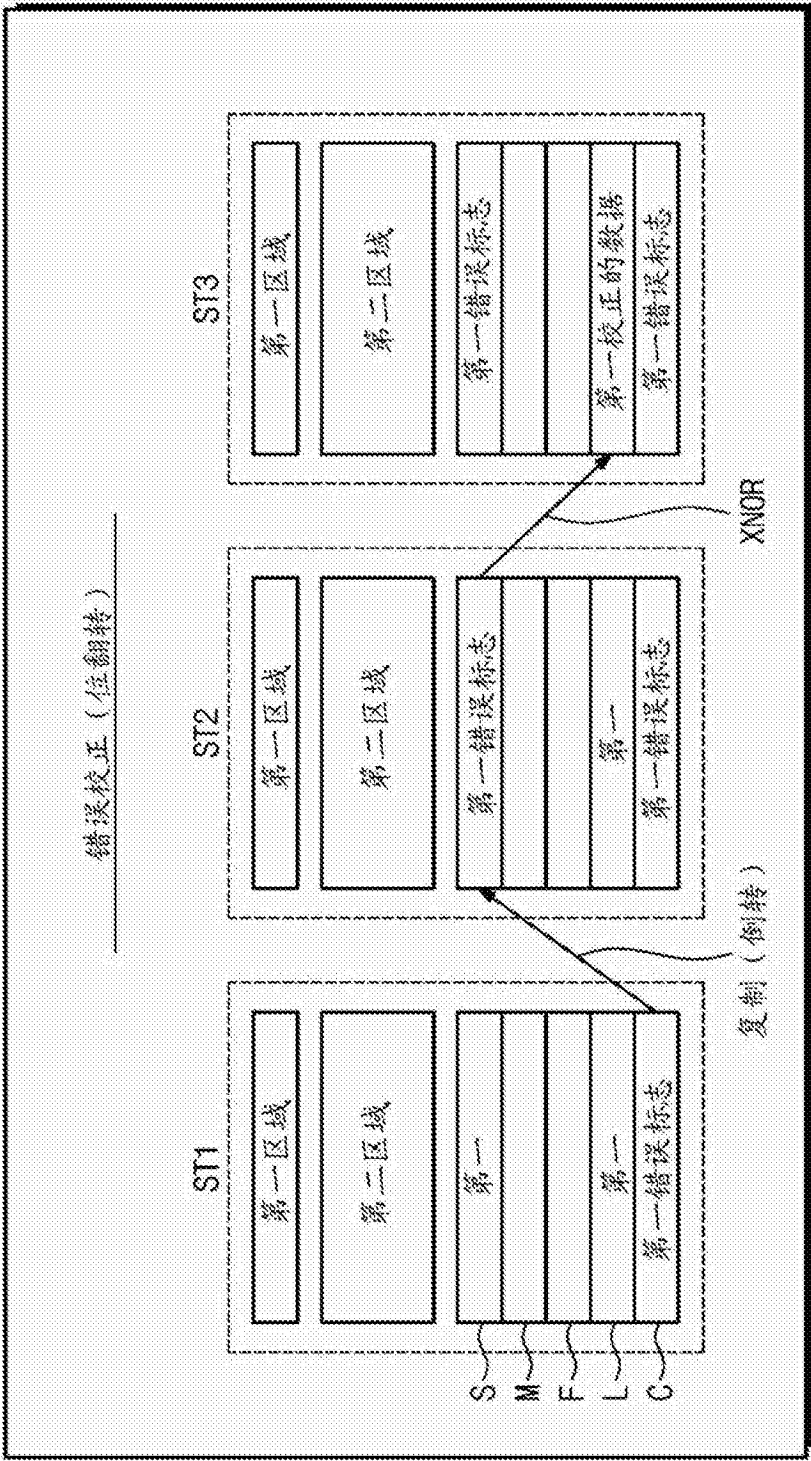


图18

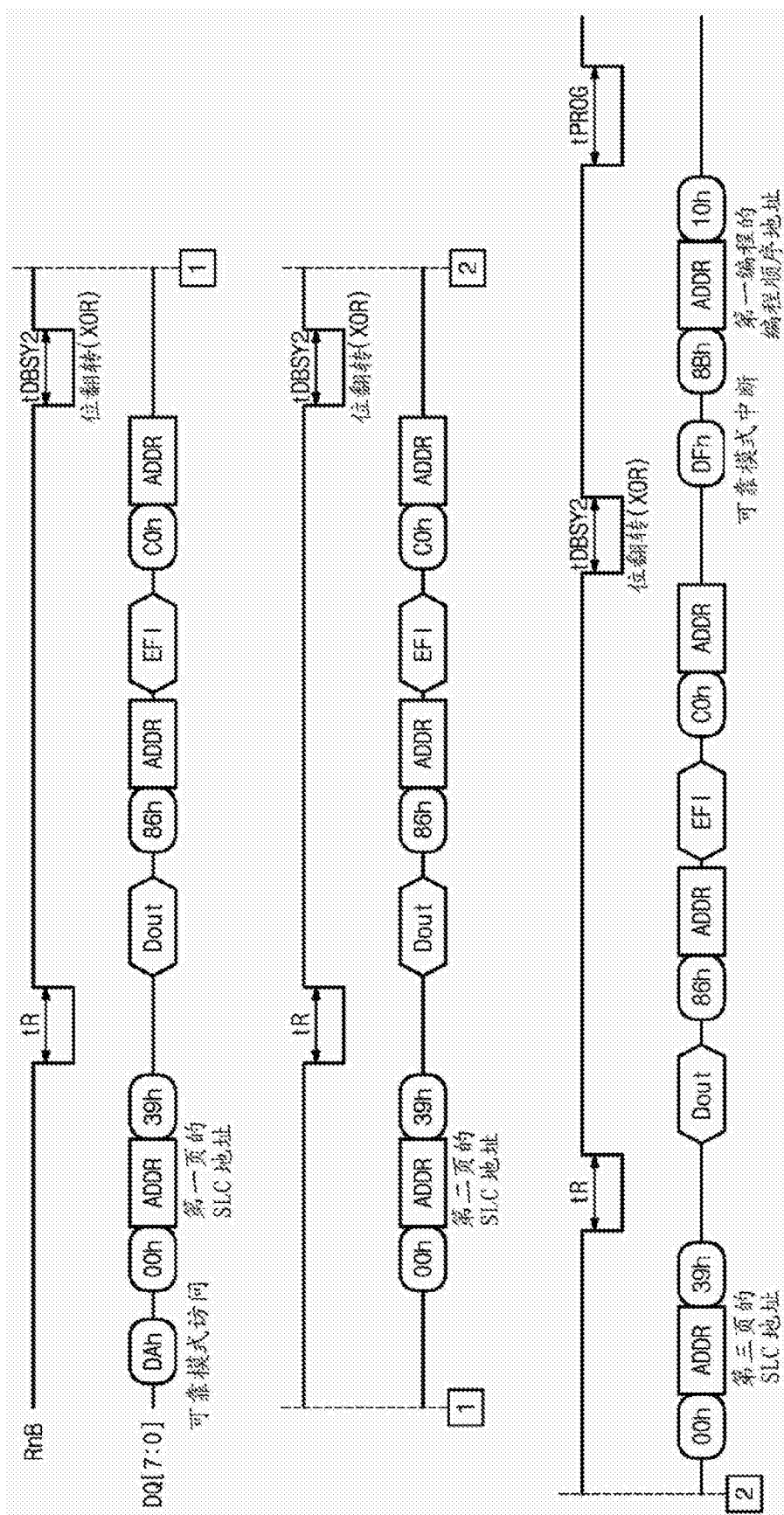


图19

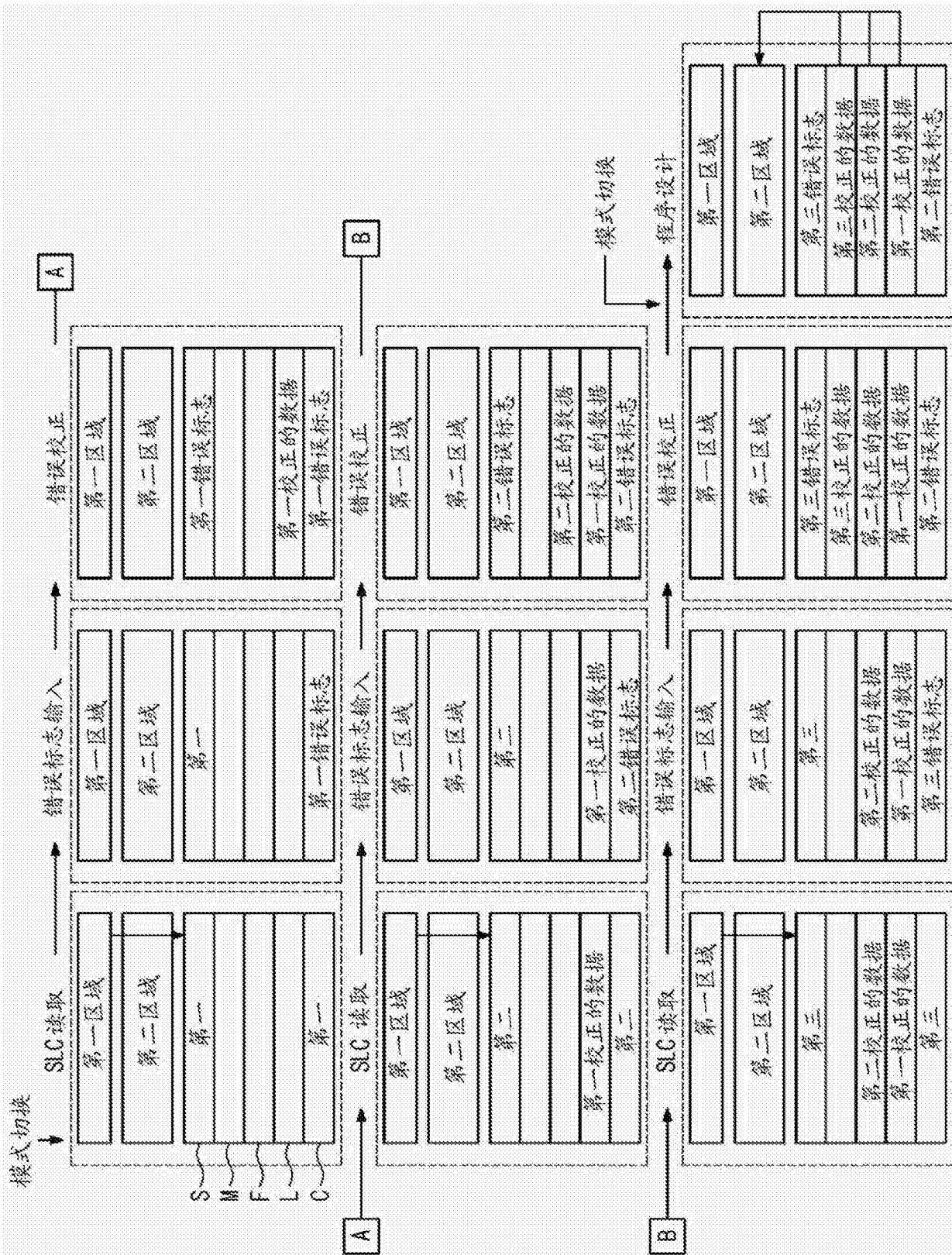


图20

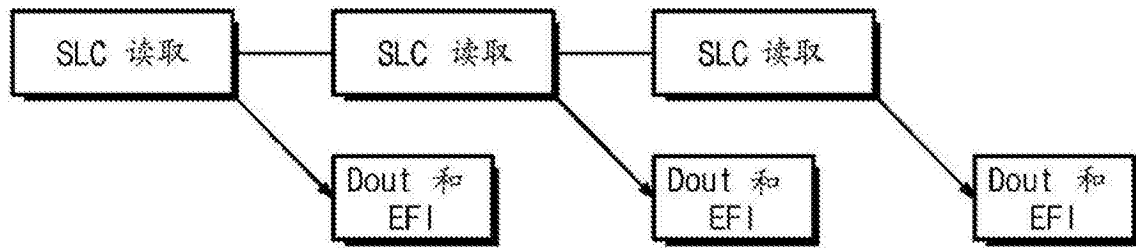


图21

刷新 PGM

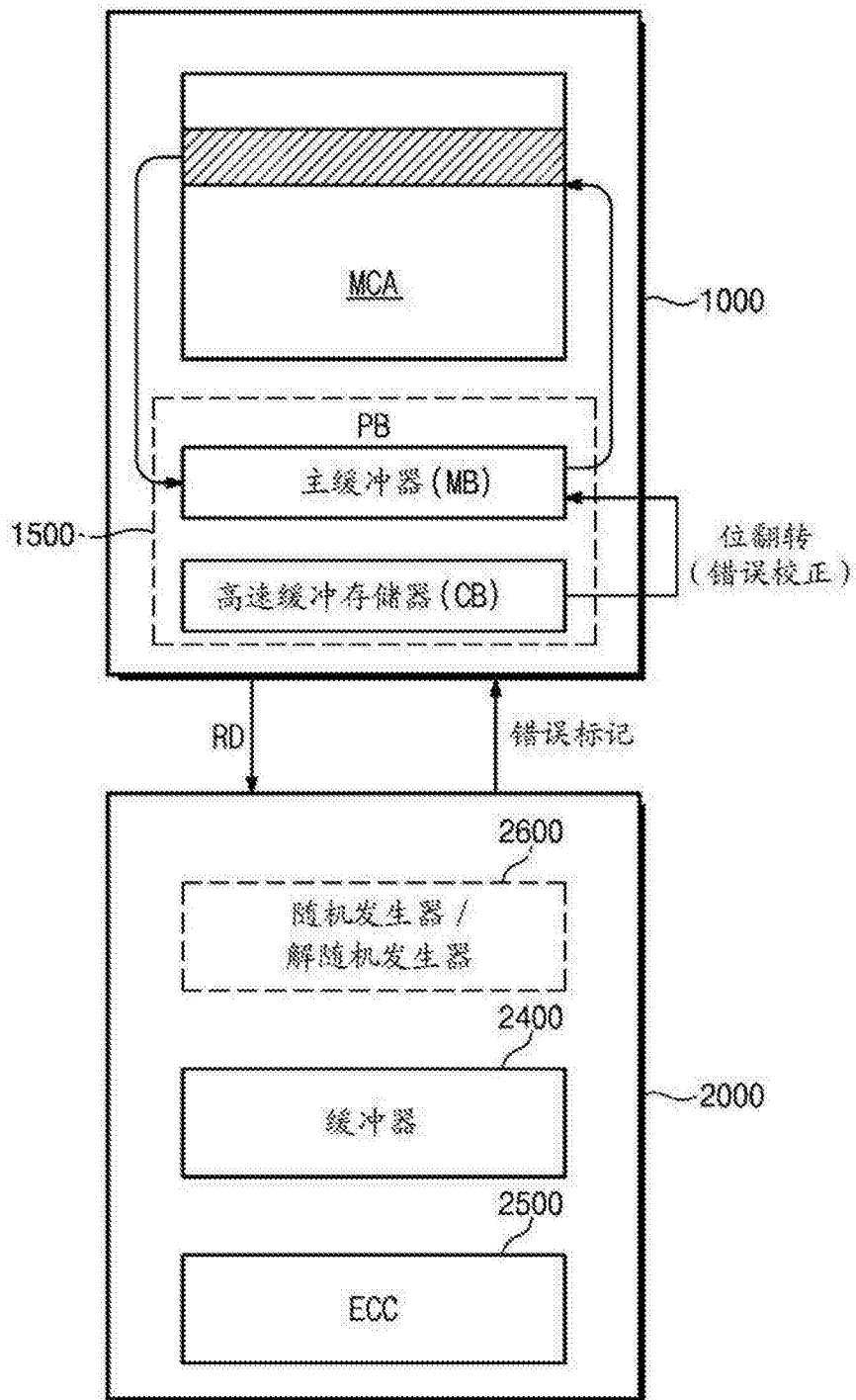


图22

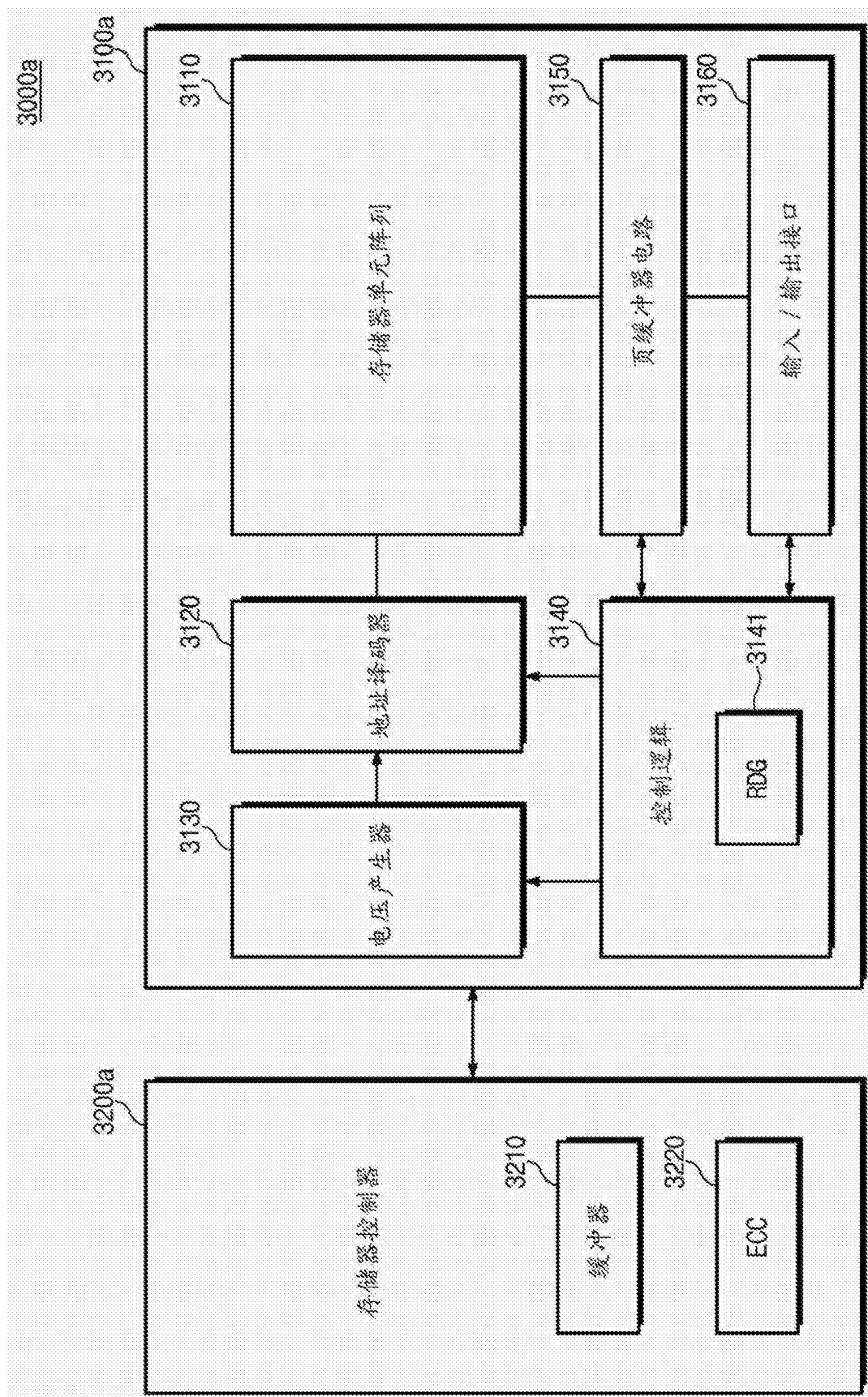


图23

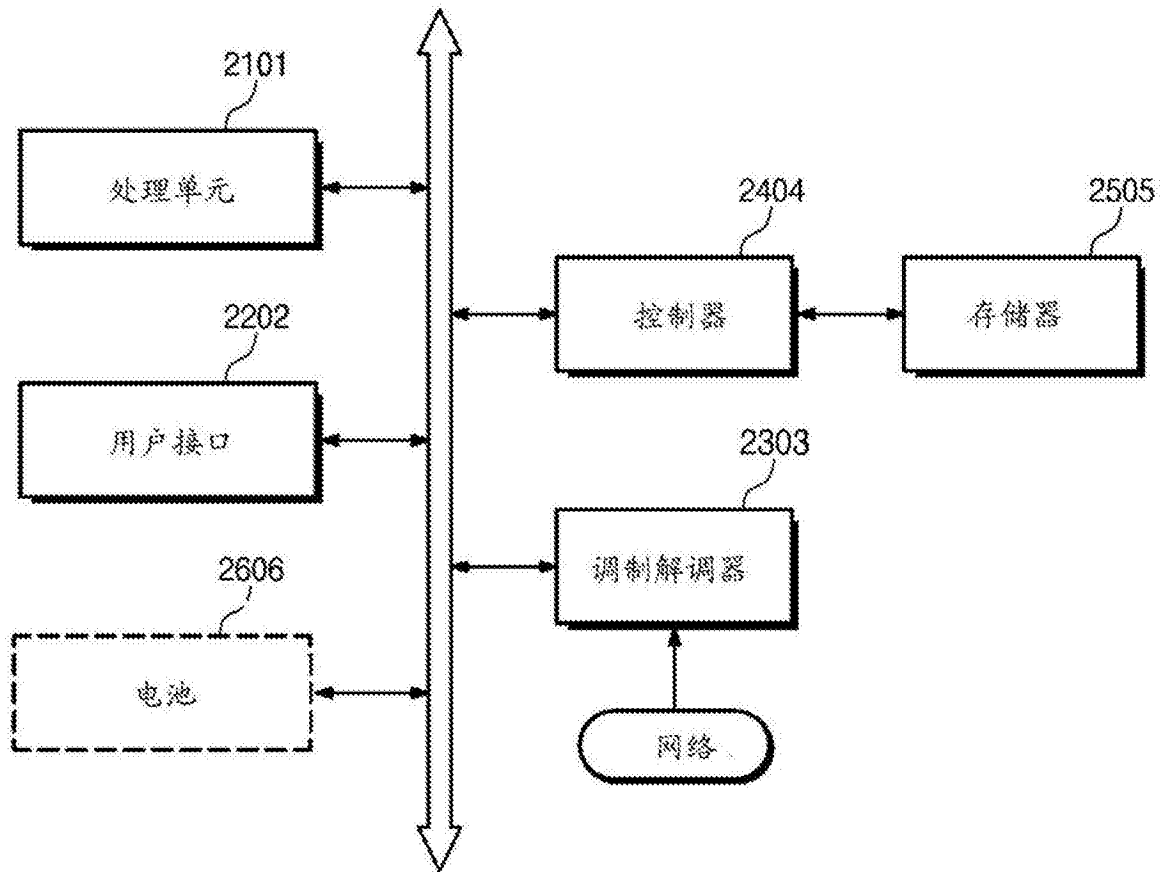


图24

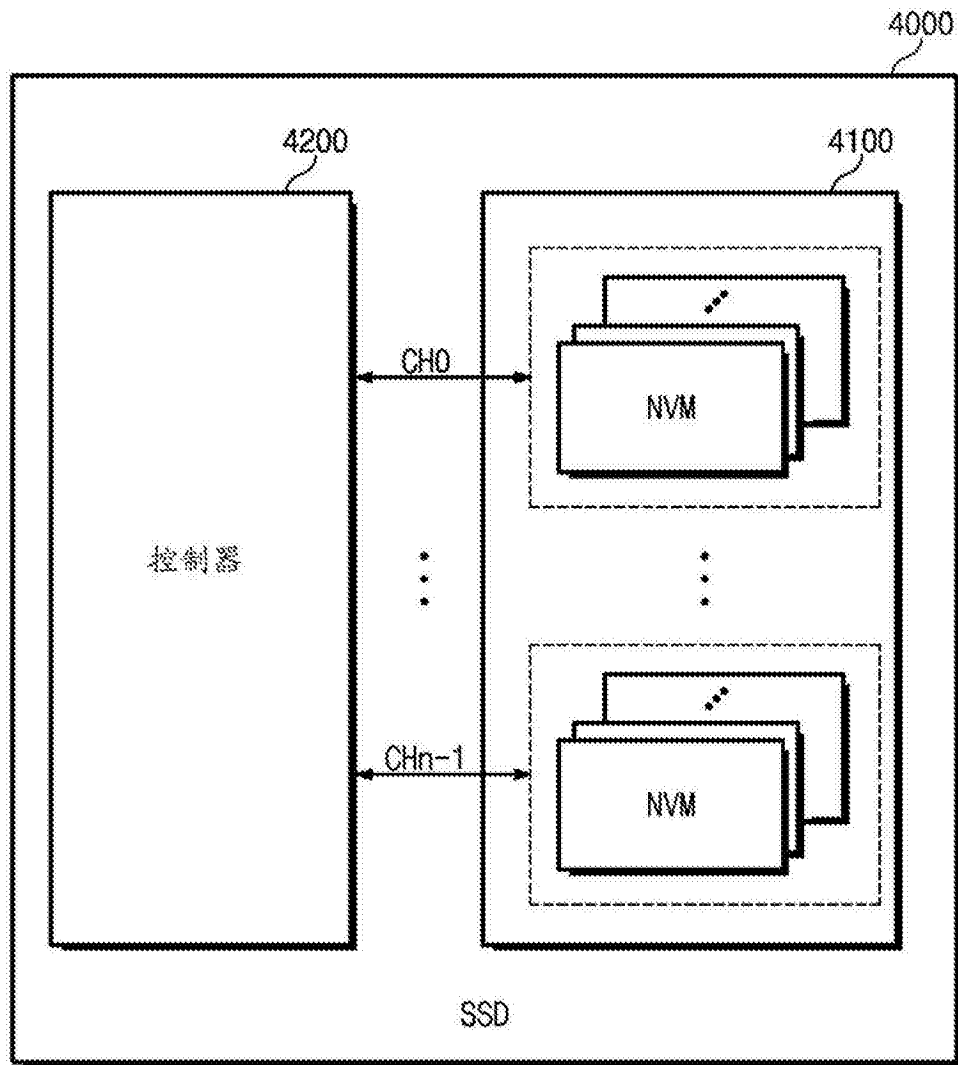


图25

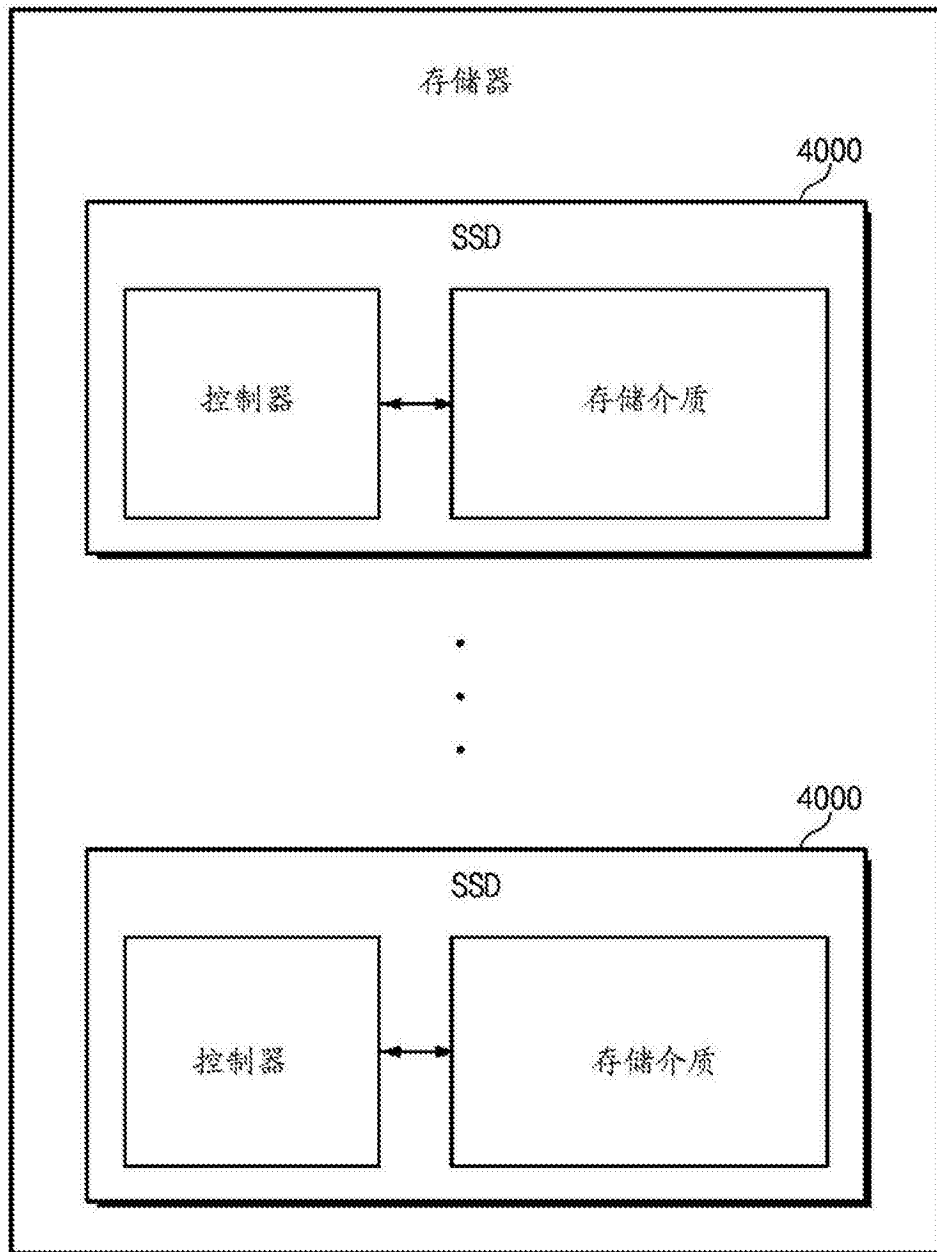


图26

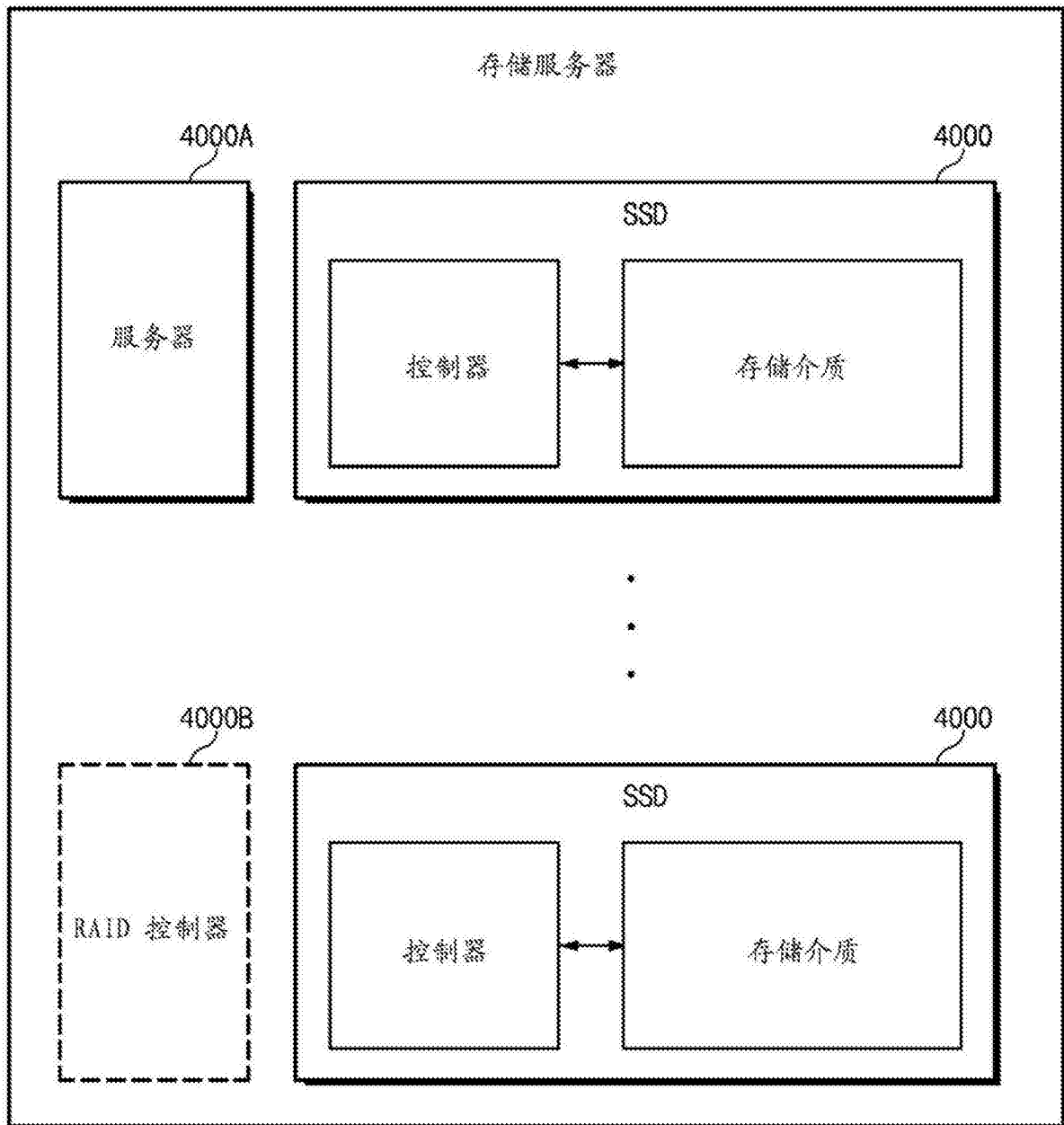


图27

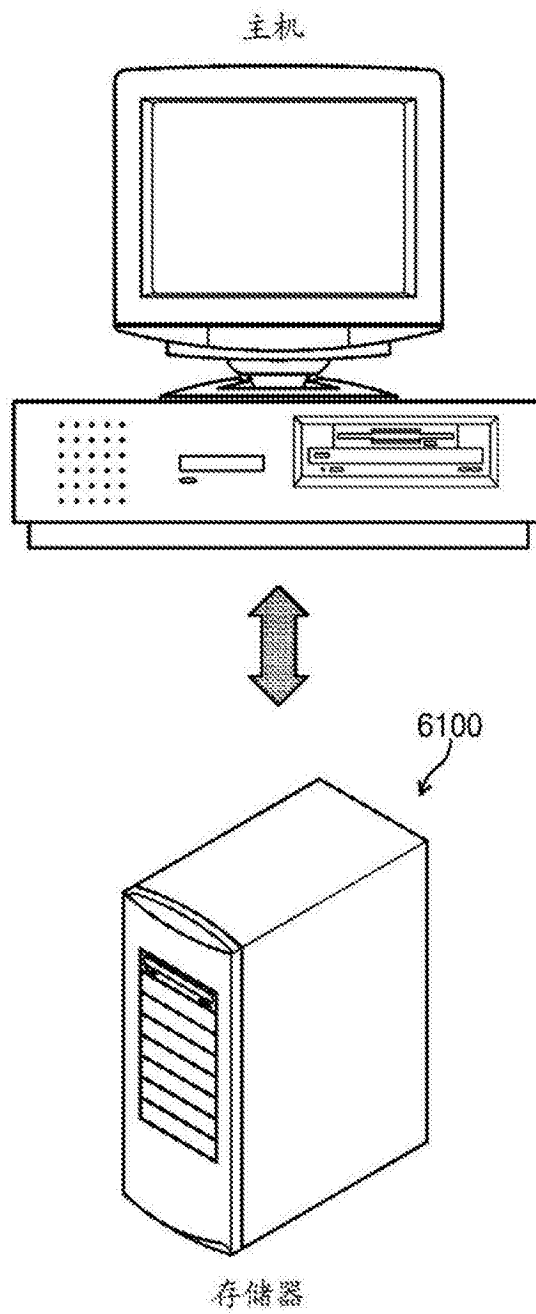
6000

图28

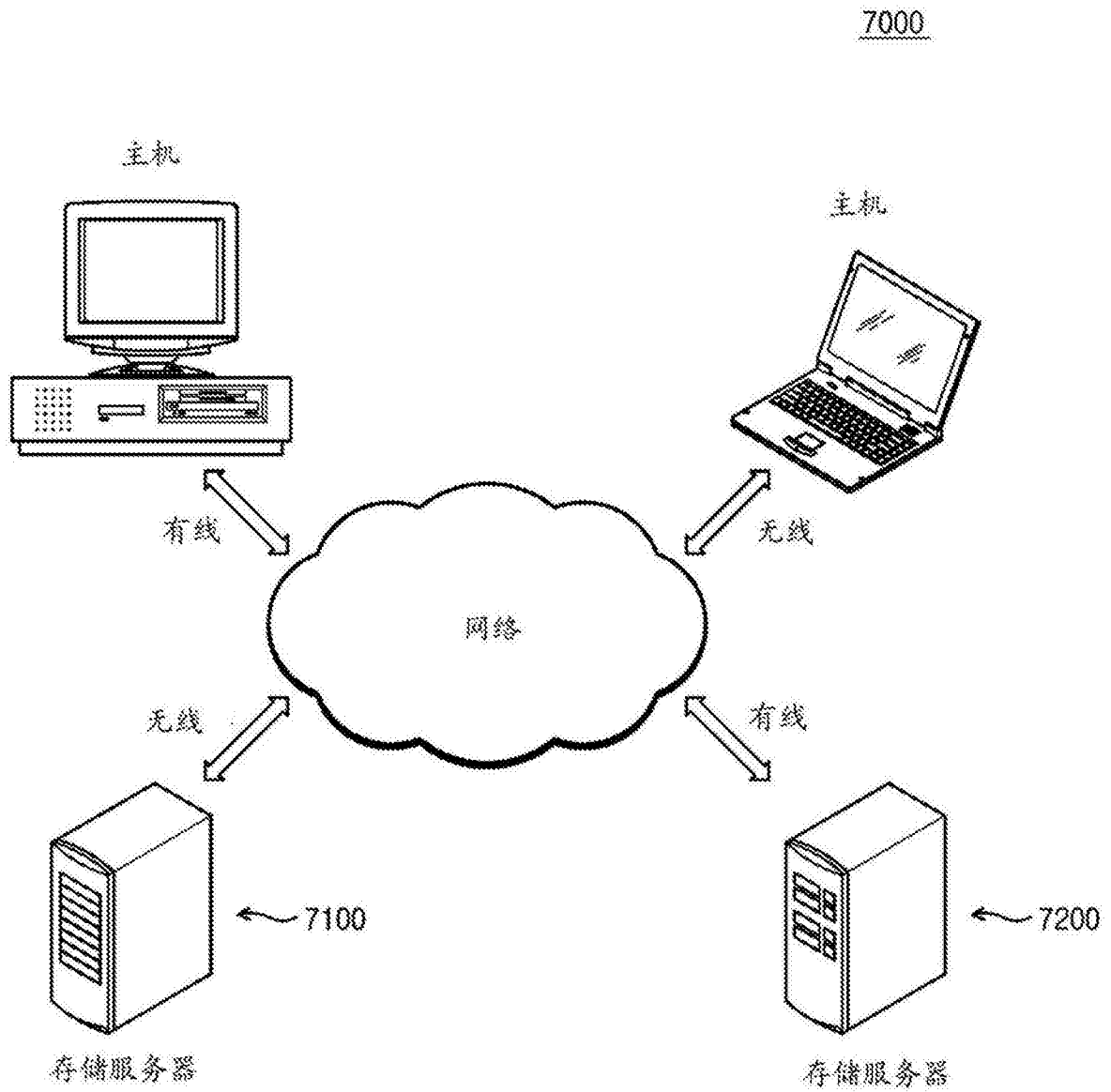


图29

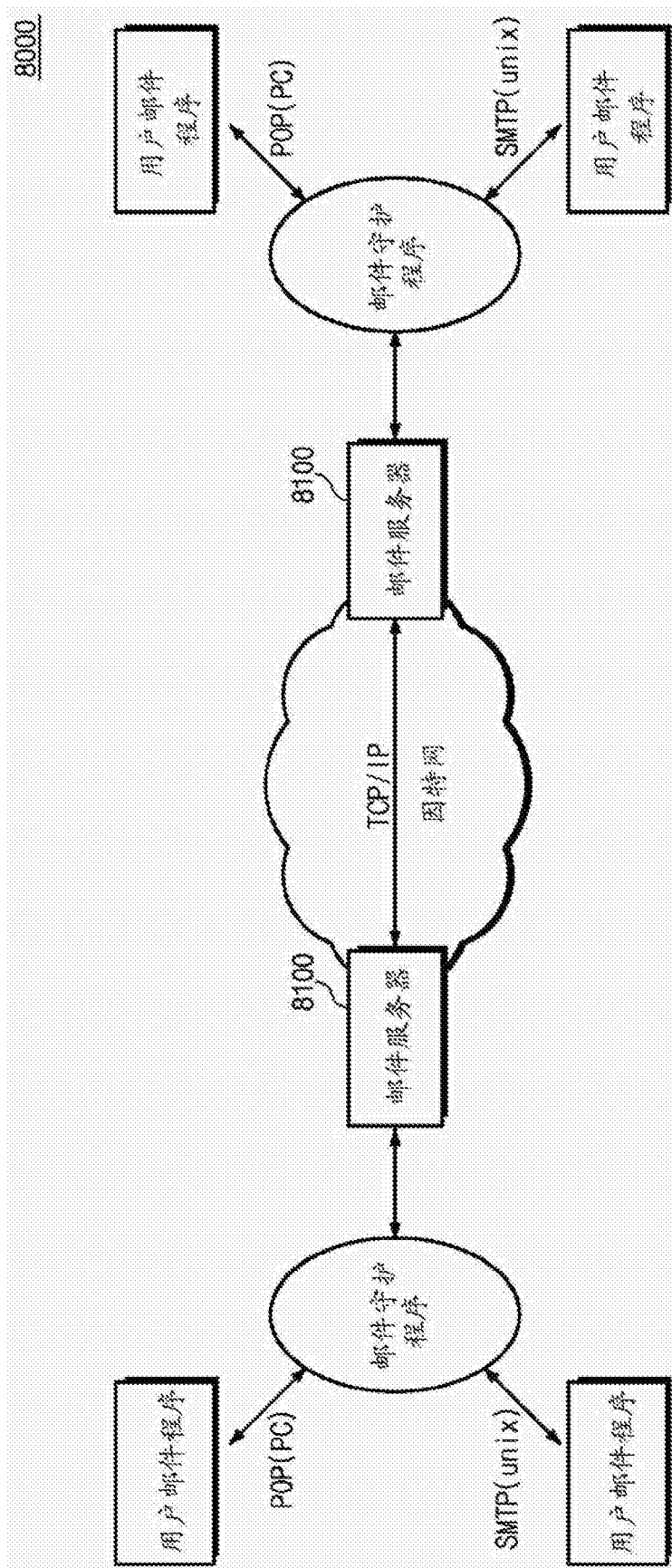


图30

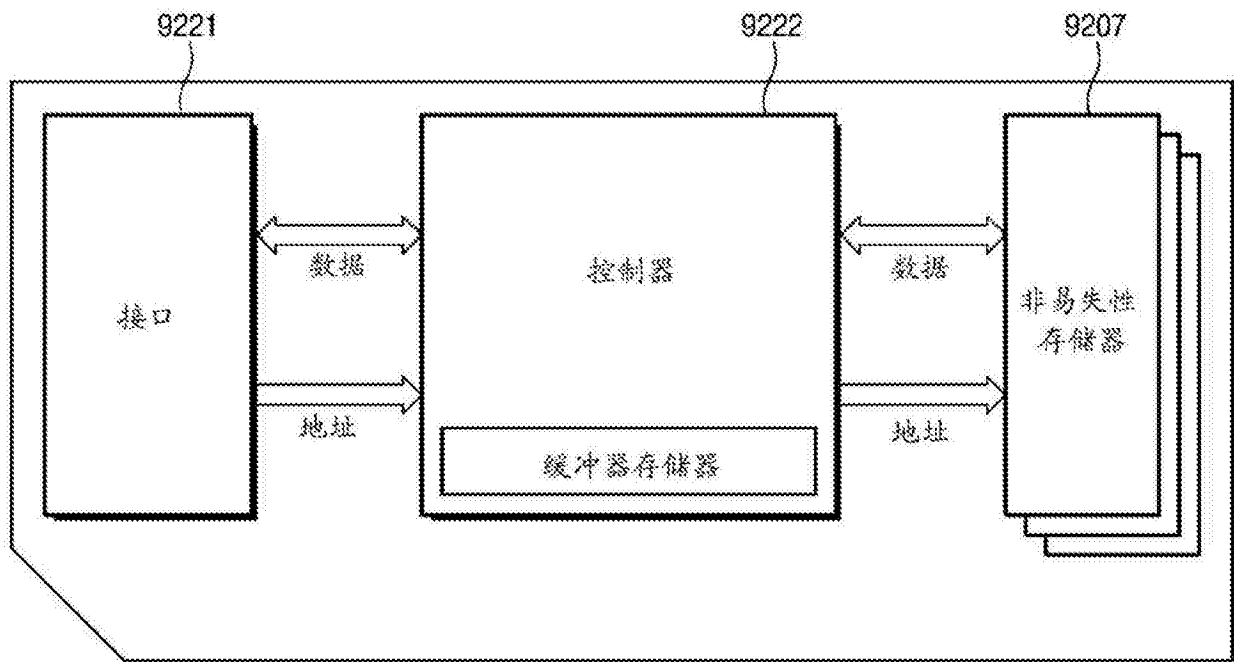


图31

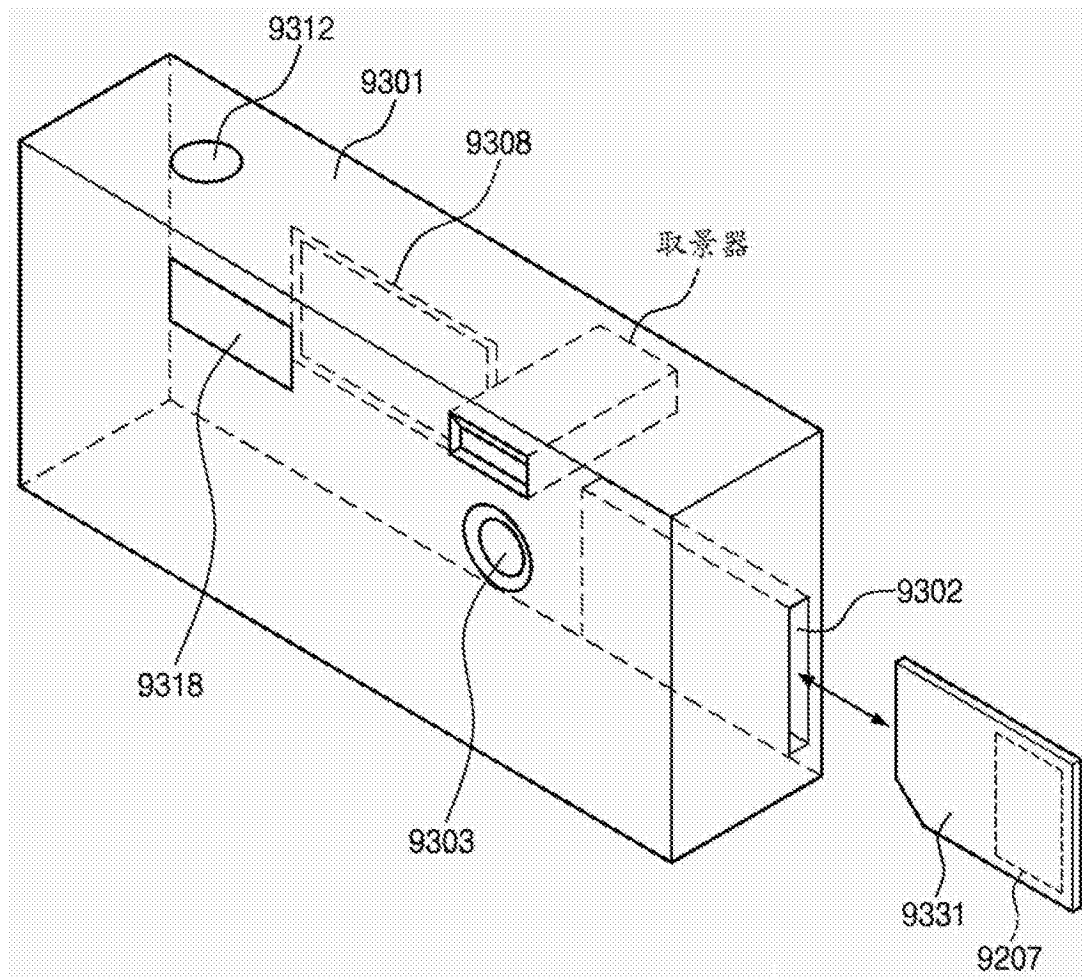


图32

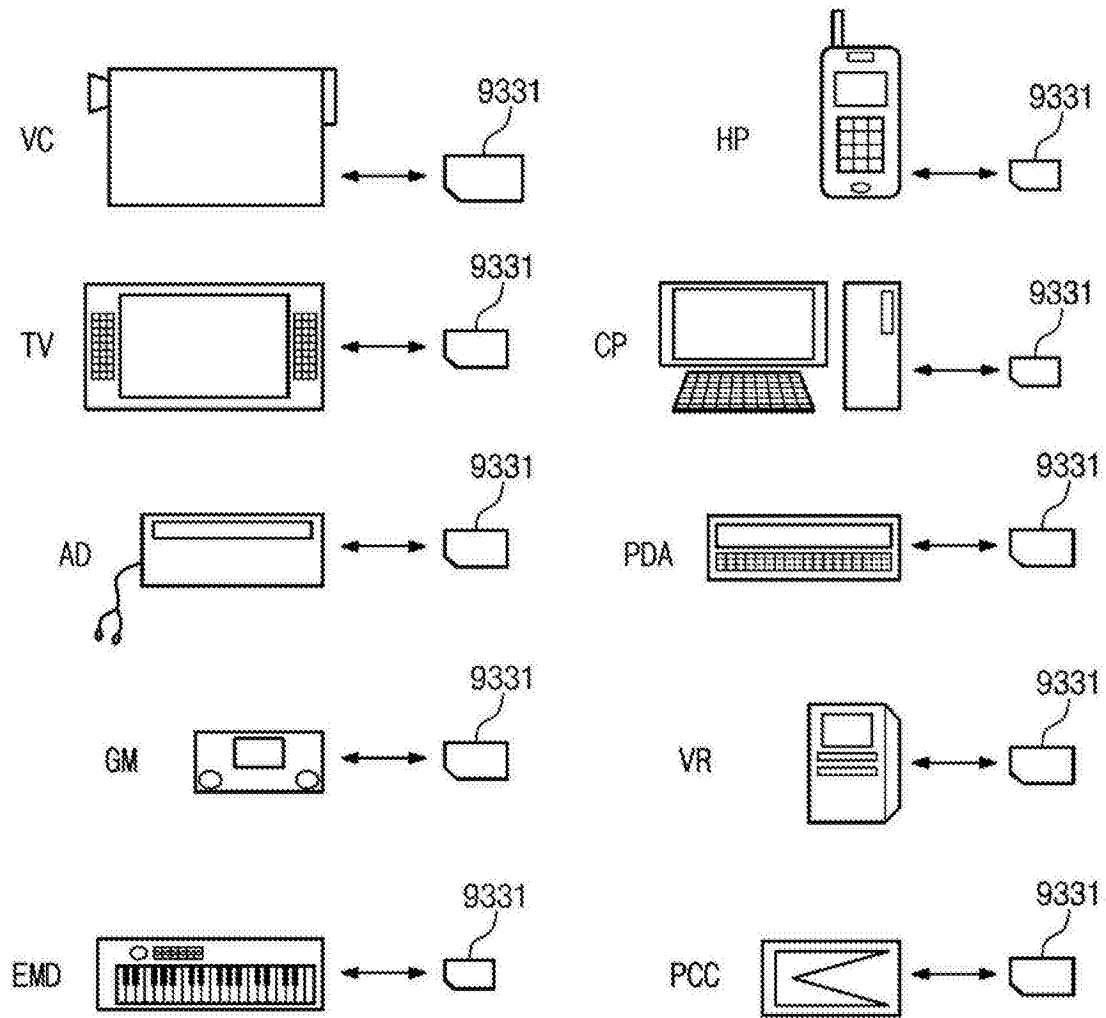


图33