

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年4月6日(06.04.2023)



(10) 国際公開番号

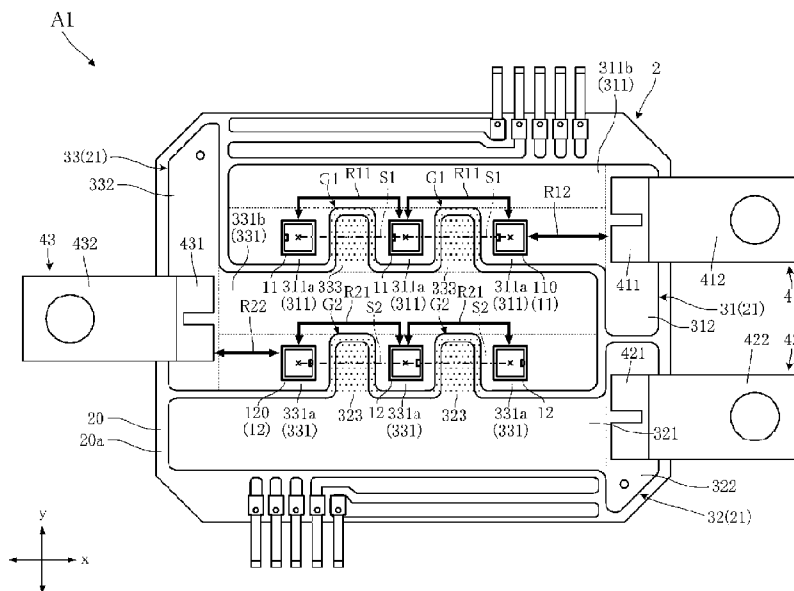
WO 2023/053823 A1

- (51) 国際特許分類:  
*H01L 25/07* (2006.01) *H02M 7/48* (2007.01)  
*H01L 25/18* (2023.01)
- (21) 国際出願番号: PCT/JP2022/032604
- (22) 国際出願日: 2022年8月30日(30.08.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2021-159368 2021年9月29日(29.09.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院  
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 坂井 優斗 (SAKAI Hiroto); 〒6158585  
京都府京都市右京区西院溝崎町2-1番地  
ローム株式会社内 Kyoto (JP). 大河内  
裕太 (OKAWAUCHI Yuta); 〒6158585 京都府  
京都市右京区西院溝崎町2-1番地  
ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);  
〒5430014 大阪府大阪市天王寺区玉造元町  
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.3



(57) Abstract: This semiconductor device comprises two first semiconductor elements, a first conductor, and a first power terminal. Each of the two semiconductor elements includes a first electrode, a second electrode, and a third electrode, and is switched between an on-state and an off-state in accordance with a first drive signal input to the third electrode. The first conductor is electrically interposed between the first electrodes of the two first semiconductor elements. The first power terminal is electrically connected to the first conductor, and is in electrical communication with the first electrode of each



WO 2023/053823 A1

HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

of the two first semiconductor elements. The two first semiconductor elements are electrically connected in parallel. The first conductor, as viewed in the thickness direction of the first conductor, is disposed to clear a part of a first segment connecting the centers of the two first semiconductor elements.

(57) 要約 : 半導体装置は、2つの第1半導体素子と、第1導体と、第1電力端子と、を備える。前記2つの半導体素子は、各々、第1電極、第2電極および第3電極を有し、前記第3電極に入力される第1駆動信号に応じて、オン状態とオフ状態との切り替えが制御される。前記第1導体は、前記2つの第1半導体素子の前記第1電極間に電氣的に介在する。前記第1電力端子は、前記第1導体に電氣的に接続され、前記2つの第1半導体素子の各々の前記第1電極に導通する。前記2つの第1半導体素子は、電氣的に並列に接続されている。前記第1導体は、前記第1導体の厚さ方向に見て、前記2つの第1半導体素子の中心を結ぶ第1線分の一部を避けて配置されている。

## 明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 従来、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) や I G B T (Insulated Gate Bipolar Transistor) などの電力用半導体素子を備える半導体装置が知られている。このような半導体装置において、半導体装置の許容電流を確保するために、複数の電力用半導体素子を並列に接続した構成が知られている（たとえば特許文献1）。特許文献1に記載の半導体装置（パワーモジュール）は、複数の第1半導体素子、複数の第1接続配線、配線層および信号端子を備える。複数の第1半導体素子は、たとえばM O S F E T からなる。各第1半導体素子は、ゲート端子に入力された駆動信号に応じてオン・オフ駆動する。複数の第1半導体素子は、並列に接続されている。複数の第1接続配線は、たとえばワイヤであり、複数の第1半導体素子のゲート端子と配線層とを接続する。配線層は、信号端子が接続されている。信号端子は、配線層および各第1接続配線を介して、各第1半導体素子のゲート端子に接続される。信号端子は、各第1半導体素子を駆動するための駆動信号を、各第1半導体素子のゲート端子に供給する。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-225493号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1のように、複数の半導体素子を並列に接続して使用する場合、各半導体素子のスイッチング時（オン・オフ駆動時）に、発振現象が発生することがある。この発振現象は、複数の半導体素子の駆動信号を振動させる

ことがあり、各半導体素子の誤作動または各半導体素子の破壊の要因である。

[0005] 本開示は、上記事情に鑑みて考え出されたものであり、複数の半導体素子を並列動作させる場合に生じる発振現象を抑制することが可能な半導体装置を提供することを一の課題とする。

### 課題を解決するための手段

[0006] 本開示の半導体装置は、各々が、第1電極、第2電極および第3電極を有し、前記第3電極に入力される第1駆動信号に応じて、オン状態とオフ状態との切り替えが制御される2つの第1半導体素子と、前記2つの第1半導体素子の前記第1電極間に電氣的に介在する第1導体と、前記第1導体に電氣的に接続され、前記2つの第1半導体素子の各々の前記第1電極に導通する第1電力端子と、を備えている。前記2つの第1半導体素子は、電氣的に並列に接続されている。前記第1導体は、前記第1導体の厚さ方向に見て、前記2つの第1半導体素子の中心を結ぶ第1線分の一部を避けて配置されている。

### 発明の効果

[0007] 本開示の半導体装置によれば、発振現象を抑制することができる。

### 図面の簡単な説明

[0008] [図1]図1は、第1実施形態にかかる半導体装置を示す斜視図である。

[図2]図2は、第1実施形態にかかる半導体装置を示す平面図であって、封止部材を想像線で示している。

[図3]図3は、図2の平面図において、複数の接続部材および封止部材を省略した図である。

[図4]図4は、図2のI-V-I-V線に沿う断面図である。

[図5]図5は、図2のV-V線に沿う断面図である。

[図6]図6は、図2のV-I-V-I線に沿う断面図である。

[図7]図7は、第1実施形態の第1変形例にかかる半導体装置を示す要部平面図であって、図3の平面図に対応する。

[図8]図8は、第1実施形態の第2変形例にかかる半導体装置を示す要部平面図であって、図3の平面図に対応する。

[図9]図9は、第1実施形態の第3変形例にかかる半導体装置を示す要部平面図であって、図3の平面図に対応する。

[図10]図10は、第1実施形態の第4変形例にかかる半導体装置を示す要部平面図であって、図3の平面図に対応する。

[図11]図11は、第1実施形態の他の変形例にかかる半導体装置を示す要部平面図であって、図3の平面図に対応する。

[図12]図12は、第2実施形態にかかる半導体装置を示す斜視図である。

[図13]図13は、図12の斜視図において封止部材を省略した図である。

[図14]図14は、第2実施形態にかかる半導体装置を示す平面図であって、封止部材を想像線で示している。

[図15]図15は、図14の平面図において、一部の接続部材を省略した図である。

[図16]図16は、図15の平面図において、一部を省略した要部平面図である。

[図17]図17は、図14のXVⅠⅠ-XVⅠⅠ線に沿う断面図である。

[図18]図18は、第2実施形態の第1変形例にかかる半導体装置を示す要部平面図であって、図16の平面図に対応する。

[図19]図19は、第2実施形態の第2変形例にかかる半導体装置を示す要部平面図であって、図16の平面図に対応する。

[図20]図20は、第2実施形態の第3変形例にかかる半導体装置を示す要部平面図であって、図16の平面図に対応する。

[図21]図21は、第2実施形態の第4変形例にかかる半導体装置を示す要部平面図であって、図16の平面図に対応する。

[図22]図22は、第3実施形態にかかる半導体装置を示す斜視図である。

[図23]図23は、図22の斜視図において、ケースの一部（天板）および樹脂部材を省略した図である。

[図24]図24は、第3実施形態にかかる半導体装置を示す平面図である。

[図25]図25は、図24の平面図において、ケースの一部（天板）および樹脂部材を省略した図である。

[図26]図26は、図25の一部を拡大した要部拡大平面図であって、複数の接続部材を省略した図である。

[図27]図27は、図25の一部を拡大した要部拡大平面図であって、複数の接続部材を省略した図である。

[図28]図28は、図25のXXV | | | - XXV | | |線に沿う断面図である。

[図29]図29は、図25のXX | X - XX | X線に沿う断面図である。

[図30]図30は、図25のXXX - XXX線に沿う断面図である。

[図31]図31は、図25のXXX | - XXX |線に沿う断面図である。

[図32]図32は、図25のXXX | | - XXX | |線に沿う断面図である。

### 発明を実施するための形態

[0009] 本開示の半導体装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下では、同一あるいは類似の構成要素には同じ符号を付して、重複する説明を省略する。本開示における「第1」、「第2」、「第3」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0010] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B（の）上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B（の）上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B（の）上に位置

している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B（の）上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B（の）上に位置していること」を含む。また、「ある方向に見てある物Aがある物Bに重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。

[0011] 第1実施形態：

図1～図6は、第1実施形態にかかる半導体装置A1を示している。半導体装置A1は、複数の第1半導体素子11、複数の第2半導体素子12、支持基板2、複数の端子、複数の接続部材、および、封止部材6を備える。複数の端子は、複数の電力端子41～43および複数の信号端子44A, 44B, 45A, 45B, 49を含む。複数の接続部材は、複数の接続部材51A, 51B, 52A, 52B, 531A, 531B, 541A, 541Bを含む。

[0012] 説明の便宜上、半導体装置A1の厚さ方向を「厚さ方向z」という。厚さ方向zの一方を上方といい、他方を下方ということがある。なお、「上」、「下」、「上方」、「下方」、「上面」および「下面」などの記載は、厚さ方向zにおける各部品等の相対的位置関係を示すものであり、必ずしも重力方向との関係を規定する用語ではない。また、以下の説明において、「平面視」とは、厚さ方向zに沿って見たときをいう。厚さ方向zに対して直交する方向を「第1方向x」という。一例として、第1方向xは、半導体装置A1の平面図（図2参照）における左右方向である。厚さ方向zおよび第1方向xに直交する方向を「第2方向y」という。図示の例では、第2方向yは、半導体装置A1の平面図（図2参照）における上下方向である。

[0013] 複数の第1半導体素子11および複数の第2半導体素子12はそれぞれ、たとえばMOSFETである。複数の第1半導体素子11および複数の第2半導体素子12はそれぞれ、MOSFETの代わりに、MISFET（Metal-Insulator-Semiconductor FET）を含む電界効果トランジスタ、または、I

G B Tを含むバイポーラトランジスタなどの他のスイッチング素子であってもよい。複数の第1半導体素子11および複数の第2半導体素子12はそれぞれ、S i C（炭化ケイ素）を用いて構成されている。当該半導体材料は、S i Cに限定されず、S i（シリコン）、G a A s（ヒ化ガリウム）、G a N（窒化ガリウム）、あるいは、G a<sub>2</sub>O<sub>3</sub>（酸化ガリウム）などであってもよい。

[0014] 複数の第1半導体素子11はそれぞれ、導電性接合材を介して、支持基板2（後述の電力配線部31）に接合されている。当該導電性接合材は、たとえば、はんだ、金属ペースト材、あるいは、焼結金属などである。複数の第1半導体素子11は、図2～図4に示すように、たとえば第1方向xに等間隔に配列されている。複数の第1半導体素子11は、図3に示すように、第1近方素子110を含む。第1近方素子110は、複数の第1半導体素子11のうち、電力端子41までの導通距離が一番短い。

[0015] 複数の第1半導体素子11はそれぞれ、第1素子主面11aおよび第1素子裏面11bを有する。図4および図6に示すように、第1素子主面11aおよび第1素子裏面11bは、厚さ方向zにおいて互いに離間する。第1素子主面11aは、厚さ方向zの一方（上方）を向き、第1素子裏面11bは、厚さ方向zの他方（下方）を向く。第1素子裏面11bは、支持基板2（後述の電力配線部31）に対向する。

[0016] 複数の第1半導体素子11はそれぞれ、第1電極111、第2電極112および第3電極113を有する。各第1半導体素子11がM O S F E Tである例において、第1電極111はドレインであり、第2電極112はソースであり、第3電極113はゲートである。図2、図4および図6から理解されるように、各第1半導体素子11において、第1電極111は、第1素子裏面11bに配置され、第2電極112および第3電極113は、第1素子主面11aに配置されている。

[0017] 複数の第1半導体素子11はそれぞれ、第3電極113（ゲート）に第1駆動信号（たとえばゲート電圧）が入力される。複数の第1半導体素子11

はそれぞれ、入力される第1駆動信号に応じてオン状態（導通状態）とオフ状態（遮断状態）とが切り替わる。このオン状態とオフ状態とが切り替わる動作をスイッチング動作という。オン状態では、第1電極111（ドレイン）から第2電極112（ソース）に順方向電流が流れ、オフ状態ではこの電流が流れない。各第1半導体素子11は、第3電極113（ゲート）に入力される第1駆動信号（たとえばゲート電圧）によって、第1電極111（ドレイン）および第2電極112（ソース）間がオン・オフ制御される。各第1半導体素子11のスイッチング周波数は、第1駆動信号の周波数に依存する。

[0018] 複数の第1半導体素子11は、後に詳述される構成によって、各第1電極111（ドレイン）同士が電氣的に接続され、かつ、各第2電極112（ソース）同士が電氣的に接続されている。これにより、複数の第1半導体素子11は、電氣的に並列に接続されている。半導体装置A1は、並列に接続された複数の第1半導体素子11に共通の第1駆動信号を入力して、複数の第1半導体素子11を並列動作させる。

[0019] 複数の第2半導体素子12はそれぞれ、導電性接合材を介して、支持基板2（後述の電力配線部33）に接合されている。当該導電性接合材は、たとえば、はんだ、金属ペースト材、あるいは、焼結金属などである。複数の第2半導体素子12は、図2、図3および図5に示すように、たとえば第1方向xに等間隔に配列されている。複数の第2半導体素子12は、図3に示すように、第2近方素子120を含む。第2近方素子120は、複数の第2半導体素子12のうち、電力端子43までの導通距離が一番短い。

[0020] 複数の第2半導体素子12はそれぞれ、第2素子主面12aおよび第2素子裏面12bを有する。図5および図6に示すように、第2素子主面12aおよび第2素子裏面12bは、厚さ方向zにおいて互いに離間する。第2素子主面12aは、厚さ方向zの一方（上方）を向き、第2素子裏面12bは、厚さ方向zの他方（下方）を向く。第2素子裏面12bは、支持基板2（後述の電力配線部33）に対向する。

- [0021] 複数の第2半導体素子12はそれぞれ、第4電極121、第5電極122および第6電極123を有する。各第2半導体素子12がMOSFETである例において、第4電極121はドレインであり、第5電極122は、ソースであり、第6電極123はゲートである。図2、図5および図6から理解されるように、各第2半導体素子12において、第4電極121は、第2素子裏面12bに配置され、第5電極122および第6電極123は、第2素子主面12aに配置されている。
- [0022] 複数の第2半導体素子12はそれぞれ、第6電極123（ゲート）に第2駆動信号（たとえばゲート電圧）が入力される。複数の第2半導体素子12はそれぞれ、入力される第2駆動信号に応じてオン状態とオフ状態とが切り替わる。オン状態では、第4電極121（ドレイン）から第5電極122（ソース）に順方向電流が流れ、オフ状態ではこの電流が流れない。各第2半導体素子12は、第6電極123（ゲート）に入力される第2駆動信号（たとえばゲート電圧）によって、第4電極121（ドレイン）および第5電極122（ソース）間がオン・オフ制御される。各第2半導体素子12のスイッチング周波数は、第2駆動信号の周波数に依存する。
- [0023] 複数の第2半導体素子12は、後に詳述される構成によって、各第4電極121（ドレイン）同士が電氣的に接続され、かつ、各第5電極122（ソース）同士が電氣的に接続されている。これにより、複数の第2半導体素子12は、電氣的に並列に接続されている。半導体装置A1は、並列に接続された複数の第2半導体素子12に共通の第2駆動信号を入力して、複数の第2半導体素子12を並列動作させる。
- [0024] 支持基板2は、複数の第1半導体素子11および複数の第2半導体素子12を支持するとともに、複数の第1半導体素子11および複数の第2半導体素子12と、複数の端子とを導通させる。半導体装置A1では、支持基板2は、たとえばDBC（Direct Bonded Copper）基板である。この構成とは異なり、支持基板2は、たとえばDBA（Direct Bonded Aluminum）基板であってもよい。支持基板2は、絶縁基板20、主面金属層21および裏面金属

層 22 を含む。

- [0025] 絶縁基板 20 は、たとえば熱伝導性に優れたセラミックにより構成される。このようなセラミックとしては、たとえば AlN (窒化アルミニウム)、SiN (窒化ケイ素)、Al<sub>2</sub>O<sub>3</sub> (酸化アルミニウム) などが用いられる。絶縁基板 20 は、たとえば平板状である。図 2 および図 3 に示すように、絶縁基板 20 は、たとえば平面視矩形形状である。
- [0026] 絶縁基板 20 は、主面 20a および裏面 20b を有する。図 4 ~ 図 6 に示すように、主面 20a および裏面 20b は、厚さ方向 z に離間する。主面 20a は、厚さ方向 z の上方を向き、裏面 20b は、厚さ方向 z の下方を向く。
- [0027] 主面金属層 21 および裏面金属層 22 はそれぞれ、たとえば銅または銅合金により構成される。主面金属層 21 および裏面金属層 22 はそれぞれ、銅または銅合金のいずれでもなく、アルミニウムまたはアルミニウム合金により構成されてもよい。図 4 ~ 図 6 に示すように、主面金属層 21 は、主面 20a に形成され、裏面金属層 22 は、裏面 20b に形成される。裏面金属層 22 の下面 (厚さ方向 z 下方を向く面) は、封止部材 6 から露出する。この構成と異なり、裏面金属層 22 の下面は、封止部材 6 に覆われていてもよい。
- [0028] 主面金属層 21 は、図 2 に示すように、複数の電力配線部 31 ~ 33、および、複数の信号配線部 34A, 34B, 35A, 35B, 39 を含む。複数の電力配線部 31 ~ 33 および複数の信号配線部 34A, 34B, 35A, 35B, 39 は、互いに離間する。
- [0029] 複数の電力配線部 31, 32, 33 は、半導体装置 A1 における主回路電流の導通経路をなす。主回路電流は、第 1 主回路電流と第 2 主回路電流とを含む。第 1 主回路電流は、電力端子 41 と電力端子 43 との間に流れる電流である。第 2 主回路電流は、電力端子 43 と電力端子 42 との間に流れる電流である。本実施形態では、電力配線部 31 が「第 1 導体」の一例であり、電力配線部 32 が「第 3 導体」の一例であり、電力配線部 33 が「第 2 導体

」の一例である。

[0030] 電力配線部31は、複数の第1半導体素子11の各第1電極111（ドレイン）に導通する。電力配線部31は、電力端子41に導通する。電力配線部31は、図3に示すように、平面視において、各第1線分S1の一部ずつを避けて配置される。各第1線分S1は、理解の便利上、図3に図示した補助線であって、第1方向xに隣接する2つの第1半導体素子11の各中心を結ぶ線分である。なお、各第1半導体素子11の中心とは、平面視における各第1半導体素子11全体の中心であってもよいし、平面視における第1電極111の中心であってもよい。理解の便宜上、図3において、当該中心を×印で示す。たとえば、電力配線部31は、平面視において、各第1線分S1の15%以上90%以下（好ましくは25%以上90%以下）の部分を避けるように配置されている。電力配線部31は、2つのパッド部311、312を含む。図2および図3に示すように、2つのパッド部311、312は、互いに繋がっており、一体的に形成されている。

[0031] パッド部311は、複数の搭載部311aおよび連結部311bを含む。

[0032] 複数の搭載部311aはそれぞれ、図2および図3に示すように、複数の第1半導体素子11の各々が搭載される。複数の搭載部311aはそれぞれ、複数の第1半導体素子11の各第1電極111（ドレイン）が接合される。複数の搭載部311aはそれぞれ、たとえば平面視矩形形状である。複数の搭載部311aはそれぞれ、平面視において、複数の第1半導体素子11の各々に重なる部分と、この部分から拡張された部分を含む。図3に示すように、複数の搭載部311aは、第1方向xに離間しつつ、第1方向xに沿って配列される。複数の搭載部311aはそれぞれ、第2方向yの一方側の端縁が連結部311bに繋がる。これにより、複数の搭載部311aは、連結部311bによって、互いに電氣的に接続される。本実施形態では、搭載部311aが「第1搭載部」の一例である。

[0033] 図3に示すように、第1方向xに隣接するいずれの2つの搭載部311aにおいても、当該2つの搭載部311aは、第1方向xに第1間隙G1を挟

んで配置される。理解の便宜上、図3において、各第1間隙G1をドット状のパターンで示している。図3に示すように、各第1間隙G1は、各第1線分S1に重なる。各第1間隙G1は、たとえばパッド部311の第2方向yの他方側（電力配線部33に近い側）の端縁に設けられた各切り欠きによって形成されている。各第1間隙G1には、電力配線部33の一部（後述の各突出部333）が配置される。

[0034] 連結部311bは、図2および図3に示すように、複数の搭載部311aの各々に繋がる。連結部311bは、パッド部312から第1方向xの他方側に延びる。当該第1方向xの他方側は、パッド部312に対して、電力端子41が延びる方向と反対側であって、複数の第1半導体素子11が位置する側である。連結部311bは、平面視において帯状である。図2および図3に示すように、連結部311bは、第2方向yにおいて、複数の搭載部311aに対して、複数の第2半導体素子12と反対側に位置する。また、連結部311bは、平面視において、各第1線分S1に対して、第2方向yの一方側（複数の第2半導体素子12と反対側）に位置する。本実施形態では、連結部311bが「第1連結部」の一例である。

[0035] パッド部312は、図2～図4に示すように、電力端子41が接合される。パッド部312は、図2および図3に示すように、平面視において、第2方向yを長手方向とする帯状である。パッド部312は、パッド部311のうちの、第1方向xの一方側（電力端子41が位置する側）の端縁に繋がる。

[0036] 電力配線部32は、複数の第2半導体素子12の各第5電極122（ソース）に導通する。電力配線部32は、電力端子42に導通する。電力配線部32は、2つのパッド部321、322および複数の突出部323を含む。この構成と異なり、電力配線部32は、複数の突出部323のいずれも含まなくてもよい。図2および図3に示すように、2つのパッド部321、322および複数の突出部323は、互いに繋がっており、一体的に形成されている。

- [0037] パッド部321は、図2および図6に示すように、複数の接続部材51Bが接合され、複数の接続部材51Bを介して、複数の第2半導体素子12の各第5電極122（ソース）に導通する。パッド部321は、図2および図3に示すように、パッド部322から第1方向xの他方側に沿って延びる。当該第1方向xの他方側は、パッド部322に対して電力端子42が延びる方向と反対側であって、複数の第1半導体素子11および複数の第2半導体素子12が位置する側である。パッド部321は、平面視において、たとえば第1方向xを長手方向とする帯状である。パッド部321は、パッド部311に対して、第2方向yの他方側（図2の下側）に位置する。
- [0038] パッド部322は、図2、図3および図5に示すように、電力端子42が接合されている。パッド部322は、図2および図3に示すように、平面視において、第2方向yを長手方向とする帯状である。パッド部322は、パッド部321のうちの、第1方向xの一方側（電力端子42が位置する側）の端縁に繋がる。パッド部322は、パッド部321に対して、第2方向yの他方側（図2における下側）に位置する。
- [0039] 複数の突出部323は、図2および図3に示すように、パッド部321の第2方向yの一方側の端縁から第2方向yの一方側に突き出る。当該第2方向yの一方側は、パッド部321に対して、複数の第2半導体素子12が位置する側である。各突出部323は、たとえば平面視矩形形状である。各突出部323は、第1方向xに隣接する2つの第2半導体素子12の間、および、第1方向xに隣接する2つの搭載部331aの間に配置される。図3に示すように、複数の突出部323の一部ずつは、平面視において、複数の第2間隙G2（後述）の各々に重なる。
- [0040] 電力配線部33は、複数の第1半導体素子11の各第2電極112（ソース）に導通するとともに、複数の第2半導体素子12の各第4電極121（ドレイン）に導通する。電力配線部33は、2つの電力端子43に導通する。電力配線部33は、図3に示すように、平面視において、各第2線分S2の一部ずつを避けて配置される（図3参照）。各第2線分S2は、理解の便

宜上、図3に図示した補助線であって、第1方向xに隣接する2つの第2半導体素子12の各中心を結ぶ線分である。なお、各第2半導体素子12の中心とは、平面視における各第2半導体素子12全体の中心であってもよいし、平面視における第4電極121の中心であってもよい。理解の便宜上、図3において、当該中心を×印で示す。たとえば、電力配線部33は、平面視において、各第2線分S2の15%以上90%以下（好ましくは25%以上90%以下）の部分避けるように配置されている。電力配線部33は、2つのパッド部331、332および複数の突出部333を含む。この構成と異なり、電力配線部33は、複数の突出部333のいずれも含んでいなくてもよい。図2および図3に示すように、2つのパッド部331、332および複数の突出部333は、互いに繋がっており、一体的に形成されている。

[0041] パッド部331は、複数の搭載部331a、および、連結部331bを含む。

[0042] 複数の搭載部331aはそれぞれ、図2および図3に示すように、複数の第2半導体素子12の各々がそれぞれ搭載される。複数の搭載部331aはそれぞれ、複数の第2半導体素子12の各第4電極121（ドレイン）が接合される。複数の搭載部331aはそれぞれ、たとえば平面視矩形形状である。複数の搭載部331aはそれぞれ、平面視において、複数の第2半導体素子12の各々に重なる部分と、この部分から拡張された部分とを含む。図3に示すように、複数の搭載部331aは、第1方向xに離間しつつ、第1方向xに沿って配列される。複数の搭載部331aはそれぞれ、第2方向yの一方側の端縁が連結部331bに繋がる。これにより、複数の搭載部331aは、連結部331bによって、互いに電氣的に接続される。本実施形態では、搭載部331aが「第2搭載部」の一例である。

[0043] 図3に示すように、第1方向xに隣り合ういずれの2つの搭載部331aにおいても、当該2つの搭載部331aは、第1方向xに第2間隙G2を挟んで配置される。理解の便宜上、図3において、各第2間隙G2をドット状のパターンで示している。各第2間隙G2は、各第2線分S2に重なる。各

第2間隙G2は、たとえばパッド部331の第2方向yの他方側（電力配線部32に近い側）の端縁に設けられた各切り欠きによって形成されている。各第2間隙G2には、電力配線部32の一部（各突出部323）が配置される。

[0044] 連結部331bは、図2および図3に示すように、複数の搭載部331aのそれぞれに繋がる。連結部331bは、パッド部332から第1方向xの一方側に延びる。当該第1方向xの一方側は、パッド部332に対して、電力端子43が延びる方向と反対側であって、複数の第2半導体素子12が位置する側である。連結部331bは、平面視において帯状である。連結部331bは、図2および図6に示すように、複数の接続部材51Aが接合され、複数の接続部材51Aを介して、複数の第1半導体素子11の各第2電極112（ソース）に導通する。図2および図3に示すように、連結部331bは、第2方向yにおいて、複数の搭載部331aに対して、複数の第1半導体素子11と同じ側に位置する。また、連結部331bは、平面視において、各第2線分S2に対して、第2方向yの一方側（複数の第1半導体素子11と同じ側側）に位置する。本実施形態では、連結部331bが「第2連結部」の一例である。

[0045] パッド部332は、図2および図3に示すように、電力端子43が接合される。パッド部332は、平面視において、第2方向yを長手方向とする帯状である。パッド部332は、パッド部331のうちの、第1方向xの他方側（電力端子43が位置する側）の端縁に繋がる。

[0046] 複数の突出部333はそれぞれ、図2および図3に示すように、平面視において、連結部331b（パッド部331）の第2方向yの一方側の端縁から第2方向yの一方側に突き出る。当該第2方向yの一方側は、連結部331bに対して、複数の第1半導体素子11が位置する側である。複数の突出部333はそれぞれ、たとえば平面視矩形形状である。各突出部333は、第1方向xに隣り合う2つの第1半導体素子11の間、および、第1方向xに隣接する2つの搭載部311aの間に配置される。よって、図3に示すよう

に、複数の突出部 3 3 3 の一部ずつは、平面視において、複数の第 1 間隙 G 1 の各々に重なる。

[0047] 複数の信号配線部 3 4 A, 3 4 B, 3 5 A, 3 5 B は、半導体装置 A 1 を制御するための各電気信号の導通経路をなす。

[0048] 信号配線部 3 4 A は、図 2 に示すように、複数の接続部材 5 3 1 A が接合され、複数の接続部材 5 3 1 A を介して、複数の第 1 半導体素子 1 1 の各第 3 電極 1 1 3 (ゲート) に導通する。信号配線部 3 4 A は、第 1 駆動信号を伝送する。信号配線部 3 4 A には、信号端子 4 4 A が接合される。

[0049] 信号配線部 3 4 B は、図 2 に示すように、複数の接続部材 5 3 1 B が接合され、複数の接続部材 5 3 1 B を介して、複数の第 2 半導体素子 1 2 の各第 6 電極 1 2 3 (ゲート) に導通する。信号配線部 3 4 B は、第 2 駆動信号を伝送する。信号配線部 3 4 B には、信号端子 4 4 B が接合される。

[0050] 図 2 に示すように、信号配線部 3 4 A と信号配線部 3 4 B とは、第 2 方向 y において、各パッド部 3 1 1, 3 2 1, 3 3 1 を挟んで、互いに反対側に位置する。信号配線部 3 4 A は、第 2 方向 y において、パッド部 3 1 1 に対して、パッド部 3 3 1 とは反対側に位置する。信号配線部 3 4 B は、第 2 方向 y において、パッド部 3 2 1 に対して、パッド部 3 3 1 とは反対側に位置する。

[0051] 信号配線部 3 5 A は、図 2 に示すように、複数の接続部材 5 4 1 A が接合され、複数の接続部材 5 4 1 A を介して、複数の第 1 半導体素子 1 1 の各第 2 電極 1 1 2 (ソース) に導通する。信号配線部 3 5 A は、第 1 検出信号を伝送する。第 1 検出信号は、各第 1 半導体素子 1 1 の導通状態を示す電気信号であり、たとえば各第 2 電極 1 1 2 (ソース) に流れる電流 (ソース電流) に応じた電圧信号である。信号配線部 3 5 A には、信号端子 4 5 A が接合される。

[0052] 信号配線部 3 5 B は、図 2 に示すように、複数の接続部材 5 4 1 B が接合され、複数の接続部材 5 4 1 B を介して、複数の第 2 半導体素子 1 2 の各第 5 電極 1 2 2 (ソース) に導通する。信号配線部 3 5 B は、第 2 検出信号を

伝送する。第2検出信号は、各第2半導体素子12の導通状態を示す電気信号であり、たとえば各第5電極122（ソース）に流れる電流（ソース電流）に応じた電圧信号である。信号配線部35Bには、信号端子45Bが接合される。

[0053] 図2に示すように、信号配線部35Aと信号配線部35Bとは、第2方向yにおいて、各パッド部311、321、331を挟んで、互いに反対側に位置する。信号配線部35Aは、第2方向yにおいて、パッド部311に対して、信号配線部34Aと同じ側に位置する。信号配線部35Bは、第2方向yにおいて、パッド部321に対して、信号配線部34Bと同じ側に位置する。

[0054] 複数の信号配線部39はそれぞれ、複数の第1半導体素子11および複数の第2半導体素子12のいずれにも導通していない。つまり、複数の信号配線部39はいずれも、主回路電流も電気信号も流れない。

[0055] 複数の電力端子41～43および複数の信号端子44A、44B、45A、45B、49はそれぞれ、図1および図2に示すように、一部が封止部材6から露出する。複数の電力端子41～43および複数の信号端子44A、44B、45A、45B、49の各構成材料は、たとえば銅または銅合金であるが、他の金属であってもよい。複数の電力端子41～43および複数の信号端子44A、44B、45A、45B、49はそれぞれ、金属板により構成され、適宜折り曲げられている。

[0056] 電力端子41および電力端子42は、電源に接続され、電源電圧（たとえば直流電圧）が印加される。たとえば、電力端子41は、正極側の電力入力端子（P端子）であり、電力端子42は、負極側の電力入力端子（N端子）である。電力端子43は、複数の第1半導体素子11の各スイッチング動作および複数の第2半導体素子12の各スイッチング動作によって電力変換された電圧（たとえば交流電圧）を出力する。電力端子43はそれぞれ、電力出力端子（OUT端子）である。半導体装置A1における主回路電流（第1主回路電流および第2主回路電流）は、上記電源電圧および上記変換後の電

圧によって発生するものである。電力端子41は、「第1電力端子」の一例であり、電力端子42は、「第3電力端子」の一例であり、電力端子43は、「第2電力端子」の一例である。

[0057] 電力端子41は、電力配線部31を介して、複数の第1半導体素子11の各第1電極111（ドレイン）に導通する。電力端子41は、接合部411および端子部412を含む。

[0058] 接合部411は、図2および図3に示すように、封止部材6に覆われている。接合部411は、図2および図3に示すように、電力配線部31のパッド部312に接合されている。これにより、電力端子41と電力配線部31とが導通する。接合部411とパッド部312との接合は、導電性接合材（はんだまたは焼結金属など）を用いた接合、レーザ接合、あるいは、超音波接合などのいずれの手法であってもよい。

[0059] 端子部412は、図2および図3に示すように、封止部材6から露出する。端子部412は、図2に示すように、平面視において封止部材6から第1方向xの一方側に延びる。端子部412の表面には、たとえば銀めっきが施されてもよい。

[0060] 電力端子42は、電力配線部32を介して、複数の第2半導体素子12の各第5電極122（ソース）に導通する。電力端子42は、接合部421および端子部422を含む。

[0061] 接合部421は、図2および図3に示すように、封止部材6に覆われている。接合部421は、図2および図3に示すように、電力配線部32のパッド部322に接合されている。これにより、電力端子42と電力配線部32とが導通する。接合部421とパッド部322との接合は、導電性接合材（はんだまたは焼結金属など）を用いた接合、レーザ接合、あるいは、超音波接合などのいずれの手法であってもよい。

[0062] 端子部422は、図2および図3に示すように、封止部材6から露出する。端子部422は、図2に示すように、平面視において封止部材6から第1方向xの一方側に延びる。端子部422の表面には、たとえば銀めっきが施

されてもよい。

- [0063] 電力端子43は、電力配線部33を介して、複数の第1半導体素子11の各第2電極112（ソース）に導通しつつ、複数の第2半導体素子12の各第4電極121（ドレイン）に導通する。電力端子43は、接合部431および端子部432を含む。
- [0064] 接合部431は、図2および図3に示すように、封止部材6に覆われている。接合部431は、図2および図3に示すように、電力配線部33のパッド部332に接合されている。これにより、電力端子43と電力配線部33とが導通する。接合部431とパッド部332との接合は、導電性接合材（はんだまたは焼結金属など）を用いた接合、レーザ接合、あるいは、超音波接合などのいずれの手法であってもよい。
- [0065] 端子部432は、図2および図3に示すように、封止部材6から露出する。端子部432は、図2に示すように、平面視において、封止部材6から第1方向xの他方側に延びる。端子部432の表面には、たとえば銀めっきが施されてもよい。
- [0066] 電力端子41および電力端子42は、互いに離間し、第2方向yに沿って配置されている。電力端子41および電力端子42と、電力端子43とは、第1方向xにおいて、支持基板2を挟んで反対側に配置されている。半導体装置A1と異なる構成において、電力端子43の数は、1つではなく、2つ以上であってもよい。
- [0067] 複数の信号端子44A、44B、45A、45Bは、半導体装置A1を制御するための各電気信号の入力端子あるいは出力端子である。複数の信号端子44A、44B、45A、45B、49はそれぞれ、封止部材6に覆われた部分と、封止部材6から露出する部分とを含む。複数の信号端子44A、44B、45A、45B、49はそれぞれ、ピン状の金属部材である。当該金属部材は、たとえば銅または銅合金により構成される。
- [0068] 信号端子44Aは、図2に示すように、封止部材6に覆われた部分が信号配線部34Aに接合される。信号配線部34Aが複数の第1半導体素子11

の各第3電極113（ゲート）に導通することから、信号端子44Aは、複数の第1半導体素子11の各第3電極113（ゲート）に導通する。信号端子44Aは、第1駆動信号の入力端子である。

[0069] 信号端子44Bは、図2に示すように、封止部材6に覆われた部分が信号配線部34Bに接合される。信号配線部34Bが複数の第2半導体素子12の各第6電極123（ゲート）に導通することから、信号端子44Bは、複数の第2半導体素子12の各第6電極123（ゲート）に導通する。信号端子44Bは、第2駆動信号の入力端子である。

[0070] 信号端子45Aは、図2に示すように、封止部材6に覆われた部分が信号配線部35Aに接合される。信号配線部35Aが複数の第1半導体素子11の各第2電極112（ソース）に導通することから、信号端子45Aは、複数の第1半導体素子11の各第2電極112（ソース）に導通する。信号端子45Aは、第1検出信号の出力端子である。

[0071] 信号端子45Bは、図2に示すように、封止部材6に覆われた部分が信号配線部35Bに接合される。信号配線部35Bが複数の第2半導体素子12の各第5電極122（ソース）に導通することから、信号端子45Bは、複数の第2半導体素子12の各第5電極122（ソース）に導通する。信号端子45Bは、第2検出信号の出力端子である。

[0072] 複数の信号端子49はそれぞれ、図2に示すように、封止部材6に覆われた部分が複数の信号配線部39にそれぞれ接合されている。複数の信号端子49はそれぞれ、複数の第1半導体素子11および複数の第2半導体素子12のいずれにも導通していない。複数の信号端子49はそれぞれ、ノンコネクタ端子である。複数の信号端子49はなくてもよい。

[0073] 複数の接続部材51A, 51B, 52A, 52B, 531A, 531B, 541A, 541Bはそれぞれ、互いに離間する2つの部位を導通させる。半導体装置A1では、複数の接続部材51A, 51B, 52A, 52B, 531A, 531B, 541A, 541Bはいずれも、ボンディングワイヤである。複数の接続部材51A, 51B, 52A, 52B, 531A, 531

B, 541A, 541Bの各構成材料は、金、銅またはアルミニウムのいずれであってもよい。

[0074] 複数の接続部材51Aはそれぞれ、図2および図6に示すように、複数の第1半導体素子11の各第2電極112（ソース）とパッド部331の連結部331bとに接合され、各第2電極112と電力配線部33とを導通させる。半導体装置A1では、図2に示すように、複数の第2電極112の各々に対して、複数の接続部材51Aが接合されている。複数の接続部材51Aには、半導体装置A1における主回路電流（第1主回路電流）が流れる。半導体装置A1において、各接続部材51Aは、ボンディングワイヤではなく、金属製（たとえば銅製）の板状部材であってもよい。この場合、各第2電極112とパッド部331とにそれぞれ接合される接続部材51Aの数は、1つでもよい。接続部材51Aは、「第1接続部材」の一例である。

[0075] 複数の接続部材51Bはそれぞれ、図2および図6に示すように、複数の第2半導体素子12の各第5電極122（ソース）とパッド部321とに接合され、各第5電極122と電力配線部32とを導通させる。半導体装置A1では、図2に示すように、複数の第5電極122の各々に対して、複数の接続部材51Bが接合されている。複数の接続部材51Bには、半導体装置A1における主回路電流（第2主回路電流）が流れる。半導体装置A1において、各接続部材51Bは、ボンディングワイヤではなく、金属製（たとえば銅製）の板状部材であってもよい。この場合、各第5電極122とパッド部321とにそれぞれ接合される接続部材51Bの数は、1つでもよい。接続部材51Bは、「第2接続部材」の一例である。

[0076] 複数の接続部材52Aはそれぞれ、図2および図4に示すように、複数の第1半導体素子11の第2電極112（ソース）と、当該第1半導体素子11に第1方向xに隣接する突出部333とに接合され、これらを導通させる。各突出部333には、2つの接続部材52Aを接合されている。複数の接続部材52Aはそれぞれ、平面視において、たとえば第1方向xに沿って延びる。なお、電力配線部33が各突出部333を含まない構成では、複数の

接続部材52Aは、なくてもよいし、第1方向xに隣接する2つの第1半導体素子11の各第2電極112に直接接合させてもよい。

[0077] 複数の接続部材52Bはそれぞれ、図2および図5に示すように、複数の第2半導体素子12の各第5電極122（ソース）と、当該第2半導体素子12に第1方向xに隣接する突出部323とに接合され、これらを導通させる。各突出部323には、2つの接続部材52Bが接合されている。複数の接続部材52Bはそれぞれ、平面視において、たとえば第1方向xに沿って延びる。なお、電力配線部32が各突出部323を含まない構成では、複数の接続部材52Bは、なくてもよいし、第1方向xに隣接する2つの第2半導体素子12の各第5電極122に直接接合させてもよい。

[0078] 複数の接続部材531Aはそれぞれ、図2に示すように、複数の第1半導体素子11の各第3電極113（ゲート）と信号配線部34Aとに接合され、各第3電極113と信号配線部34Aとを導通させる。これにより、信号端子44Aは、信号配線部34Aおよび複数の接続部材531Aを介して、複数の第1半導体素子11の各第3電極113に導通する。

[0079] 複数の接続部材531Bはそれぞれ、図2に示すように、複数の第2半導体素子12の各第6電極123（ゲート）と信号配線部34Bとに接合され、各第6電極123と信号配線部34Bとを導通させる。これにより、信号端子44Bは、信号配線部34Bおよび複数の接続部材531Bを介して、複数の第2半導体素子12の各第6電極123に導通する。

[0080] 複数の接続部材541Aはそれぞれ、図2に示すように、複数の第1半導体素子11の各第2電極112（ソース）と信号配線部35Aとに接合され、各第2電極112と信号配線部35Aとを導通させる。これにより、信号端子45Aは、信号配線部35Aおよび複数の接続部材541Aを介して、複数の第1半導体素子11の各第2電極112に導通する。

[0081] 複数の接続部材541Bはそれぞれ、図2に示すように、複数の第2半導体素子12の各第5電極122（ソース）と信号配線部35Bとに接合され、各第5電極122と信号配線部35Bとを導通させる。これにより、信号

端子45Bは、信号配線部35Bおよび複数の接続部材541Bを介して、複数の第2半導体素子12の各第5電極122に導通する。

[0082] 封止部材6は、複数の第1半導体素子11および複数の第2半導体素子12などを保護する封止材である。封止部材6は、複数の第1半導体素子11、複数の第2半導体素子12、支持基板2の一部、複数の電力端子41~43、複数の信号端子44A, 44B, 45A, 45B, 49、複数の接続部材51A, 51B, 52A, 52B, 531A, 531B, 541A, 541Bをそれぞれ覆う。封止部材6は、たとえば絶縁性樹脂材料により構成され、当該絶縁性樹脂材料は、たとえばエポキシ樹脂である。封止部材6は、たとえば黒色である。封止部材6は、平面視矩形形状である。封止部材6は、樹脂主面61、樹脂裏面62および複数の樹脂側面631~634を有する。

[0083] 樹脂主面61および樹脂裏面62は、図4~図6に示すように、厚さ方向zに離間する。樹脂主面61は、厚さ方向zの上方を向き、樹脂裏面62は、厚さ方向zの下方を向く。複数の樹脂側面631~634はそれぞれ、厚さ方向zにおいて、樹脂主面61および樹脂裏面62に挟まれ、これらに繋がる。図4および図5に示すように、一对の樹脂側面631, 632は、第1方向xにおいて互いに反対側を向く。各電力端子41, 42は、樹脂側面632から突き出ており、電力端子43は、樹脂側面631から突き出ている。図6に示すように、一对の樹脂側面633, 634は、第2方向yにおいて互いに反対側をむく。各信号端子44A, 45Aは、樹脂側面634から突き出ており、信号端子44B, 45Bは、樹脂側面633から突き出ている。

[0084] 半導体装置A1では、第1方向xに隣接する2つの第1半導体素子11の第1電極111（ドレイン）同士の導通経路R11（図3参照）が、第1近方素子110の第1電極111（ドレイン）と電力端子41（P端子）との導通経路R12（図3参照）よりも長い。これにより、導通経路R11のインダクタンスである素子-素子インダクタンスL1は、導通経路R12のイ

ンダクタンスである素子－端子インダクタンス $L_2$ よりも大きい。素子－素子インダクタンス $L_1$ は、「第1インダクタンス」の一例であり、素子－端子インダクタンス $L_2$ は、「第2インダクタンス」の一例である。

[0085] 同様に、半導体装置A1では、第1方向xに隣接する2つの第2半導体素子12の第4電極121（ドレイン）同士の導通経路R21（図3参照）が、第2近方素子120の第4電極121（ドレイン）と電力端子43（OUT端子）との導通経路R22（図3参照）よりも長い。これにより、導通経路R21のインダクタンスである素子－素子インダクタンス $L_3$ は、導通経路R22のインダクタンスである素子－端子インダクタンス $L_4$ よりも大きい。素子－素子インダクタンス $L_3$ は、「第3インダクタンス」の一例であり、素子－端子インダクタンス $L_4$ は、「第4インダクタンス」の一例である。

[0086] 半導体装置A1の作用および効果は、次の通りである。

[0087] 半導体装置A1は、複数の第1半導体素子11を備えており、複数の第1半導体素子11は、電氣的に並列に接続されている。半導体装置A1は、第1導体としての電力配線部31を備える。電力配線部31は、厚さ方向zに見て、第1線分S1の一部を避けて配置されている。この構成によると、電力配線部31が第1線分S1を避けずに配置された構成（以下「第1比較構成」という）と比較して、素子－素子インダクタンス $L_1$ が増加する。第1比較構成は、たとえば、特許文献1のように、複数の第1半導体素子11の第1電極111（ドレイン）同士の導通経路が直線的である構成のことである。本願発明者の研究では、各第1半導体素子11の第1電極111（ドレイン）同士の導通において、インダクタンスが大きい程、発振現象の発生が抑制されるとの知見を得た。したがって、半導体装置A1は、第1比較構成と比べて、複数の第1半導体素子11を並列動作させた際の発振現象の発生を抑制できる。

[0088] 半導体装置A1では、第1導体としての電力配線部31は、厚さ方向zに見て、第1線分S1のうちの15%以上の部分を避けている。この構成によ

れば、各導通経路R 1 1の長さを第1線分S 1の長さに対して十分に大きくできる。したがって、複数の第1半導体素子1 1の並列動作時に生じる発振現象を抑制するために、適度な素子-素子インダクタンスL 1を確保できる。特に、電力配線部3 1が、厚さ方向zに見て、第1線分S 1のうちの25%以上の部分を避けていれば、複数の第1半導体素子1 1の並列動作時における発振現象を抑制する上で、より好ましい素子-素子インダクタンスL 1が確保される。また、電力配線部3 1は、厚さ方向zに見て、第1線分S 1のうちの90%以下の部分を避けている。この構成とは異なり、電力配線部3 1が、厚さ方向zに見て、第1線分S 1のうちの90%より大きい部分を避けていれば、厚さ方向zに見て、各第1半導体素子1 1が各搭載部3 1 1 aからはみ出る虞がある。仮に、厚さ方向zに見て、各第1半導体素子1 1が各搭載部3 1 1 aからはみ出た場合、各第1半導体素子1 1の接合強度が低下したり、各第1電極1 1 1と各搭載部3 1 1 aとの接合面積が低下したりする。これに対して、半導体装置A 1では、電力配線部3 1は、厚さ方向zに見て、第1線分S 1のうちの90%以下の部分を避けるので、各第1半導体素子1 1を配置する領域（各搭載部3 1 1 a）の大きさを適度に確保できる。つまり、半導体装置A 1は、各第1半導体素子1 1が各搭載部3 1 1 aからはみ出ることを抑制し、各第1半導体素子1 1の接合強度の低下および各第1電極1 1 1と各搭載部3 1 1 aとの接合面積の低下を抑制できる。以上のことから、半導体装置A 1は、第1導体としての電力配線部3 1が、厚さ方向zに見て、第1線分S 1のうちの15%以上90%以下の部分を避ける構成を採用することで、素子-素子インダクタンスL 1を適度に確保しつつ、各第1半導体素子1 1を各搭載部3 1 1 aに適切に接合できる。

[0089] 半導体装置A 1では、電力配線部3 1は、複数の第1半導体素子1 1の各々が搭載された複数の搭載部3 1 1 aを含む。複数の搭載部3 1 1 aのうち第1方向xに隣接するいずれの2つの搭載部3 1 1 aにおいても、当該2つの搭載部3 1 1 aは、第1方向xに第1間隙G 1を挟んで配置される。第1間隙G 1は、厚さ方向zに見て、第1線分S 1に交差する。この構成によ

れば、電力配線部31が第1線分S1の一部を避けた形状となる。したがって、半導体装置A1は、素子-素子インダクタンスL1を、上記第1比較構成と比べて増加させることができる。

[0090] 半導体装置A1は、複数の第2半導体素子12を備えており、複数の第2半導体素子12は、電氣的に並列に接続されている。半導体装置A1は、第2導体としての電力配線部33を備える。電力配線部33は、厚さ方向zに見て、第2線分S2の一部を避けて配置されている。この構成によると、電力配線部33が第2線分S2を避けずに配置された構成（以下「第2比較構成」という）と比較して、素子-素子インダクタンスL3が増加する。第2比較構成は、たとえば、特許文献1のように、複数の第2半導体素子12の第4電極121（ドレイン）同士の導通経路が直線的である構成のことである。したがって、半導体装置A1は、第2比較構成と比べて、複数の第2半導体素子12を並列動作させた際の発振現象の発生を抑制できる。

[0091] 半導体装置A1では、第2導体としての電力配線部33は、厚さ方向zに見て、第2線分S2のうちの15%以上の部分を避けている。この構成によれば、各導通経路R21の長さを第2線分S2の長さに対して十分に大きくできる。したがって、複数の第2半導体素子12の並列動作時に生じる発振現象を抑制するために、適度な素子-素子インダクタンスL3を確保できる。特に、電力配線部33が、厚さ方向zに見て、第2線分S2のうちの25%以上の部分を避けていれば、複数の第2半導体素子12の並列動作時における発振現象を抑制する上で、より好ましい素子-素子インダクタンスL3が確保される。また、電力配線部33は、厚さ方向zに見て、第2線分S2のうちの90%以下の部分を避けている。これにより、厚さ方向zに見て電力配線部31が第1線分S1のうちの90%以下の部分を避けていることと同様に、各第2半導体素子12を配置する領域（各搭載部331a）の大きさを適度に確保できる。つまり、半導体装置A1は、各第2半導体素子12が各搭載部331aからはみ出ることを抑制し、各第2半導体素子12の接合強度の低下および各第4電極121と各搭載部331aとの接合面積の低

下を抑制できる。以上のことから、半導体装置A1は、第2導体としての電力配線部32が、厚さ方向zに見て、第2線分S2のうちの15%以上90%以下の部分を避ける構成を採用することで、素子-素子インダクタンスL3を適度に確保しつつ、各第2半導体素子12を各搭載部331aに適切に接合できる。

[0092] 半導体装置A1では、電力配線部33は、複数の第2半導体素子12の各々が搭載された複数の搭載部331aを含む。複数の搭載部331aのうち第1方向xに隣接するいずれの2つの搭載部331aにおいても、当該2つの搭載部331aは、第1方向xに第2間隙G2を挟んで配置される。第2間隙G2は、厚さ方向zに見て、第2線分S2に交差する。この構成によれば、電力配線部33が第2線分S2の一部を避けた形状となる。したがって、半導体装置A1は、素子-素子インダクタンスL3を、上記第2比較構成と比べて増加させることができる。

[0093] 半導体装置A1では、電力配線部33は、突出部333を含む。突出部333は、厚さ方向zに見て、連結部331b（パッド部331）から第2方向yに突き出る。また、突出部333は、厚さ方向zに見て、一部が第1間隙G1に重なる。この構成によれば、第1方向xに隣接する2つの第1半導体素子11の間に、突出部333が配置される。これにより、たとえば、各接続部材52Aによって、突出部333の第1方向x両隣に位置する2つの第1半導体素子11の第2電極112同士を、当該突出部333を介して電氣的に接続することができる。このような接続部材52Aの接続により、第1方向xに隣接する2つの第1半導体素子11の第2電極112同士は、主回路電流の導通経路とは、別の導通経路が形成される。本願発明者の研究によれば、2つの第1半導体素子11を並列動作させる際、各第2電極112（ソース）間のインダクタンスが小さい程、発振現象の発生を抑制できるとの知見を得た。したがって、半導体装置A1は、各接続部材52Aによって、突出部333の第1方向x両隣に位置する2つの第1半導体素子11の各第2電極112を、当該突出部333を介して電氣的に接続することで、複

数の第1半導体素子11を並列動作させた際の発振現象の発生をさらに抑制することが可能となる。

[0094] 半導体装置A1では、電力配線部32は、突出部323を含む。突出部323は、厚さ方向zに見て、パッド部332から第2方向yに突き出る。また、突出部323は、厚さ方向zに見て、一部が第2間隙G2に重なる。この構成によれば、第1方向xに隣接する2つの第2半導体素子12の間に、突出部323が配置される。これにより、たとえば、各接続部材52Bによって、突出部323の第1方向x両隣に位置する2つの第2半導体素子12の第5電極122同士を、当該突出部323を介して電氣的に接続することができる。このような接続部材52Bの接続により、第1方向xに隣接する2つの第2半導体素子12の第5電極122同士は、主回路電流の導通経路とは、別の導通経路が形成される。したがって、半導体装置A1は、各接続部材52Bによって、突出部323の第1方向x両隣に位置する2つの第2半導体素子12の各第5電極122を、当該突出部323を介して電氣的に接続することで、複数の第2半導体素子12を並列動作させた時の発振現象の発生をさらに抑制することが可能となる。

[0095] 第1実施形態の変形例：

次に、第1実施形態にかかる半導体装置A1の各変形例について、図7～図10を参照して、説明する。図7～図10は、第1実施形態の第1変形例ないし第4変形例のそれぞれにかかる各半導体装置A2～A5を示している。

[0096] まず、各半導体装置A2～A5が、半導体装置A1に共通し、且つ、相互に共通する点について、説明する。

[0097] 各半導体装置A2～A5はいずれも、次の点で半導体装置A1と共通する。第1に、図7～図10に示すように、電力配線部31が、厚さ方向zに見て、各第1線分S1の一部ずつを避けて配置されている点である。第2に、図7～図10に示すように、電力配線部33が、厚さ方向zに見て、各第2線分S2の一部ずつを避けて配置されている点である。第3に、図7～図1

0に示すように、第1方向xに隣接する2つの搭載部311aが、第1間隙G1を挟んで配置され、当該第1間隙G1は、厚さ方向zに見て、第1線分S1に交差する点である。第4に、図7～図10に示すように、第1方向xに隣接する2つの連結部331bが、第2間隙G2を挟んで配置され、当該第2間隙G2は、厚さ方向zに見て、第2線分S2に交差する点である。

[0098] 上記第1の共通点により、各半導体装置A2～A5はいずれも、半導体装置A1と同様に、上記第1比較構成と比べて、素子-素子インダクタンスL1が増加する。つまり、各半導体装置A2～A5はいずれも、半導体装置A1と同様に、上記第1比較構成と比べて、複数の第1半導体素子11を並列動作させた際の発振現象の発生を抑制できる。また、上記第2の共通点により、各半導体装置A2～A5はいずれも、半導体装置A1と同様に、上記第2比較構成と比べて、素子-素子インダクタンスL3が増加する。つまり、各半導体装置A2～A5はいずれも、半導体装置A1と同様に、上記第2比較構成と比べて、複数の第2半導体素子12を並列動作させた際の発振現象の発生を抑制できる。

[0099] 次に、第1実施形態の第1変形例ないし第4変形例にかかる半導体装置A2～A5の各構成例について、順に説明する。

[0100] 第1実施形態の第1変形例：

図7に示すように、半導体装置A2は、各導通経路R11が、半導体装置A1の各導通経路R11よりも長い。つまり、半導体装置A2の素子-素子インダクタンスL1は、半導体装置A1の素子-素子インダクタンスL1よりも大きい。図7に示す例では、半導体装置A2は、半導体装置A1と比較して、各搭載部311aのうち、各第1半導体素子11が接合された部分から連結部331bに繋がる部分までの第2方向yに沿う寸法を大きくすることで、各導通経路R11を長くしている。なお、半導体装置A2の導通経路R12は、半導体装置A1の導通経路R12と同じ（あるいは略同じ）である。図7に示す例では、半導体装置A2は、各導通経路R11が導通経路R12よりも長い。つまり、半導体装置A2は、半導体装置A1と同様に、素

子-素子インダクタンス $L_1$ が素子-端子インダクタンス $L_2$ よりも大きい。

[0101] 以上のように構成された半導体装置A2は、半導体装置A1と比較して、素子-素子インダクタンス $L_1$ が大きい。したがって、半導体装置A2は、半導体装置A1よりも、複数の第1半導体素子11を並列動作させた際の発振現象の発生を抑制できる。

[0102] 同様に、図7に示すように、半導体装置A2は、各導通経路 $R_{21}$ が、半導体装置A1の各導通経路 $R_{21}$ よりも長い。つまり、半導体装置A2の素子-素子インダクタンス $L_3$ は、半導体装置A1の素子-素子インダクタンス $L_3$ よりも大きい。図7に示す例では、半導体装置A2は、半導体装置A1と比較して、各搭載部331aのうち、各第2半導体素子12が接合された部分から連結部331bに繋がる部分までの第2方向 $y$ に沿う寸法を大きくすることで、各導通経路 $R_{21}$ を長くしている。なお、半導体装置A2の導通経路 $R_{22}$ は、半導体装置A1の導通経路 $R_{22}$ と同じ（あるいは略同じ）である。図7に示す例では、半導体装置A2は、各導通経路 $R_{21}$ が導通経路 $R_{22}$ よりも長い。つまり、半導体装置A2は、半導体装置A1と同様に、素子-素子インダクタンス $L_3$ が素子-端子インダクタンス $L_4$ よりも大きい。

[0103] 以上のように構成された半導体装置A2は、半導体装置A1と比較して、素子-素子インダクタンス $L_3$ が大きい。したがって、半導体装置A2は、半導体装置A1よりも、複数の第2半導体素子12を並列動作させた際の発振現象の発生を抑制できる。

[0104] 第1実施形態の第2変形例：

図8に示すように、半導体装置A3は、半導体装置A2と比較して、パッド部311（電力配線部31）が複数の連結部311cをさらに含む。各連結部311cは、第1方向 $x$ に隣接する2つの搭載部311aを導通させる。半導体装置A3では、第1方向 $x$ に隣接する2つの搭載部311aは、連結部311bおよび連結部311cを介して電氣的に接続される。この構成

では、各導通経路R11は、連結部311bではなく、連結部311cを介した経路となる。これにより、半導体装置A3の各導通経路R11が半導体装置A2の各導通経路R11よりも短くなるので、半導体装置A3の素子—素子インダクタンスL1は、半導体装置A2の素子—素子インダクタンスL1よりも小さい。なお、半導体装置A3においても、半導体装置A1と同様に、素子—素子インダクタンスL1が素子—端子インダクタンスL2よりも大きい。

[0105] 同様に、図8に示すように、半導体装置A3は、半導体装置A2と比較して、パッド部331（電力配線部33）が複数の連結部331cをさらに含む。各連結部331cは、第1方向xに隣接する2つの搭載部331aを導通させる。半導体装置A3では、第1方向xに隣接する2つの搭載部331aは、連結部331bおよび連結部331cを介して電氣的に接続される。この構成では、図8に示すように、各導通経路R21は、連結部311bではなく、連結部311cを介した経路となる。これにより、半導体装置A3の各導通経路R21が半導体装置A2の各導通経路R21よりも短くなるので、半導体装置A3の素子—素子インダクタンスL3は、半導体装置A2の素子—素子インダクタンスL3よりも小さい。なお、図8に示す例では、半導体装置A3は、素子—素子インダクタンスL3が素子—端子インダクタンスL4よりも大きい。

[0106] 第1実施形態の第3変形例：

図9に示すように、半導体装置A4は、パッド部311（電力配線部31）が複数の帯状部311dを含む。各帯状部311dは、複数の搭載部311aの各々とパッド部312とを繋ぐ。複数の帯状部311dは、平面視において、各々が第1方向xに延びる帯状であり、第2方向yに平行（あるいは略平行）に配置される。

[0107] 以上のように構成された半導体装置A4は、第1方向xに隣接する2つの第1半導体素子11の第1電極111同士がパッド部312を介して導通するので、当該第1電極111同士の導通経路が、各半導体装置A1～A3よ

りも長くなる。したがって、半導体装置A4の素子-素子インダクタンスL1は、各半導体装置A1~A3の素子-素子インダクタンスL1よりも大きくなる。つまり、半導体装置A4は、各半導体装置A1~A3と比較して、複数の第1半導体素子11を並列動作させた際の発振現象の発生を抑制できる。

[0108] 同様に、図9に示すように、半導体装置A4は、パッド部331（電力配線部33）が複数の帯状部331dを含む。各帯状部331dは、複数の搭載部331aの各々とパッド部332とを繋ぐ。複数の帯状部331dは、平面視において、各々が第1方向xに延びる帯状であり、第2方向yに平行（あるいは略平行）に配置される。

[0109] 以上のように構成された半導体装置A4は、第1方向xに隣接する2つの第2半導体素子12の第4電極121同士がパッド部332を介して導通するので、当該第4電極121同士の導通経路が、各半導体装置A1~A3よりも長くなる。したがって、半導体装置A4の素子-素子インダクタンスL1は、各半導体装置A1~A3の素子-素子インダクタンスL1よりも大きくなる。つまり、半導体装置A4は、各半導体装置A1~A3と比較して、複数の第2半導体素子12を並列動作させた際の発振現象の発生を抑制できる。

[0110] 第1実施形態の第4変形例：

図10に示すように、半導体装置A5は、各導通経路R11が、半導体装置A1の各導通経路R11よりも短い。つまり、半導体装置A5の素子-素子インダクタンスL1は、半導体装置A1の素子-素子インダクタンスL1よりも小さい。また、半導体装置A5は、導通経路R12が、半導体装置A1の導通経路R12よりも長い。つまり、半導体装置A5の素子-端子インダクタンスL2は、半導体装置A1の素子-端子インダクタンスL2よりも大きい。図10に示す例では、たとえば、複数の第1半導体素子11を、第1方向xにおいて電力端子41から遠い側に、偏らせて配置することで、各導通経路R11を短くし、且つ、導通経路R12を長くしている。そして、

半導体装置A5は、各導通経路R11が導通経路R12より短い。つまり、半導体装置A5は、素子-素子インダクタンスL1が素子-端子インダクタンスL2よりも小さい。

[0111] 同様に、図10に示すように、半導体装置A5は、各導通経路R21が、半導体装置A1の各導通経路R21よりも短い。つまり、半導体装置A5の素子-素子インダクタンスL3は、半導体装置A1の素子-素子インダクタンスL3よりも小さい。また、半導体装置A5は、導通経路R22が、半導体装置A1の導通経路R22よりも長い。つまり、半導体装置A5の素子-端子インダクタンスL4は、半導体装置A1の素子-端子インダクタンスL4よりも大きい。図10に示す例では、たとえば、複数の第2半導体素子12を、第1方向xにおいて電力端子43から遠い側に、偏らせて配置することで、各導通経路R21を短くし、且つ、導通経路R22を長くしている。そして、半導体装置A5は、各導通経路R21が導通経路R22よりも短い。つまり、半導体装置A5は、素子-素子インダクタンスL3が素子-端子インダクタンスL4よりも小さい。

[0112] 各半導体装置A1~A5では、パッド部311に切り欠きを形成することで、各第1間隙G1を設けた例を示した。この構成と異なり、たとえば図11に示すように、パッド部311に貫通孔311eが形成され、この貫通孔311eによって各第1間隙G1が、構成されていてもよい。貫通孔311eは、パッド部311（主面金属層21）を厚さ方向zに貫通する。同様に、各半導体装置A1~A5では、パッド部331に切り欠きを形成することで、各第2間隙G2を設けた例を示した。この構成と異なり、たとえば図11に示すようにパッド部331に貫通孔331eが形成され、この貫通孔331eによって、各第2間隙G2が形成されていてもよい。各貫通孔331eは、パッド部331（主面金属層21）を厚さ方向zに貫通する。

[0113] 第2実施形態：

図12~図17は、第2実施形態にかかる半導体装置B1を示している。同図に示すように、半導体装置B1は、複数の第1半導体素子11、複数の

第2半導体素子12、支持基板2、複数の端子、複数の接続部材、および封止部材6を備える。複数の端子は、複数の電力端子41～43および複数の信号端子44A、44B、45A、45B、46、49を含む。複数の接続部材は、複数の接続部材531A、531B、541A、541B、56および複数の接続部材58A、57Bを含む。

[0114] 半導体装置B1では、支持基板2は、絶縁基板20、主面金属層21、裏面金属層22、一对の導電基板23A、23B、および、一对の信号基板24A、24Bを含む。当該支持基板2は、一对の導電基板23A、23Bおよび一对の信号基板24A、24BがDBC基板（あるいはDBA基板）上に配置された構成である。なお、当該DBC基板（あるいはDBA基板）は、半導体装置A1と同様に、絶縁基板20、一对の主面金属層21A、21Bおよび裏面金属層22により構成される。

[0115] 一对の主面金属層21A、21Bはそれぞれ、図17に示すように、絶縁基板20の主面20aに形成される。一对の主面金属層21A、21Bは、第1方向xに離間する。主面金属層21Aには、導電基板23Aが接合され、主面金属層21Bには、導電基板23Bが接合される。一对の主面金属層21A、21Bはそれぞれ、たとえば平面視矩形形状である。この構成と異なり、平面視において、各主面金属層21A、21Bの外周縁と各導電基板23A、23Bの外周縁とが相似形となるように、各主面金属層21A、21Bが形成されていてもよい。

[0116] 一对の導電基板23A、23Bはそれぞれ、金属により構成される。当該金属は、銅または銅合金、もしくは、アルミニウムまたはアルミニウム合金などである。

[0117] 導電基板23Aは、図17に示すように、主面金属層21A上に配置される。導電基板23Aは、図17に示すように、複数の第1半導体素子11が搭載される。図16に示すように、半導体装置B1の複数の第1半導体素子11は、導電基板23A上に第2方向yに沿って配置されている。導電基板23Aは、複数の第1半導体素子11の各第1素子裏面11bに対向する。

導電基板 23A は、複数の第 1 半導体素子 11 の各第 1 電極 111 (ドレイン) が導通接合されている。複数の第 1 半導体素子 11 の第 1 電極 111 は、導電基板 23A を介して、互いに電氣的に接続される。導電基板 23A は、図 16 に示すように、平面視において、各第 1 線分 S1 の一部ずつを避けて配置される。たとえば、導電基板 23A は、平面視において、各第 1 線分 S1 の 15% 以上 90% 以下 (好ましくは 25% 以上 90% 以下) の部分を避けるように配置されている。本実施形態では、導電基板 23A が「第 1 導体」の一例である。

[0118] 導電基板 23A は、複数の搭載部 231A および連結部 232A を含む。

[0119] 複数の搭載部 231A はそれぞれ、図 16 に示すように、複数の第 1 半導体素子 11 の各々が搭載される。複数の搭載部 231A はそれぞれ、複数の第 1 半導体素子 11 の各第 1 電極 111 (ドレイン) が接合される。複数の搭載部 231A はそれぞれ、たとえば平面視矩形形状である。複数の搭載部 231A はそれぞれ、平面視において複数の第 1 半導体素子 11 の各々に重なる部分と、この部分から拡張された部分を含む。図 16 に示すように、複数の搭載部 231A は、第 2 方向 y に離間しつつ、第 2 方向 y に沿って平行 (あるいは略平行) に配置される。複数の搭載部 231A はそれぞれ、第 1 方向 x の一方側の端縁が連結部 232A に繋がる。これにより、複数の搭載部 231A は、連結部 232A によって、互いに電氣的に接続される。本実施形態では、搭載部 231A が「第 1 搭載部」の一例である。

[0120] 図 16 に示すように、第 2 方向 y に隣接するいずれの 2 つの搭載部 231A においても、当該 2 つの搭載部 231A は、第 2 方向 y に第 1 間隙 G1 を挟んで配置される。理解の便宜上、図 16 において、各第 1 間隙 G1 をドット状のパターンで示している。各第 1 間隙 G1 は、各第 1 線分 S1 に交差する。各第 1 間隙 G1 は、たとえば導電基板 23A の第 1 方向 x の他方側 (電力端子 41 から遠い側) の端縁に設けられた各切り欠きによって形成されている。

[0121] 連結部 232A は、図 16 に示すように、複数の搭載部 231A の各々に

繋がる。連結部232Aは、たとえば平面視矩形形状であり、第2方向yを長手方向とする。図16に示すように、連結部232Aは、第1方向xにおいて、複数の搭載部231Aに対して、複数の第2半導体素子12と反対側に位置する。また、連結部232Aは、第1方向xにおいて、各第1線分S1に対して、複数の第2半導体素子12と反対側に位置する。連結部232Aは、平面視において、信号基板24Aに重なる。本実施形態では、連結部232Aが「第1連結部」の一例である。

[0122] 導電基板23Bは、図17に示すように、主面金属層21B上に配置される。導電基板23Bは、図17に示すように、複数の第2半導体素子12が搭載される。図16に示すように、半導体装置B1の複数の第2半導体素子12は、導電基板23B上に第2方向yに沿って配置されている。導電基板23Bは、複数の第2半導体素子12の各第2素子裏面12bに対向する。導電基板23Bは、複数の第2半導体素子12の各第4電極121（ドレイン）が導通接合されている。複数の第2半導体素子12の第4電極121は、導電基板23Bを介して、互いに電氣的に接続される。導電基板23Bは、図16に示すように、平面視において、各第2線分S2の一部ずつを避けて配置される。たとえば、導電基板23Bは、平面視において、各第2線分S2の15%以上90%以下（好ましくは25%以上90%以下）の部分避けるように配置されている。また、導電基板23Bは、複数の接続部材58Aが接合され、各接続部材58Aを介して、複数の第1半導体素子11の各第2電極112（ソース）に導通する。本実施形態では、導電基板23Bが「第2導体」の一例である。

[0123] 導電基板23Bは、複数の搭載部231Bおよび連結部232Bを含む。

[0124] 複数の搭載部231Bはそれぞれ、図16に示すように、複数の第2半導体素子12の各々がそれぞれ搭載される。複数の搭載部231Bはそれぞれ、複数の第2半導体素子12の各第4電極121（ドレイン）が接合される。複数の搭載部231Bはそれぞれ、たとえば平面視矩形形状である。複数の搭載部231Bはそれぞれ、平面視において複数の第2半導体素子12の各

々に重なる部分と、この部分から拡張された部分とを含む。複数の搭載部 231B は、第 2 方向 y に離間しつつ、第 2 方向 y に沿って平行（あるいは略平行）に配置される。複数の搭載部 231B はそれぞれ、第 1 方向 x の他方側の端縁が連結部 232B に繋がる。これにより、複数の搭載部 231B は、連結部 232B によって、互いに電氣的に接続される。本実施形態では、搭載部 231B が「第 2 搭載部」の一例である。

[0125] 図 16 に示すように、第 2 方向 y に隣り合ういずれの 2 つの搭載部 231B においても、当該 2 つの搭載部 231B は、第 2 方向 y に第 2 間隙 G2 を挟んで配置される。理解の便宜上、図 16 において、各第 2 間隙 G2 をドット状のパターンで示している。各第 2 間隙 G2 は、各第 2 線分 S2 に交差する。各第 2 間隙 G2 は、たとえば導電基板 23B の第 1 方向 x の一方側の端縁（各電力端子 43 から遠い側）に設けられた各切り欠きによって形成されている。

[0126] 連結部 232B は、図 16 に示すように、複数の搭載部 231B のそれぞれに繋がる。連結部 232B は、たとえば平面視矩形形状であり、第 2 方向 y を長手方向とする。図 16 に示すように、連結部 232B は、第 1 方向 x において、複数の搭載部 231B に対して、複数の第 1 半導体素子 11 と反対側に位置する。また、連結部 232B は、第 1 方向 x において、各第 2 線分 S2 に対して、複数の第 1 半導体素子 11 と反対側に位置する。連結部 232B は、平面視において、信号基板 24B に重なる。本実施形態では、連結部 232B が「第 2 連結部」の一例である。

[0127] 一对の信号基板 24A, 24B は、複数の信号端子 44A, 44B, 45A, 45B, 46, 49 を支持する。図 17 に示すように、一对の信号基板 24A, 24B は、厚さ方向 z において、一对の導電基板 23A, 23B と複数の信号端子 44A, 44B, 45A, 45B, 46, 49 との間に介在する。一对の信号基板 24A, 24B はそれぞれ、たとえば DBC 基板により構成される。この構成とは異なり、一对の信号基板 24A, 24B はそれぞれ、たとえば DBA 基板により構成されてもよい。また、一对の信号基板

24 A, 24 Bはそれぞれ、DBC基板あるいはDBA基板のいずれでもなく、プリント基板で構成されてもよい。

[0128] 信号基板24 Aは、図17に示すように、導電基板23 A上に配置される。信号基板24 Aは、複数の信号端子44 A, 45 A, 46, 49を支持する。信号基板24 Aは、接合材を介して、導電基板23 Aに接合される。当該接合材は、導電性でも絶縁性でもよいが、たとえばはんだが用いられる。信号基板24 Bは、図17に示すように、導電基板23 B上に配置される。信号基板24 Bは、複数の信号端子44 B, 45 B, 49を支持する。信号基板24 Bは、接合材を介して、導電基板23 Bに接合される。当該接合材は、導電性でも絶縁性でもよいが、たとえばはんだが用いられる。

[0129] 一对の信号基板24 A, 24 Bはそれぞれ、図17に示すように、絶縁層24 1、主面金属層24 2および裏面金属層24 3を含む。以下で説明する絶縁層24 1、主面金属層24 2および裏面金属層24 3は、特段の断りがない限り、一对の信号基板24 A, 24 Bの各々において同様に構成される。

[0130] 絶縁層24 1は、たとえばセラミックにより構成される。このセラミックは、たとえばAlN、SiNまたはAl<sub>2</sub>O<sub>3</sub>などである。絶縁層24 1は、たとえば平面視矩形状である。絶縁層24 1は、図17に示すように、主面24 1 aおよび裏面24 1 bを有する。主面24 1 aおよび裏面24 1 bは、厚さ方向zに離間する。主面24 1 aは、厚さ方向z上方を向き、裏面24 1 bは、厚さ方向z下方を向く。主面24 1 aおよび裏面24 1 bは、平坦（あるいは略平坦）である。

[0131] 裏面金属層24 3は、図17に示すように、絶縁層24 1の裏面24 1 bに形成される。信号基板24 Aの裏面金属層24 3は、接合材を介して、導電基板23 Aに接合される。信号基板24 Bの裏面金属層24 3は、接合材を介して、導電基板23 Bに接合される。裏面金属層24 3の構成材料は、たとえばCuまたはCu合金である。当該構成材料は、CuまたはCu合金のいずれでもなくAlまたはAl合金であってもよい。

- [0132] 主面金属層242は、図17に示すように、絶縁層241の主面241aに形成される。複数の信号端子44A, 44B, 45A, 45B, 46, 49はそれぞれ、一对の信号基板24A, 24Bのいずれかの主面金属層242上に立設されている。主面金属層242の構成材料は、たとえばCuまたはCu合金である。当該構成材料は、CuまたはCu合金のいずれでもなくAlまたはAl合金であってもよい。
- [0133] 信号基板24Aの主面金属層242は、複数の信号配線部34A, 35A, 36, 39を含む。信号基板24Bの主面金属層242は、複数の信号配線部34B, 35B, 39を含む。
- [0134] 信号配線部36は、接続部材56が接合され、接続部材56を介して、導電基板23Aに導通する。導電基板23Aは、複数の第1半導体素子11の第1電極111（ドレイン）に導通することから、信号配線部36は、複数の第1半導体素子11の第1電極111（ドレイン）に導通する。
- [0135] 電力端子41は、導電基板23Aと一体的に形成されている。この構成とは異なり、電力端子41は、導電基板23Aに接合されていてもよい。電力端子41は、連結部232Aに繋がる。電力端子41は、導電基板23Aよりも厚さ方向zの寸法が小さい。電力端子41は、導電基板23Aから第1方向xの一方側に延びている。当該第1方向xの一方側は、導電基板23Aに対して、導電基板23Bが位置する側と反対側である。電力端子41は、樹脂側面632から突き出ている。電力端子41は、導電基板23Aを介して、複数の第1半導体素子11の第1電極111（ドレイン）に導通する。
- [0136] 2つの電力端子42はそれぞれ、導電基板23Aから離間する。2つの電力端子42は、第2方向yにおいて、電力端子41を挟んで、互いに反対側に配置される。2つの電力端子42は、導電基板23Aに対して、第1方向xの一方側に配置される。当該第1方向xの一方側は、導電基板23Aに対して、電力端子41が位置する側である。2つの電力端子42は、樹脂側面632から突き出ている。2つの電力端子42にはそれぞれ、接続部材58Bが接合されている。2つの電力端子42はそれぞれ、接続部材58Bを介

して、複数の第2半導体素子12の第5電極122（ソース）に導通する。

[0137] 2つの電力端子43はそれぞれ、導電基板23Bと一体的に形成されている。この構成とは異なり、2つの電力端子43はそれぞれ、導電基板23Bに接合されていてもよい。2つの電力端子43はそれぞれ、連結部232Bに繋がる。2つの電力端子43はそれぞれ導電基板23Bよりも厚さ方向zの寸法が小さい。2つの電力端子43はそれぞれ、導電基板23Bから、第1方向xの他方側に延びている。当該第1方向xの他方側は、導電基板23Bに対して、導電基板23Aが位置する側と反対側である。2つの電力端子43は、樹脂側面631から突き出ている。2つの電力端子43はそれぞれ、導電基板23Bを介して、複数の第1半導体素子11の第2電極112（ソース）および複数の第2半導体素子12の第4電極121（ドレイン）に導通する。

[0138] 複数の信号端子44A, 44B, 45A, 45B, 46, 49はそれぞれ、樹脂主面61から突き出る。複数の信号端子44A, 44B, 45A, 45B, 46, 49はそれぞれ、たとえばプレスフィット端子である。複数の信号端子44A, 44B, 45A, 45B, 46, 49はそれぞれ、ホルダ441および金属ピン442を含む。

[0139] ホルダ441は、導電性材料により構成される。ホルダ441は、筒状である。信号端子44Aのホルダ441は、信号配線部34Aに接合され、信号端子44Bのホルダ441は、信号配線部34Bに接合されている。信号端子45Aのホルダ441は、信号配線部35Aに接合され、信号端子45Bのホルダ441は、信号配線部35Bに接合され、信号端子46のホルダ441は、信号配線部36に接合される。金属ピン442は、ホルダ441に圧入されるとともに、厚さ方向zに延びる。金属ピン442は、封止部材6の樹脂主面61から厚さ方向z上方に突き出しており、一部が封止部材6から露出する。

[0140] 信号端子46は、信号配線部36に立設されている。信号端子46は、信号配線部36に導通する。信号配線部36が複数の第1半導体素子11の第

1 電極 1 1 1 に導通することから、信号端子 4 6 は、複数の第 1 半導体素子 1 1 の第 1 電極 1 1 1 に導通する。

[0141] 複数の信号端子 4 9 は、信号配線部 3 9 に立設されている。複数の信号端子 4 9 は、複数の第 1 半導体素子 1 1 および複数の第 2 半導体素子 1 2 のいずれにも導通しない。複数の信号端子 4 9 はそれぞれ、ノンコネクタ端子である。

[0142] 接続部材 5 6 は、たとえばボンディングワイヤである。当該ボンディングワイヤの構成材料は、金、銅またはアルミニウムのいずれであってもよい。接続部材 5 6 は、図 1 5 に示すように、信号配線部 3 6 と導電基板 2 3 A とに接合され、これらを導通させる。

[0143] 複数の接続部材 5 8 A, 5 7 B は、支持基板 2 とともに、複数の第 1 半導体素子 1 1 および複数の第 2 半導体素子 1 2 によってスイッチングされる主回路電流の経路を構成する複数の接続部材 5 8 A, 5 7 B は、金属製の板状部材により構成される。当該金属は、たとえば Cu または Cu 合金である。複数の接続部材 5 8 A, 5 7 B は、部分的に折り曲げられている。

[0144] 複数の接続部材 5 8 A はそれぞれ、複数の第 1 半導体素子 1 1 の各第 2 電極 1 1 2 (ソース) と導電基板 2 3 B とに接合され、複数の第 1 半導体素子 1 1 の各第 2 電極 1 1 2 と導電基板 2 3 B とを導通させる。各接続部材 5 8 A と複数の第 1 半導体素子 1 1 の各第 2 電極 1 1 2 と、および、各接続部材 5 8 A と導電基板 2 3 B とはそれぞれ、導電性接合材 (たとえば、はんだ、金属ペースト材あるいは焼結金属など) により接合される。各接続部材 5 8 A は、図 1 5 に示すように、平面視において第 1 方向 x に延びる帯状である。

[0145] 図示された例では、接続部材 5 8 A の数は、第 1 半導体素子 1 1 の数に対応して、3 つである。この構成と異なり、複数の第 1 半導体素子 1 1 の数に依存せず、複数の第 1 半導体素子 1 1 に対して、たとえば 1 つの接続部材 5 8 A を用いてもよい。

[0146] 接続部材 5 8 B は、複数の第 2 半導体素子 1 2 の各第 5 電極 1 2 2 (ソー

ス)と、各電力端子42とを導通させる。接続部材58Bは、図14に示すように、一对の第1配線部581B、第2配線部582B、第3配線部583Bおよび複数の第4配線部584Bを含む。

[0147] 一对の第1配線部581Bの一方は、一对の電力端子42の一方に接続され、一对の第1配線部581Bの他方は、一对の電力端子42の他方に接続される。各第1配線部581Bと各電力端子42とは、導電性接合材（たとえば、はんだ、金属ペースト材あるいは焼結金属など）により接合される。図14に示すように、一对の第1配線部581Bはそれぞれ、平面視において、第1方向xに延びる带状である。一对の第1配線部581Bは、第2方向yに離間し、且つ、平行（あるいは略平行）に配置されている。

[0148] 第2配線部582Bは、図14に示すように、一对の第1配線部581Bの両方に繋がる。第2配線部582Bは、平面視において、第2方向yに延びる带状の部位である。第2配線部582Bは、図14および図17から理解されるように、平面視において、複数の第2半導体素子12に重なる。第2配線部582Bは、図17に示すように、各第2半導体素子12の第5電極122（ソース）に接続される。第2配線部582Bは、平面視において各第2半導体素子12に重なる部位が、他の部位よりも厚さ方向z下方に突き出ている。第2配線部582Bは、この厚さ方向z下方に突き出た部位が複数の第2半導体素子12の各第5電極122に接合される。第2配線部582Bと、各第5電極122とは、たとえば導電性接合材（たとえば、はんだ、金属ペースト材あるいは焼結金属など）によって接合される。

[0149] 第3配線部583Bは、図14に示すように、一对の第1配線部581Bの両方に繋がる。第3配線部583Bは、平面視において、第2方向yに延びる带状である。第3配線部583Bは、第1方向xにおいて、第2配線部582Bと離間する。第3配線部583Bは、第2配線部582Bと平行（あるいは略平行）に並んでいる。図14および図17から理解されるように、第3配線部583Bは、平面視において、複数の第1半導体素子11に重なる。第3配線部583Bは、平面視において各第1半導体素子11に重なる。

る部位が、他の部位よりも厚さ方向 $z$ 上方に突き出ている。この厚さ方向 $z$ 上方に突き出た部位によって、各第1半導体素子11上に各接続部材58Aを接合する領域が形成され、第3配線部583Bが各接続部材58Aに接触することを抑制できる。

[0150] 複数の第4配線部584Bはそれぞれ、図14に示すように、第2配線部582Bおよび第3配線部583Bの両方に繋がる。各第4配線部584Bは、平面視において、第1方向 $x$ に延びる帯状である。複数の第4配線部584Bは、第2方向 $y$ に離間しており、平面視において平行（あるいは略平行）に配置されている。複数の第4配線部584Bはそれぞれ、第1方向 $x$ における一端が、第3配線部583Bのうちの平面視において第2方向 $y$ に隣接する2つの第1半導体素子11の間に重なる部分に繋がり、且つ、第1方向 $x$ における他端が、第2配線部582Bのうちの平面視において第2方向 $y$ に隣接する2つの第2半導体素子12の間に重なる部分に繋がる。

[0151] 半導体装置B1では、第2方向 $y$ に隣接する2つの第1半導体素子11の第1電極111（ドレイン）同士の導通経路R11（図16参照）が、第1近方素子110の第1電極111（ドレイン）と電力端子41（P端子）との導通経路R12（図16参照）よりも長い。これにより、導通経路R11のインダクタンスである素子-素子インダクタンスL1は、導通経路R12のインダクタンスである素子-端子インダクタンスL2よりも大きい。

[0152] 同様に、半導体装置B1では、第2方向 $y$ に隣接する2つの第2半導体素子12の第4電極121（ドレイン）同士の導通経路R21（図16参照）が、第2近方素子120の第4電極121（ドレイン）と各電力端子43（OUT端子）との導通経路R22（図16参照）よりも長い。これにより、導通経路R21のインダクタンスである素子-素子インダクタンスL3は、導通経路R22のインダクタンスである素子-端子インダクタンスL4よりも大きい。

[0153] 半導体装置B1の作用および効果は、次の通りである。

[0154] 半導体装置B1は、半導体装置A1と同様に、複数の第1半導体素子11

を備えており、複数の第1半導体素子11は、電氣的に並列に接続されている。半導体装置B1は、第1導体としての導電基板23Aを備える。導電基板23Aは、厚さ方向zに見て、第1線分S1の一部を避けて配置されている。この構成によると、導電基板23Aが第1線分S1を避けずに配置された構成（以下「第3比較構成」という）と比較して、素子-素子インダクタンスL1が増加する。第3比較構成は、たとえば、特許文献1のように、複数の第1半導体素子11の第1電極111（ドレイン）同士の導通経路が直線的である構成のことである。したがって、半導体装置B1は、第3比較構成と比べて、複数の第1半導体素子11を並列動作させた際の発振現象の発生を抑制できる。

[0155] 半導体装置B1では、第1導体としての導電基板23Aは、厚さ方向zに見て、第1線分S1のうちの15%以上の部分を避けている。この構成によれば、半導体装置B1は、半導体装置A1と同様に、複数の第1半導体素子11の並列動作時に生じる発振現象を抑制するために、適度な素子-素子インダクタンスL1を確保できる。また、導電基板23Aは、厚さ方向zに見て、第1線分S1のうちの90%以下の部分を避けている。この構成によれば、半導体装置B1は、半導体装置A1と同様に、各第1半導体素子11が各搭載部231Aからはみ出ることを抑制し、各第1半導体素子11の接合強度の低下および各第1電極111と各搭載部231Aとの接合面積の低下を抑制できる。以上のことから、半導体装置B1は、第1導体としての導電基板23Aが、厚さ方向zに見て、第1線分S1のうちの15%以上90%以下の部分を避ける構成を採用することで、素子-素子インダクタンスL1を適度に確保しつつ、各第1半導体素子11を各搭載部231Aに適切に接合できる。

[0156] 半導体装置B1では、導電基板23Aは、複数の第1半導体素子11の各々が搭載された複数の搭載部231Aを含む。複数の搭載部231Aのうち第2方向yに隣接するいずれの2つの搭載部231Aにおいても、当該2つの搭載部231Aは、第2方向yに第1間隙G1を挟んで配置される。第

1 間隙 G 1 は、厚さ方向 z に見て、第 1 線分 S 1 に交差する。この構成によれば、導電基板 2 3 A が第 1 線分 S 1 の一部を避けた形状となる。したがって、半導体装置 B 1 は、半導体装置 A 1 と同様に、素子-素子インダクタンス L 1 を、上記第 3 比較構成と比べて増加させることができる。

[0157] 半導体装置 B 1 は、半導体装置 A 1 と同様に、2 つ以上の第 2 半導体素子 1 2 を備えており、2 つ以上の第 2 半導体素子 1 2 は、電氣的に並列に接続されている。半導体装置 B 1 は、第 2 導体としての導電基板 2 3 B を備える。導電基板 2 3 B は、厚さ方向 z に見て、第 2 線分 S 2 の一部を避けて配置されている。この構成によると、導電基板 2 3 B が第 2 線分 S 2 を避けずに配置された構成（以下「第 4 比較構成」という）と比較して、素子-素子インダクタンス L 3 が増加する。第 4 比較構成は、たとえば、特許文献 1 のように、複数の第 2 半導体素子 1 2 の第 4 電極 1 2 1（ドレイン）同士の導通経路が直線的である構成のことである。したがって、半導体装置 B 1 は、第 4 比較構成と比べて、2 つ以上の第 2 半導体素子 1 2 を並列動作させた際の発振現象の発生を抑制できる。

[0158] 半導体装置 B 1 では、第 1 導体としての導電基板 2 3 B は、厚さ方向 z に見て、第 2 線分 S 2 のうちの 15% 以上の部分を避けている。この構成によれば、半導体装置 B 1 は、半導体装置 A 1 と同様に、複数の第 2 半導体素子 1 2 の並列動作時に生じる発振現象を抑制するために、適度な素子-素子インダクタンス L 3 を確保できる。また、導電基板 2 3 B は、厚さ方向 z に見て、第 2 線分 S 2 のうちの 90% 以下の部分を避けている。この構成によれば、半導体装置 B 1 は、半導体装置 A 1 と同様に、各第 2 半導体素子 1 2 が各搭載部 2 3 1 B からはみ出ることを抑制し、各第 2 半導体素子 1 2 の接合強度の低下および各第 4 電極 1 2 1 と各搭載部 2 3 1 B との接合面積の低下を抑制できる。以上のことから、半導体装置 B 1 は、第 1 導体としての導電基板 2 3 B が、厚さ方向 z に見て、第 2 線分 S 2 のうちの 15% 以上 90% 以下の部分を避ける構成を採用することで、素子-素子インダクタンス L 3 を適度に確保しつつ、各第 2 半導体素子 1 2 を各搭載部 2 3 1 B に適切に接

合できる。

[0159] 半導体装置 B 1 では、導電基板 2 3 B は、複数の第 2 半導体素子 1 2 の各々が搭載された複数の搭載部 2 3 1 B を含む。複数の搭載部 2 3 1 B のうちの第 2 方向 y に隣接するいずれの 2 つの搭載部 2 3 1 B においても、当該 2 つの搭載部 2 3 1 B は、第 2 方向 y に第 2 間隙 G 2 を挟んで配置される。第 2 間隙 G 2 は、厚さ方向 z に見て、第 2 線分 S 2 に交差する。この構成によれば、導電基板 2 3 B が第 2 線分 S 2 の一部を避けた形状となる。したがって、半導体装置 B 1 は、素子-素子インダクタンス L 3 を、上記第 4 比較構成と比べて増加させることができる。

[0160] 第 2 実施形態の変形例：

次に、第 2 実施形態にかかる半導体装置 B 1 の各変形例について、図 1 8 ~ 図 2 1 を参照して、説明する。図 1 8 ~ 図 2 1 は、第 2 実施形態の第 1 変形例ないし第 4 変形例のそれぞれにかかる各半導体装置 B 2 ~ B 5 を示している。

[0161] まず、各半導体装置 B 2 ~ B 5 が、半導体装置 B 1 と共通し、且つ、相互に共通する点について説明する。

[0162] 各半導体装置 B 2 ~ B 5 はいずれも、次の点で半導体装置 B 1 と共通する。第 1 に、図 1 8 ~ 図 2 1 に示すように、導電基板 2 3 A が、厚さ方向 z に見て、各第 1 線分 S 1 の一部ずつを避けて配置されている点である。第 2 に、図 1 8 ~ 図 2 1 に示すように、導電基板 2 3 B が、厚さ方向 z に見て、各第 2 線分 S 2 の一部ずつを避けて配置されている点である。第 3 に、図 1 8 ~ 図 2 1 に示すように、第 2 方向 y に隣接する 2 つの搭載部 2 3 1 A が、第 1 間隙 G 1 を挟んで配置され、当該第 1 間隙 G 1 は、厚さ方向 z に見て、第 1 線分 S 1 に交差する点である。第 4 に、図 1 8 ~ 図 2 1 に示すように、第 2 方向 y に隣接する 2 つの搭載部 2 3 1 B が、第 2 間隙 G 2 を挟んで配置され、当該第 2 間隙 G 2 は、厚さ方向 z に見て、第 2 線分 S 2 に交差する点である。

[0163] 上記第 1 の共通点により、各半導体装置 B 2 ~ B 5 はいずれも、半導体装

置B 1と同様に、上記第3比較構成と比べて、素子-素子インダクタンスL 1が増加する。つまり、各半導体装置B 2~B 5はいずれも、半導体装置B 1と同様に、上記第3比較構成と比べて、複数の第1半導体素子1 1を並列動作させた際の発振現象の発生を抑制できる。また、上記第2の共通点により、各半導体装置B 2~B 5はいずれも、半導体装置B 1と同様に、上記第4比較構成と比べて、素子-素子インダクタンスL 3が増加する。つまり、各半導体装置B 2~B 5はいずれも、半導体装置B 1と同様に、上記第4比較構成と比べて、複数の第2半導体素子1 2を並列動作させた際の発振現象の発生を抑制できる。

[0164] 次に、第2実施形態の第1変形例ないし第4変形例にかかる半導体装置B 2~B 5の各構成例について、順に説明する。

[0165] 第2実施形態の第1変形例：

図1 8に示すように、半導体装置B 2は、各導通経路R 1 1が、半導体装置B 1の各導通経路R 1 1よりも長い。つまり、半導体装置B 2における素子-素子インダクタンスL 1は、半導体装置B 1における素子-素子インダクタンスL 1よりも大きい。また、半導体装置B 2では、導通経路R 1 2が、半導体装置B 1における導通経路R 1 2よりも長い。図1 8に示す例では、半導体装置B 2は、半導体装置B 1と比較して、各第1半導体素子1 1の平面視寸法が小さく、且つ、各第1半導体素子1 1が各搭載部2 3 1 Aのうちの電力端子4 1よりも第1方向xの遠い側に配置されたことで、各導通経路R 1 1が長くなっている。なお、図1 8に示す例では、半導体装置B 2は、半導体装置B 1と同様に、各導通経路R 1 1が導通経路R 1 2よりも長い。つまり、半導体装置B 2は、素子-素子インダクタンスL 1が素子-端子インダクタンスL 2よりも大きい。

[0166] 以上のように構成された半導体装置B 2は、半導体装置B 1と比較して、素子-素子インダクタンスL 1が大きい。したがって、半導体装置B 2は、半導体装置B 1よりも、複数の第1半導体素子1 1を並列動作させた際の発振現象の発生を抑制できる。

[0167] 同様に、図18に示すように、半導体装置B2は、各導通経路R21が、半導体装置B1の各導通経路R21よりも長い。つまり、半導体装置B2における素子-素子インダクタンスL3は、半導体装置B1における素子-素子インダクタンスL3よりも大きい。また、半導体装置B2では、導通経路R22が、半導体装置B1における導通経路R22よりも長い。図18に示す例では、半導体装置B2は、半導体装置B1と比較して、各第2半導体素子12の平面視寸法が小さく、且つ、各第2半導体素子12が各搭載部231Bのうちの各電力端子43よりも第1方向xの遠い側に配置されたことで、各導通経路R21が長くなっている。なお、図18に示す例では、半導体装置B2は、半導体装置B1と同様に、各導通経路R21が導通経路R22よりも長い。素子-素子インダクタンスL3が素子-端子インダクタンスL4よりも大きい。

[0168] 以上のように構成された半導体装置B2は、半導体装置B1と比較して、素子-素子インダクタンスL3が大きい。したがって、半導体装置B2は、半導体装置B1よりも、複数の第2半導体素子12を並列動作させた際の発振現象の発生を抑制できる。

[0169] 第2実施形態の第2変形例：

図19に示すように、半導体装置B3は、半導体装置B2と比較して、導電基板23Aが複数の連結部233Aをさらに含む。各連結部233Aは、第2方向yに隣接する2つの搭載部231Aを導通させる。半導体装置B3では、第2方向yに隣接する2つの搭載部231Aは、連結部232Aおよび連結部233Aを介して、電氣的に接続される。この構成では、図19に示すように、各導通経路R11は、連結部232Aではなく、各連結部233Aを介する経路となる。これにより、半導体装置B3の各導通経路R11が、半導体装置B2の各導通経路R11よりも短くなるので、半導体装置B3の素子-素子インダクタンスL1は、半導体装置B2の素子-素子インダクタンスL1よりも小さい。ただし、図19に示す例では、素子-素子インダクタンスL1は、素子-端子インダクタンスL2よりも大きい。なお、導

電基板 23A に複数の連結部 233A を設けると、図 19 に示すように、各連結部 233A を挟んで、導電基板 23A の各切り込み（第 1 間隙 G1）と反対側に、開口 234A が形成される。当該開口 234A は、導電基板 23A を厚さ方向 z に貫通する。図 19 に示す例では、導電基板 23A の各切り込み（第 1 間隙 G1）の第 1 方向 x に沿う寸法は、各開口 234A の第 1 方向 x に沿う寸法よりも大きい。

[0170] 同様に、図 19 に示すように、半導体装置 B3 は、半導体装置 B2 と比較して、導電基板 23B が複数の連結部 233B をさらに含む。各連結部 233B は第 2 方向 y に隣接する 2 つの搭載部 231B を導通させる。半導体装置 B3 では、第 2 方向 y に隣接する 2 つの搭載部 231B は、連結部 232B および連結部 233B を介して、電氣的に接続される。この構成では、図 19 に示すように、各導通経路 R21 は、連結部 232B ではなく、各連結部 233B を介する経路となる。これにより、半導体装置 B3 の各導通経路 R21 が半導体装置 B2 の各導通経路 R21 よりも短くなるので、半導体装置 B3 の素子-素子インダクタンス L3 は、半導体装置 B2 の素子-素子インダクタンス L3 よりも小さい。ただし、図 19 に示す例では、素子-素子インダクタンス L3 は、素子-端子インダクタンス L4 よりも大きい。なお、導電基板 23B に複数の連結部 233B を設けると、図 19 に示すように、各連結部 233B を挟んで、導電基板 23B の各切り込み（第 2 間隙 G2）と反対側に、開口 234B が形成される。当該開口 234B は、導電基板 23B を厚さ方向 z に貫通する。図 19 に示す例では、導電基板 23B の各切り込み（第 2 間隙 G2）の第 1 方向 x に沿う寸法は、各開口 234B の第 1 方向 x に沿う寸法よりも大きい。

[0171] 第 2 実施形態の第 3 変形例：

図 20 に示すように、半導体装置 B4 は、各導通経路 R11 が、半導体装置 B2 の導通経路 R11 よりも短い。つまり、半導体装置 B4 の素子-素子インダクタンス L1 は、半導体装置 B2 の素子-素子インダクタンス L1 よりも小さい。図 20 に示す例では、たとえば、導電基板 23A に形成する各

切り込み（つまり第1間隙G1）の第1方向xの寸法を小さくすることで、各導通経路R11を短くしている。また、半導体装置B4は、導通経路R12が、半導体装置B2の導通経路R12よりも長い。つまり、半導体装置B4の素子-端子インダクタンスL2は、半導体装置B2の素子-端子インダクタンスL2よりも大きい。図20に示す例では、複数の第1半導体素子11を、半導体装置B2の複数の第1半導体素子11よりも、第1方向xにおいて電力端子41からさらに遠ざけることで、各導通経路R12を長くしている。そして、半導体装置B4は、各導通経路R11が導通経路R12よりも短い。つまり、半導体装置B4は、素子-素子インダクタンスL1が素子-端子インダクタンスL2よりも小さい。

[0172] 同様に、図20に示すように、半導体装置B4は、各導通経路R21が、半導体装置B2の導通経路R21よりも短い。つまり、半導体装置B4の素子-素子インダクタンスL3は、半導体装置B2の素子-素子インダクタンスL3よりも小さい。図20に示す例では、たとえば、導電基板23Bに形成する各切り込み（つまり第2間隙G2）の第1方向xの寸法を小さくすることで、各導通経路R21を短くしている。また、半導体装置B4は、導通経路R22が、半導体装置B2の導通経路R22よりも長い。つまり、半導体装置B4の素子-端子インダクタンスL4は、半導体装置B2の素子-端子インダクタンスL4よりも大きい。図20に示す例では、複数の第2半導体素子12を、半導体装置B2の複数の第2半導体素子12よりも、第1方向xにおいて各電力端子43からさらに遠ざけることで、各導通経路R22を長くしている。そして、半導体装置B4は、各導通経路R21が導通経路R22よりも短い。つまり、半導体装置B4は、素子-素子インダクタンスL3が素子-端子インダクタンスL4よりも小さい。

[0173] 第2実施形態の第4変形例：

図21に示すように、半導体装置B5は、半導体装置B3と同様に、導電基板23Aが複数の連結部233Aを含む。図21に示す例では、導電基板23Aの各切り込み（第1間隙G1）の第1方向xに沿う寸法は、各開口2

34Aの第1方向xに沿う寸法よりも小さい。半導体装置B5は、半導体装置B4と同様に、各導通経路R11が導通経路R12よりも短い。つまり、半導体装置B5は、素子-素子インダクタンスL1が素子-端子インダクタンスL2よりも小さい。

[0174] また、図21に示すように、半導体装置B5は、半導体装置B3と同様に、導電基板23Bが複数の連結部233Bを含む。図21に示す例では、導電基板23Bの各切り込み（第2間隙G2）の第1方向xに沿う寸法は、各開口234Bの第1方向xに沿う寸法よりも小さい。半導体装置B5は、半導体装置B4と同様に、各導通経路R21が各導通経路R22よりも短い。つまり、半導体装置B5は、素子-素子インダクタンスL3が素子-端子インダクタンスL4よりも小さい。

[0175] 各半導体装置B1～B5では、導電基板23Aに切り欠きを形成することで、各第1間隙G1を設けた例を示した。この構成と異なり、たとえば図11に示す例と同様に、導電基板23Aに貫通孔を形成することで、各第1間隙G1を確保してもよい。当該貫通孔は、導電基板23Aを厚さ方向zに貫通する。同様に、各半導体装置B1～B5では、導電基板23Bに切り欠きを形成することで、各第2間隙G2を設けた例を示した。この構成と異なり、たとえば図11に示す例と同様に、導電基板23Bに貫通孔を形成することで、各第2間隙G2を確保してもよい。当該貫通孔は、導電基板23Bを厚さ方向zに貫通する。

[0176] 第3実施形態：

図22～図32は、第3実施形態にかかる半導体装置C1を示している。同図に示すように、半導体装置C1は、複数の第1半導体素子11、複数の第2半導体素子12、支持基板2、複数の端子、複数の接続部材、放熱板70、ケース71および樹脂部材75を備える。複数の端子は、複数の電力端子41～43および複数の信号端子44A, 44B, 45A, 45B, 46, 47を含む。複数の接続部材は、複数の接続部材51A, 51B, 52A, 52B, 531A, 531B, 532A, 541A, 541B, 542A

, 542B, 56, 57を含む。

[0177] 第1実施形態および第2実施形態では、複数の第1半導体素子11および複数の第2半導体素子12が封止部材6に覆われた樹脂モールドタイプのモジュール構造である例を示した。これに対して、半導体装置C1は、複数の第1半導体素子11および複数の第2半導体素子12がケース71に収容されたケースタイプのモジュール構造である。

[0178] ケース71は、図22～図25および図28～図32から理解されるように、たとえば直方体である。ケース71は、電気絶縁性を有し、かつ耐熱性に優れた合成樹脂から構成されており、たとえばPPS（ポリフェニレンサルファイド）により構成される。ケース71は、平面視において放熱板70とおよそ同じ大きさの矩形状である。ケース71は、枠部72、天板73および複数の端子台741～744を含む。

[0179] 枠部72は、放熱板70の厚さ方向z上方の表面に固定される。天板73は、枠部72に固定される。天板73は、図22、図24、図28、図29および図32に示すように、枠部72の厚さ方向z上方側の開口を閉鎖する。天板73は、図28、図29および図32に示すように、枠部72の厚さ方向z下方側を閉鎖する放熱板70と対向している。天板73、放熱板70および枠部72によって、回路収容空間（複数の第1半導体素子11および複数の第2半導体素子12などを収容する空間）がケース71の内部に区画されている。以下では、この回路収容空間を、ケース71の内側ということがある。

[0180] 2つの端子台741, 742は、枠部72よりも第1方向xの一方側に配置され、枠部72と一体的に形成されている。2つの端子台743, 744は、枠部72よりも第1方向xの他方側に配置され、枠部72と一体的に形成されている。2つの端子台741, 742は、枠部72の第1方向xの一方側の側壁に対して、第2方向yに沿って配置されている。端子台741は、電力端子41の一部を覆っており、且つ、図22に示すように厚さ方向z上方側の表面に電力端子41の一部が配置されている。端子台742は、電

力端子42の一部を覆っており、且つ、図22に示すように厚さ方向z上方側の表面に電力端子42の一部が配置されている。2つの端子台743、744は、枠部72の第1方向xの他方側の側壁に対して、第2方向yに沿って配置されている。端子台743は、2つの電力端子43の一方の一部を覆っており、且つ、図22に示すように厚さ方向z上方側の表面にこの電力端子43の一部が配置されている。端子台744は、2つの電力端子43の他方の一部を覆っており、且つ、図22に示すように厚さ方向z上方側の表面にこの電力端子43の一部が配置されている。

[0181] 樹脂部材75は、図28、図29および図32に示すように、天板73、放熱板70および枠部72によって、囲まれた領域（上記回路収容空間）に充填される。樹脂部材75は、複数の第1半導体素子11および複数の第2半導体素子12などを覆っている。樹脂部材75は、たとえば、黒色のエポキシ樹脂により構成される。樹脂部材75の構成材料は、エポキシ樹脂ではなく、シリコンゲルなどの他の絶縁材料でもよい。半導体装置C1は、樹脂部材75を備える構成に限定されず、樹脂部材75を備えなくてもよい。また、樹脂部材75を備える構成においては、ケース71が天板73を含んでいなくてもよい。

[0182] 半導体装置C1の支持基板2は、放熱板70に接合される。半導体装置C1の支持基板2は、絶縁基板20および主面金属層21を含む。この構成と異なり、支持基板2が裏面金属層22を含んでいてもよい。

[0183] 主面金属層21は、複数の電力配線部31～33および複数の信号配線部34A、34B、35A、35B、37を含む。半導体装置C1の主面金属層21は、半導体装置A1の主面金属層21と比較して、信号配線部37をさらに含む。

[0184] 一对の信号配線部37は、図25に示すように、第2方向yにおいて互いに離間する。一对の信号配線部37はそれぞれ、たとえばサーミスタ91が接合される。サーミスタ91は、一对の信号配線部37に跨って配置される。半導体装置C1と異なる例において、一对の信号配線部37にサーミスタ

91が接合されていなくてもよい。図25に示すように、一对の信号配線部37は、絶縁基板20の隅の近傍に位置する。一对の信号配線部37は、第1方向xにおいて、パッド部311と2つの信号配線部34A, 35Aとの間に位置する。

[0185] 半導体装置C1の電力配線部31は、半導体装置A1の電力配線部31と同様に、2つのパッド部311, 312を含むとともに、半導体装置A1の電力配線部31と異なり、延出部313をさらに含む。

[0186] 延出部313は、図25に示すように、パッド部311のうち、第1方向xの他方側（電力端子41が位置する側と反対側）の端部から第2方向yに延びている。図25に示す例では、延出部313は、平面視において、パッド部332（電力配線部33）との2つの信号配線部34A, 35Aとの間に位置する。

[0187] 電力配線部32のパッド部321には、図25に示すように、スリット321sが形成されている。スリット321sは、平面視において、パッド部321のうちの、第1方向xの一方側（パッド部322が位置する側）の端縁を基端として、第1方向xに沿って延びる。スリット321sの先端は、パッド部321の第1方向x中央部に位置する。

[0188] 信号端子46は、図25に示すように、接続部材56が接合される。信号端子47は、接続部材56を介して、電力配線部31に導通する。これにより、信号端子46は、複数の第1半導体素子11の各第1電極111（ドレイン）に導通する。信号端子46は、第3検出信号の出力端子である。第3検出信号は、電力配線部31に流れる電流（つまり、複数の第1半導体素子11の各第1電極111（ドレイン）に流れる電流（ドレイン電流））に応じた電圧信号である。半導体装置B1において、信号端子46は、プレスフィット端子であったが、半導体装置C1では、他の信号端子44A, 44B, 45A, 45Bなどと同様に、ピン状の金属部材である。

[0189] 一对の信号端子47はそれぞれ、図25に示すように、一对の接続部材57のそれぞれが接合される。一对の信号端子47は、一对の接続部材57を

介して、一对の信号配線部 3 7 に導通する。これにより、一对の信号端子 4 7 は、サーミスタ 9 1 に導通する。一对の信号端子 4 7 は、ケース 7 1 内部の温度を検出するための端子である。一对の信号配線部 3 7 にサーミスタ 9 1 が接合されない場合、一对の信号端子 4 7 は、ノンコネクタ端子である。

[0190] 接続部材 5 3 2 A は、図 2 5 に示すように、信号配線部 3 4 A と信号端子 4 4 A とに接合され、これらを導通させる。したがって、半導体装置 C 1 では、信号端子 4 4 A は、接続部材 5 3 2 A、信号配線部 3 4 A、および複数の接続部材 5 3 1 A を介して、複数の第 1 半導体素子 1 1 の各第 3 電極 1 1 3 (ゲート) に導通する。

[0191] 接続部材 5 3 2 B は、図 2 5 に示すように、信号配線部 3 4 B と信号端子 4 4 B とに接合され、これらを導通させる。したがって、半導体装置 C 1 では、信号端子 4 4 B は、接続部材 5 3 2 B、信号配線部 3 4 B および複数の接続部材 5 3 1 B を介して、複数の第 2 半導体素子 1 2 の各第 6 電極 1 2 3 (ゲート) に導通する。

[0192] 接続部材 5 4 2 A は、図 2 5 に示すように、信号配線部 3 5 A と信号端子 4 5 A とに接合され、これらを導通させる。したがって、半導体装置 C 1 では、信号端子 4 5 A は、接続部材 5 4 2 A、信号配線部 3 5 A および複数の接続部材 5 4 1 A を介して、複数の第 1 半導体素子 1 1 の各第 2 電極 1 1 2 (ソース) に導通する。

[0193] 接続部材 5 4 2 B は、図 2 5 に示すように、信号配線部 3 5 B と信号端子 4 5 B とに接合され、これらを導通させる。したがって、半導体装置 C 1 では、信号端子 4 5 B は、接続部材 5 4 2 B、信号配線部 3 5 B および複数の接続部材 5 4 1 B を介して、複数の第 2 半導体素子 1 2 の各第 5 電極 1 2 2 (ソース) に導通する。

[0194] 接続部材 5 6 は、図 2 5 に示すように、延出部 3 1 3 と信号端子 4 7 とに接合され、電力配線部 3 1 と信号端子 4 7 とを導通させる。よって、信号端子 4 7 は、接続部材 5 6 および電力配線部 3 1 を介して、複数の第 1 半導体素子 1 1 の各第 1 電極 1 1 1 (ドレイン) に導通する。

- [0195] 一対の接続部材57はそれぞれ、図25に示すように、一対の信号配線部37と一対の信号端子47とにそれぞれ接合され、これらを導通する。よって、一対の信号端子47は、一対の接続部材57および一対の信号配線部37を介して、サーミスタ91に導通する。一対の信号配線部37にサーミスタ91が接合されない場合、一対の接続部材57は、不要である。
- [0196] 半導体装置C1では、第1方向xに隣接する2つの第1半導体素子11の第1電極111（ドレイン）同士の導通経路R11（図26参照）が、第1近方素子110の第1電極111（ドレイン）と電力端子41（P端子）との導通経路R12（図26参照）よりも長い。これにより、導通経路R11のインダクタンスである素子-素子インダクタンスL1は、導通経路R12のインダクタンスである素子-端子インダクタンスL2よりも大きい。
- [0197] 同様に、半導体装置C1では、第1方向xに隣接する2つの第2半導体素子12の第4電極121（ドレイン）同士の導通経路R21（図27参照）が、第2近方素子120の第4電極121（ドレイン）と電力端子43（OUT端子）との導通経路R22（図27参照）よりも長い。これにより、導通経路R21のインダクタンスである素子-素子インダクタンスL3は、導通経路R22のインダクタンスである素子-端子インダクタンスL4よりも大きい。
- [0198] 半導体装置C1の作用および効果は、次の通りである。
- [0199] 半導体装置C1は、半導体装置A1と同様に、複数の第1半導体素子11を備えており、複数の第1半導体素子11は、電氣的に並列に接続されている。半導体装置C1は、第1導体としての搭載部311aを備える。搭載部311aは、厚さ方向zに見て、第1線分S1の一部を避けて配置されている。したがって、半導体装置C1は、半導体装置A1と同様に、上記第1比較構成と比べて、複数の第1半導体素子11を並列動作させた際の発振現象の発生を抑制できる。
- [0200] 半導体装置C1は、半導体装置A1と同様に、複数の第2半導体素子12を備えており、複数の第2半導体素子12は、電氣的に並列に接続されてい

る。半導体装置C 1は、第1導体としての搭載部3 3 1 aを備える。搭載部3 3 1 aは、厚さ方向zに見て、第2線分S 2の一部を避けて配置されている。したがって、半導体装置C 1は、半導体装置A 1と同様に、上記第2比較構成と比べて、複数の第2半導体素子1 2を並列動作させた際の発振現象の発生を抑制できる。

[0201] その他、半導体装置C 1は、各半導体装置A 1～A 5および各半導体装置B 1～B 5のいずれかと共通する構成によって、当該各半導体装置A 1～A 5および各半導体装置B 1～B 5のいずれかと同様の効果を奏する。また、半導体装置C 1において、各半導体装置A 2～A 5あるいは各半導体装置B 2～B 5にかかる構成を採用することも可能である。

[0202] 上記第1実施形態ないし第3実施形態では、複数の第1半導体素子1 1および複数の第2半導体素子1 2を備える例を示したが、これに限定されず、複数の第2半導体素子1 2を備えなくてもよい。

[0203] 本開示にかかる半導体装置は、上記した実施形態に限定されるものではない。本開示の半導体装置の各部の具体的な構成は、種々に設計変更自在である。本開示は、以下の付記に記載された実施形態を含む。

付記1.

各々が、第1電極、第2電極および第3電極を有し、前記第3電極に入力される第1駆動信号に応じて、オン状態とオフ状態との切り替えが制御される2つの第1半導体素子と、

前記2つの第1半導体素子の前記第1電極間に電氣的に介在する第1導体と、

前記第1導体に電氣的に接続され、前記2つの第1半導体素子の各々の前記第1電極に導通する第1電力端子と、

を備えており、

前記2つの第1半導体素子は、電氣的に並列に接続され、

前記第1導体は、前記第1導体の厚さ方向に見て、前記2つの第1半導体素子の中心を結ぶ第1線分の一部を避けて配置されている、半導体装置。

付記 2.

前記第 1 導体は、前記厚さ方向に見て、前記第 1 線分の 15%以上 90%以下の部分を避けて配置されている、付記 1 に記載の半導体装置。

付記 3.

前記第 1 導体は、前記 2 つの第 1 半導体素子の各々がそれぞれ搭載された 2 つの第 1 搭載部を含み、

前記 2 つの第 1 搭載部は、前記厚さ方向に直交する第 1 方向において第 1 間隙を挟んで配置され、

前記第 1 間隙は、前記厚さ方向に見て、前記第 1 線分に交差する、付記 1 または付記 2 のいずれかに記載の半導体装置。

付記 4.

前記第 1 導体は、前記 2 つの第 1 搭載部の両方に繋がる第 1 連結部を含み、

前記第 1 連結部は、前記第 1 線分に対して、前記厚さ方向および前記第 1 方向に直交する第 2 方向の一方側に位置する、付記 3 に記載の半導体装置。

付記 5.

前記第 1 導体は、前記第 1 電力端子が接合されるパッド部を含み、

前記第 1 電力端子は、前記 2 つの第 1 半導体素子よりも前記第 1 方向の一方側に配置され、

前記第 1 連結部は、前記厚さ方向に見て、前記パッド部から前記第 1 方向の他方側に向かって延びる、付記 4 に記載の半導体装置。

付記 6.

前記 2 つの第 1 半導体素子の各々は、前記厚さ方向に離間する第 1 素子主面および第 1 素子裏面を有し、

前記第 1 電極は、前記第 1 素子裏面に配置され、

前記第 2 電極および前記第 3 電極は、前記第 1 素子主面に配置され、

前記 2 つの第 1 半導体素子の各々は、前記第 1 素子裏面が前記第 1 導体に対向する、付記 5 に記載の半導体装置。

付記 7.

前記第 1 導体から離間する第 2 導体と、  
各々が前記第 2 導体と前記 2 つの第 1 半導体素子の各々の前記第 2 電極とを電氣的に接続する 2 つの第 1 接続部材と、  
前記第 2 導体に電氣的に接続され、前記 2 つの第 1 半導体素子の各々の前記第 2 電極に導通する第 2 電力端子と、をさらに備える、付記 6 に記載の半導体装置。

付記 8.

前記第 2 導体は、前記第 2 方向において、前記第 1 連結部に対して前記 2 つの第 1 搭載部と同じ側に位置する、付記 7 に記載の半導体装置。

付記 9.

前記第 2 導体は、前記厚さ方向に見て前記第 2 方向に突き出ており、且つ、前記厚さ方向に見て一部が前記第 1 間隙に重なる突出部を含む、付記 8 に記載の半導体装置。

付記 10.

各々が、第 4 電極、第 5 電極および第 6 電極を有し、前記第 6 電極に入力される第 2 駆動信号に応じて、オン状態とオフ状態との切り替えが制御される 2 つの第 2 半導体素子をさらに備え、

前記 2 つの第 2 半導体素子は、電氣的に並列に接続され、

前記第 2 導体は、前記 2 つの第 2 半導体素子の前記第 4 電極間に電氣的に介在し、

前記第 2 電力端子は、前記 2 つの第 2 半導体素子の各々の前記第 4 電極に導通する、付記 8 または付記 9 のいずれかに記載の半導体装置。

付記 11.

前記第 2 導体は、前記厚さ方向に見て、前記 2 つの第 2 半導体素子の中心を結ぶ第 2 線分の一部を避けて配置されている、付記 10 に記載の半導体装置。

付記 12.

前記第2導体は、前記厚さ方向に見て、前記第2線分の15%以上90%以下の部分を避けて配置されている、付記11に記載の半導体装置。

付記13.

前記第2導体は、前記2つの第2半導体素子の各々がそれぞれ搭載された2つの第2搭載部を含み、

前記2つの第2搭載部は、前記第1方向において第2間隙を挟んで配置され、

前記第2間隙は、前記厚さ方向に見て、前記第2線分に交差する、付記11または付記12のいずれかに記載の半導体装置。

付記14.

前記第2導体は、前記2つの第2搭載部の両方に繋がる第2連結部を含み、

前記第2連結部は、前記第2線分に対して、前記第2方向の一方側に位置し、

前記2つの第1接続部材の各々は、前記第2連結部に接続される、付記13に記載の半導体装置。

付記15.

前記2つの第2半導体素子の各々は、前記厚さ方向に離間する第2素子主面および第2素子裏面を有し、

前記第4電極は、前記第2素子裏面に配置され、

前記第5電極および前記第6電極は、前記第2素子主面に配置され、

前記2つの第2半導体素子の各々は、前記第2素子裏面が前記第2導体に対向する、付記14に記載の半導体装置。

付記16.

前記第1導体および前記第2導体から離間する第3導体と、

各々が前記第3導体と前記2つの第2半導体素子の各々の前記第5電極とを電氣的に接続する2つの第2接続部材と、

前記第3導体に電氣的に接続され、前記2つの第2半導体素子の各々の前

記第5電極に導通する第3電力端子と、をさらに備える、付記15に記載の半導体装置。

付記17.

前記第1電力端子および前記第3電力端子は、直流電圧の入力端子であり

、  
前記直流電圧は、前記2つの第1半導体素子の各々のオン状態とオフ状態との切り替わり、および、前記2つの第2半導体素子の各々のオン状態とオフ状態との切り替わりによって交流電圧に変換され、

前記第2電力端子は、前記交流電圧の出力端子である、付記16に記載の半導体装置。

付記18.

前記第1導体、前記第2導体および前記第3導体を支持する絶縁基板をさらに備える、付記17に記載の半導体装置。

## 符号の説明

[0204] A1～A5, B1～B5, C1 : 半導体装置

11 : 第1半導体素子      11a : 第1素子主面

11b : 第1素子裏面      110 : 第1近方素子

111 : 第1電極      112 : 第2電極

113 : 第3電極      12 : 第2半導体素子

12a : 第2素子主面      12b : 第2素子裏面

120 : 第2近方素子      121 : 第4電極

122 : 第5電極      123 : 第6電極

2 : 支持基板      20 : 絶縁基板

20a : 主面      20b : 裏面

21, 21A, 21B : 主面金属層      22 : 裏面金属層

23A, 23B : 導電基板      231A, 231B : 搭載部

232A, 232B : 連結部      233A, 233B : 連結部

234A, 234B : 開口      24A, 24B : 信号基板

241 : 絶縁層      241 a : 主面  
241 b : 裏面      242 : 主面金属層  
243 : 裏面金属層      31, 32, 33 : 電力配線部  
311, 321, 331 : パッド部      311 a, 331 a : 搭載部  
311 b, 331 b : 連結部      311 c, 331 c : 連結部  
311 d, 331 d : 帯状部      311 e, 331 e : 貫通孔  
321 s : スリット      312, 322, 332 : パッド部  
313 : 延出部      323, 333 : 突出部  
34 A, 34 B, 35 A, 35 B, 36, 37, 39 : 信号配線部  
41, 42, 43 : 電力端子      411, 421, 431 : 接合部  
412, 422, 432 : 端子部  
44 A, 44 B, 45 A, 45 B, 46, 47, 49 : 信号端子  
441 : ホルダ      442 : 金属ピン  
51 A, 51 B, 52 A, 52 B, 56, 57 : 接続部材  
531 A, 531 B, 532 A, 532 B : 接続部材  
541 A, 541 B, 542 A, 542 B : 接続部材  
58 A, 58 B : 接続部材      581 B : 第1配線部  
582 B : 第2配線部      583 B : 第3配線部  
584 B : 第4配線部      6 : 封止部材  
61 : 樹脂主面      62 : 樹脂裏面  
631 ~ 634 : 樹脂側面      70 : 放熱板  
71 : ケース      72 : 枠部  
73 : 天板      741 ~ 743 : 端子台  
75 : 樹脂部材      91 : サーミスタ

## 請求の範囲

- [請求項1] 各々が、第1電極、第2電極および第3電極を有し、前記第3電極に入力される第1駆動信号に応じて、オン状態とオフ状態との切り替えが制御される2つの第1半導体素子と、  
前記2つの第1半導体素子の前記第1電極間に電氣的に介在する第1導体と、  
前記第1導体に電氣的に接続され、前記2つの第1半導体素子の各々の前記第1電極に導通する第1電力端子と、  
を備えており、  
前記2つの第1半導体素子は、電氣的に並列に接続され、  
前記第1導体は、前記第1導体の厚さ方向に見て、前記2つの第1半導体素子の中心を結ぶ第1線分の一部を避けて配置されている、半導体装置。
- [請求項2] 前記第1導体は、前記厚さ方向に見て、前記第1線分の15%以上90%以下の部分を避けて配置されている、請求項1に記載の半導体装置。
- [請求項3] 前記第1導体は、前記2つの第1半導体素子の各々がそれぞれ搭載された2つの第1搭載部を含み、  
前記2つの第1搭載部は、前記厚さ方向に直交する第1方向において第1間隙を挟んで配置され、  
前記第1間隙は、前記厚さ方向に見て、前記第1線分に交差する、請求項1または請求項2のいずれかに記載の半導体装置。
- [請求項4] 前記第1導体は、前記2つの第1搭載部の両方に繋がる第1連結部を含み、  
前記第1連結部は、前記第1線分に対して、前記厚さ方向および前記第1方向に直交する第2方向の一方側に位置する、請求項3に記載の半導体装置。
- [請求項5] 前記第1導体は、前記第1電力端子が接合されるパッド部を含み、

前記第1電力端子は、前記2つの第1半導体素子よりも前記第1方向の一方側に配置され、

前記第1連結部は、前記厚さ方向に見て、前記パッド部から前記第1方向の他方側に向かって延びる、請求項4に記載の半導体装置。

[請求項6]

前記2つの第1半導体素子の各々は、前記厚さ方向に離間する第1素子主面および第1素子裏面を有し、

前記第1電極は、前記第1素子裏面に配置され、

前記第2電極および前記第3電極は、前記第1素子主面に配置され

、  
前記2つの第1半導体素子の各々は、前記第1素子裏面が前記第1導体に対向する、請求項5に記載の半導体装置。

[請求項7]

前記第1導体から離間する第2導体と、

各々が前記第2導体と前記2つの第1半導体素子の各々の前記第2電極とを電氣的に接続する2つの第1接続部材と、

前記第2導体に電氣的に接続され、前記2つの第1半導体素子の各々の前記第2電極に導通する第2電力端子と、をさらに備える、請求項6に記載の半導体装置。

[請求項8]

前記第2導体は、前記第2方向において、前記第1連結部に対して前記2つの第1搭載部と同じ側に位置する、請求項7に記載の半導体装置。

[請求項9]

前記第2導体は、前記厚さ方向に見て前記第2方向に突き出ており、且つ、前記厚さ方向に見て一部が前記第1間隙に重なる突出部を含む、請求項8に記載の半導体装置。

[請求項10]

各々が、第4電極、第5電極および第6電極を有し、前記第6電極に入力される第2駆動信号に応じて、オン状態とオフ状態との切り替えが制御される2つの第2半導体素子をさらに備え、

前記2つの第2半導体素子は、電氣的に並列に接続され、

前記第2導体は、前記2つの第2半導体素子の前記第4電極間に電

氣的に介在し、

前記第2電力端子は、前記2つの第2半導体素子の各々の前記第4電極に導通する、請求項8または請求項9のいずれかに記載の半導体装置。

[請求項11] 前記第2導体は、前記厚さ方向に見て、前記2つの第2半導体素子の中心を結ぶ第2線分の一部を避けて配置されている、請求項10に記載の半導体装置。

[請求項12] 前記第2導体は、前記厚さ方向に見て、前記第2線分の15%以上90%以下の部分を避けて配置されている、請求項11に記載の半導体装置。

[請求項13] 前記第2導体は、前記2つの第2半導体素子の各々がそれぞれ搭載された2つの第2搭載部を含み、

前記2つの第2搭載部は、前記第1方向において第2間隙を挟んで配置され、

前記第2間隙は、前記厚さ方向に見て、前記第2線分に交差する、請求項11または請求項12のいずれかに記載の半導体装置。

[請求項14] 前記第2導体は、前記2つの第2搭載部の両方に繋がる第2連結部を含み、

前記第2連結部は、前記第2線分に対して、前記第2方向の一方側に位置し、

前記2つの第1接続部材の各々は、前記第2連結部に接続される、請求項13に記載の半導体装置。

[請求項15] 前記2つの第2半導体素子の各々は、前記厚さ方向に離間する第2素子主面および第2素子裏面を有し、

前記第4電極は、前記第2素子裏面に配置され、

前記第5電極および前記第6電極は、前記第2素子主面に配置され、

、

前記2つの第2半導体素子の各々は、前記第2素子裏面が前記第2

導体に対向する、請求項 1 4 に記載の半導体装置。

[請求項16]

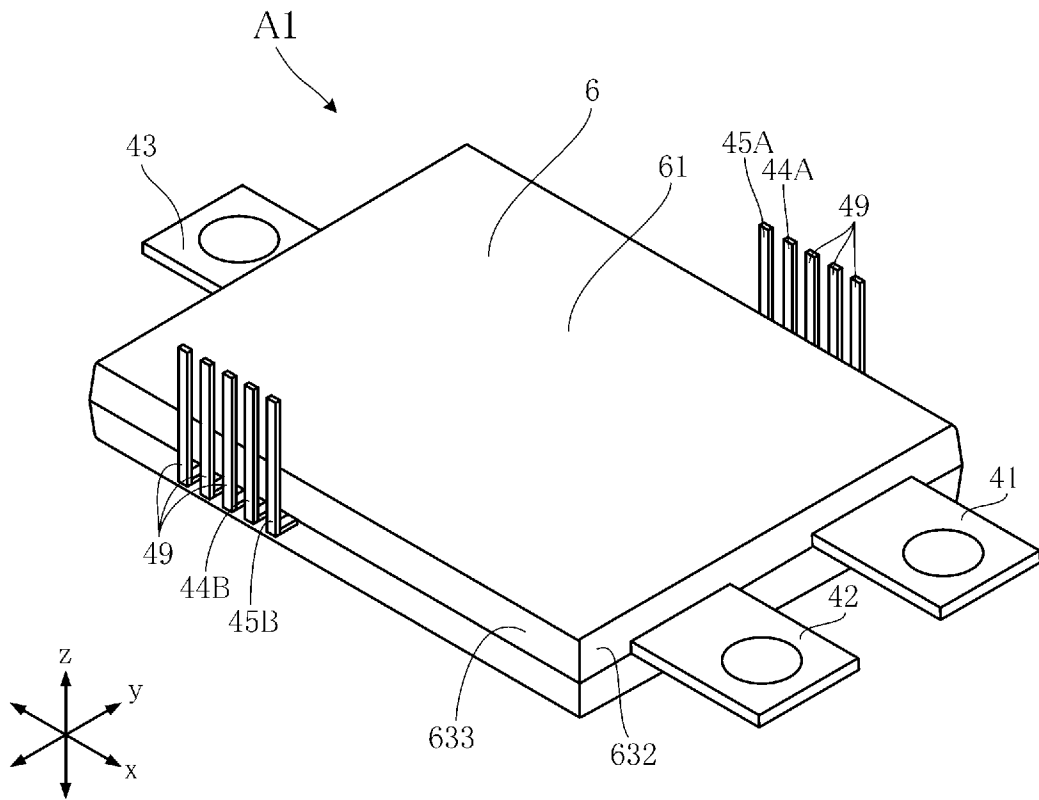
前記第 1 導体および前記第 2 導体から離間する第 3 導体と、  
各々が前記第 3 導体と前記 2 つの第 2 半導体素子の各々の前記第 5 電極とを電氣的に接続する 2 つの第 2 接続部材と、  
前記第 3 導体に電氣的に接続され、前記 2 つの第 2 半導体素子の各々の前記第 5 電極に導通する第 3 電力端子と、をさらに備える、請求項 1 5 に記載の半導体装置。

[請求項17]

前記第 1 電力端子および前記第 3 電力端子は、直流電圧の入力端子であり、  
前記直流電圧は、前記 2 つの第 1 半導体素子の各々のオン状態とオフ状態との切り替わり、および、前記 2 つの第 2 半導体素子の各々のオン状態とオフ状態との切り替わりによって交流電圧に変換され、  
前記第 2 電力端子は、前記交流電圧の出力端子である、請求項 1 6 に記載の半導体装置。

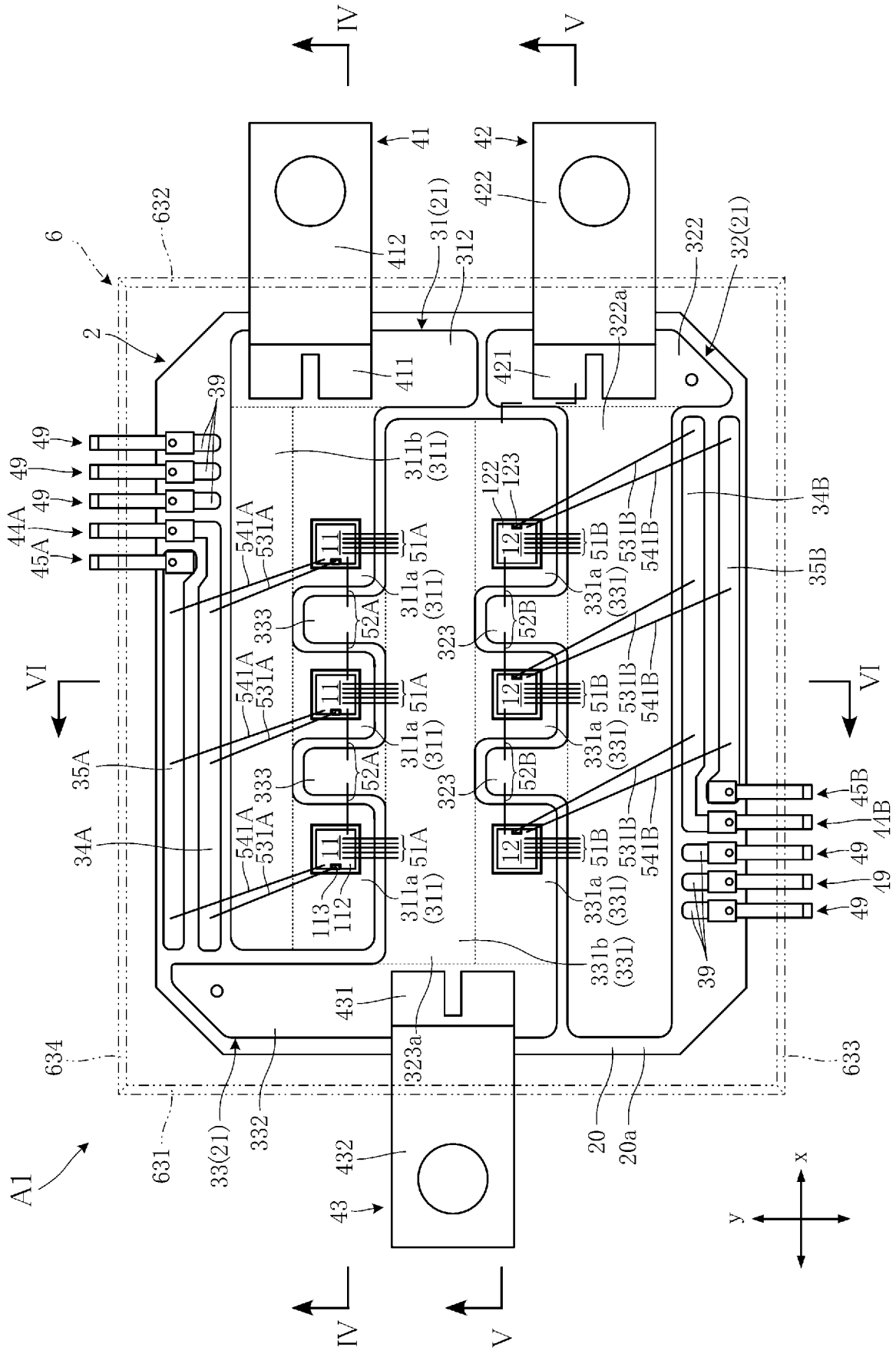
[請求項18]

前記第 1 導体、前記第 2 導体および前記第 3 導体を支持する絶縁基板をさらに備える、請求項 1 7 に記載の半導体装置。

[図1]  
FIG.1

[FIG. 2]

FIG. 2



[FIG. 3]

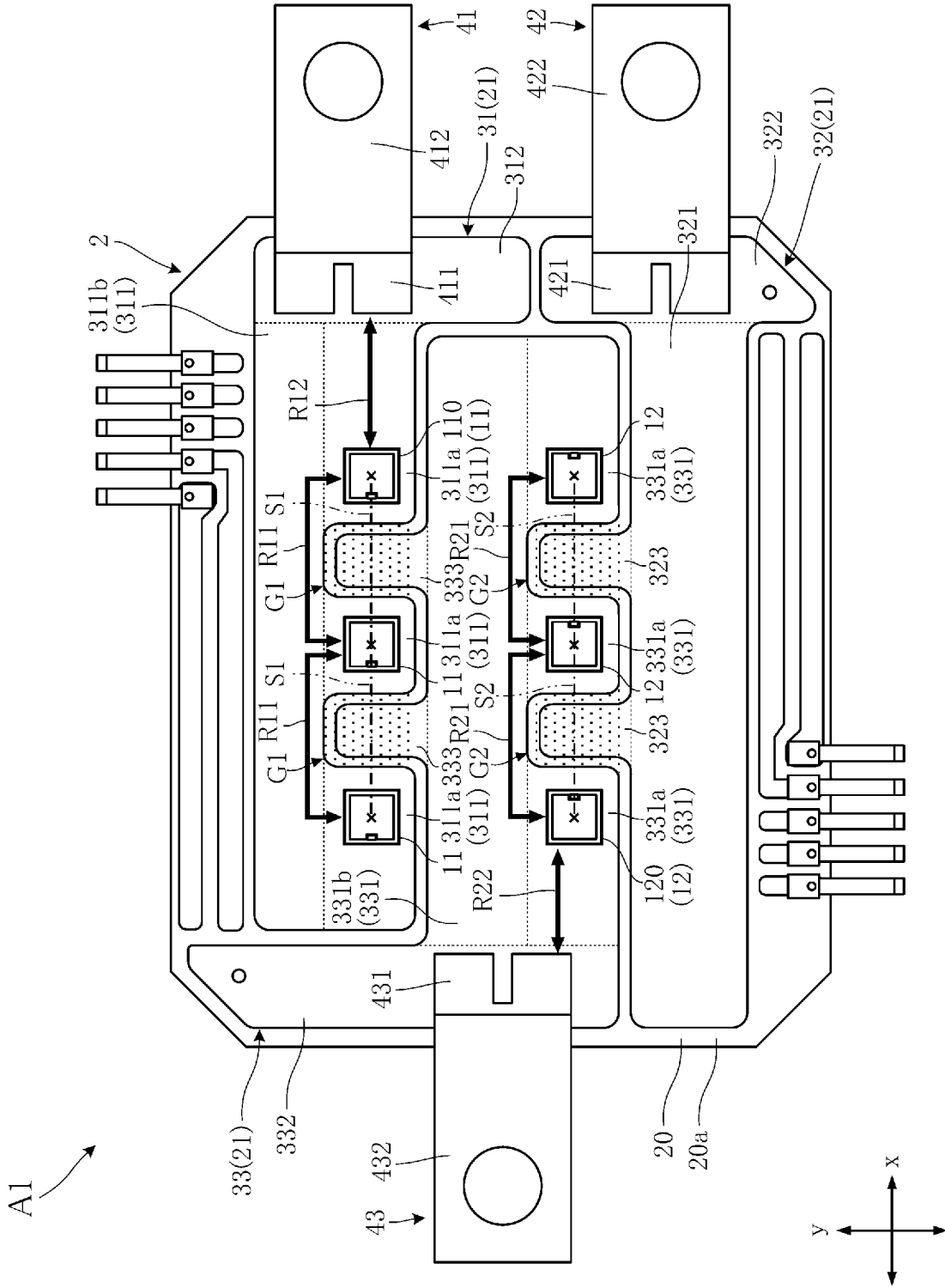


FIG. 3

[図4]

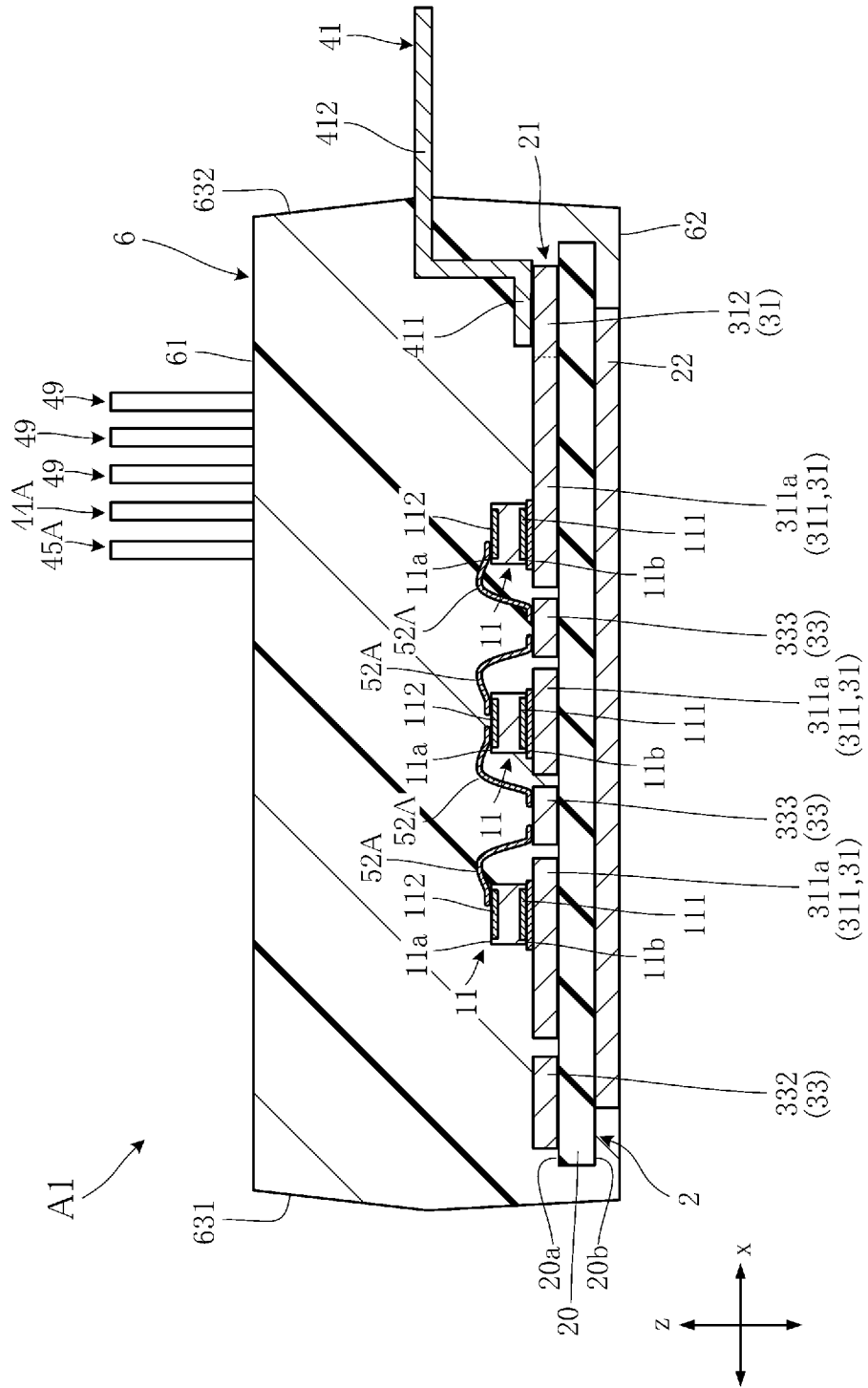


FIG. 4

[5]

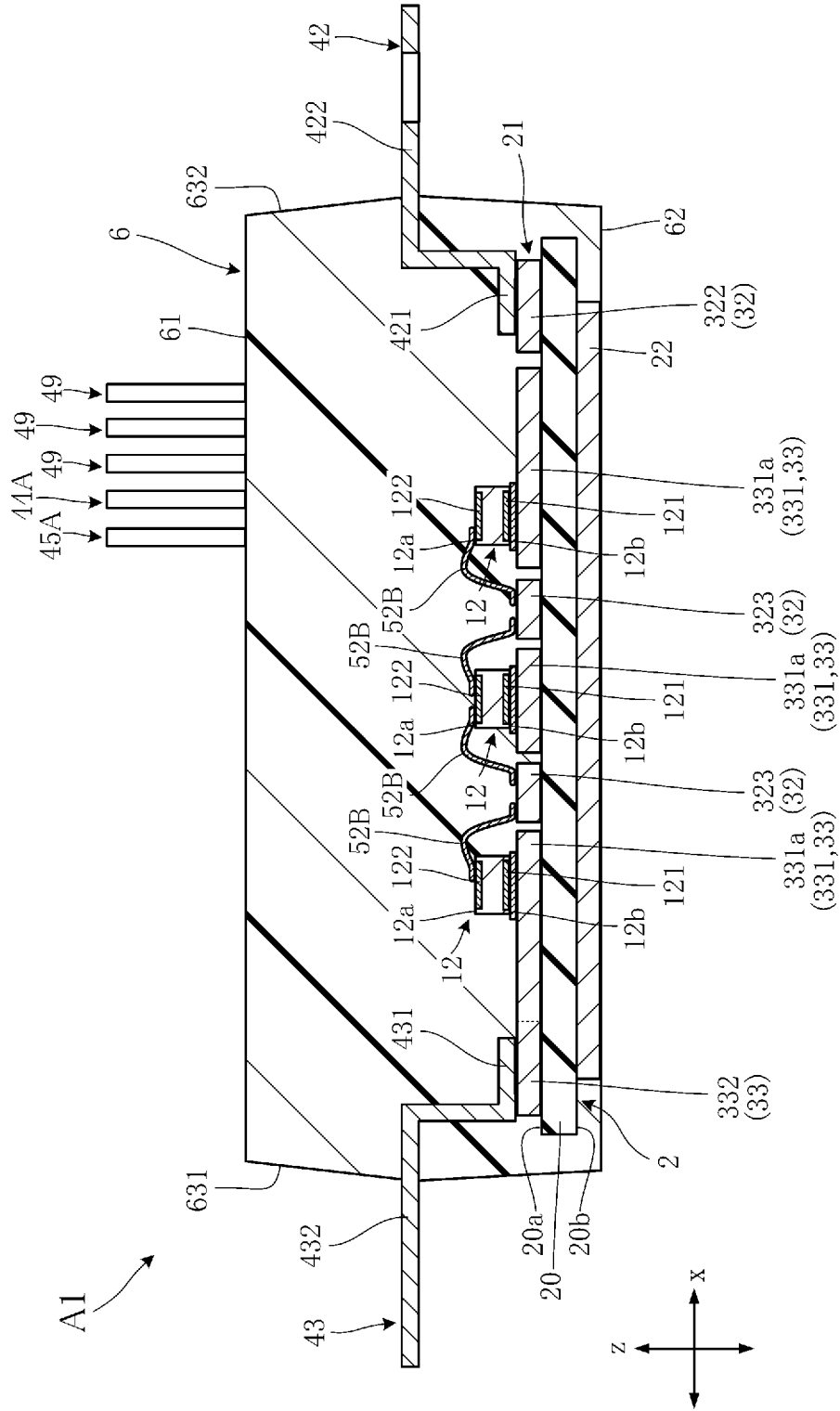


FIG.5

[FIG. 6]

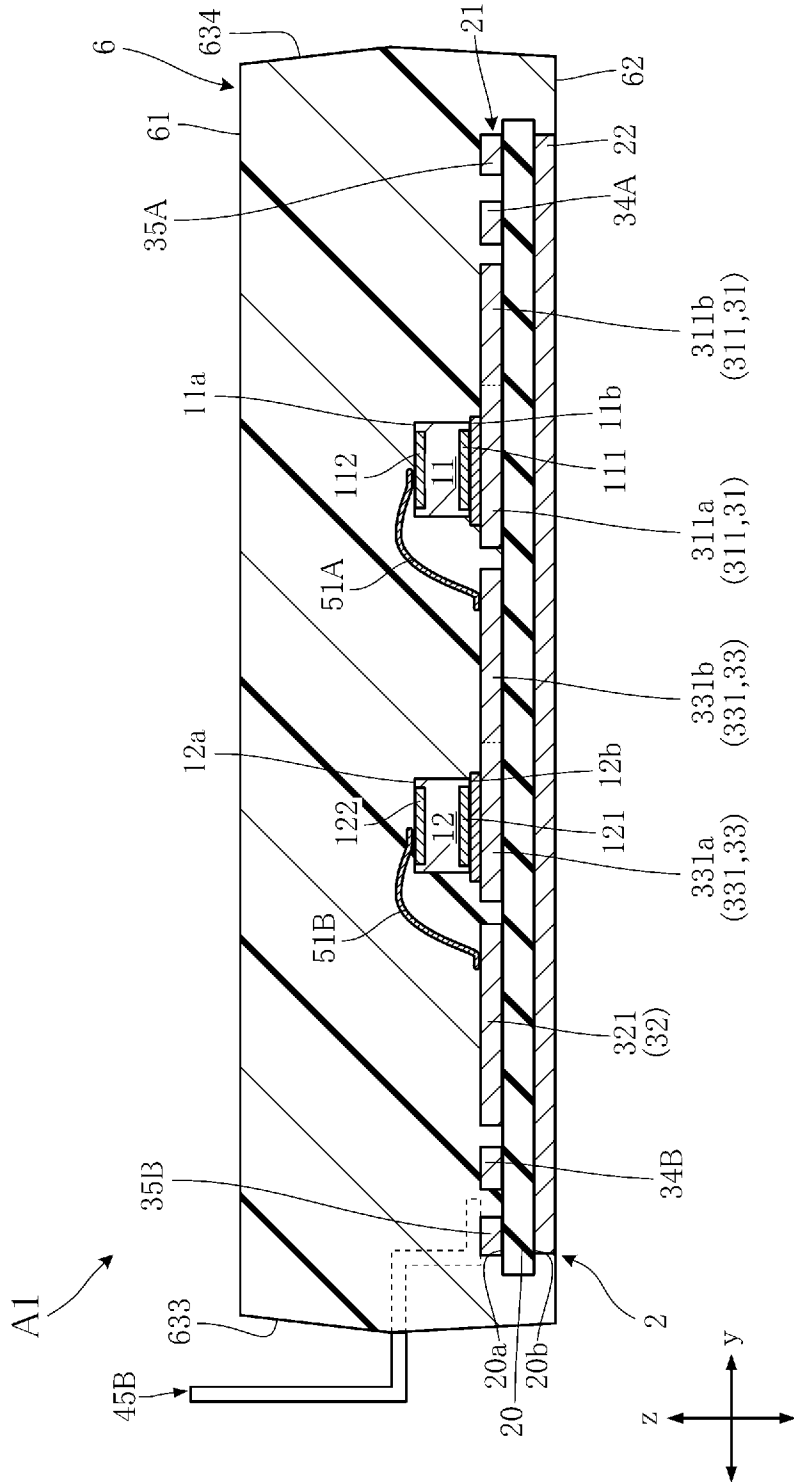
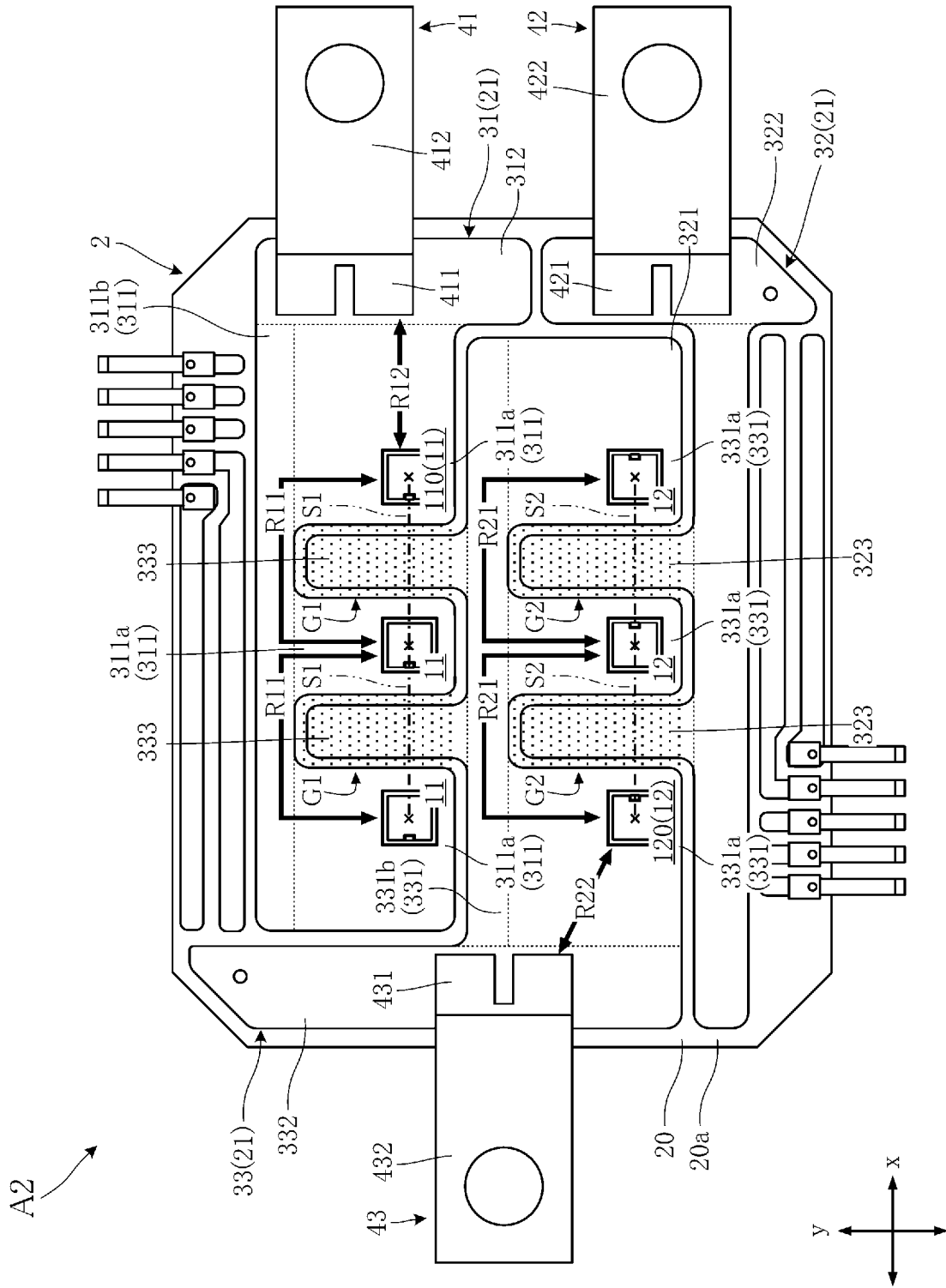


FIG. 6

[7]

FIG. 7



[FIG.8]

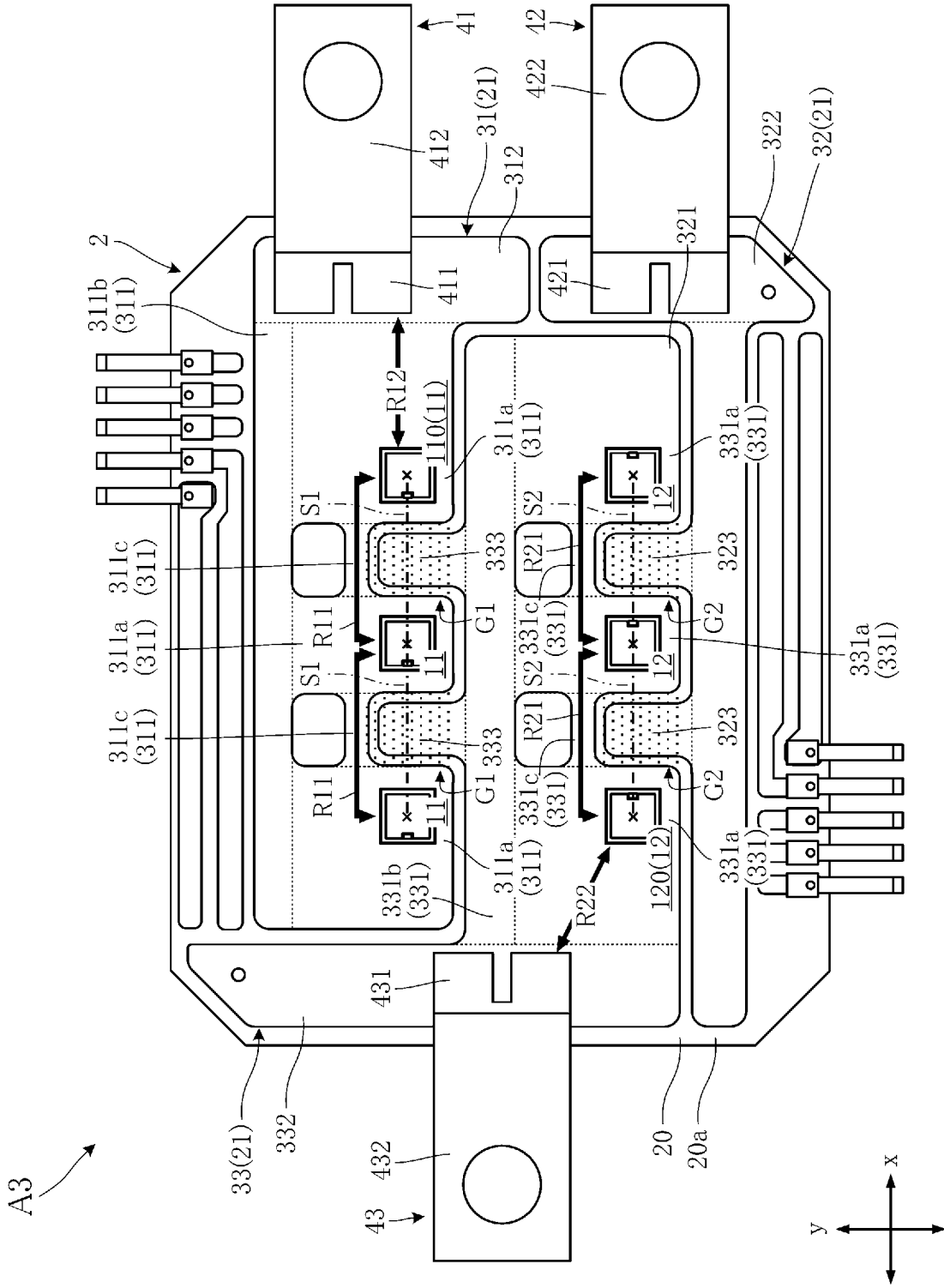


FIG.8

[FIG.9]

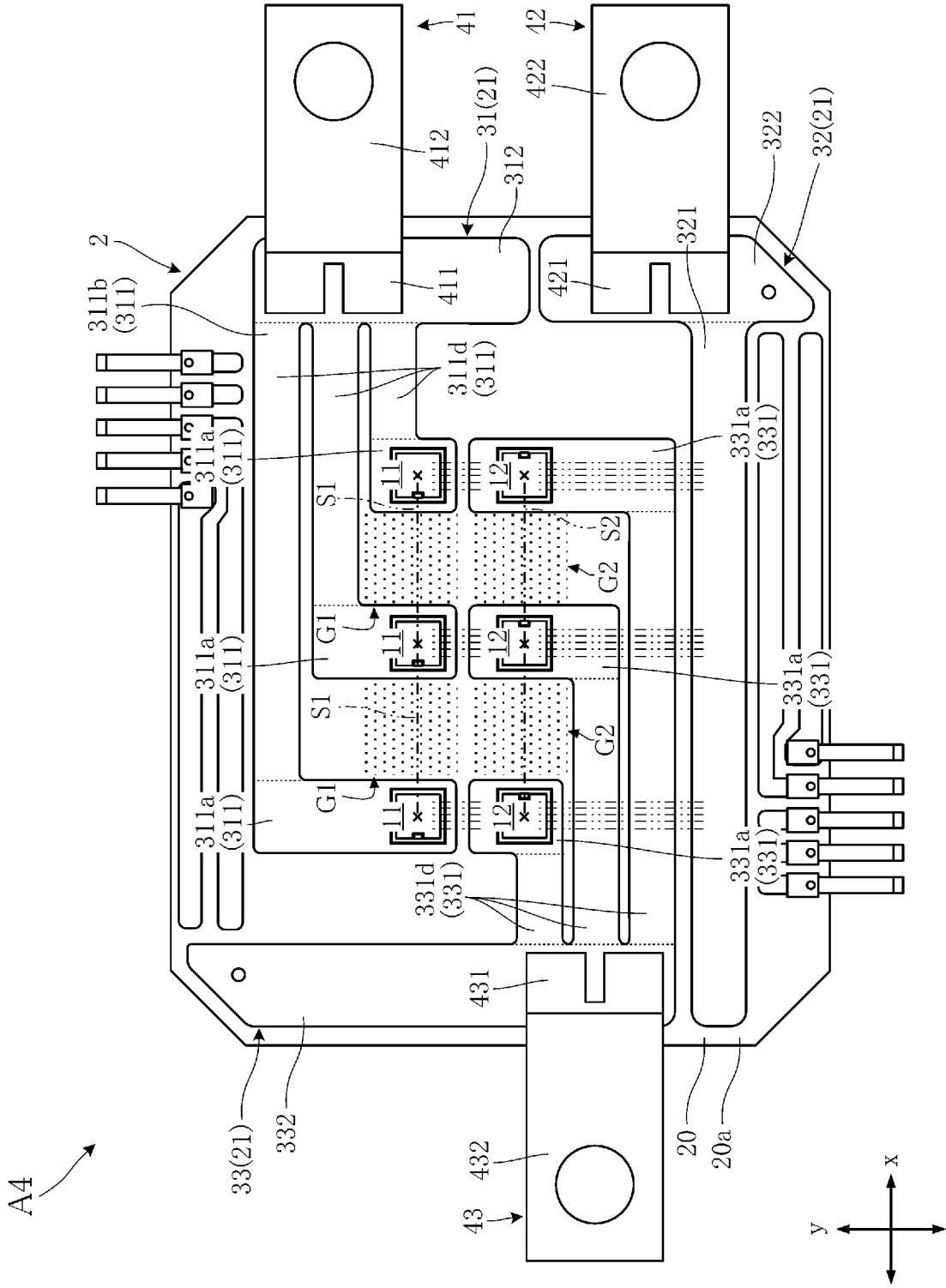


FIG.9

[FIG. 10]

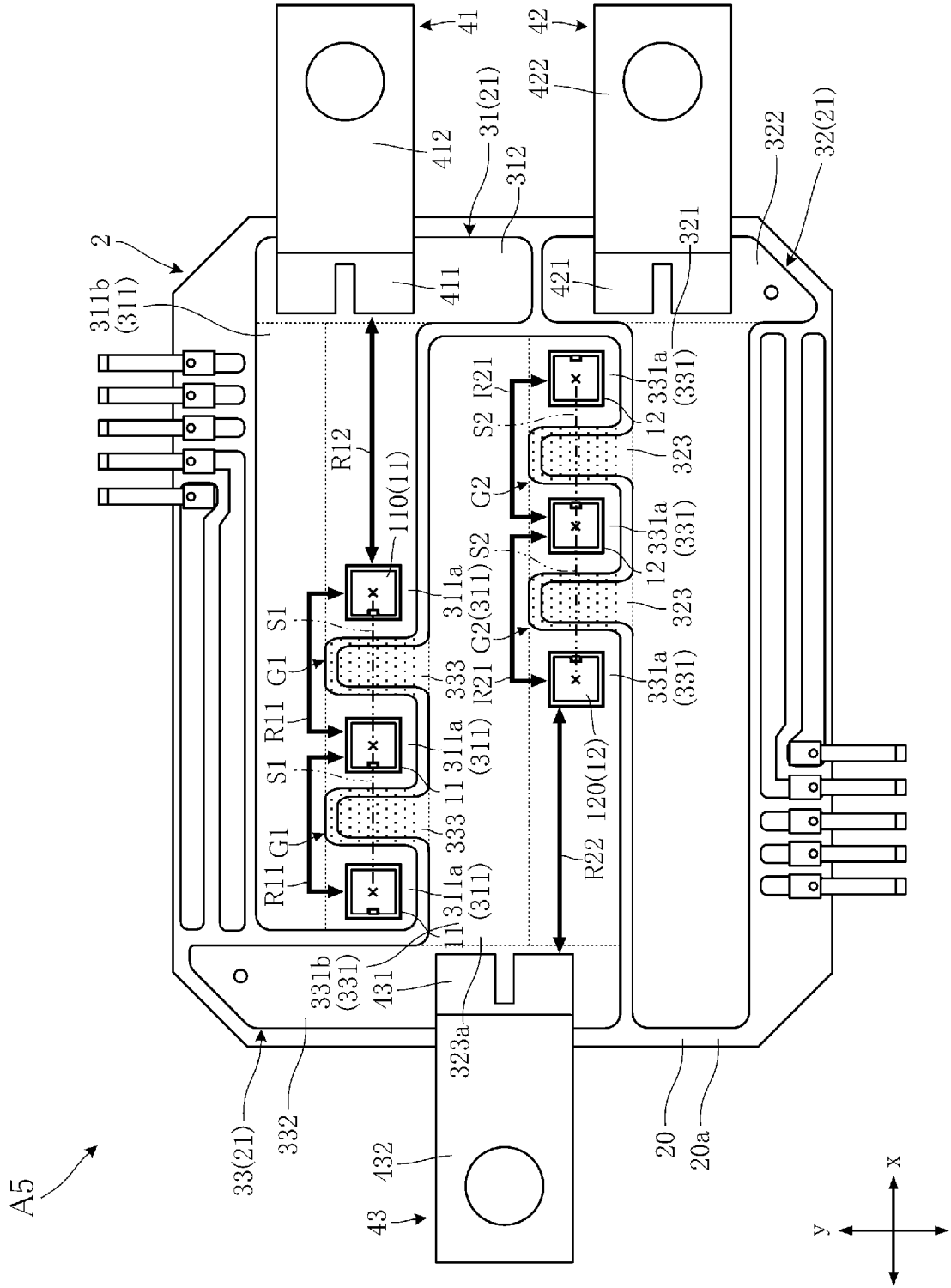


FIG. 10

[FIG. 11]

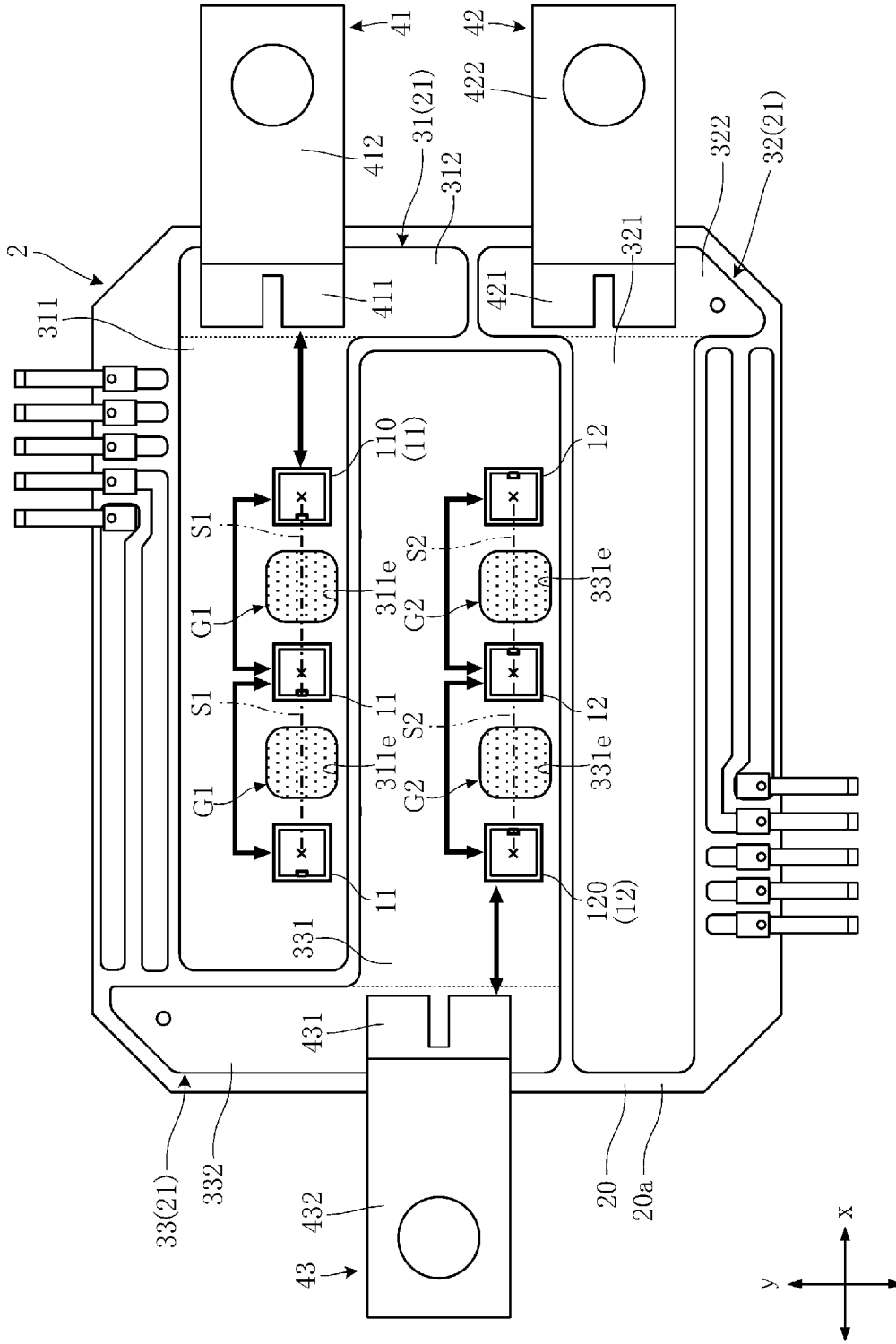
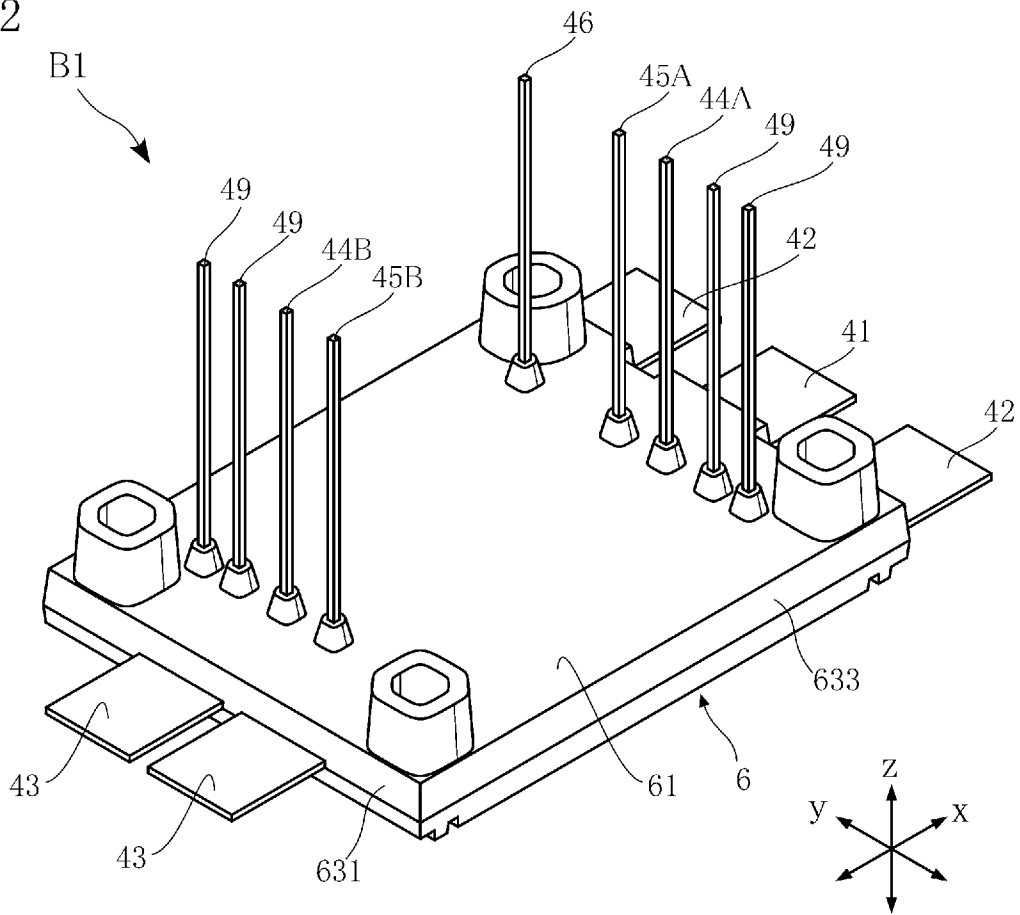
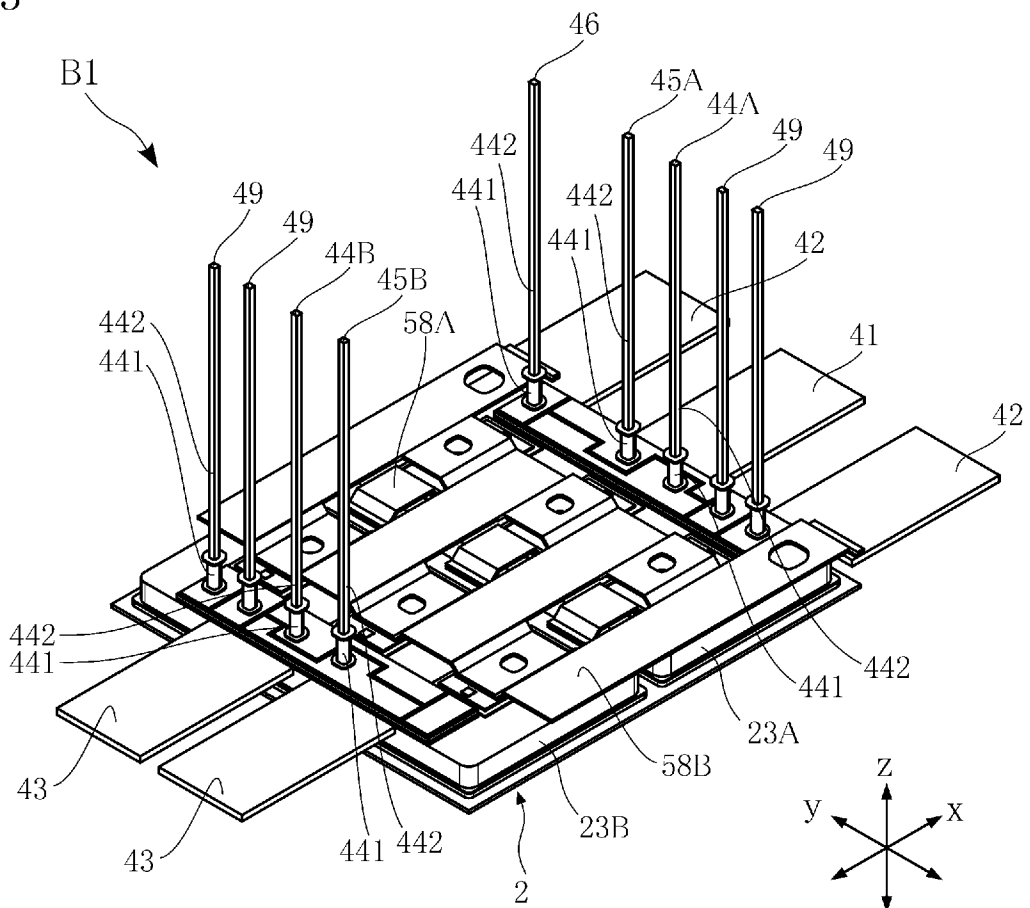


FIG. 11

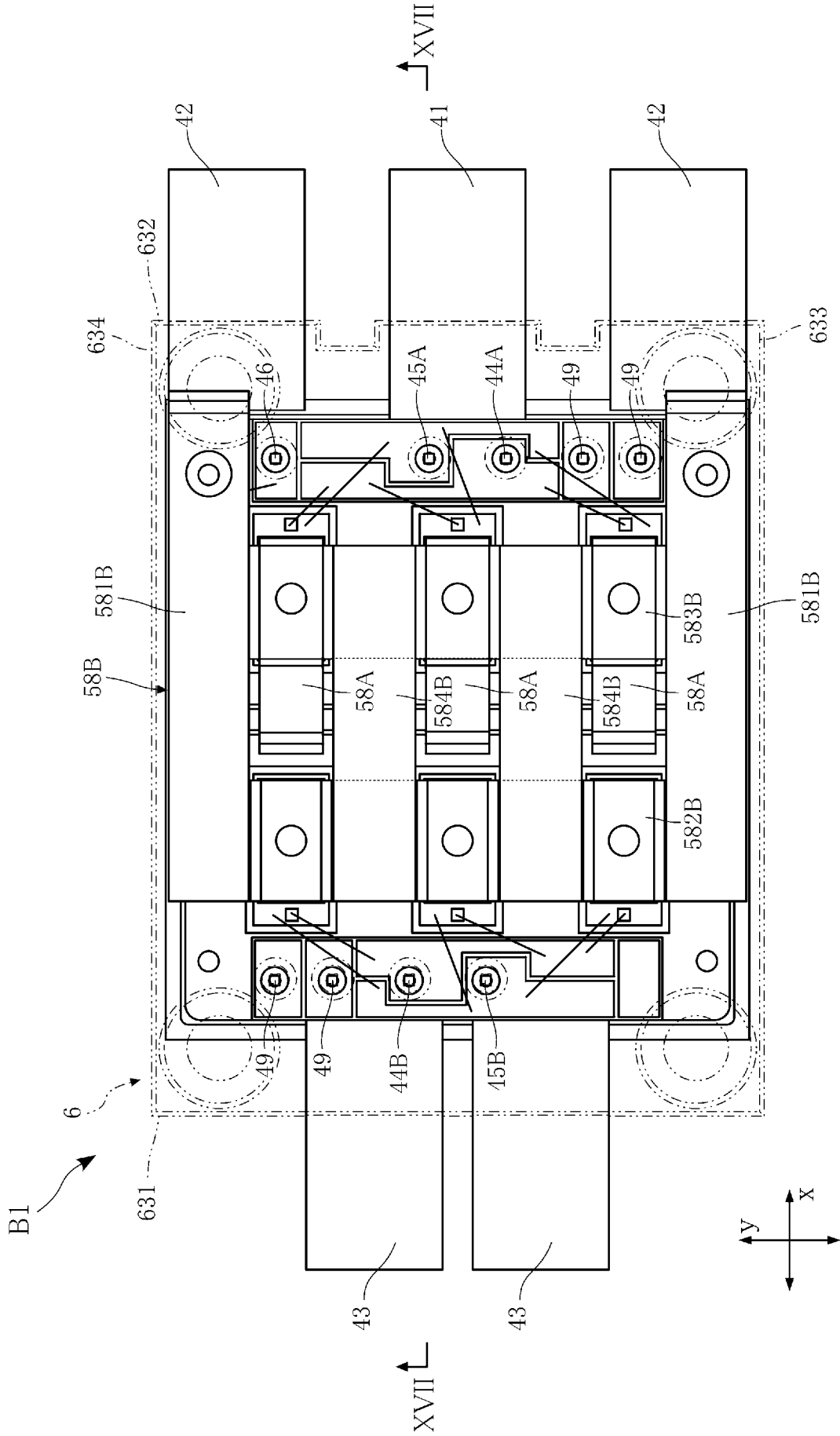
[FIG.12]  
FIG.12



[FIG.13]  
FIG.13



[FIG.14]





[FIG. 16]

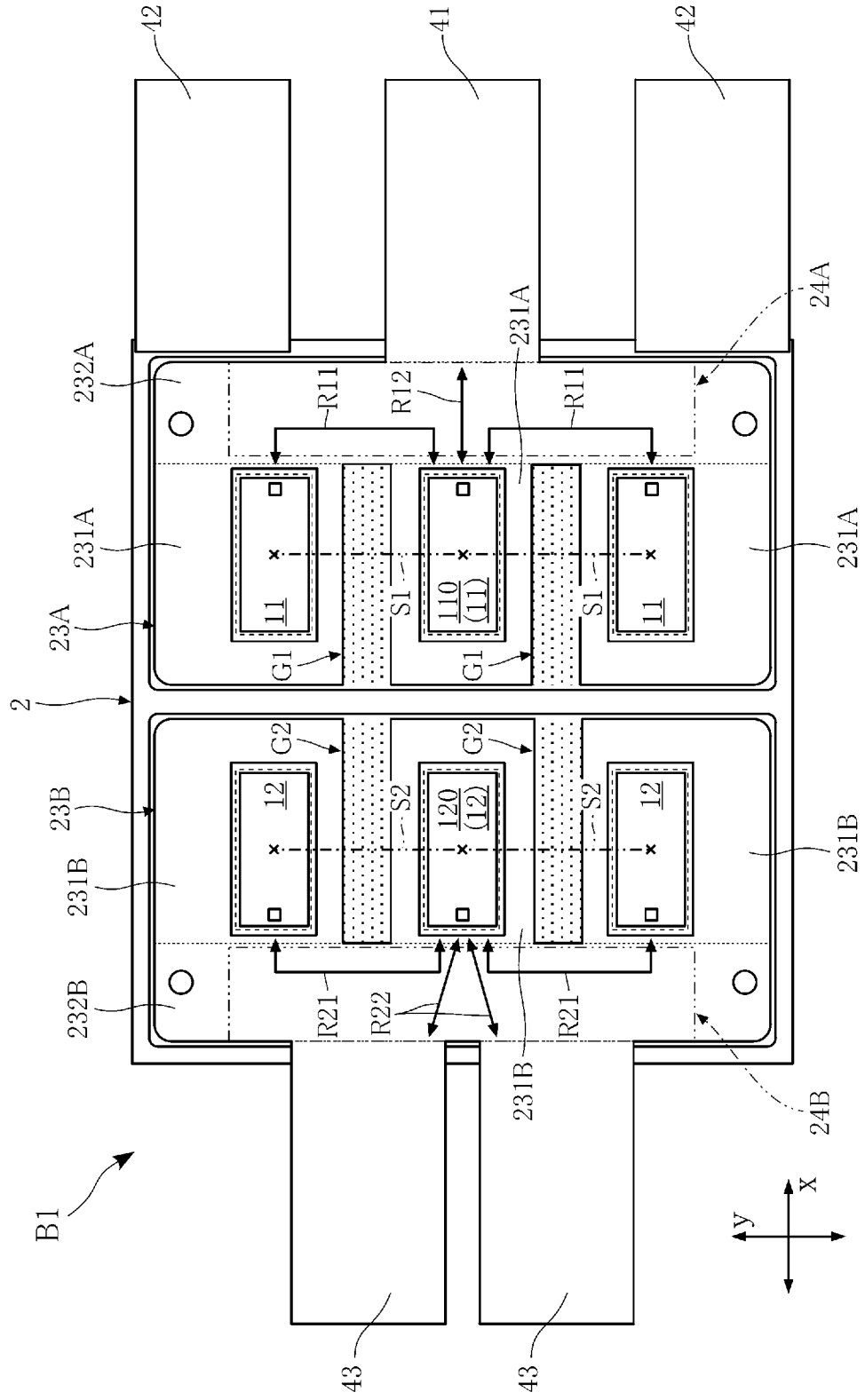


FIG. 16

[17]

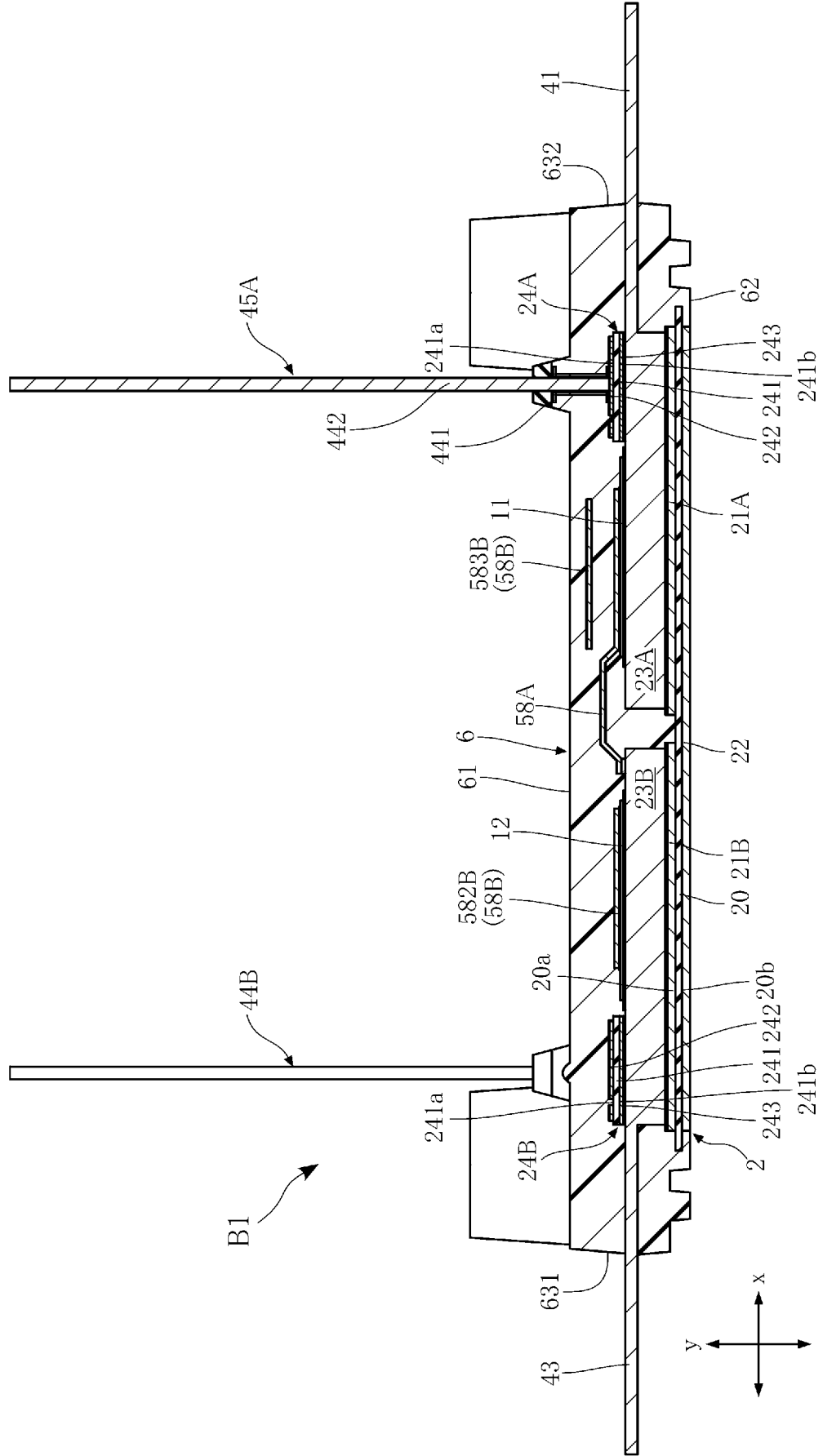


FIG.17

[FIG. 18]

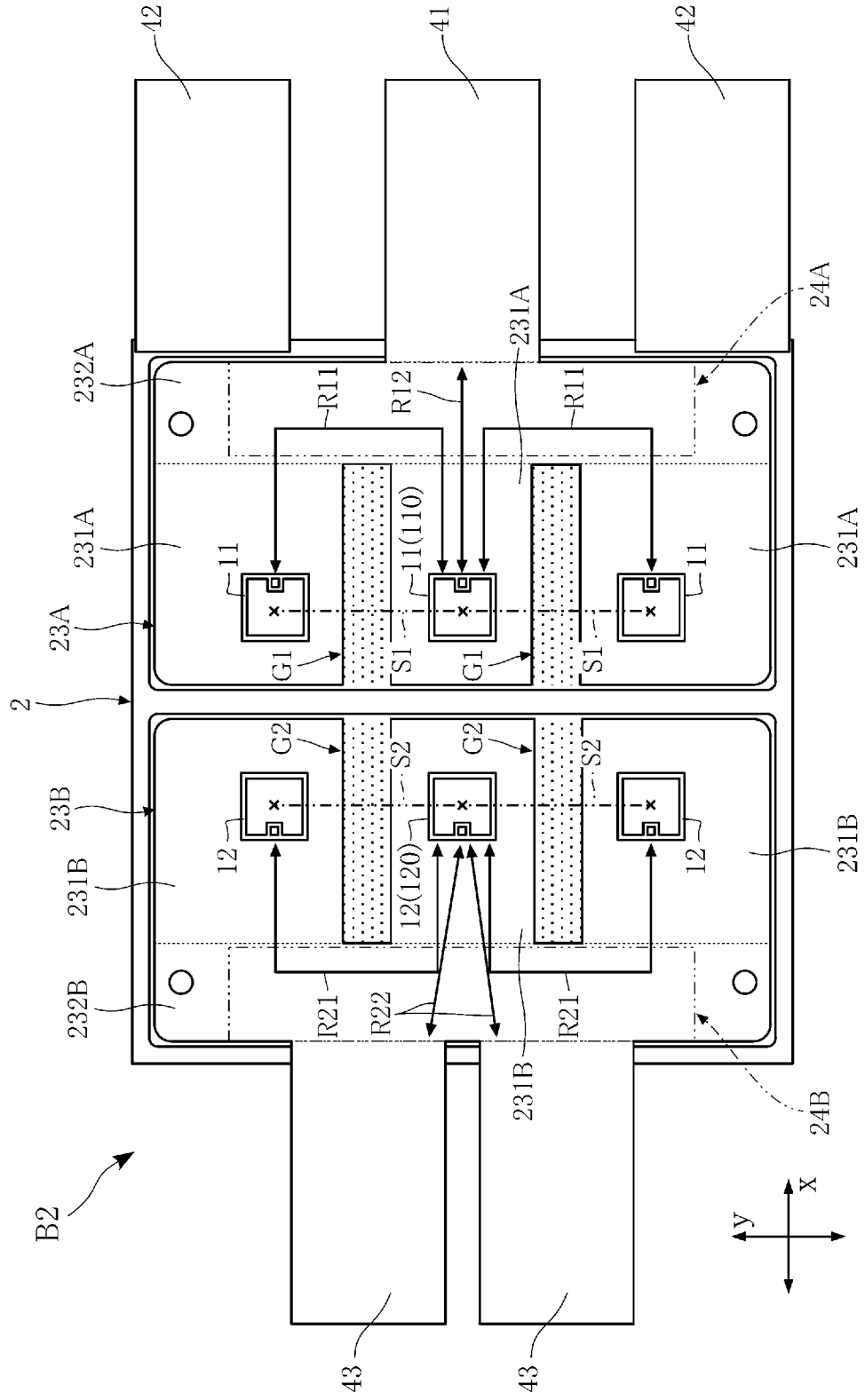


FIG. 18

[FIG. 19]

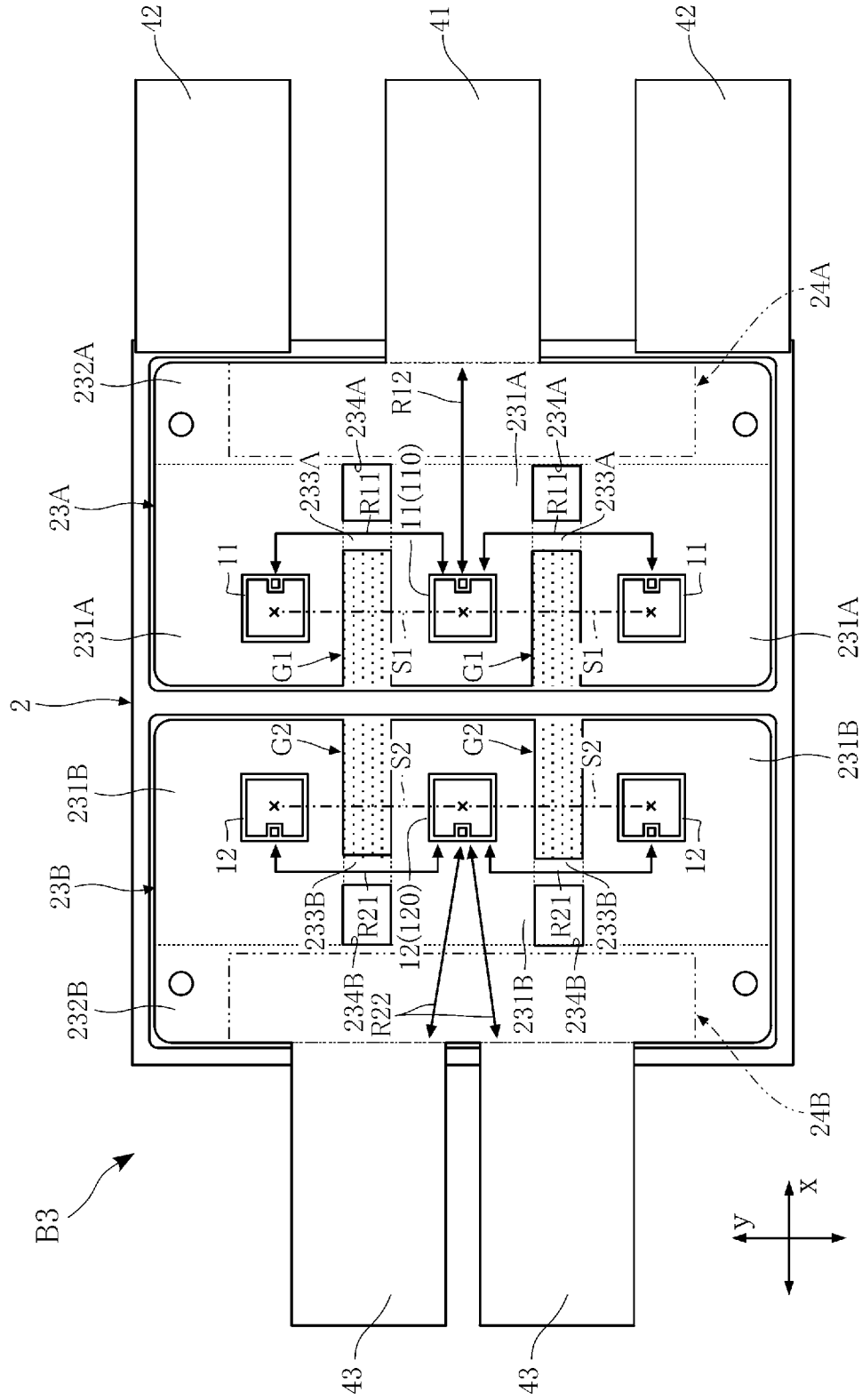


FIG. 19

[FIG. 20]

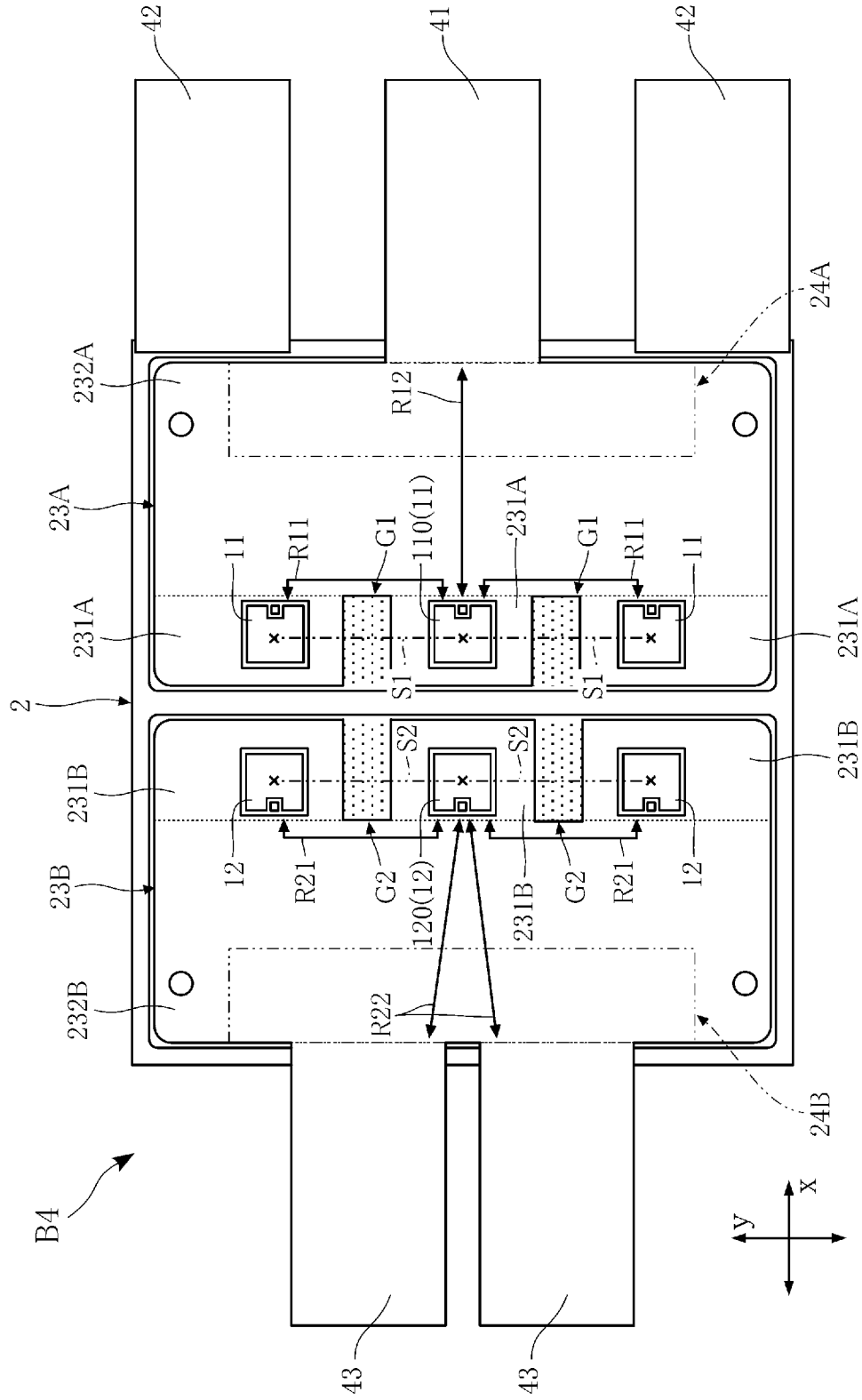


FIG. 20

[FIG. 21]

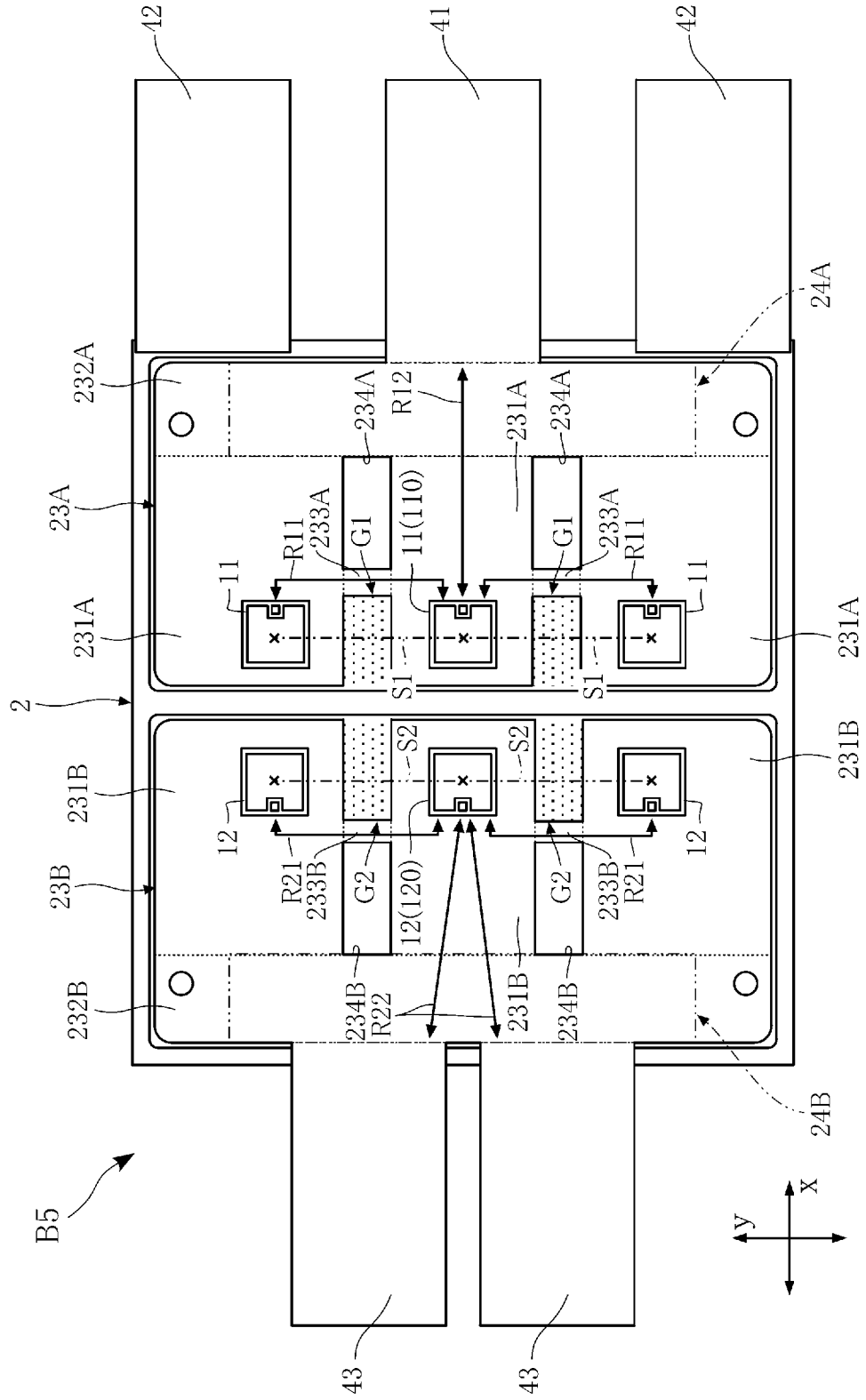
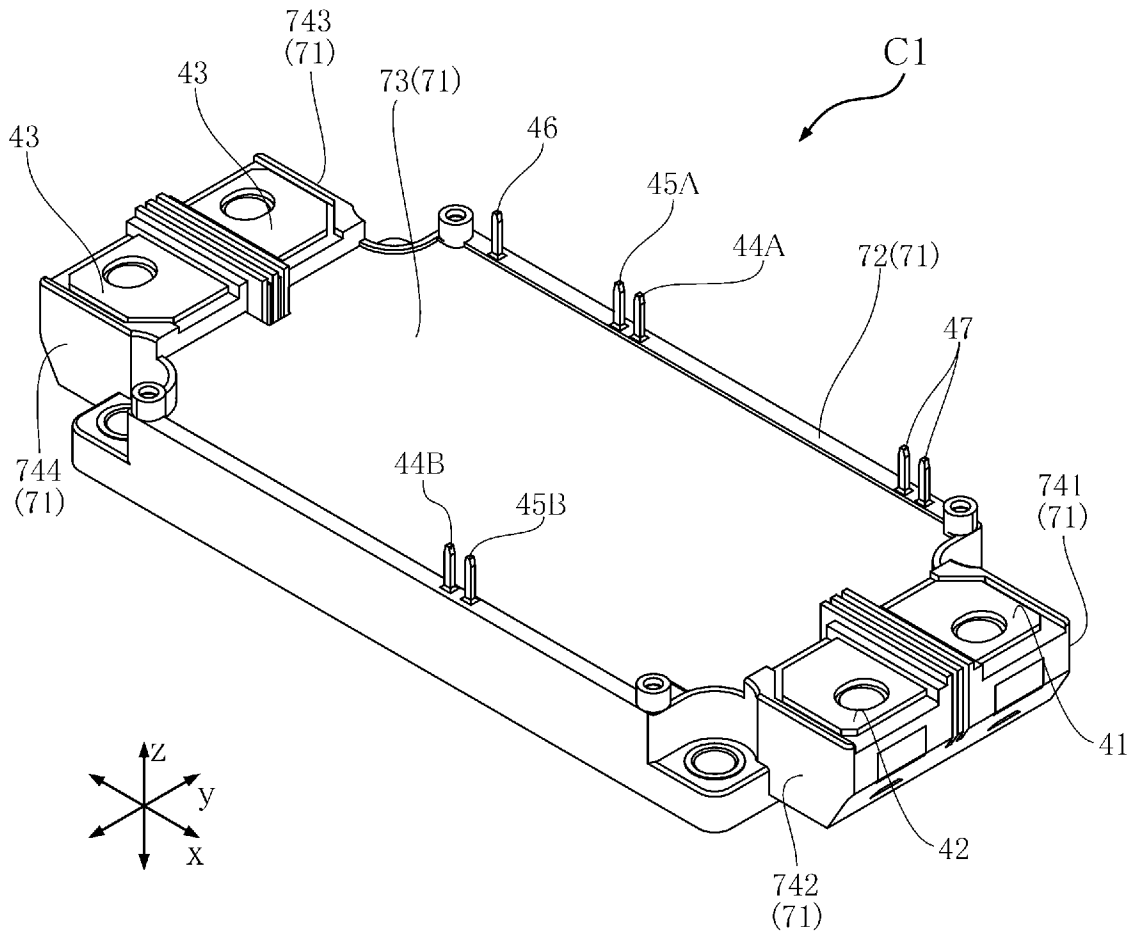

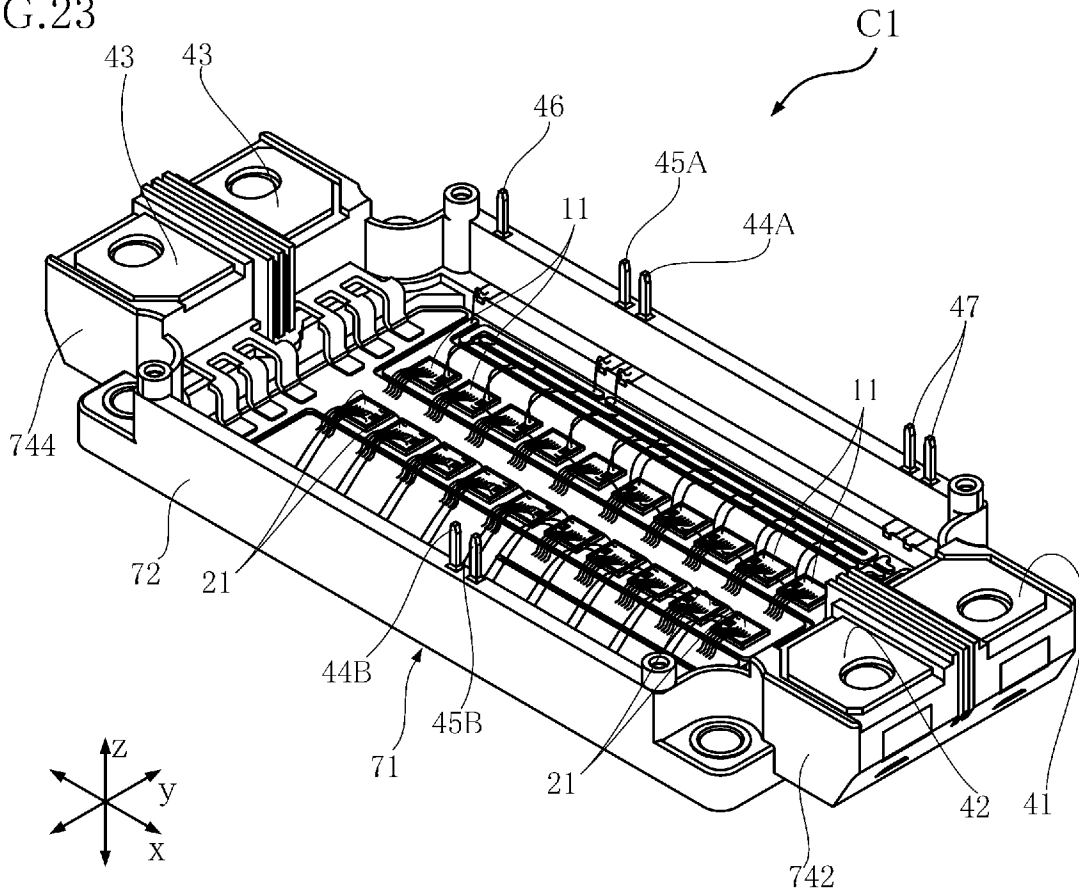



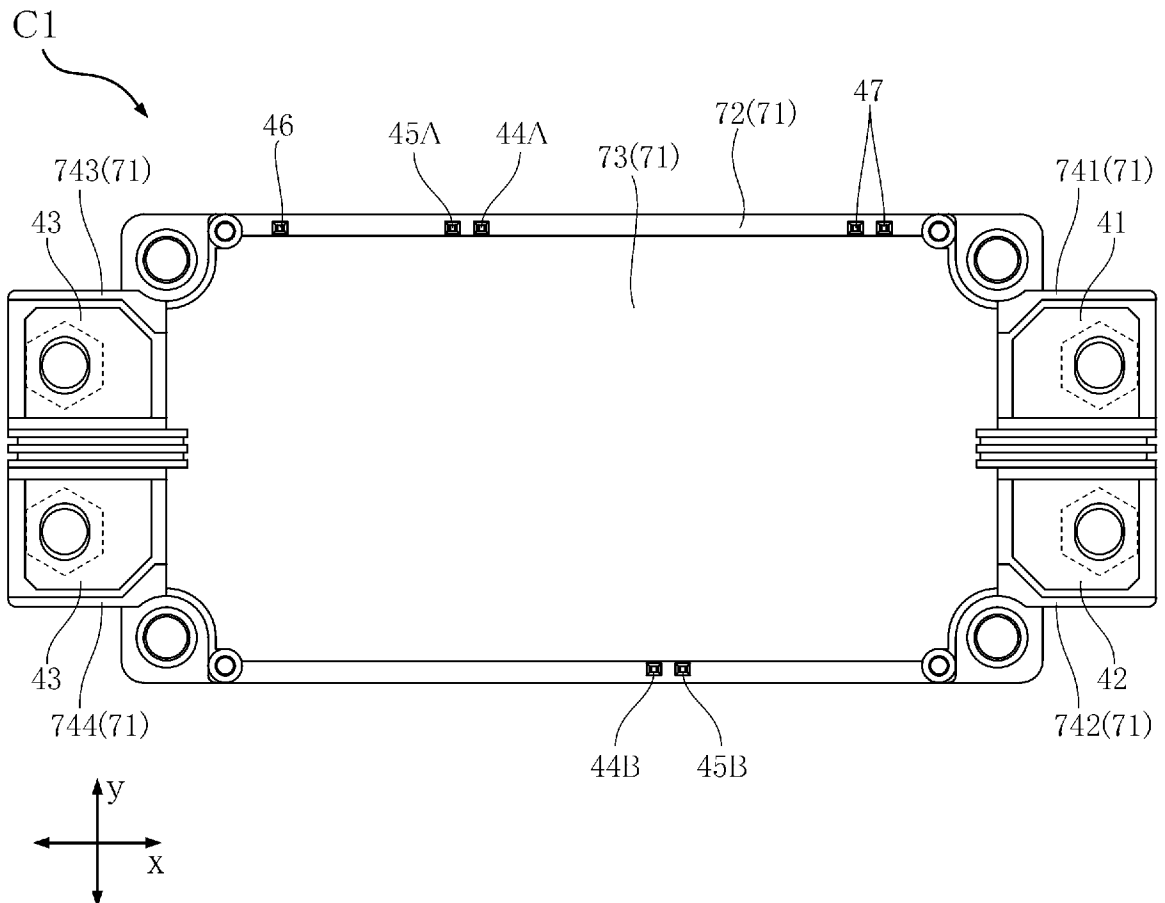
FIG. 21

[] 22  
FIG.22

[] FIG.23



[] FIG.24





[FIG.26]

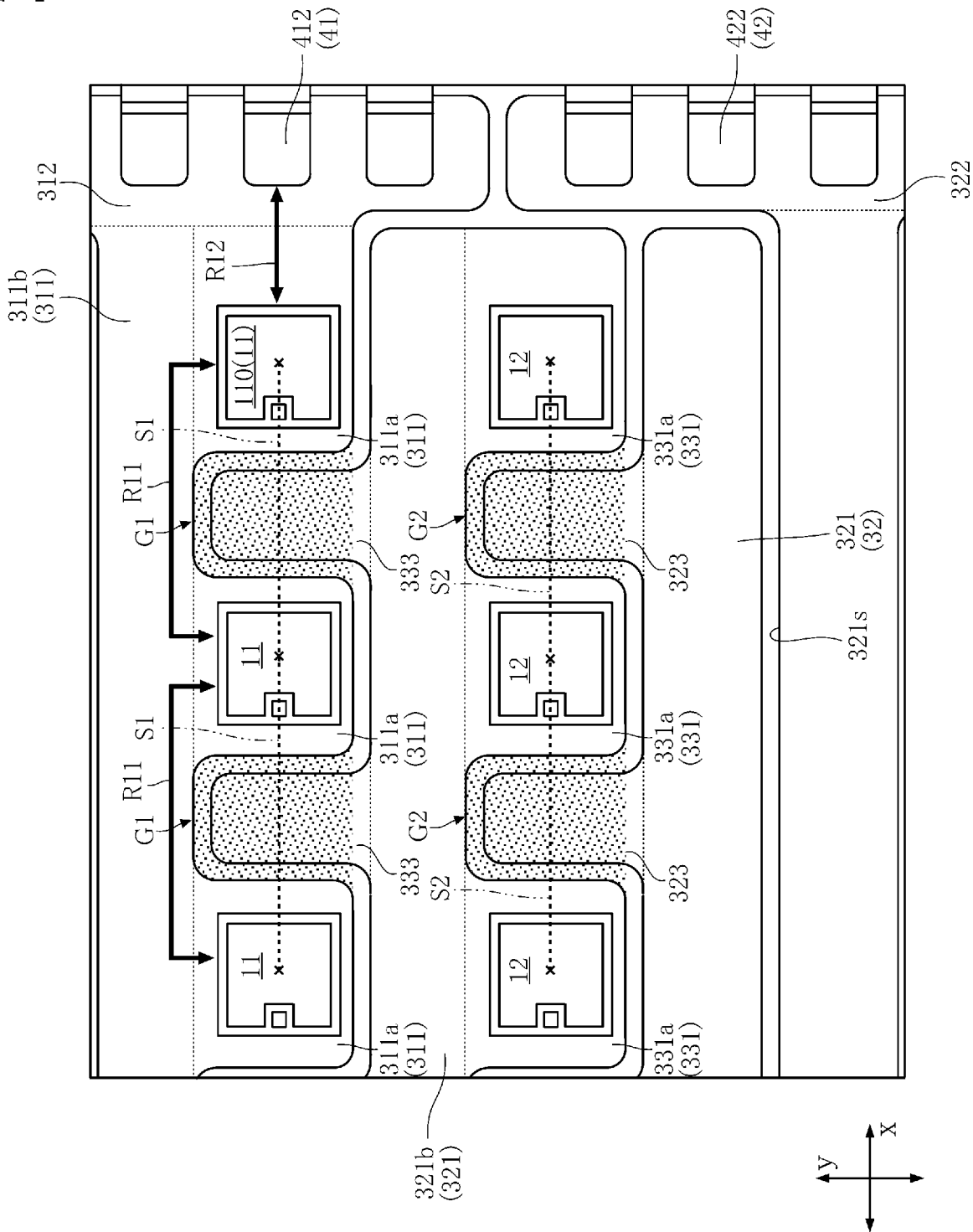


FIG.26

[FIG.27]

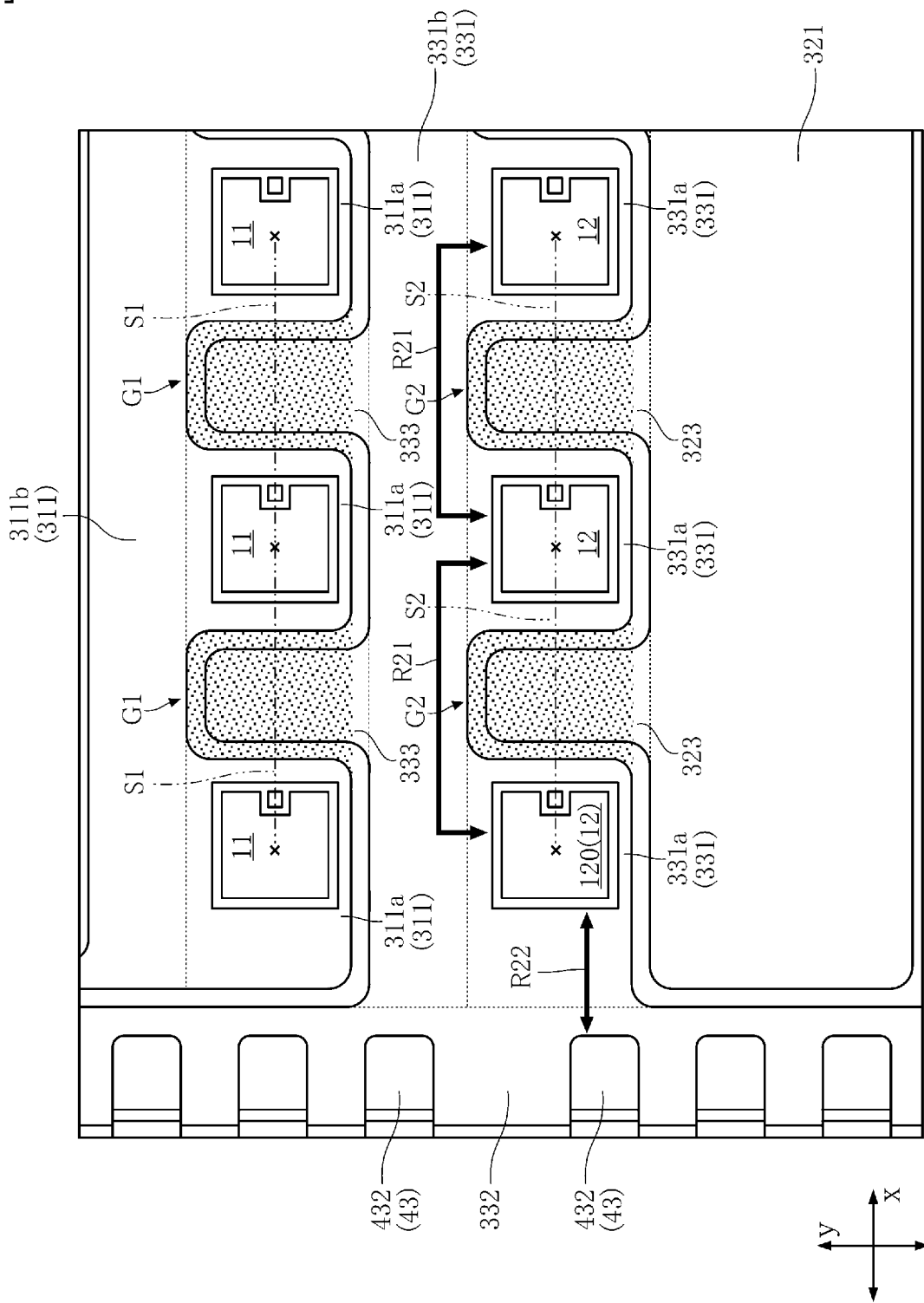
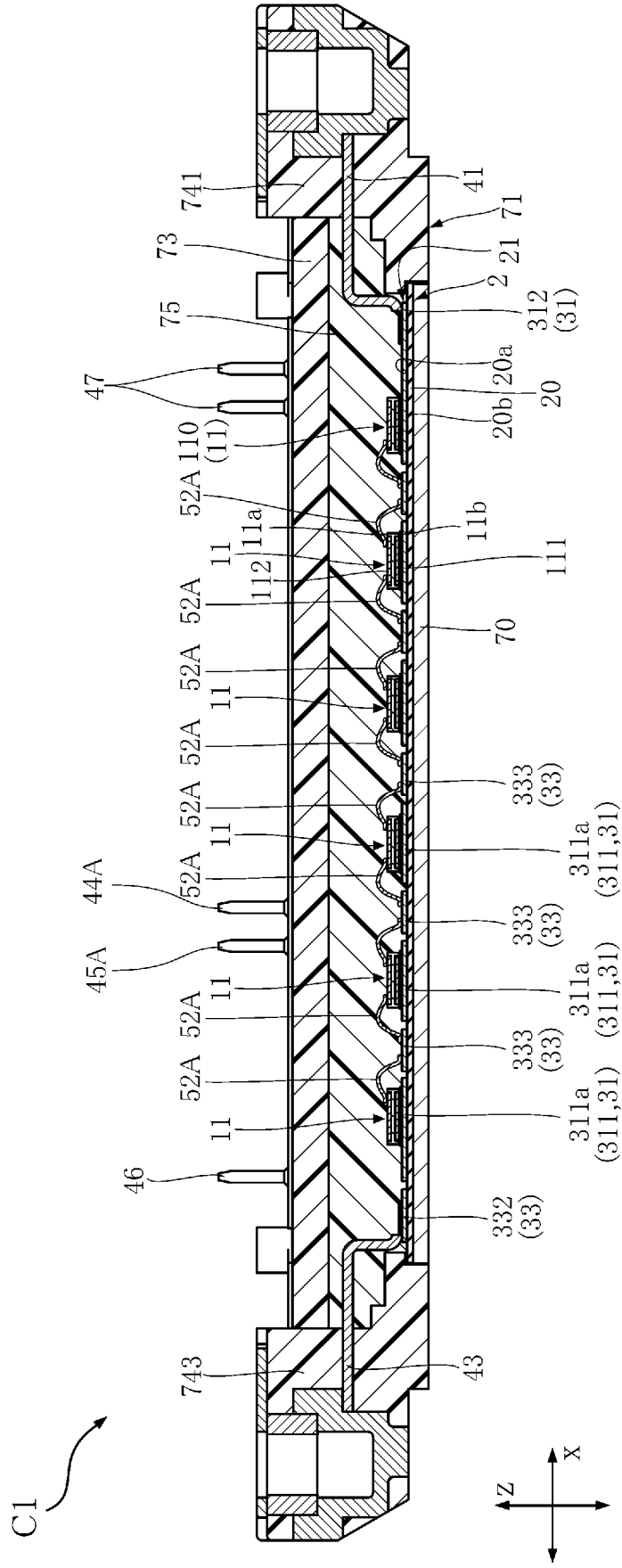



FIG.27

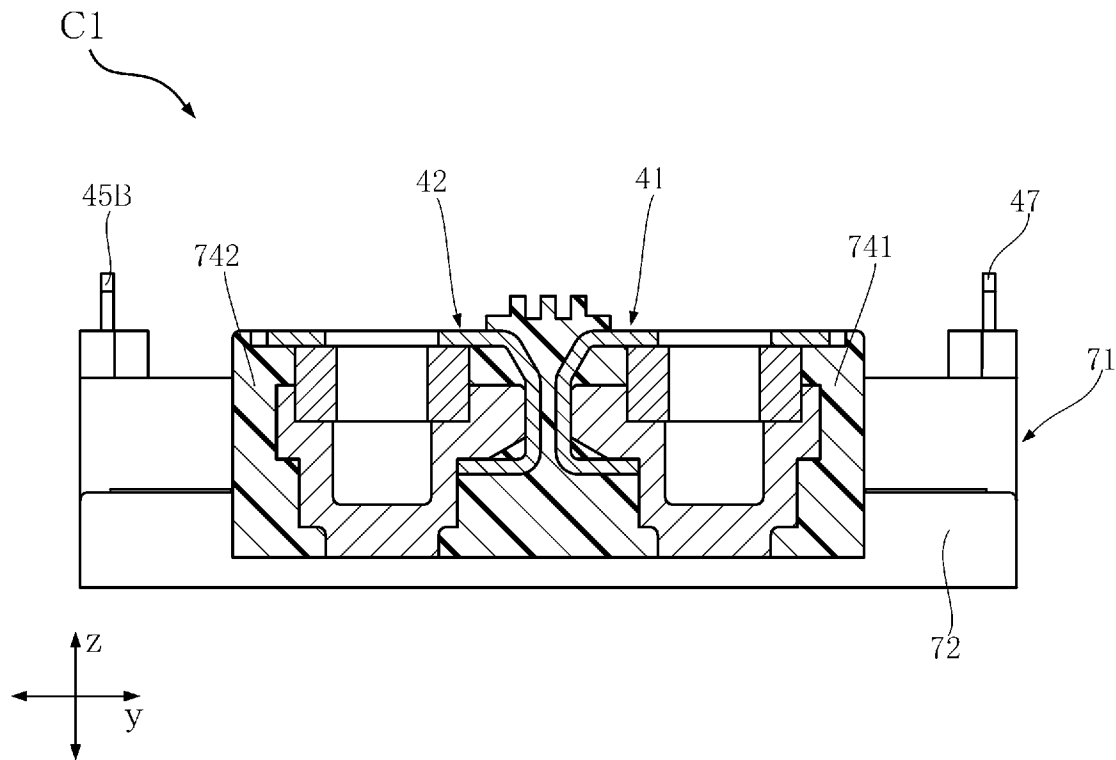
[28]


FIG.28

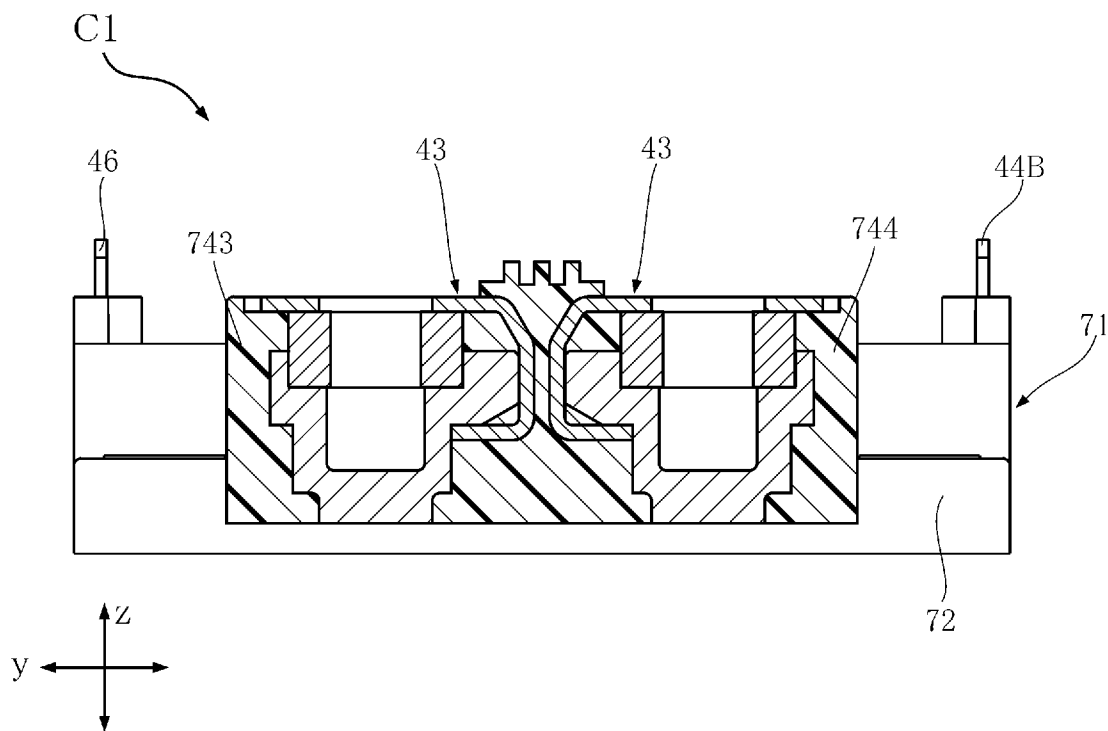





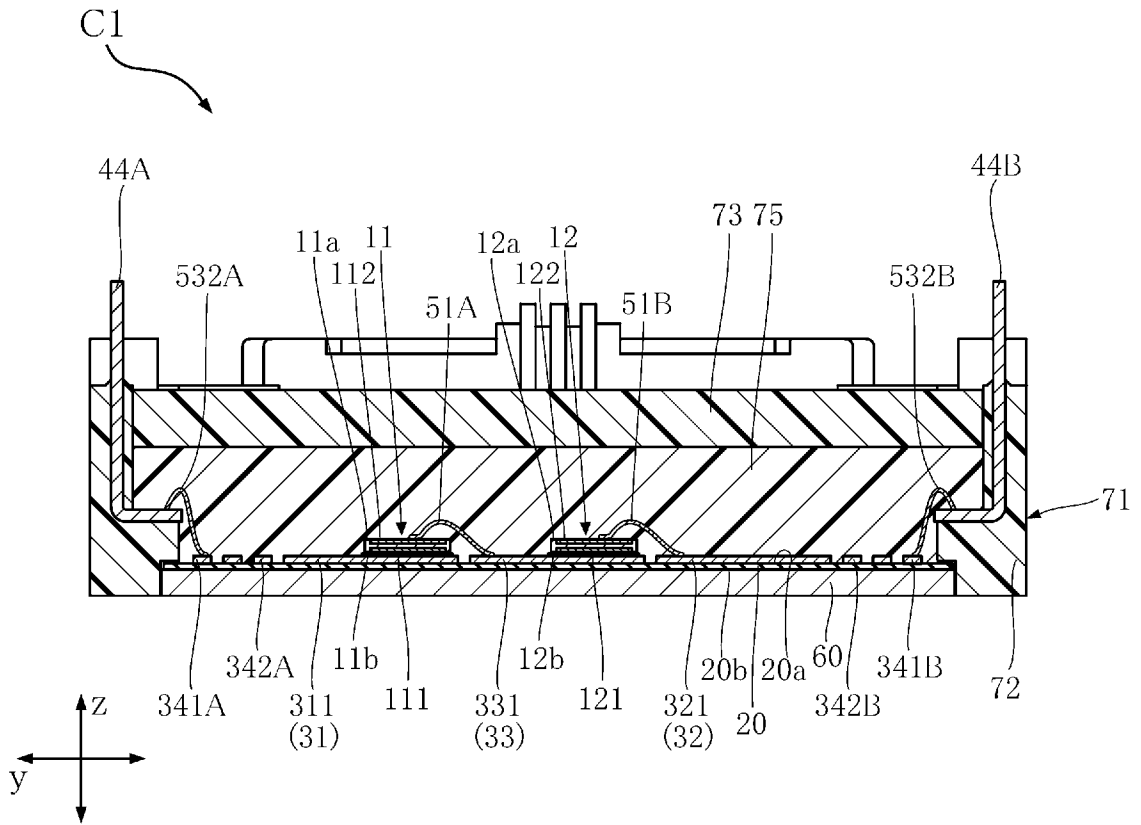
[30]  
FIG.30



[31]  
FIG.31



[32]  
FIG.32



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/032604

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2023.01)i; <i>H02M 7/48</i> (2007.01)i FI: H01L25/04 C; H02M7/48 Z		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L25/07; H01L25/18; H02M7/48		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2021-141220 A (FUJI ELECTRIC CO., LTD.) 16 September 2021 (2021-09-16) paragraphs [0011]-[0039], fig. 1-5	1-4
A	paragraphs [0011]-[0039], fig. 1-5	5-18
A	WO 2019/235097 A1 (FUJI ELECTRIC CO., LTD.) 12 December 2019 (2019-12-12) entire text, all drawings	1-18
A	WO 2017/175686 A1 (ROHM CO., LTD.) 12 October 2017 (2017-10-12) entire text, all drawings	1-18
A	WO 2013/179547 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 05 December 2013 (2013-12-05) fig. 5	1-18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>28 October 2022</b>		Date of mailing of the international search report <b>08 November 2022</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/032604**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2021-141220	A	16 September 2021	US 2021/0280556 A1 paragraphs [0019]-[0047], fig. 1-5	
WO	2019/235097	A1	12 December 2019	US 2020/0286807 A1 entire text, all drawings DE 112019000169 T CN 111418049 A	
WO	2017/175686	A1	12 October 2017	US 2019/0035771 A1 entire text, all drawings DE 112017001838 T CN 109005670 A	
WO	2013/179547	A1	05 December 2013	US 2015/0155797 A1 fig. 5 EP 2858110 A1 CN 104380462 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 25/07(2006.01)i; H01L 25/18(2023.01)i; H02M 7/48(2007.01)i                  FI: H01L25/04 C; H02M7/48 Z</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L25/07; H01L25/18; H02M7/48</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2022年																			
日本国実用新案登録公報	1996 - 2022年																			
日本国登録実用新案公報	1994 - 2022年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2021-141220 A (富士電機株式会社) 16.09.2021 (2021 - 09 - 16) [0011]-[0039], 図1-5</td> <td>1-4</td> </tr> <tr> <td>A</td> <td>[0011]-[0039], 図1-5</td> <td>5-18</td> </tr> <tr> <td>A</td> <td>WO 2019/235097 A1 (富士電機株式会社) 12.12.2019 (2019 - 12 - 12) 全文, 全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>WO 2017/175686 A1 (ローム株式会社) 12.10.2017 (2017 - 10 - 12) 全文, 全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>WO 2013/179547 A1 (パナソニックIPマネジメント株式会社) 05.12.2013 (2013 - 12 - 05) 図5</td> <td>1-18</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2021-141220 A (富士電機株式会社) 16.09.2021 (2021 - 09 - 16) [0011]-[0039], 図1-5	1-4	A	[0011]-[0039], 図1-5	5-18	A	WO 2019/235097 A1 (富士電機株式会社) 12.12.2019 (2019 - 12 - 12) 全文, 全図	1-18	A	WO 2017/175686 A1 (ローム株式会社) 12.10.2017 (2017 - 10 - 12) 全文, 全図	1-18	A	WO 2013/179547 A1 (パナソニックIPマネジメント株式会社) 05.12.2013 (2013 - 12 - 05) 図5	1-18
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X	JP 2021-141220 A (富士電機株式会社) 16.09.2021 (2021 - 09 - 16) [0011]-[0039], 図1-5	1-4																		
A	[0011]-[0039], 図1-5	5-18																		
A	WO 2019/235097 A1 (富士電機株式会社) 12.12.2019 (2019 - 12 - 12) 全文, 全図	1-18																		
A	WO 2017/175686 A1 (ローム株式会社) 12.10.2017 (2017 - 10 - 12) 全文, 全図	1-18																		
A	WO 2013/179547 A1 (パナソニックIPマネジメント株式会社) 05.12.2013 (2013 - 12 - 05) 図5	1-18																		
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																				
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>																				
<p>国際調査を完了した日</p> <p>28.10.2022</p>	<p>国際調査報告の発送日</p> <p>08.11.2022</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>多賀 和宏 5F 4451</p> <p>電話番号 03-3581-1101 内線 3516</p>																			

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/032604

引用文献			公表日	パテントファミリー文献			公表日
JP	2021-141220	A	16.09.2021	US	2021/0280556	A1	
				[0019]-[0047], 図1-5			
WO	2019/235097	A1	12.12.2019	US	2020/0286807	A1	
				全文, 全図			
				DE	112019000169	T	
				CN	111418049	A	
WO	2017/175686	A1	12.10.2017	US	2019/0035771	A1	
				全文, 全図			
				DE	112017001838	T	
				CN	109005670	A	
WO	2013/179547	A1	05.12.2013	US	2015/0155797	A1	
				図5			
				EP	2858110	A1	
				CN	104380462	A	