

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/115

(45) 공고일자 1999년08월 16일
(11) 등록번호 10-0215883
(24) 등록일자 1999년05월 26일

(21) 출원번호	10-1996-0037838	(65) 공개번호	특1998-0019637
(22) 출원일자	1996년09월02일	(43) 공개일자	1998년06월25일

(73) 특허권자 엘지반도체주식회사 구본준
 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 최종무
 충청북도 청주시 상당구 용암동 세원한아름아파트 110-1405
 김성렬
 충청북도 청주시 상당구 용암동 세원한아름아파트 106-101
 박영근
 충청북도 청주시 흥덕구 신봉동 두진백로아파트 103-705
(74) 대리인 김용인, 강용복

심사관 : 임동우

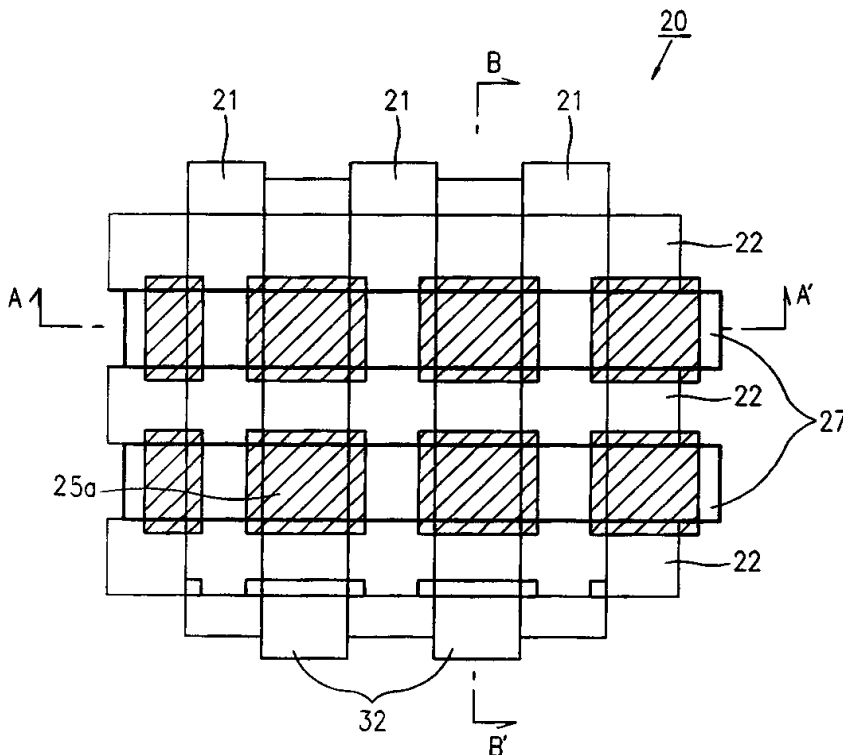
(54) 플래시 메모리 소자 및 그 제조방법

요약

본 발명은 플래시 메모리 소자에 관한 것으로 특히, 소거특성 개선 및 소자의 신뢰도 향상에 적당하도록 한 플래시 메모리 소자 및 그 제조방법에 관한 것이다.

이와 같은 본 발명의 플래시 메모리 소자는 반도체 기판; 상기 반도체 기판에 일정 간격을 갖고 일방향으로 형성되는 복수개의 고농도 불순물 영역; 상기 고농도 불순물 영역과 교차하도록 상기 반도체 기판상에 형성되는 복수개의 격리영역; 상기 격리영역 및 고농도 불순물 영역 사이에 일정간격으로 형성되는 복수개의 부유 게이트; 상기 격리영역과 동일한 방향의 상기 부유 게이트상에 격리 영역 사이 사이에 지나가는 형상으로 형성되는 복수개의 제어 게이트 라인; 그리고, 상기 제어 게이트 라인과 교차하도록 형성되고 부유 게이트 상층으로 부유 게이트 보다 좁은 폭을 갖도록 형성되는 소거 게이트 라인을 포함하여 구성된다.

대표도



명세서

도면의 간단한 설명

도 1a는 종래 플래쉬 메모리 소자의 평면구조도
 도 1b는 도 1a의 A-A'선에 따른 단면구조도
 도 1c는 도 1a의 B-B'선에 따른 단면구조도
 도 1d는 도 1a의 회로구성도
 도 2a 내지 도 2i는 도 1a의 A-A'선에 따른 제조공정 단면도
 도 3a 내지 도 3i는 도 1a의 B-B'선에 따른 제조공정 단면도
 도 4a는 본 발명 플래쉬 메모리 소자의 평면구조도
 도 4b는 도 4a의 A-A'선에 따른 단면구조도
 도 4c는 도 4a의 B-B'선에 따른 단면구조도
 도 4d는 도 4a의 회로구성도
 도 5a 내지 도 5i는 도 4a의 A-A'선에 따른 제조공정 단면도
 도 6a 내지 도 6i는 도 4a의 B-B'선에 따른 제조공정 단면도
 도면의 주요부분에 대한 부호의 설명

20 : 반도체 기판	21 : 고농도 불순물 영역
22 : 격리절연막	23 : 제 1 측벽 스페이서
24 : 게이트 산화막	25a : 부유 게이트
26 : 제 1 층간 절연막	27 : 제어 게이트 라인
28 : 캡 절연막	29 : 제 2 측벽 스페이서
30 : 제 2 층간 절연막	30a : 제 3 측벽 스페이서
31 : 산화막	32 : 소거 게이트 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

일반적으로 메모리 소자는 롬(ROM : Read Only Memory)과 램(RAM : Random Access Memory)으로 구분된다.

롬(ROM)은 제조공정 중에서 마스크에 미리 프로그램 데이터를 입력하여 프로그램하는 마스크(Mask)롬과, 칩(Chip)을 제조하여 실장한 다음 전기적으로 프로그램 하는 피(Programmable)롬이 있다.

피롬(PROM)은 다시 자외선을 이용하여 입력 데이터를 소거할 수 있는 EPROM(Erasable PROM)과 전기적으로 입력 데이터를 소거할 수 있는 EEPROM(Electrically Erasable PROM)으로 구분된다.

그리고 EPROM셀에 소거 게이트(Erase Gate)를 형성하여 전기적으로 입력 데이터를 소거할 수 있는 3층 게이트형 플래쉬 메모리 소자로 구분된다.

이밖에 플래쉬 메모리 소자는 소오스(Source)측에 전계방출을 하는 2층 게이트형 플래쉬 메모리 소자가 있다.

이하에서, 첨부된 도면을 참조하여 종래 플래쉬 메모리 소자를 설명하면 다음과 같다.

도 1a는 종래 플래쉬 메모리 소자의 평면구조도이고, 도 1b는 도 1a의 A-A'선에 따른 단면구조도이며, 도 1c는 도 1a의 B-B'선에 따른 단면구조도이고, 도 1d는 도 1a의 회로구성도이다.

즉, 종래의 플래쉬 메모리 소자는 도 1a 내지 도 1c에 나타낸 바와 같이 P형 반도체기판(1)에 고농도 n형(n^+) 불순물 이온주입으로 매몰(Burried) 고농도 불순물 영역(2)이 일정간격으로 복수개 형성되고, 상기 매몰 고농도 불순물 영역(2)과 교차하는 복수개의 격리 산화막(3)이 형성된다. 그리고 격리 산화막(3) 측면에 제 1 측벽 스페이서(3a)가 형성된다.

이어서, 격리 산화막(3) 및 제 1 측벽 스페이서(3a)를 제외한 반도체 기판(1) 전면에 게이트 산화막(4)이 형성된다. 그리고, 고농도 불순물 영역(2)과 일부만이 겹치도록 부유 게이트(Floating Gate)(5b)가 형성된다.

그리고, 부유 게이트(5b)를 포함한 반도체 기판(1) 전면에 제 1 층간 절연막(6)이 형성되고, 상기 제 1 층간 절연막(6)상에 부유 게이트(5b) 보다 좁은 폭을 갖는 제어 게이트 라인(7a)과 캡 산화막(8)이 형성된다.

그 다음, 캡 산화막(8)과 제어 게이트 라인(7a) 측면으로 제 2 측벽 스페이서(9)가 형성된다.

그리고, 상기 제어 게이트 라인(7a) 상측으로 제어 게이트 라인(7a) 2개당 한 라인씩 오버랩(overlap)되게 형성되는 소거 게이트 라인(Erase Gate Line)(11a)으로 구성되어 있다. 이때 한개의 소거 게이트 라인(11a)은 2개의 부유 게이트(5b)의 전하(Electron)를 소거할 수 있게끔 구성되어 있다.

그리고 이러한 종래 플래쉬 메모리 소자의 등가회로는 도 1d에 나타낸 바와 같다.

즉, 도 1d에 나타낸 바와 같이 3층 다결정 실리콘(5b, 7a, 11a)을 사용한 플래쉬 메모리의 프로그램시에는 드레인(drain)으로 작용하는 일측 매몰 고농도 불순물 영역(2)에 7V를 인가하고, 제어 게이트(7a)에는 12V를 인가하며, 소오스(source)로 작용하는 일측 매몰 고농도 불순물 영역(2)(드레인으로 작용하는 일측 매몰 고농도 불순물 영역(2)과 이웃하는 매몰 고농도 불순물 영역(2))에는 0V를 인가하면 채널(channel)의 드레인측에 고전계(high electric field)에 의해 생성되는 채널 핫 일렉트론(channel hot electron)이 게이트 산화막(4)의 전위장벽(potential barrier)를 넘어 부유 게이트(floating gate)(5b)내로 주입된다.

그결과 기억소자의 문턱전압(threshold voltage)은 높아지게 된다. 그리고 소거(erase)시에는 소거 게이트(11a)에 12-24V의 고전압을 인가하고, 제어 게이트(7a) 및 부유 게이트(5b)에는 0V를 인가한다.

그결과 도 1c에 나타낸 바와 같은 부유 게이트(5b)의 뾰족한 기하학적인 구조(geometrical structure)에 의해 부유 게이트(5b)와 소거 게이트(11a) 사이에 제 2 층간 절연막(10)을 두고 고전계(high electric field)가 형성되어 부유 게이트(5b)에서 소거 게이트(11a)쪽으로 일렉트론 터널링(electron tunneling)이 일어난다.

이러한 고전계에 의한 일렉트론 터널링을 파울러 노드하임 터널링(Fowler Nordheim tunneling)이라 한다. 즉, 부유 게이트(5b)는 일렉트론을 잃게 되고 기억 소자의 문턱 전압은 낮아지게 된다. 도 1c의 화살표는 일렉트론 소거시의 전자의 이동방향을 표시한다.

위와 같은 프로그램과 프로그램 소거방식을 이용해 소자의 문턱전압을 제어하여 데이터를 유지한다. 데이터를 읽을때는 제어 게이트에 5V, 드레인에 1V 소오스 및 소거 게이트에 0V를 인가하여 저장된 데이터에 따른 문턱전압의 차이에 따라 드레인에 연결된 비트선의 전위(potential) 또는 전류변동을 센싱(Sensing)하여 저장된 데이터를 읽는다.

이와 같은 종래의 플래쉬 메모리 소자 제조방법은 다음과 같다.

도 2a 내지 도 2i는 도 1a의 A-A'선에 따른 제조공정 단면도이고, 도 3a 내지 도 3i는 도 1a의 B-B'선에 따른 제조공정 단면도이다.

먼저, 도 2a 및 도 3a에 나타낸 바와 같이, P형 반도체 기판(1)에 선택적으로 고농도 n형(n^+) 불순물 이온을 주입하여 소오스/드레인 영역으로 사용할 매몰 고농도 불순물 영역(2)을 일정간격으로 복수개 형성하고, 고농도 불순물 영역(2)이 형성된 반도체 기판(1)상에 CVD(Chemical Vapour Deposition)법으로 산화막을 증착한 후 포토에칭 공정을 실시하여 고농도 불순물 영역(2)과 교차되게 일정간격으로 복수개의 격리 산화막(3)을 형성한다. 그다음 격리 산화막(3) 측면에 제 1 측벽 스페이서(3a)를 형성한다.

도 2b 및 도 3b에 나타낸 바와 같이, 상기 격리 산화막(3) 및 제 1 측벽 스페이서(3a)가 형성되지 않은 반도체 기판(1) 전면에 게이트 산화막(4)을 형성한 후 전면에 부유 게이트로 사용할 폴리실리콘층(5)을 증착한다.

도 2c 및 도 3c에 나타낸 바와 같이, 상기 폴리실리콘층(5)상에 포토레지스트(PR₁)를 증착하고 노광 및 현상공정으로 부유 게이트 라인(Line)을 정의하여 상기 포토레지스트(PR₁)를 패터닝 한 다음, 패터닝된 포토레지스트(PR₁)를 마스크로 이용한 식각공정으로 폴리실리콘층(5)을 선택적으로 제거하여 부유 게이트 라인(Line)(5a)을 형성한다.

이때, 부유 게이트 라인(5a)은 고농도 불순물 영역(2)과 일정간격 오버랩(overlap)된다.

도 2d 및 도 3d에 나타낸 바와 같이, 상기 포토레지스트(PR₁)를 제거하고 상기 부유 게이트 라인(5a), 격리 산화막(3) 및 제 1 측벽 스페이서(3a)를 포함한 반도체 기판(1) 전면에 제 1 층간 절연막(6), 제어 게이트용 폴리실리콘층(7), 캡 산화막(8) 및 포토 레지스트(PR₂)를 차례로 형성한다.

그다음, 노광 및 현상공정으로 제어 게이트 라인을 정의하여 상기 포토 레지스트(PR₂)를 패터닝 한다.

도 2e 및 도 3e에 나타낸 바와 같이, 상기 패터닝된 포토레지스트(PR₂)를 마스크로 이용한 식각공정으로 캡 산화막(8), 제어 게이트용 폴리실리콘층(7) 및 제 1 층간 절연막(6)을 선택적으로 제거하여 제어 게이트 라인(Line)(7a)을 형성한다. 이때, 각각의 제어 게이트 라인(7a)은 격리 산화막(3)과 일정간격 오버랩(overlap)된다.

도 2f 및 도 3f에 나타낸 바와 같이, 상기 포토레지스트(PR₂)를 제거하고, 측벽 형성용 산화막을 반도체 기판(1) 전면에 증착한 후 에치백 하여 캡 산화막(8), 제어 게이트 라인(7a) 및 층간 절연막(6) 측면에 제 2 측벽 스페이서(9)로 형성한다.

도 2g 및 도 3g에 나타낸 바와 같이, 상기 제 2 측벽 스페이서(9)를 마스크로 이용한 식각공정으로 부유 게이트 라인(5a)을 식각하여 각각의 부유 게이트(5b)로 형성한다.

도 2h 및 도 3h에 나타낸 바와 같이, 상기 캡 산화막(8) 및 제 2 측벽 스페이서(9)를 포함한 반도체 기판(1) 전면에 제 2 층간 절연막(10), 소거 게이트로 사용할 폴리실리콘층(11) 및 포토레지스트(PR₃)를 차례로 형성하고 노광 및 현상공정으로 소거 게이트 형성영역을 정의(Define)하여 포토레지스트(PR₃)를 패터닝 한다.

도 2i 및 도 3i에 나타난 바와 같이, 상기 패터닝된 포토레지스트(PR₃)을 마스크로 이용한 식각공정으로 폴리실리콘층(11) 및 제 2 층간 절연막(10)을 선택적으로 식각하여 소거 게이트 라인(Line)(11a)을 형성하고 포토레지스트(PR₃)를 제거하여 종래의 플래쉬 메모리셀을 완성하였다.

발명이 이루고자 하는 기술적 과제

이와 같은 종래의 플래쉬 메모리 소자에 있어서는 다음과 같은 문제점이 있다.

첫째, 소오스/드레인 영역 사이의 채널이 제어 게이트 라인과 부유 게이트로 반분되어 사용하므로 고집적화 및 고속동작 구현에 부적당하다.

둘째, 프로그래밍시 채널 핫 캐리어를 이용하므로 채널 산화막의 열화로 높은 프로그래밍 횟수에 제한이 있다.

본 발명은 상기와 같은 종래 플래쉬 메모리 소자의 문제점들을 해결하기 위한 것으로 고속동작 및 고집적화에 적당한 플래쉬 메모리 소자 및 그 제조방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

본 발명의 플래쉬 메모리 소자는 반도체 기판; 상기 반도체 기판에 일정간격을 갖고 일방향으로 형성되는 복수개의 고농도 불순물 영역; 상기 고농도 불순물 영역과 교차하도록 상기 반도체 기판상에 형성되는 복수개의 격리영역; 상기 격리영역 및 고농도 불순물 영역 사이에 일정간격으로 형성되는 복수개의 부유 게이트; 상기 격리 영역과 동일한 방향의 상기 부유 게이트상에 격리영역 사이 사이에 지나가는 형상으로 형성되는 복수개의 제어 게이트 라인; 그리고, 상기 제어 게이트 라인과 교차하도록 형성되고 부유 게이트 상층으로 부유 게이트 보다 좁은 폭을 갖도록 형성되는 소거 게이트 라인을 포함한다.

또한, 본 발명의 플래쉬 메모리 소자 제조방법은 반도체 기판에 일정간격을 갖고 일방향으로 복수개의 고농도 불순물 영역을 형성하는 단계; 상기 반도체 기판상에 고농도 불순물 영역과 교차하는 복수층으로 이루어진 복수개의 격리영역을 형성하는 단계; 상기 반도체 기판 전면에 제 1 도전층을 형성하고 선택적으로 패터닝하여 고농도 불순물 영역과 동일 방향으로 고농도 불순물 영역을 제외한 반도체 기판 상층에만 부유 게이트 라인을 형성하는 단계; 상기 부유 게이트를 포함한 기판 전면에 제 2 도전층을 형성하고 선택적으로 패터닝하여 부유 게이트 라인상에서 격리영역 사이 사이로 지나가는 형상의 제어 게이트 라인을 형성하는 단계; 상기 부유 게이트 라인중 격리영역 상층에 형성된 부유 게이트 라인을 선택적으로 제거하여 각각의 부유 게이트로 형성하는 단계; 그리고, 상기 반도체 기판 전면에 제 3 도전층을 형성하고 선택적으로 패터닝하여 제어 게이트 라인과 교차하고 동시에 부유 게이트보다 좁은 폭을 갖고 부유 게이트 형성영역 상층면에 형성되는 소거 게이트 라인을 형성하는 단계를 포함한다.

이하에서, 첨부된 도면을 참조하여 본 발명 플래쉬 메모리 소자 및 그 제조방법을 설명하기로 한다.

도 4a는 본 발명 플래쉬 메모리 소자의 평면구조도이고, 도 4b는 도 4a의 A-A'선에 따른 단면구조도이며, 도 4c는 도 4a의 B-B'선에 따른 단면구조도이고, 도 4d는 도 4a의 회로구성도이다.

즉, 본 발명에 따른 플래쉬 메모리 소자는 도 4a 내지 도 4c에 나타난 바와 같이 반도체 기판(20)에 소오스/드레인 영역으로 사용하는 고농도 n형(n⁺) 불순물 영역(21)이 일정간격을 갖고 일방향으로 복수개 형성되고, 상기 반도체 기판(20) 상층으로 고농도 불순물 영역(21)과 교차하는 격리 절연막(22)이 일정간격을 갖고 복수개 형성된다. 이때, 격리 절연막(22)은 복수층으로 형성되며 그 상층면은 질화물층(22b)으로 형성되고 하층면은 산화물층(22a)으로 형성된다. 또한 격리 절연막(22) 측면으로 제 1 측벽 스페이서(23)가 형성된다. 그리고 상기 질화물층(22b)은 격리 절연막(22)에 교대로 형성된다. 즉, 하나의 격리 절연막(22)은 질화물층(22b) 및 산화물층(22a)으로 이루어져 있고 다른 하나의 격리절연막(22)은 산화물층(22a)으로만 이루어져 있다.

이어서, 상기 격리 절연막(22) 및 제 1 측벽 스페이서(23)를 제외한 반도체 기판(20) 전면에 게이트 절연막(24)이 형성된다.

이때, 상기 격리 절연막(22)과 제 1 측벽 스페이서(23)는 격리영역을 이룬다. 그다음, 상기 고농도 불순물 영역(21) 사이와 격리 절연막(22) 상층에 일정부분 오버랩되는 형상의 복수개의 부유 게이트(25a)가 형성된다.

그리고, 상기 부유 게이트(25a)상에 상기 격리영역(22)(23)과 동일한 방향으로 제 1 층간 절연막(26), 제어 게이트 라인(27) 및 캡 절연막(28)이 형성되고, 상기 캡 절연막(28), 제어 게이트 라인(27) 및 제 1 층간 절연막(26) 측면으로 제 2 측벽 스페이서(29)가 형성된다.

이때, 상기 제어 게이트 라인(27)은 부유 게이트(25a)보다 좁은 폭을 갖고 형성된다.

그리고 상기 제어 게이트 라인(27) 상층으로 격리 절연막(22)중 질화물층(22b)이 형성된 영역에서부터 캡절연막(28)에 부분적으로 제 2 층간 절연막(30)이 형성되고, 상기 격리 절연막(22)중 산화물층(22a)만 형성된 격리 절연막(22) 상층 영역에는 제 2 측벽 스페이서(29)의 측면 및 부유 게이트(25a)의 측면에 제 3 측벽 스페이서(30a)가 형성되고, 부유 게이트(25a)의 격리 산화막(22)과의 오버랩 부분 및 제 1 측벽 스페이서(23)의 측면에는 산화막(31)이 형성되어 있다.

마지막으로 상기 제어 게이트 라인(27)과 교차하고 동시에 부유 게이트(25a) 보다 좁은 폭을 갖고 부유 게이트(25a) 형성영역 상층면에 소거 게이트 라인(32)이 형성된다.

그리고, 이러한 본 발명 플래쉬 메모리 소자의 등가회로는 도 4d에 나타난 바와 같다.

즉, 도 4d에 나타난 바와 같이, 프로그램시에는 드레인으로 작용할 일측 고농도 불순물 영역(21) 및 소오스로 작용할 타측 고농도 불순물 영역(21)에는 0V를 인가하고 제어 게이트(27)에는 0~12V, 소거 게이트

(31)에는 $-12\sim-0V$ 를 인가한다. 이때 도 4c에 나타난 B부분에 고전계가 형성되어 파울러 노드하임 터널링(Fowler Nordheim Tunneling)이 일어나 프로그램이 이루어진다. 이때 화살표 a는 프로그램시 일렉트론(electron)의 이동방향으로 나타낸다. 즉, 프로그램시 부유 게이트(25a)에 일렉트론(electron)이 주입되어 부유 게이트(25a)의 문턱전압이 높아지게 된다.

그리고, 소거시에는 드레인 및 소오스로 작용하는 고농도 불순물 영역(21)에 $0V$ 를 인가하고 제어 게이트(27)에는 $-12\sim-0V$ 를 인가하며 소거 게이트(31)에는 $0\sim12V$ 를 인가한다. 이때 도 4c에 나타난 B부분의 화살표 b의 방향과 같이 부유 게이트(25a)의 일렉트론이 이동하여 부유 게이트(25a)의 문턱전압이 낮아지게 된다.

또한, 저장된 데이터를 읽을 때는 고농도 불순물 영역(21)중 드레인으로 작용하는 고농도 불순물 영역(21)에는 $1\sim2V$ 를 인가하고, 소오스로 작용하는 고농도 불순물 영역(21)과 소거 게이트(31)에는 $0V$ 를 인가하며, 제어 게이트(27)에는 $2\sim7V$ 를 인가하여 저장된 데이터에 따른 문턱전압의 차이에 따라 드레인으로 작용하는 고농도 불순물 영역(21)에 연결된 비트선의 전위(potential) 또는 전류변동을 센싱(sensing)하여 저장된 데이터를 읽게 된다.

이와 같은 본 발명의 플래쉬 메모리 소자의 제조방법은 다음과 같다.

도 5a 내지 도 5i은 도 4a의 A-A'선에 따른 제조공정 단면도이고, 도 6a 내지 도 6i은 도 4a의 B-B'선에 따른 제조공정 단면도이다.

먼저, 도 5a 및 도 6a에 나타난 바와 같이 반도체 기판(20)에 이온주입 공정을 실시하여 소자격리를 위한 필드 트랜지스터의 문턱전압(Threshold Voltage)을 높여준다.

도 5b 및 도 6b에 나타난 바와 같이 상기 반도체 기판(20)에 선택적으로 불순물 이온을 주입하여 소오스/드레인 영역으로 사용할 고농도 불순물 영역(21)을 형성한다. 이때, 고농도 불순물 영역(21)을 형성하기 위해 주입한 불순물 이온은 고농도 n형(n⁺)이온이며, 바람직하게는 비소(As) 이온을 주입한다.

그리고, 주입 에너지는 $30\sim80KeV$ 이며 $850\sim950^{\circ}C$ 의 온도로 열처리(Annealing)한다.

도 5c 및 도 6c에 나타난 바와 같이 상기 반도체 기판(20) 전면에 산화물층(22a) 및 질화물층(22b)을 차례로 형성한후 선택적으로 패터닝하여 고농도 불순물 영역(21)과 교차하는 격리 절연막(22)으로 형성한다.

이때, 산화물층(22a)은 기판을 열산화하여 형성할수 있고 화학기상증착법으로 형성할 수도 있다.

도 5d 및 도 6d에 나타난 바와 같이 상기 격리 절연막(22)을 포함한 반도체 기판(20) 전면에 절연막을 증착한후 에치백하여 격리 절연막(22) 측면에 제 1 측벽 스페이서(23)로 형성한다.

도 5e 및 도 6e에 나타난 바와 같이, 기억소자의 문턱전압을 높여 주기 위한 이온주입 공정을 실시한다.

도 5f 및 도 6f에 나타난 바와 같이 상기 격리 절연막(22) 및 제 1 측벽 스페이서(23)가 형성되지 않은 기판 전면에 게이트 산화막(24)을 형성한다. 그다음 상기 게이트 산화막(24)을 포함한 기판전면에 폴리실리콘층을 형성한후 선택적으로 패터닝(포토리소그래피 공정 + 식각공정)하여 고농도 불순물 영역(21)과 동일 방향으로 고농도 불순물 영역(21) 사이에 부유 게이트 라인(25)으로 형성한다. 이때, 게이트 절연막(24)도 같이 식각한다.

도 5g 및 도 6g에 나타난 바와 같이 상기 부유 게이트 라인(25) 및 격리 절연막(22)을 포함한 기판 전면에 제 1 층간 절연막(26), 폴리실리콘층 및 캡 절연막(28)을 차례로 형성한다.

그다음, 상기 캡 절연막(28), 폴리실리콘층 및 제 1 층간 절연막(26)을 선택적으로 식각하여 복수개의 제어 게이트 라인(27)을 형성한다. 이때, 각각의 제어 게이트 라인(27)은 부유 게이트 라인(25) 보다 좁은 폭을 갖도록 형성한다.

또한, 제어 게이트 라인(27)은 격리 절연막(22)과 동일한 방향으로 형성한다.

그리고, 상기 캡절연막(28), 제어 게이트 라인(27) 및 제 1 층간 절연막(26) 측면에 제 2 측벽 스페이서(29)를 형성한다.

도 5h 및 도 6h에 나타난 바와 같이 상기 캡절연막(28) 및 제 2 측벽 스페이서(29)를 마스크로 이용한 식각공정으로 상기 부유 게이트 라인(25)을 각각의 부유 게이트(25a)로 형성한다. 이때 격리 절연막(22)의 질화물층(22b) 상층면이 노출된다.

도 5i 및 도 6i에 나타난 바와 같이, 상기 캡절연막(28), 제 2 측벽 스페이스(29) 및 질화물층(22b)을 포함한 기판 전면에 제 2 층간 절연막(30) 및 포토레지스트(PR₂₀)를 증착한후 격리영역(22)(23) 상층 영역에 교대로(alternate) 격리영역(22)(23) 보다 넓은 폭으로 포토레지스트(PR₂₀)를 패터닝하여 제 2 층간 절연막(30)을 부분적으로 노출시킨다.

도 5j 및 도 6j에 나타난 바와 같이 상기 포토레지스트(PR₂₀)를 마스크로 이용한 에치백 공정으로 노출된 제 2 층간 절연막(30)을 식각하여 제 2 측벽 스페이서(29) 및 격리절연막(23) 상층의 부유 게이트(25a) 측면에 제 3 측벽 스페이서(30a)로 형성한다.

도 5k 및 도 6k에 나타난 바와 같이 상기 제 3 측벽 스페이서(30a) 아래의 노출된 질화물층(22b)을 선택적으로 제거한다. 이때, 제 3 측벽 스페이서(29)의 밑면 및 제 1 측벽 스페이서(23)의 일측면과 산화물층(22a)의 상층면 및 소거 게이트(25a)중 질화물층(22b)과 오버랩된 부분이 노출된다.

도 5l 및 도 6l에 나타난 바와 같이 상기 노출된 소거 게이트(25a)의 노출된 면 및 제 1 측벽 스페이서(23)에 산화막(31)을 형성한다.

그다음 전면에 폴리실리콘층을 증착한후 선택적으로 패터닝하여 제어 게이트 라인(27a)과 교차하고 동시

에 부유 게이트(25a) 보다 좁은 폭을 갖도록 부유 게이트(25a)의 상층면에 소거 게이트 라인(32)을 형성한다.

발명의 효과

본 발명의 플래시 메모리 소자에 있어서는 다음과 같은 효과가 있다.

첫째, 채널영역을 제어 게이트와 부유 게이트 하층에 형성하여 고집적화 및 고속동작에 유리하여 소자의 성능을 향상시킬수 있다.

둘째, 프로그래밍시 일렉트론의 이동방향과 프로그램 소거시의 일렉트론의 이동방향이 달라 높은 프로그래밍 가능 횟수를 얻을수 있어 소자의 수명이 길어져 신뢰도를 향상시킨다.

셋째, 소거 게이트가 제어 게이트 라인과 수직으로 형성되어 소거동작시 단위소자의 범위에서 군(sector or block)별 소거를 할 수 있어 소자의 성능을 향상하였다.

(57) 청구의 범위

청구항 1

반도체 기판; 상기 반도체 기판에 일정간격을 갖고 일방향으로 형성되는 복수개의 고농도 불순물 영역; 상기 고농도 불순물 영역과 교차하도록 상기 반도체 기판상에 형성되는 복수개의 격리영역; 상기 격리영역 및 고농도 불순물 영역 사이에 일정간격으로 형성되는 복수개의 부유 게이트; 상기 격리영역과 동일한 방향의 상기 부유 게이트상에 격리영역 사이 사이에 지나가는 형상으로 형성되는 복수개의 제어 게이트 라인; 그리고, 상기 제어 게이트 라인과 교차하도록 형성되고 부유 게이트 상층으로 부유 게이트보다 좁은 폭을 갖도록 형성되는 소거 게이트 라인을 포함하여 구성됨을 특징으로 하는 플래시 메모리 소자.

청구항 2

제 1 항에 있어서, 상기 격리영역중 하나의 격리영역은 반도체 기판상에 산화물층 및 질화물층이 차례로 형성되고 산화물층 및 질화물층 측면에 측벽 스페이서가 형성된 형상으로 형성된 구조이고 다른 하나의 격리영역은 하나의 격리영역과 동일하나 산화물층상에 질화물층은 형성되지 않은 구조의 격리영역이 하나의 격리영역과 번갈아 형성된 것임을 특징으로 하는 플래시 메모리 소자.

청구항 3

제 1 항에 있어서, 상기 제어 게이트 라인은 부유 게이트 보다 좁은 폭으로 형성되는 것을 특징으로 하는 플래시 메모리 소자.

청구항 4

제 1 항에 있어서, 상기 반도체 기판과 부유 게이트 사이와, 상기 제어 게이트 라인과 부유 게이트 사이와, 소거 게이트 라인과 제어 게이트 라인 사이에 절연막이 더 포함됨을 특징으로 하는 플래시 메모리 소자.

청구항 5

제 4 항에 있어서, 상기 절연막은 산화물로 형성됨을 특징으로 하는 플래시 메모리 소자.

청구항 6

제 1 항에 있어서, 상기 부유 게이트의 일측면은 격리영역의 질화물층과 오버랩된 형상이고 타측면은 산화막에 오버랩된 형상으로 형성됨을 특징으로 하는 플래시 메모리 소자.

청구항 7

반도체 기판에 일정간격을 갖고 일방향으로 복수개의 고농도 불순물 영역을 형성하는 단계; 상기 반도체 기판상에 고농도 불순물 영역과 교차하는 복수층으로 이루어진 복수개의 격리영역을 형성하는 단계; 상기 반도체 기판 전면에 제 1 도전층을 형성하고 선택적으로 패터닝하여 고농도 불순물 영역과 동일 방향으로 고농도 불순물 영역을 제외한 반도체 기판 상층에만 부유 게이트 라인을 형성하는 단계; 상기 부유 게이트를 포함한 기판 전면에 제 2 도전층을 형성하고 선택적으로 패터닝하여 부유 게이트 라인상에서 격리영역 사이 사이로 지나가는 형상의 제어 게이트 라인을 형성하는 단계; 상기 부유 게이트 라인중 격리영역 상층에 형성된 부유 게이트 라인을 선택적으로 제거하여 각각의 부유 게이트로 형성하는 단계; 그리고 상기 반도체 기판 전면에 제 3 도전층을 형성하고 선택적으로 패터닝하여 제어 게이트 라인과 교차하고 동시에 부유 게이트 보다 좁은 폭을 갖고 부유 게이트 형성 영역 상층면에 형성되는 소거 게이트 라인을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

청구항 8

제 7 항에 있어서, 상기 격리영역중 하나의 격리영역은 산화물층과 질화물층을 차례로 증착한후 선택적으로 패터닝하여 격리 절연막으로 형성하는 단계와, 상기 격리 절연막 측면에 측벽 스페이서를 형성하는 단계를 포함하여 형성하고 하나의 격리영역과 이웃하는 다른 하나의 격리영역은 하나의 격리영역 상층부의 질화물층을 제거하는 단계를 더 포함하여 형성함을 특징으로 하는 플래시 메모리 소자의 제조방법.

청구항 9

제 7 항에 있어서, 상기 제어 게이트 라인은 부유 게이트 보다 좁은 폭으로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

청구항 10

제 7 항에 있어서, 상기 부유 게이트와 반도체 기판 사이와 상기 제어 게이트 라인과 부유 게이트 사이와 상기 소거 게이트 라인과 제어 게이트 사이에 절연막을 더 형성함을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

청구항 11

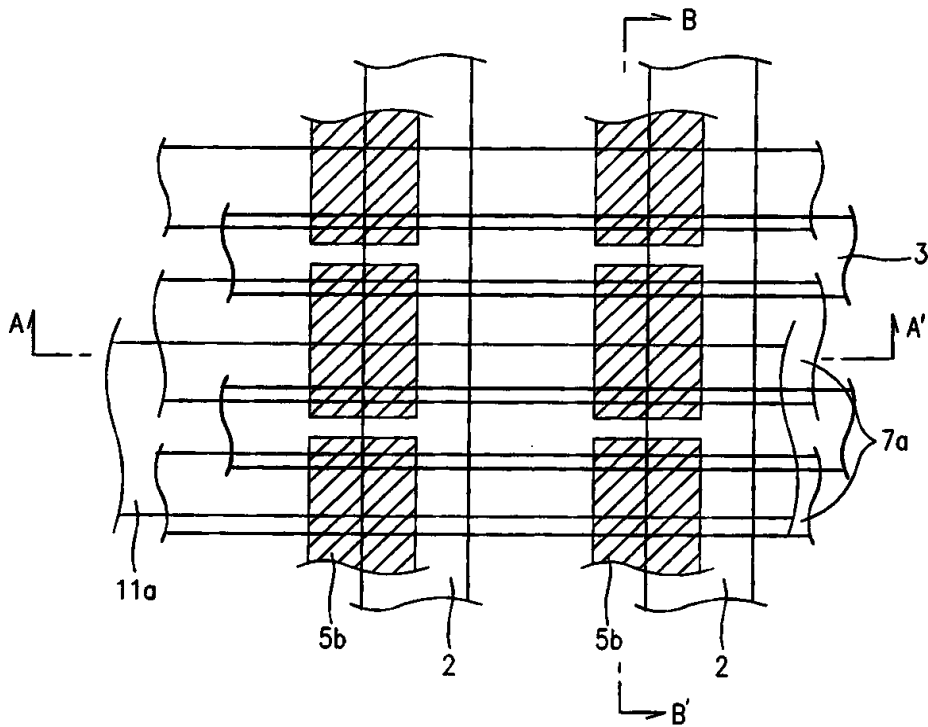
제 10 항에 있어서, 상기 절연막은 산화물을 이용하여 형성하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

청구항 12

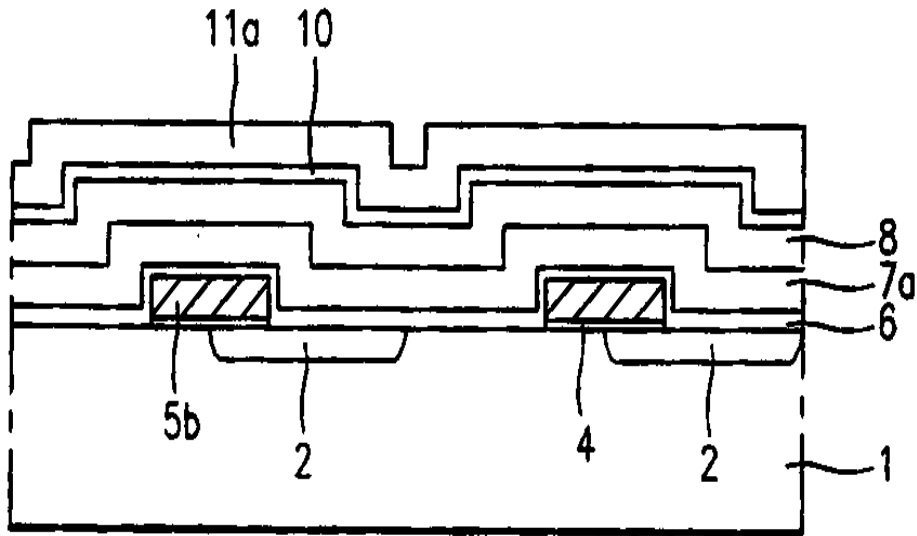
제 7 항에 있어서, 상기 부유 게이트의 일측면은 격리영역의 질화물층과 오버랩 되도록 형성하고 타측면은 산화막에 오버랩되도록 형성함을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

청구항 13

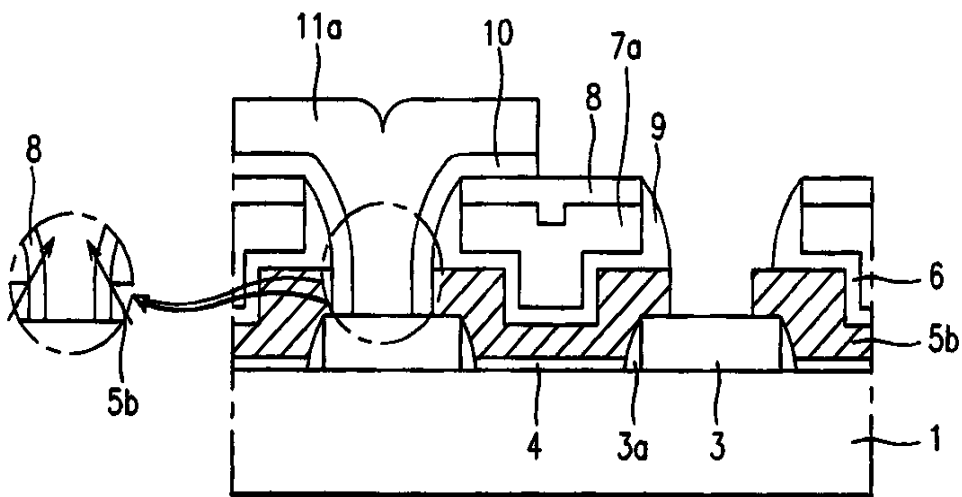
제 8 항에 있어서, 상기 산화물층은 기판을 열산화하여 형성하거나 또는 화학기상증착법을 사용하여 형성하는 방법중 어느 하나로 형성하는 것임을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

도면**도면 1a**

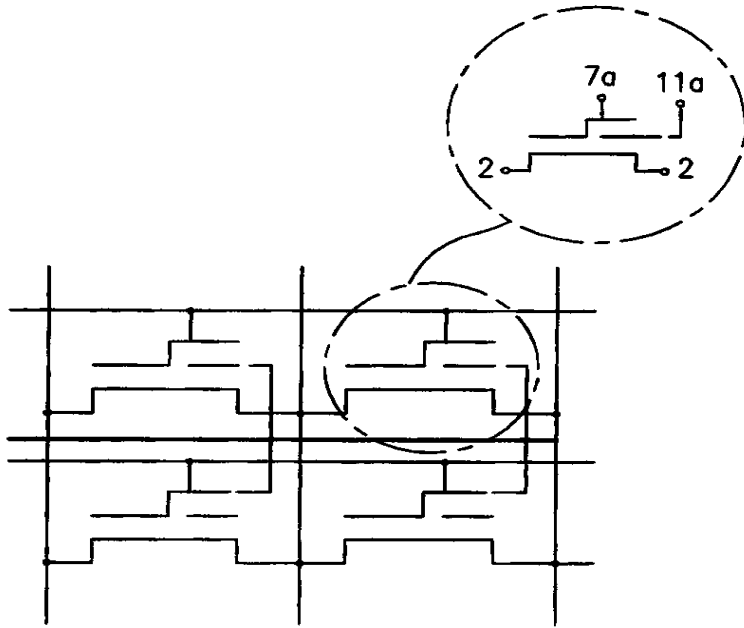
도면 1b



도면 1c



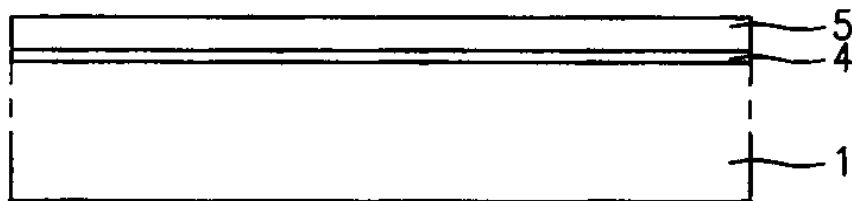
도면1d



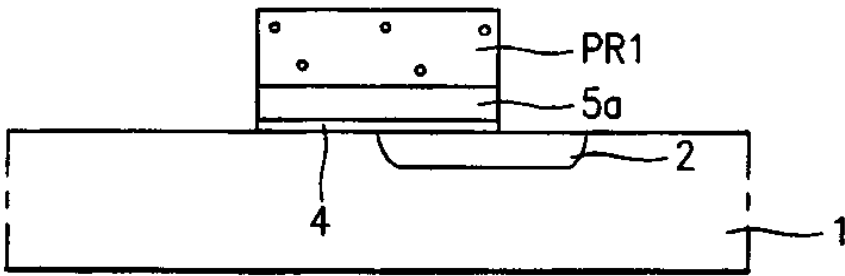
도면2a



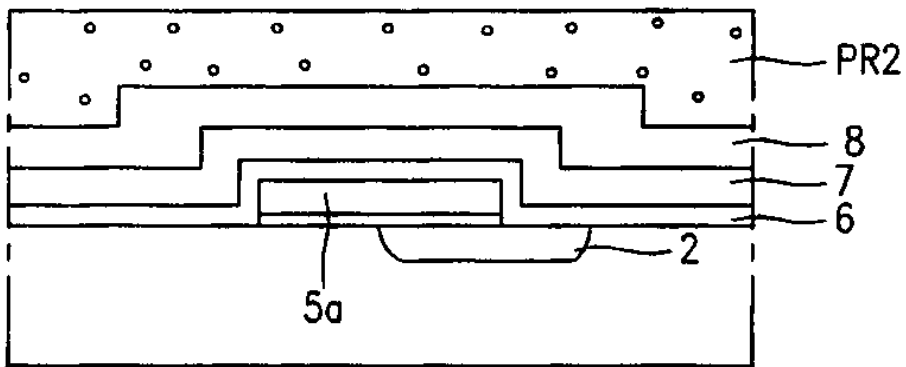
도면2b



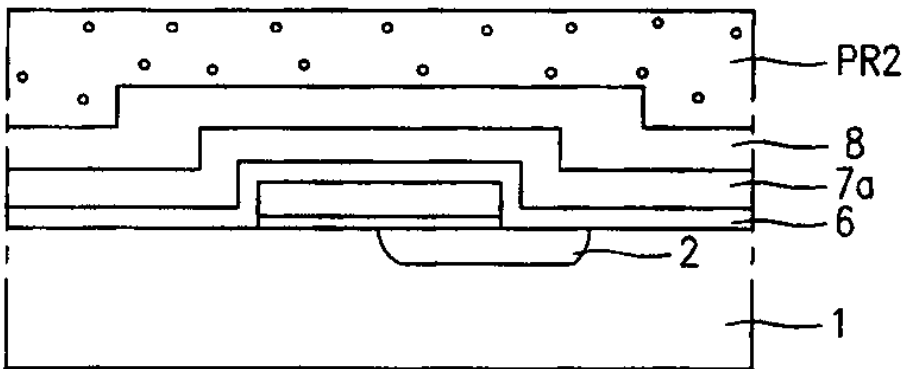
도면2c



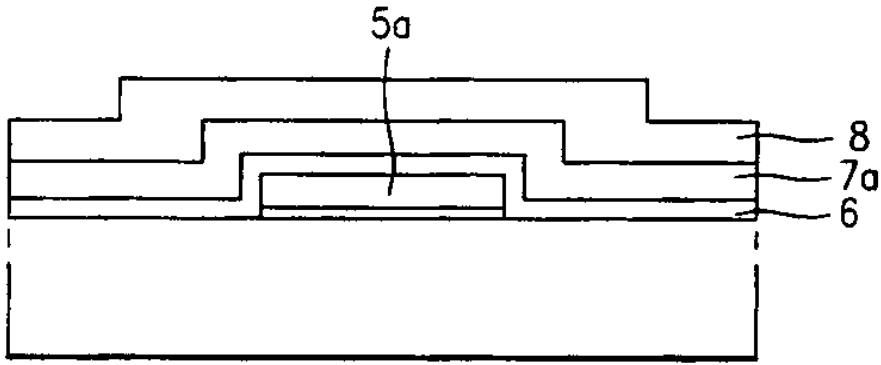
도면2d



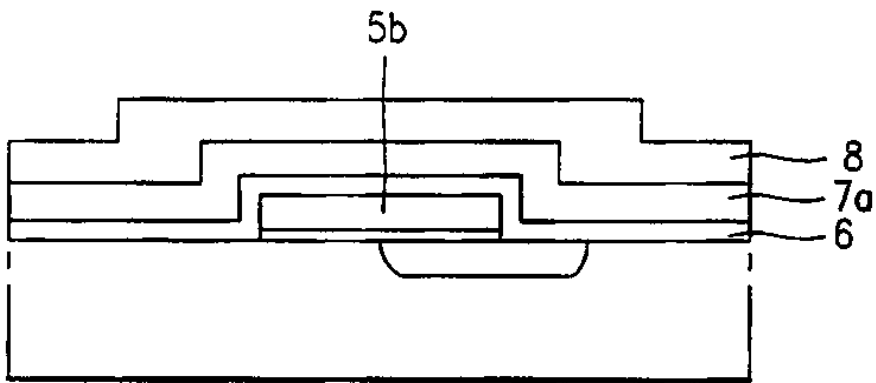
도면2e



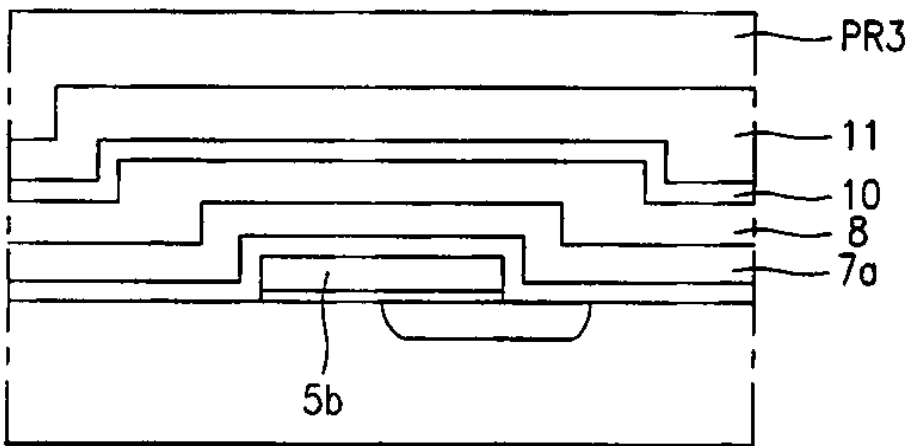
도면2f



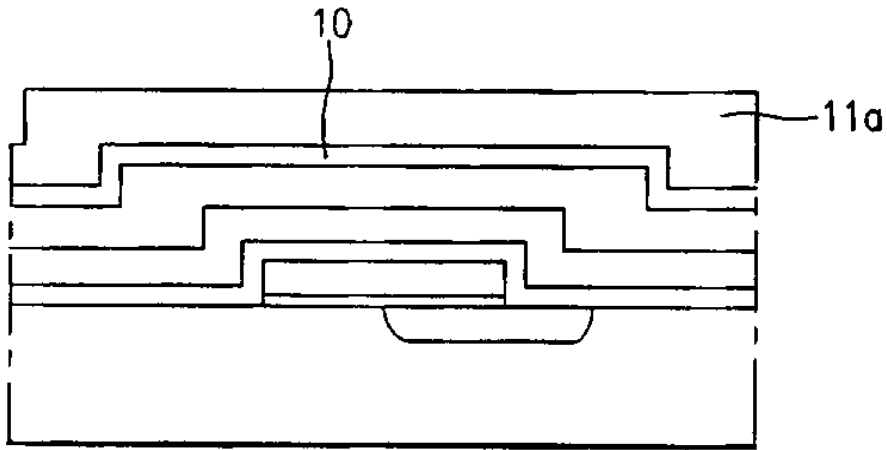
도면2g



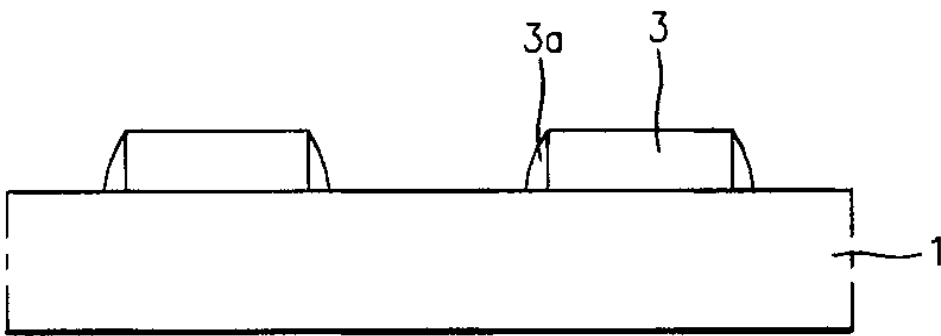
도면2h



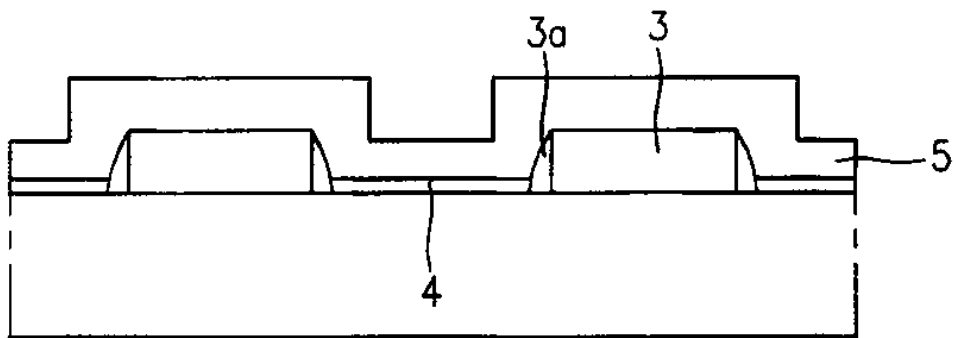
도면2i



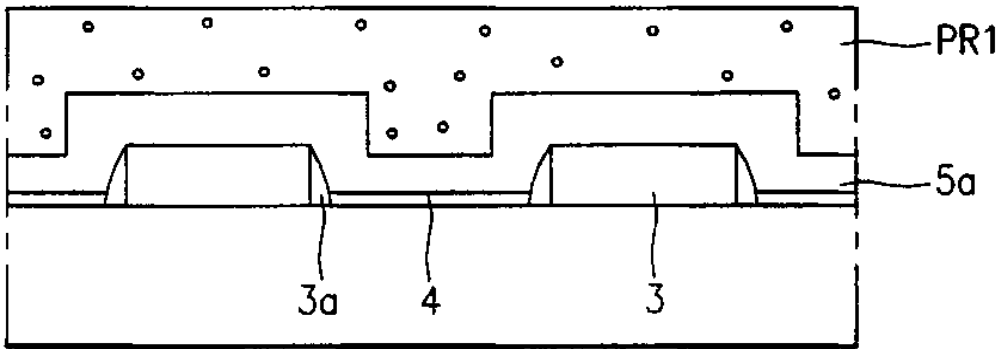
도면3a



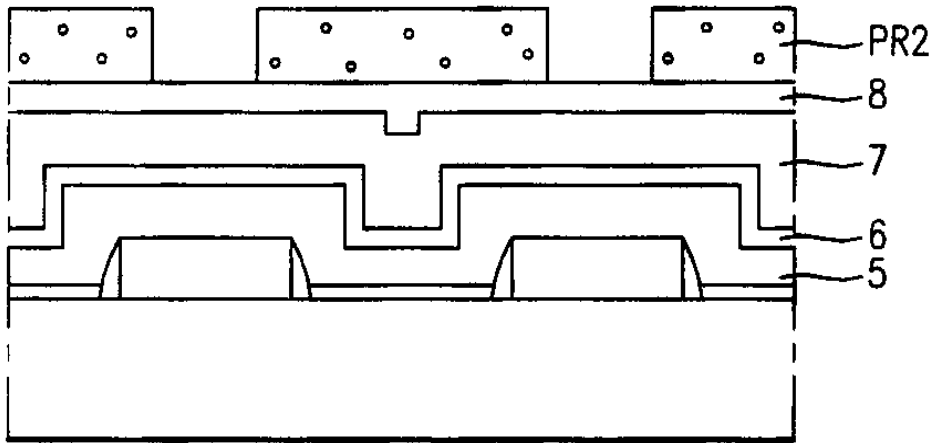
도면3b



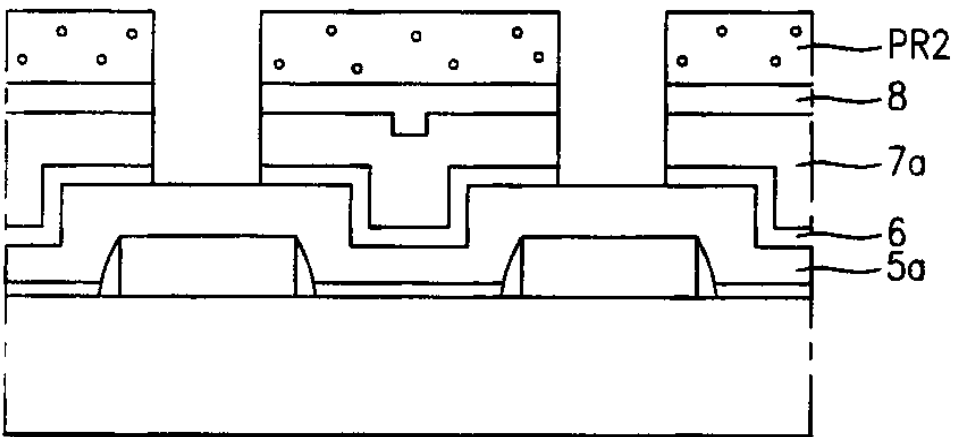
도면3c



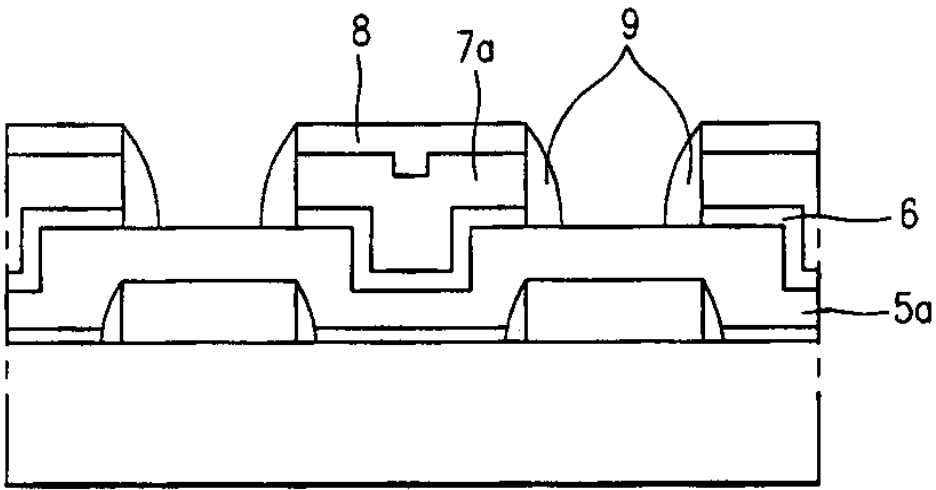
도면3d



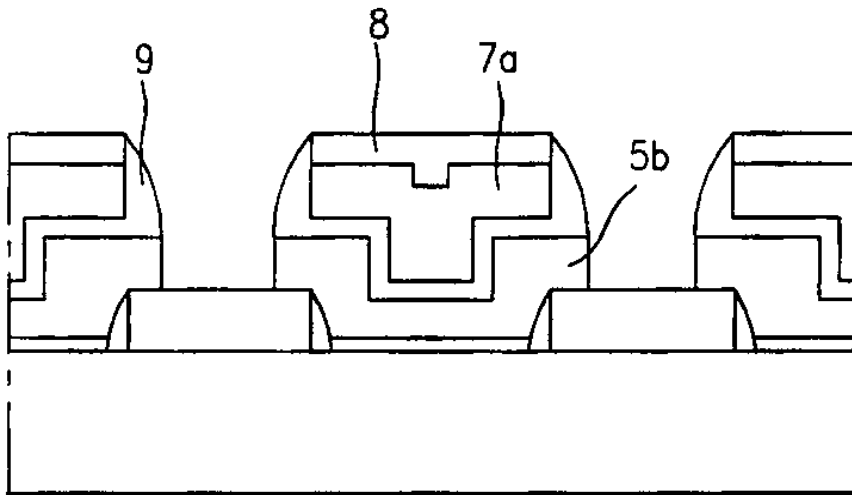
도면3e



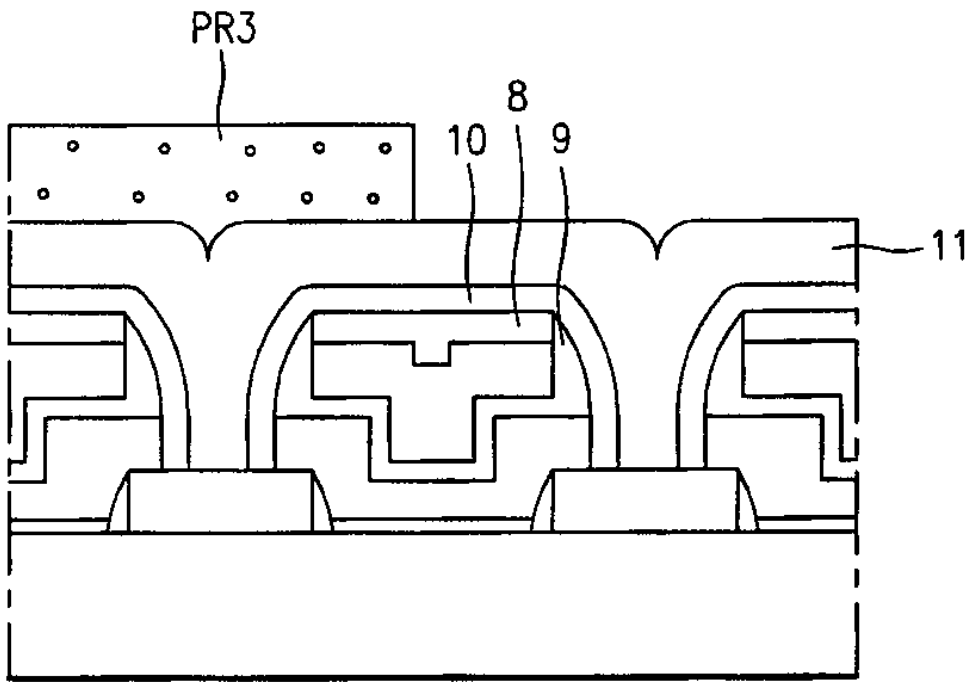
도면3f



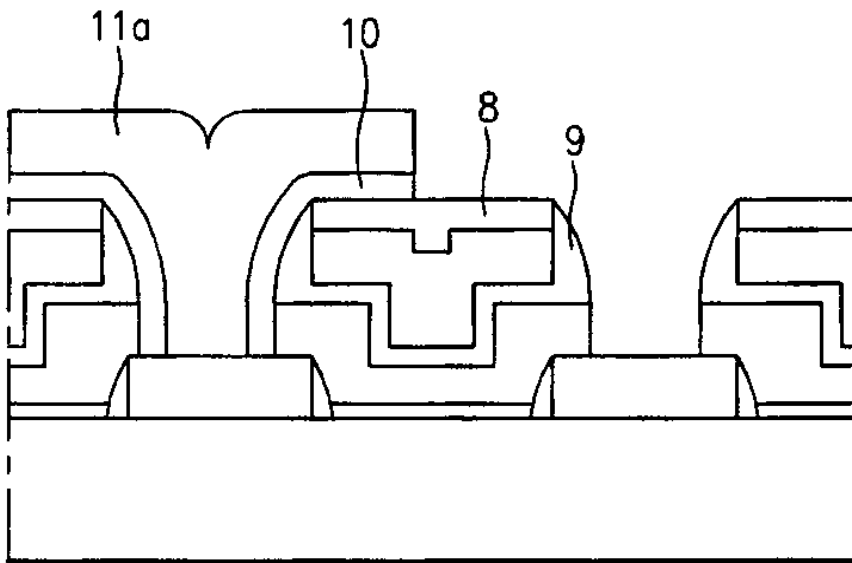
도면3g



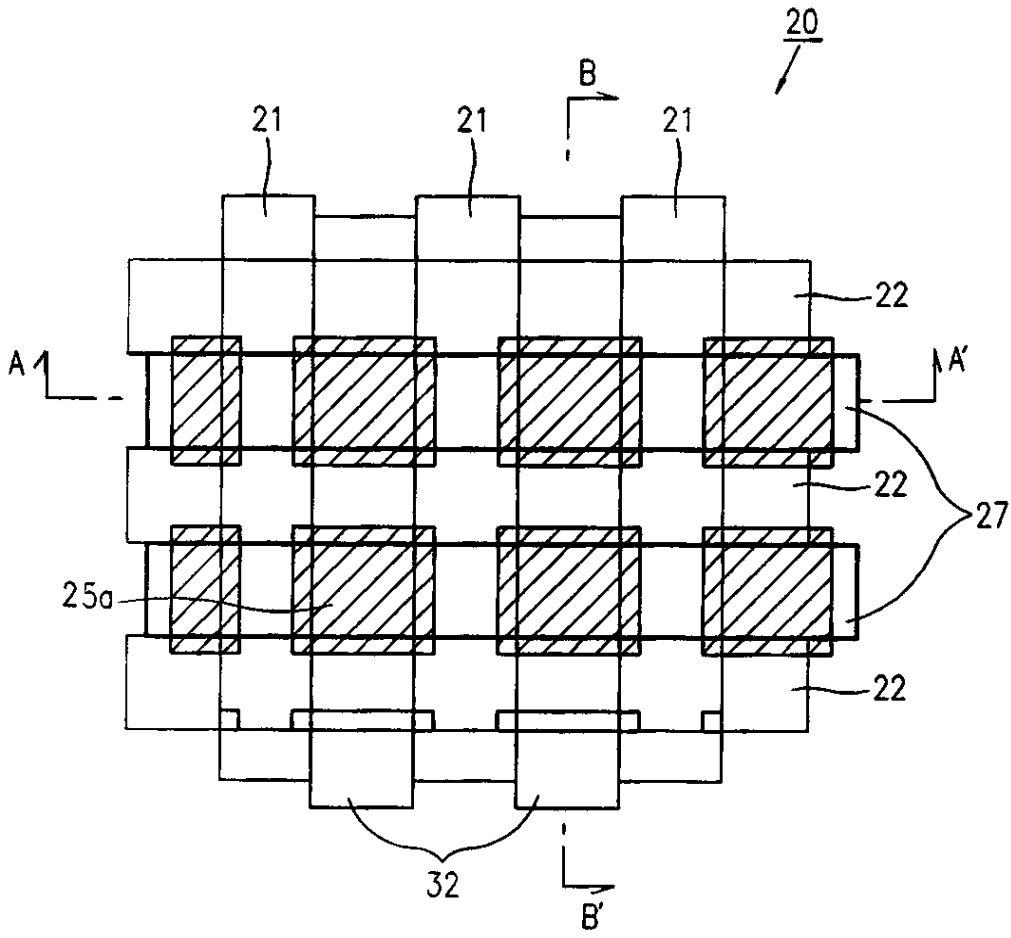
도면3h



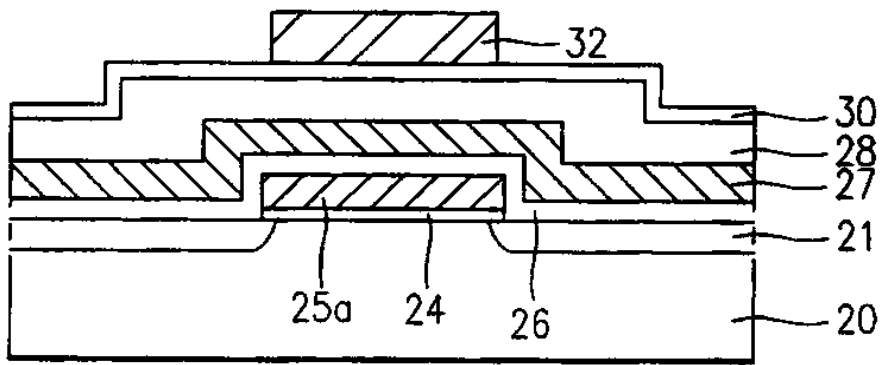
도면3i



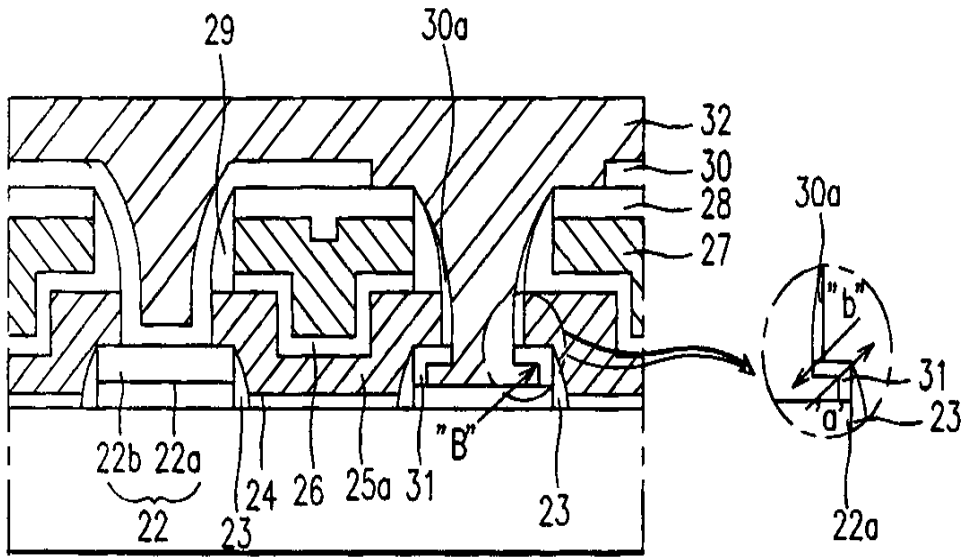
도면4a



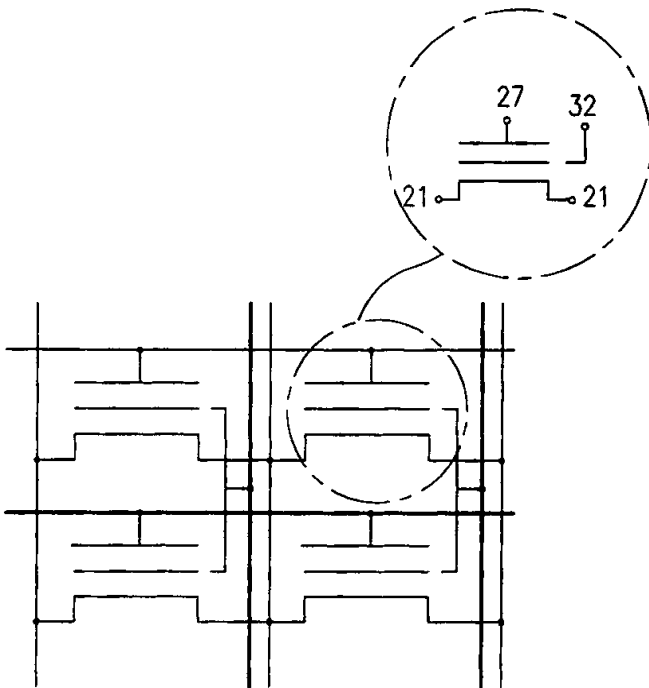
도면4b



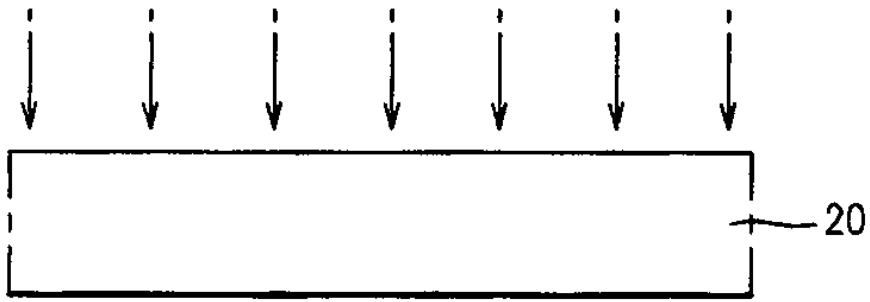
도면4c



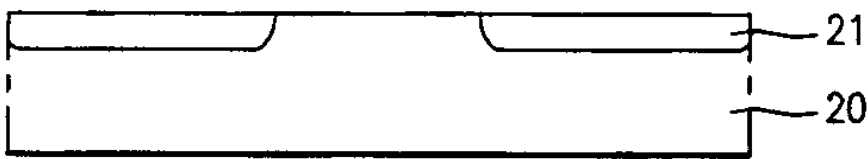
도면4d



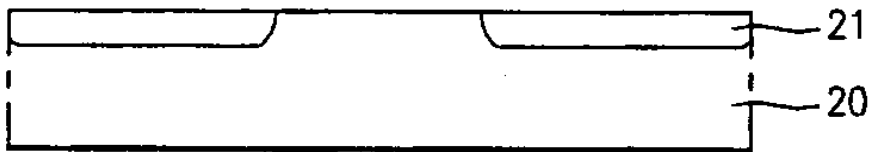
도면5a



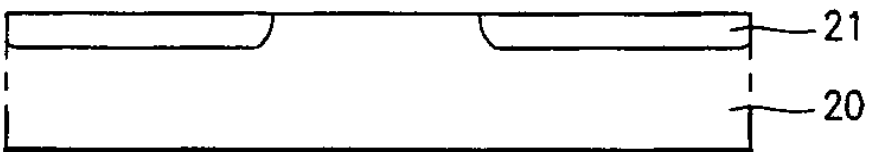
도면5b



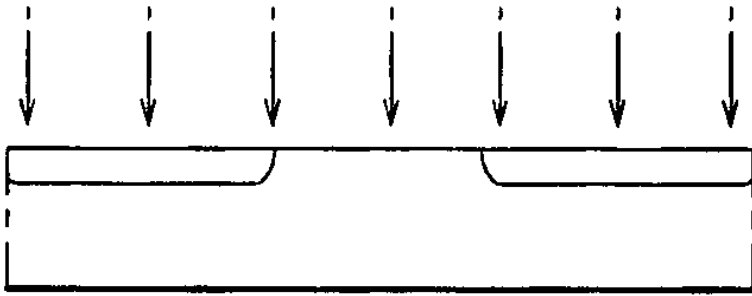
도면5c



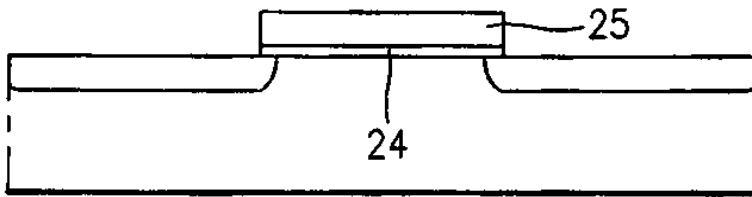
도면5d



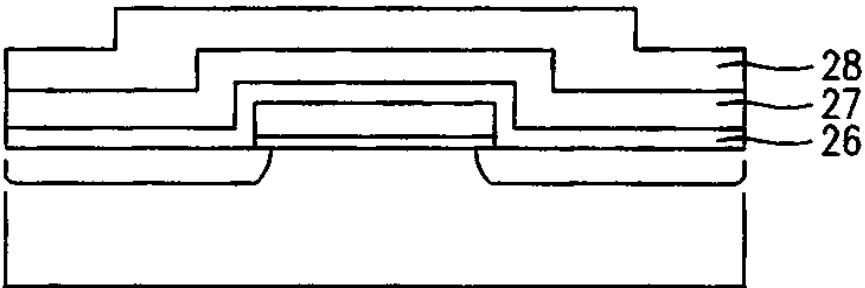
도면5e



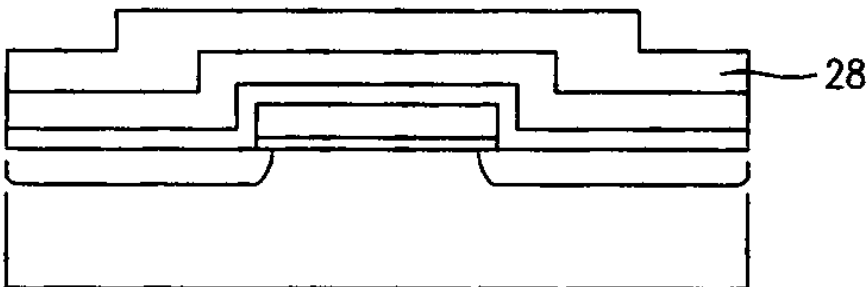
도면5f



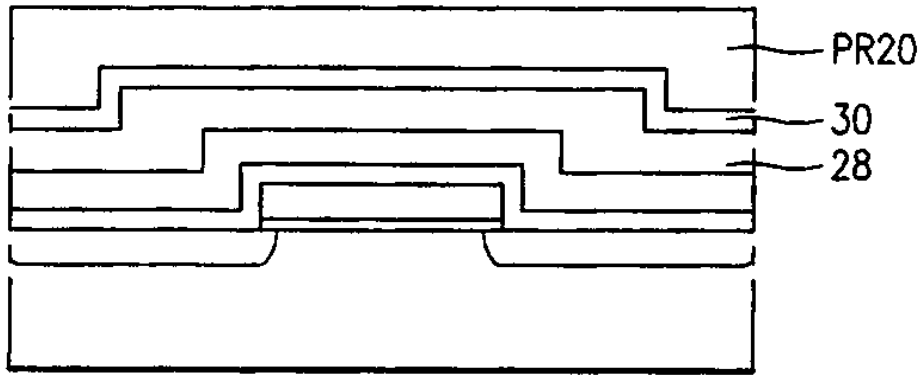
도면5g



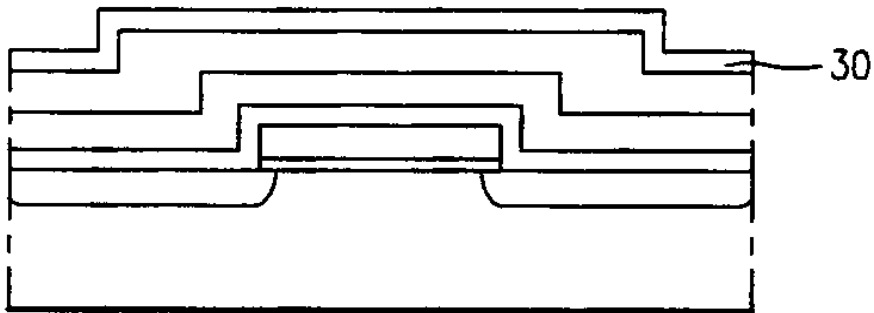
도면5h



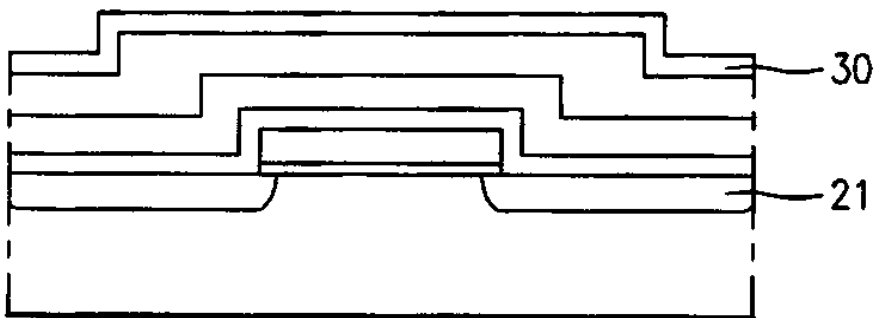
도면5i



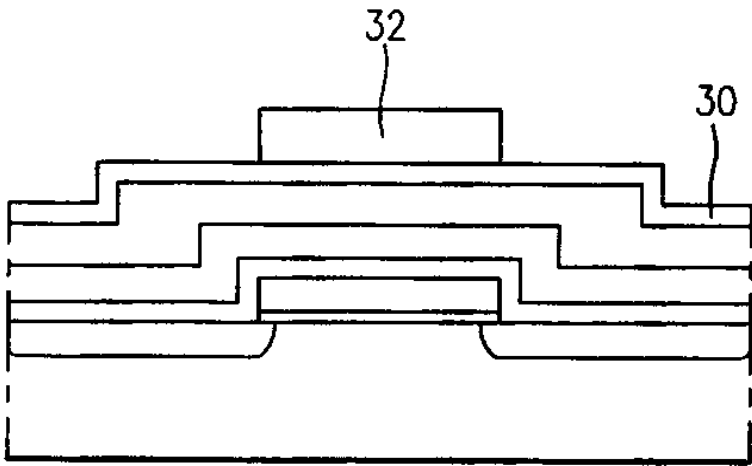
도면5j



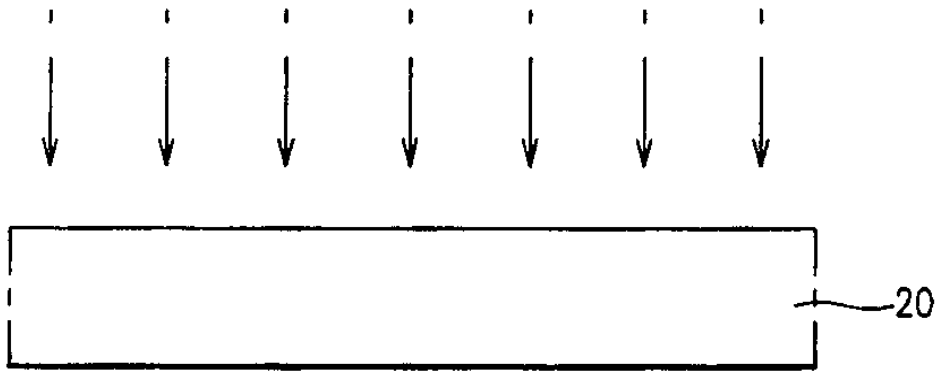
도면5k



도면51



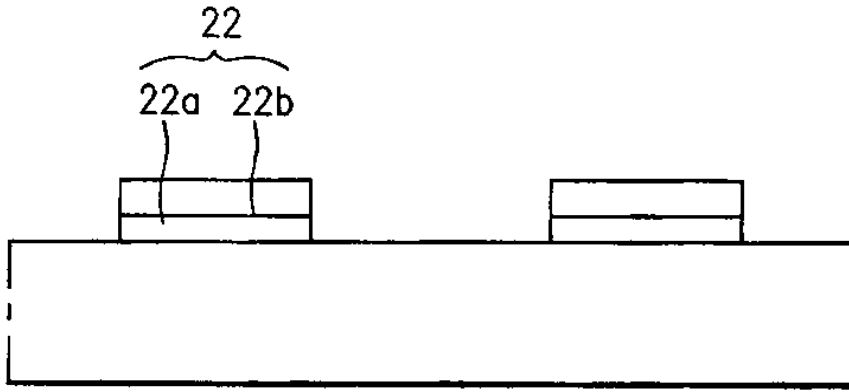
도면6a



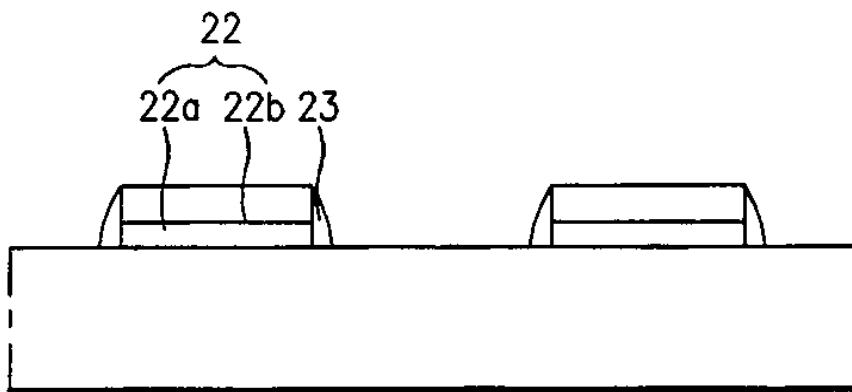
도면6b



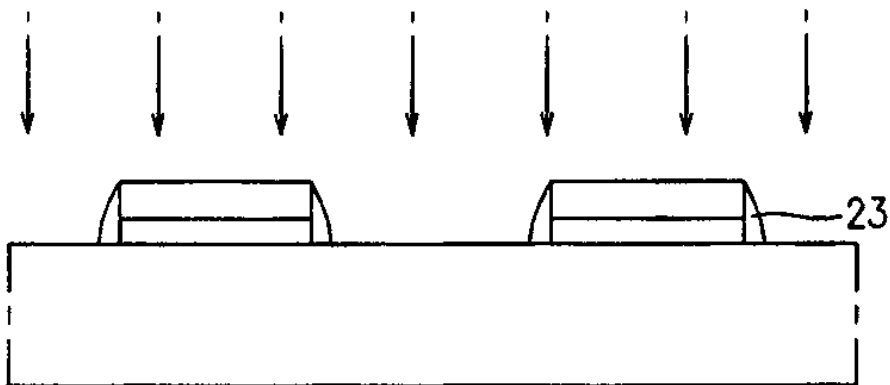
도면6c



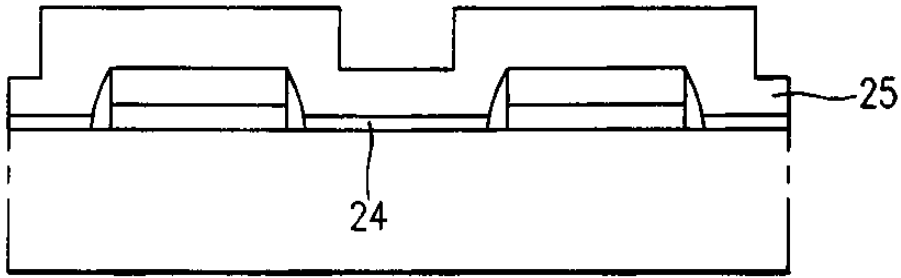
도면6d



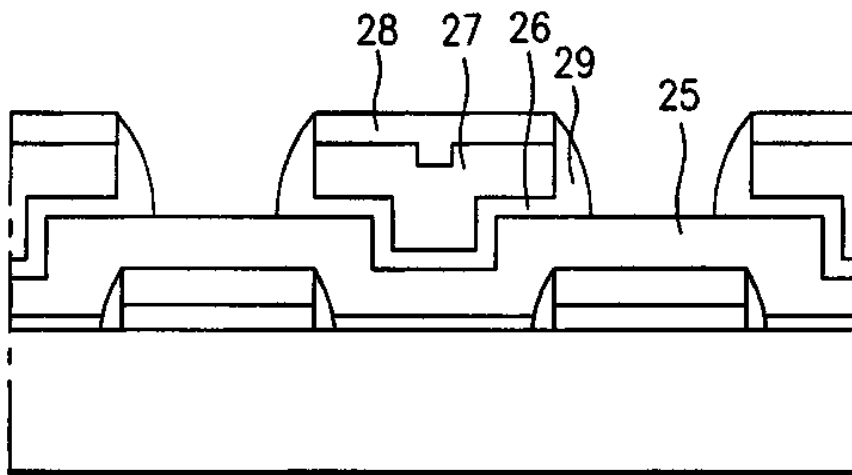
도면6e



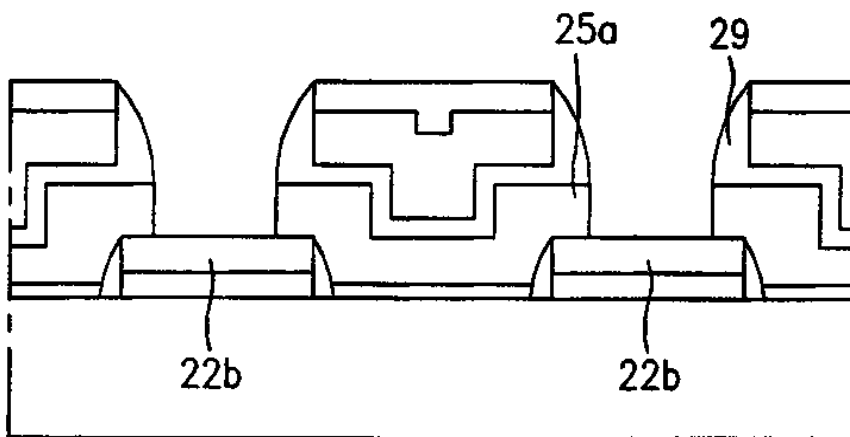
도면6f



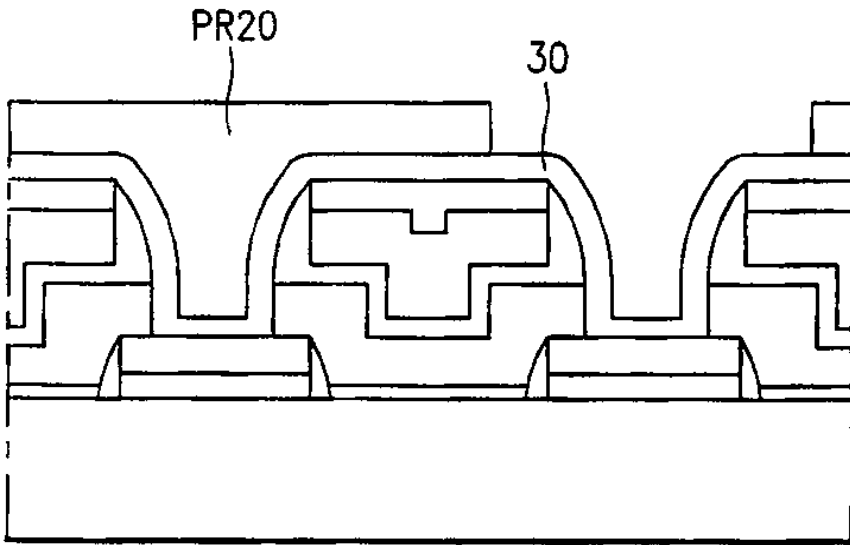
도면6g



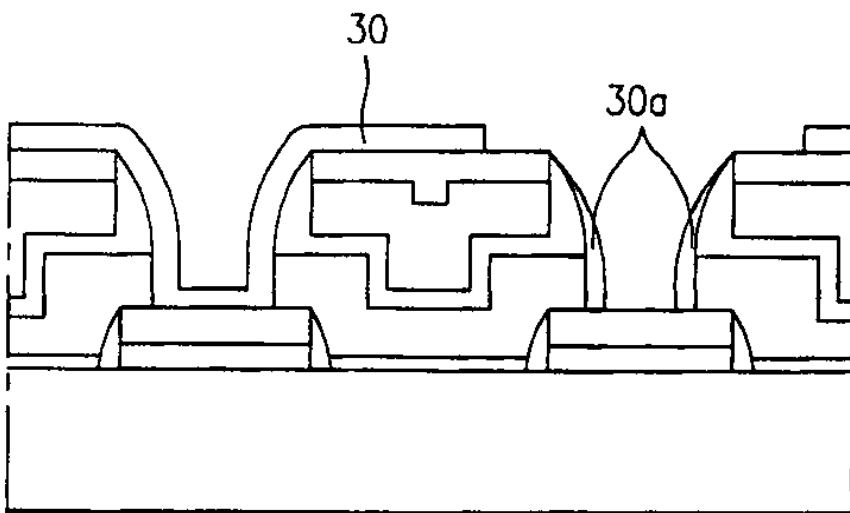
도면6h



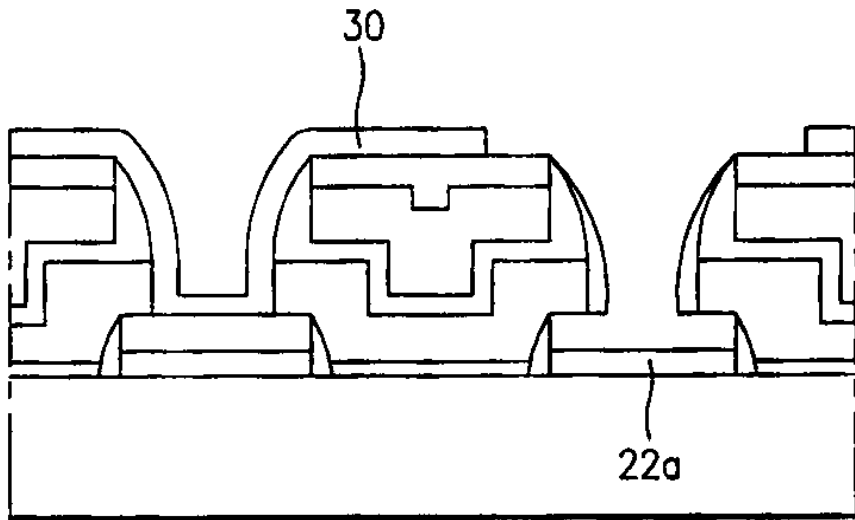
도면6i



도면6j



도면6k



도면6l

