



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 102 06 689 B4 2004.03.18**

(12)

## Patentschrift

(21) Aktenzeichen: **102 06 689.2**  
 (22) Anmeldetag: **18.02.2002**  
 (43) Offenlegungstag: **04.09.2003**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **18.03.2004**

(51) Int Cl.7: **G11C 29/00**

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(71) Patentinhaber:  
**Infineon Technologies AG, 81669 München, DE**

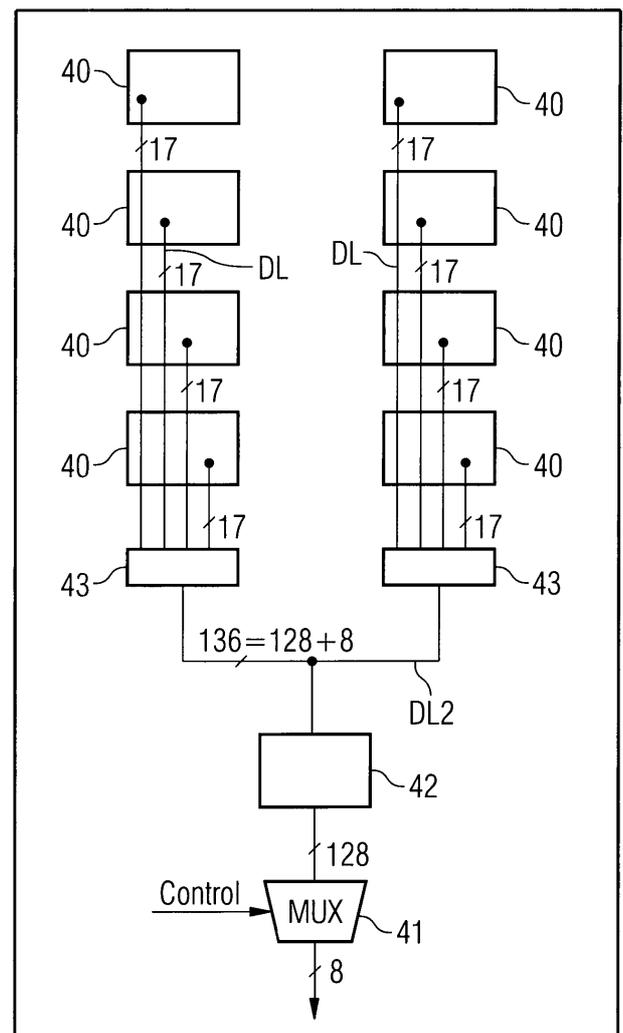
(72) Erfinder:  
**Pöchmüller, Peter, Dr., Colchester, Vt., US**

(74) Vertreter:  
**Epping Hermann Fischer,**  
**Patentanwalts-gesellschaft mbH, 80339 München**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:  
**US 60 65 146**

(54) Bezeichnung: **Integrierter Speicher und Verfahren zum Betrieb eines integrierten Speichers**

(57) Hauptanspruch: Integrierter Speicher  
 – mit Speicherzellen (MC), die in einem Speicherzellenfeld (40) angeordnet sind,  
 – der in einer Prefetch-Architektur konzipiert ist, wobei Daten einer ersten Bitbreite aus unterschiedlichen Bereichen (40) des Speicherzellenfeldes parallel aus dem Speicherzellenfeld dem Schreib-Lese-Verstärker (43) zugeführt werden und in Einheiten einer zweiten Bitbreite nacheinander ausgegeben werden,  
 – mit einem Schreib-Lese-Verstärker (43) zur Bewertung und Verstärkung von auszulesenden oder zu schreibenden Datensignalen der Speicherzellen,  
 – mit einer Fehlerkorrekturschaltung (42), die mit dem Schreib-Lese-Verstärker (43) verbunden ist, die für ein Auslesen oder Schreiben von Daten aus dem Speicherzellenfeld aktivierbar ist, und die beim Auslesen oder Schreiben von ihr empfangene Datensignale auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert und ausgibt,  
 – bei dem die Fehlerkorrekturschaltung (42) zur Überprüfung und Korrektur der Einheiten von Daten der zweiten Bitbreite vorgesehen ist.



## Beschreibung

[0001] Die vorliegende Erfindung betrifft einen integrierten Speicher und ein Verfahren zum Betrieb eines integrierten Speichers.

[0002] Mit zunehmender Speicherdichte und zunehmender Miniaturisierung von integrierten Speichern, insbesondere in Form von DRAMs (Dynamic Random Access Memories), wird es im allgemeinen immer schwieriger, Speicherbausteine herzustellen. Dies liegt hauptsächlich daran, daß es immer mehr Aufwand erfordert, fehlerfreie Speicherzellen in immer größerer Anzahl zu realisieren. Aus diesem Grund weisen heutige DRAM-Speicherbausteine meist redundante Speicherzellen in großer Anzahl auf, die fehlerbehaftete normale Speicherzellen ersetzen können. Das bedeutet, zahlreiche inaktive redundante Speicherzellen werden bereitgestellt, um mit diesen gegebenenfalls defekte normale Speicherzellen zu ersetzen. Die Aktivierung der redundanten Speicherzellen erfolgt üblicherweise durch Programmierung von programmierbaren Elementen, beispielsweise in Form von sogenannten Laser Fuses oder elektrisch programmierbaren Fuses, mittels derer eine Programmierung einer Adresse einer oder mehrerer zu ersetzender normaler Speicherzellen vorgenommen werden kann.

[0003] Mit zunehmender Schaltungsminiaturisierung treten bestimmte Halbleitereffekte immer stärker in den Vordergrund. Einer dieser Artefakte ist z. B. eine variable Speicherzellenzeit oder Haltezeit, die auch VRT (Variable Retention Time) genannt wird. Bei Speicherzellen, die von VRT betroffen sind, ändert sich plötzlich die Speicherzeit bzw. Haltezeit der Zelle. Üblicherweise kann eine Speicherzelle für eine bestimmte Zeit, beispielsweise 200 ms, genügend Ladung speichern, um ein ausreichend starkes Lesesignal beim Auslesen der Speicherzelle zu erzielen. Dieses Speicherverhalten ändert sich üblicherweise nicht wesentlich über die Betriebszeit des Speicherbausteins. Bei von VRT betroffenen Speicherzellen ändert sich das Speicherverhalten jedoch plötzlich und völlig unberechenbar. So kann es z. B. vorkommen, daß eine von VRT betroffene Speicherzelle nach Tagen im Betrieb plötzlich ihr Speicherverhalten derart ändert, daß sie ihre Ladung statt für eine Zeit von 200 ms z. B. nur noch für eine Zeit von 10 ms speichern kann. Dieser Zustand kann sich nach einiger Zeit wieder verändern, so daß die betroffene Speicherzelle danach wieder das normale Speicherverhalten bzw. die normale Haltezeit von 200 ms aufweist.

[0004] Die Problematik einer variablen Speicherzellenzeit stellt ein schwerwiegendes Fehlverhalten dar, da betroffene Speicherzellen in der Anwendung zu einem Ausfall und damit zu einem Fehlverhalten des gesamten Speichers führen können. Darüber hinaus ist es praktisch unmöglich, von VRT betroffene Speicherzellen in einem Funktionaltest festzustellen, zu finden und durch redundante Speicherzellen zu repa-

rieren, da sie während der Testphase, die im allgemeinen unmittelbar nach der Herstellung des Speichers durchgeführt wird, zumeist normales Verhalten zeigen. Ist ein Speicherprodukt von VRT befallen, so kann es nicht an den Kunden ausgeliefert werden, sondern muß als Ausschuß betrachtet werden. Bislang wird versucht, das Problem der variablen Speicherzellenzeit durch technologische Maßnahmen, beispielsweise durch Vermeidung jeglicher Art von Versetzungen im Silizium, so weitgehend wie möglich zu reduzieren.

## Stand der Technik

[0005] In US 6 065 146 ist ein Speicher beschrieben, der eine Fehlerkorrekturschaltung aufweist, die während des Refresh-Betriebs Datenbits entlang einer ausgelesenen Reihe auf Fehlerfreiheit überprüft, ein fehlerhaftes Bit identifiziert und dieses invertiert, sowie die korrigierten Datenbits in die aufzufrischende Reihe zurückschreibt. Es wird hierbei ein Fehlerkorrekturverfahren insbesondere nach Hamming verwendet.

## Aufgabenstellung

[0006] Die Aufgabe der vorliegenden Erfindung ist es, einen integrierten Speicher bereitzustellen, der vor dem Hintergrund der oben genannten Problematik weitgehend zuverlässig betreibbar ist und dennoch wenig zusätzlichen Flächenaufwand erfordert.

[0007] Weiterhin ist es Aufgabe der vorliegenden Erfindung, ein Verfahren anzugeben, das es erlaubt, einen derartigen integrierten Speicher vor dem Hintergrund der oben genannten Problematik weitgehend zuverlässig zu betreiben.

[0008] Die Aufgabe betreffend den integrierten Speicher wird gelöst durch einen integrierten Speicher gemäß Patentanspruch 1. Die Aufgabe betreffend das Verfahren wird gelöst durch ein Verfahren zum Betrieb eines integrierten Speichers gemäß Patentanspruch 9.

[0009] Der integrierte Speicher gemäß der Erfindung weist neben einem Speicherzellenfeld mit Speicherzellen einen Schreib-Lese-Verstärker zur Bewertung und Verstärkung von auszulesenden oder zu schreibenden Datensignalen der Speicherzellen auf. Weiterhin ist eine Fehlerkorrekturschaltung vorgesehen, die mit dem Schreib-Lese-Verstärker verbunden ist und für ein Auslesen oder Schreiben von Daten aus dem Speicherzellenfeld aktiviert werden kann. Die Fehlerkorrekturschaltung überprüft die beim Auslesen oder Schreiben von ihr empfangenen Datensignale auf Fehlerfreiheit und korrigiert im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung und gibt dieses korrigierte Datensignal aus. Mit der Erfindung wird folglich eine Speicherarchitektur und ein Betriebsverfahren vorgeschlagen, die zu einer effizienten Realisierung eines fehlertoleranten Speichers führen. Hierdurch können

insbesondere oben genannte Artefakte wie VRT korrigiert werden, ohne daß sie nach außen zum Anwender des Speichers hin in Erscheinung treten.

[0010] Die Erfindung weist dabei den Vorteil auf, daß eine Implementierung einer Fehlerkorrekturschaltung praktisch keinen zusätzlichen Flächenaufwand erfordert und kaum eine Verschlechterung der Speicherzugriffszeiten verursacht. Da mit der Fehlerkorrekturschaltung im Prinzip jede Form von Einzelbitfehlern korrigiert werden kann, kann die vorgesehene Redundanz in Form von redundanten Speicherzellen entsprechend reduziert werden. Damit kann ein zusätzlicher Flächenaufwand, der zunächst in Verbindung mit der Fehlerkorrekturschaltung notwendig ist, praktisch kompensiert werden.

[0011] In einer Ausführungsform der Erfindung ist in der Fehlerkorrekturschaltung eine Logikschaltung vorgesehen, die die empfangenen Datensignale gemäß einem Fehlerkorrekturverfahren nach Hamming auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert. Mit der Anwendung des Hamming-Verfahrens ist die Feststellung verbunden, daß in einem Halbleiterspeicher zumeist nur eine einzige Speicherzelle des gesamten Speichers von VRT betroffen ist. Mit der Implementierung des Hamming-Verfahrens ist eine effiziente und vergleichsweise einfache Realisierung eines fehlertoleranten Speichers ermöglicht.

[0012] Der erfindungsgemäße Speicher ist in einer sogenannten Prefetch-Architektur konzipiert. In einer Prefetch-Architektur werden Daten einer ersten Bitbreite aus unterschiedlichen Bereichen des Speicherzellenfeldes parallel aus dem Speicherzellenfeld dem Schreib-Lese-Verstärker zugeführt und in Einheiten einer zweiten Bitbreite nacheinander ausgegeben. Die Fehlerkorrekturschaltung wird dabei vorteilhaft eingesetzt, indem sie zur Überprüfung und Korrektur der Einheiten von Daten der zweiten Bitbreite vorgesehen ist. Bei einem Speicher in Prefetch-Architektur läßt sich der zusätzliche Flächenaufwand besonders gering halten.

[0013] Das Speicherzellenfeld ist insbesondere in mehrere Speicherzellenblöcke unterteilt, die zum parallelen Auslesen oder Schreiben der Daten mit dem Schreib-Lese-Verstärker verbunden sind. Die Fehlerkorrekturschaltung ist vorteilhaft zwischen den Schreib-Lese-Verstärker, der als Zweiter Schreib-Lese-Verstärker (secondary sense amplifier) ausgeführt ist, und einer Ausgabeschaltung zur Ausgabe der Daten geschaltet, die als Multiplexschaltung ausgeführt ist. Im allgemeinen wurde als vorteilhaft erkannt, daß bei stärkerem "Prefetching" (beispielsweise bei Übergang von 8-fach Prefetch zu 16-fach Prefetch) der zusätzliche Flächenaufwand in Verbindung mit der Fehlerkorrekturschaltung weiterhin deutlich abnimmt.

[0014] Als Grundlage einer weiteren vorteilhaften Ausführungsform der Erfindung wurde erkannt, daß der sogenannte Refresh-Betrieb eines dynamischen Speicherbausteins als Funktionstest zur Feststellung

von VRT-behafteten Speicherzellen benutzt werden kann. In einem Refresh-Betrieb eines dynamischen Speichers werden gespeicherte Datensignale von ausgewählten Speicherzellen aufgefrischt. Gemäß einer Ausführungsform der Erfindung sind die Fehlerkorrekturschaltung und der Schreib-Lese-Verstärker im Refresh-Betrieb des Speichers aktivierbar. In diesem Betrieb überprüft die Fehlerkorrekturschaltung die von ihr empfangenen, aufzufrischenden Datensignale auf Fehlerfreiheit und korrigiert im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung. Anschließend wird das korrigierte Datensignal in die betreffende Speicherzelle zurückgeschrieben. Damit ist ein effizienter Bausteintest zur Detektion von VRT während dem Betrieb des Speichers ermöglicht.

[0015] In einer weiteren vorteilhaften Ausführungsform der Erfindung ist eine mit der Fehlerkorrekturschaltung verbundene Speicherschaltung vorgesehen, mit der eine Adresse einer Speicherzelle, in der ein fehlerhaftes Datensignal gespeichert ist, gespeichert werden kann. Weiterhin ist es vorteilhaft, eine mit der Fehlerkorrekturschaltung verbundene Reparaturschaltung mit elektrisch programmierbaren Elementen, beispielsweise in Form von elektrischen Fuses, vorzusehen. Diese dient zur Ansteuerung der Fehlerkorrekturschaltung in der Weise, daß eine Überprüfung und Korrektur durch die Fehlerkorrekturschaltung nur mehr bei einem Datenwort mit einer Speicherzelle erfolgt, bei der ein fehlerhaftes Datensignal festgestellt wird. Damit wird eine effiziente Reparatur des Speichers im Betrieb ermöglicht. Grundlage dafür ist die Erkenntnis, daß erfahrungsgemäß zumeist nur in einer einzelnen Speicherzelle des Speichers ein Fehler aufgrund VRT auftritt.

[0016] Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

#### Ausführungsbeispiel

[0017] Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren näher erläutert. Es zeigen:

[0018] **Fig. 1** eine Prinzipdarstellung zur Erläuterung des Hamming-Verfahrens,

[0019] **Fig. 2** eine schematische Darstellung eines integrierten Speichers,

[0020] **Fig. 3** eine schematische Darstellung eines integrierten Speichers mit Prefetch-Architektur,

[0021] **Fig. 4** eine schematische Darstellung eines integrierten Speichers mit Prefetch-Architektur gemäß der Erfindung,

[0022] **Fig. 5** eine schematische Darstellung einer weiteren Ausführungsform eines integrierten Speichers mit Prefetch-Architektur gemäß der Erfindung.

[0023] Anhand der Darstellung gemäß **Fig. 1** soll zunächst ein im Prinzip bekanntes Verfahren gemäß Hamming zur prinzipiellen Realisierung eines fehlertoleranten integrierten Speichers gemäß der Erfin-

derung vorgestellt werden. Das bekannte Hamming-Verfahren soll hier beispielhaft auf ein 8 Bit langes Datenwort **10** angewendet werden. Die einzelnen Bits bzw. Bitpositionen seien mit 0 bis 7 bezeichnet. Zunächst wird eine Paritätsprüfung vorgenommen, d. h. es wird die Anzahl der Einsen im Datenwort **10** gezählt. Bei gerader Anzahl von Einsen im Datenwort liegt Parität 0 vor, ansonsten liegt Parität 1 vor. Mit Anwendung des Hamming-Verfahrens wird die Parität für bestimmte Datenbitgruppen unterschiedlicher Bits bzw. Bitpositionen des Datenworts **10** geprüft. In **Fig. 1** ist dies durch die Auswahlwörter **11**, **12** und **13** dargestellt. Eine dargestellte 1 in dem jeweiligen Auswahlwort **11**, **12**, **13** bedeutet, daß für diese Bitpositionen des Datenworts **10** die Parität geprüft wird. Danach ergeben sich die in der **Fig. 1** dargestellten Paritätsergebnisse **14**, **15** und **16**. Jedes dieser Paritätsergebnisse entspricht einer angegebenen Wertigkeit  $2^0$ ,  $2^1$  und  $2^2$ .

[0024] Es sei im folgenden nun angenommen, daß an Bitposition **5** ein Einzelfehler auftritt, d. h. der Inhalt der betreffenden Speicherzelle verändert sich von 0, dargestellt in Datenwort **10**, auf 1, dargestellt in Datenwort **10\***. Der Einzelfehler ist mit **18** bezeichnet. Beim Lesen des nun fehlerhaften Datenworts **10\*** wird wiederum die Parität berechnet und mit dem zuvor abgespeicherten Ergebnis der vorherigen Paritätsberechnung verglichen. Für das fehlerhafte Datenwort **10\*** ergeben sich nun die Paritätsergebnisse **20**, **21** und **22**. Ein Vergleich mit den entsprechenden alten Paritätsergebnissen ergibt eine Abweichung bei den Paritätsergebnissen **20** und **22** im Vergleich zu den Paritätsergebnissen **14** und **16**. Die Paritätsergebnisse **20** und **22** entsprechen den Wertigkeiten  $2^0$  und  $2^2$ . Nach dem Verfahren gemäß Hamming bedeutet dies, daß der Einzelfehler an der Bitposition  $2^0 + 2^2 = 5$  des ursprünglichen Datenworts **10** aufgetreten ist.

[0025] Eine Korrektur dieses fehlerhaften Bits kann nun durch Invertierung des gelesenen Speicherzelleninhalts von Bitposition **5** vorgenommen werden. Das Hamming-Verfahren liefert im allgemeinen nur bei Auftreten eines einzelnen Fehlers im Datenwort **10** ein korrektes Ergebnis. Bei Auftreten mehrerer Bitfehler im Datenwort **10** ist das Hamming-Verfahren nicht anwendbar. In einer Erweiterung des Hamming-Verfahrens können weiterhin Einzelbitfehler in den Speicherzellen zur Speicherung der Paritätsergebnisse selbst festgestellt und korrigiert werden.

[0026] In **Fig. 2** ist eine schematische Darstellung eines integrierten Speichers in üblicher Speicherarchitektur dargestellt. Der Speicher weist Speicherzellen MC auf, die in Kreuzungspunkten von Wortleitungen WL und Bitleitungen BL angeordnet sind. Die Wortleitungen WL dienen zur Auswahl der entsprechenden Speicherzellen über einen jeweils angeschlossenen Auswahltransistor, die Bitleitungen BL dienen zum Auslesen oder Schreiben eines Datensignals einer betreffenden Speicherzelle MC. Das Speicherzellenfeld **30** ist in Subbereiche **31** unterteilt,

die durch die Länge einer Wortleitung WL und Bitleitung BL bestimmt sind. Beim Lesen von Daten werden alle mit der Wortleitung WL verbundenen Speicherzellen ausgelesen und über einen Verstärker SA verstärkt. Dazu wird eine Wortleitung WL aktiviert. Dies führt dazu, daß die mit dieser Wortleitung verbundenen Speicherzellen MC ihre Ladung auf die zugehörigen Bitleitungen BL geben. Die Bitleitungen BL sind mit den Verstärkern SA verbunden, welche die unter Umständen schwachen Signalwerte (können im Bereich von 50 mV liegen) auf volle Logikpegel von beispielsweise 1 bis 2 V verstärken.

[0027] Üblicherweise werden in einem Speicher gemäß **Fig. 2** beispielsweise 1024 Bits gleichzeitig gelesen und die Signalwerte über die Verstärker SA verstärkt. Danach erfolgt die Auswahl eines Teilworts von beispielsweise 8 Bit, die über die Datenleitung DL weitergeleitet und nochmals durch einen Schreib-Lese-Verstärker **32** (sogenannter Secondary Sense Amplifier) auf volle Logikpegel verstärkt und auf die Datenleitungen DL2 ausgegeben werden. Der Einsatz von fehlertoleranten Verfahren ist hier schwierig. Eine Anwendung auf alle Speicherzellen der Wortleitung WL ist prinzipiell kaum möglich, da es sich um zu viele Speicherzellen handelt. Aufgrund der Architektur des Speicherzellenfeldes würde dies zuviel Chipfläche benötigen. Weiterhin ist ein nachträgliches Einschreiben von Paritätsergebnissen in redundante Speicherzellen an dieser Stelle schwierig und würde zu einer erheblichen Verlangsamung des Schreibvorgangs führen. Die Anwendung eines fehlertoleranten Verfahrens auf die Datenleitungen DL2 erscheint ebenfalls als kaum machbar: Wie in **Fig. 1** dargestellt, werden zur Korrektur von acht Datenbits nach dem Hamming-Verfahren drei Paritätsbits benötigt. Bei einem Speicher gemäß **Fig. 2** führt dies dazu, daß weitere Bits im Umfang von etwa 35 % vorgesehen werden müssen, was somit zu einer erheblichen Vergrößerung der Chipfläche führt.

[0028] In **Fig. 3** ist schematisch ein integrierter Speicher mit sogenannter Prefetch-Architektur dargestellt. Ein Speicher in Prefetch-Architektur weist gegenüber einer konventionellen Architektur gemäß **Fig. 2** den Vorteil auf, daß Daten mit höherer Frequenz ausgelesen oder eingeschrieben werden können. Der Speicher gemäß **Fig. 3** ist in verschiedene Speicherzellenblöcke **40** unterteilt. Diese sind zum parallelen Auslesen oder Schreiben von Daten mit einem Schreib-Lese-Verstärker **43** (secondary sense amplifier) verbunden. Für einen Auslesevorgang wird in jedem der acht dargestellten Speicherzellenblöcke **40** jeweils eine Wortleitung WL aktiviert. Pro Speicherzellenblock werden in diesem Beispiel **16** ausgewählte Datenbits über Datenleitungen DL weitergeleitet. Insgesamt werden somit 128 Datenbits bereitgestellt. Es handelt sich in dem Beispiel nach **Fig. 3** um einen 16-fach Prefetch, da von den 128 bereitgestellten Datenbits nur 8 Bit über eine Ausgabeschaltung in Form eines Multiplexers **41** weitergeleitet werden. Diese 8 Bit breiten Daten können mit sehr hoher

Frequenz weitergeleitet werden. 128 Bits werden über einen (langsamen) Zellenfeldzugriff bereitgestellt und können mit hoher Frequenz in Einheiten von beispielsweise 8 Bit zu den Ausgängen des Speicherchips weitergeleitet werden.

[0029] In **Fig. 4** ist ein schematischer Aufbau eines integrierten Speichers in Prefetch-Architektur dargestellt, der im Unterschied zum Speicher gemäß **Fig. 3** erfindungsgemäß eine Fehlerkorrekturschaltung **42** aufweist. Die Fehlerkorrekturschaltung **42** ist mit den Schreib-Lese-Verstärkern **43**, die zur Bewertung und Verstärkung von auszulesenden oder zu schreibenden Datensignalen dienen, verbunden. Die Fehlerkorrekturschaltung **42** ist für ein Auslesen oder Schreiben von Daten aus den Speicherzellenblöcken **40** aktivierbar. Die Fehlerkorrekturschaltung empfängt beim Auslesen oder Schreiben der Daten entsprechende Datensignale und überprüft diese auf Fehlerfreiheit. Im Falle eines festgestellten, fehlerhaften Datensignals wird dieses durch Invertierung korrigiert und für einen Auslesevorgang an die Multiplexschaltung **41** ausgegeben. In der Fehlerkorrekturschaltung **42** ist insbesondere eine entsprechende Logikschaltung vorgesehen, die die empfangenen Datensignale gemäß dem Fehlerkorrekturverfahren nach Hamming auf Fehlerfreiheit überprüft und im Falle eines fehlerhaften Datensignals dieses durch Invertierung korrigiert.

[0030] Bei Anwendung des Hamming-Verfahrens werden bei 128 Datenbits insgesamt acht Paritätsbits zur Realisierung der Fehlerkorrektur benötigt. Der zusätzliche Flächenaufwand wird dadurch auf etwa 7% reduziert. Wie bereits anhand von **Fig. 1** erläutert, werden bei Anwendung des Hamming-Verfahrens jeweils Paritäten für mehrere Datenbitgruppen unterschiedlicher ausgewählter Bits eines Datenworts geprüft.

[0031] Diesbezüglich sind mehrere Ausführungsformen denkbar. Zum einen ist vorteilhaft, wenn Datensignale von verschiedenen Wortleitungen des Speicherzellenfeldes in die Paritätsüberprüfung miteinbezogen werden. Weiterhin ist vorteilhaft, die auf diese Art erhaltenen Paritätsergebnisse eines überprüften Datenworts in Speicherzellen abzuspeichern, die an mehreren Wortleitungen anliegen. Darüberhinaus ist vorteilhaft, die Paritätsergebnisse eines überprüften Datenworts in Speicherzellen abzuspeichern, die an wenigstens einer ausschließlich dafür vorgesehenen Wortleitung oder Bitleitung anliegen. Desweiteren ist es vorteilhaft, wenn die zur Speicherung der Paritätsergebnisse eines überprüften Datenworts vorgesehenen Speicherorte für sequentiell überprüfte Datenbitgruppen innerhalb einer bereits aktivierten Wortleitung oder Wortleitungsmenge vorgesehen werden, so daß keine neue Wortleitung aktiviert werden muß.

[0032] Gemäß der Ausführungsform der Erfindung nach **Fig. 4** sind weitere Speicherzellen vorgesehen, in denen erhaltene Paritätsergebnisse gespeichert werden. Die Speicherzellenblöcke **40** enthalten dabei jeweils wenigstens eine der weiteren Speicherzellen

zur Speicherung eines Paritätsergebnisses. Die damit erforderlichen zusätzlichen acht Speicherbits werden hier durch jeweils eine zusätzliche Datenleitung DL pro Speicherzellenblock **40** bereitgestellt. Man erhält damit **17** Datenleitungen statt **16** Datenleitungen in **Fig. 3**. In einer anderen Ausführungsform der Erfindung können die weiteren Speicherzellen zur Speicherung der Paritätsergebnisse in einem separaten Speicherzellenblock zusammengefaßt werden.

[0033] Wird ein Speicher gemäß **Fig. 4** mit 16-fach Prefetch in Richtung stärkeres "Prefetching" modifiziert, sinkt der zusätzliche Flächenaufwand weiterhin deutlich ab (zusätzlicher Flächenaufwand ca. 3 bis 4% bei 256 Bit Prefetching). Da das Fehlerkorrekturverfahren gemäß der Erfindung jede Form von Einzelbitfehlern korrigiert, kann die allgemeine Redundanz in Form von redundanten Speicherzellen entsprechend reduziert werden. Damit kann der mit der Fehlerkorrekturschaltung verbundene zusätzliche Flächenaufwand kompensiert werden.

[0034] Die anhand des Hamming-Verfahrens beschriebene Fehlerkorrektur kann im Prinzip mit jedem dafür geeigneten Korrekturverfahren realisiert werden. Es ist dabei kein weiteres Problem, eine entsprechende Logikschaltung in der Fehlerkorrekturschaltung **42** zu entwickeln. Das oben anhand eines Auslesevorgangs Erläuterte gilt für einen Schreibvorgang in die Speicherzellen in analoger Weise.

[0035] Anhand von **Fig. 5** soll im folgenden eine effiziente Realisierung eines Bausteintests zur Feststellung von Speicherzellen mit VRT-Verhalten gemäß einer Ausführungsform der vorliegenden Erfindung näher erläutert werden.

[0036] Da dynamische Speicherzellen eines DRAM langsam ihre Ladung verlieren, muß üblicherweise nach beispielsweise 64 ms Betriebszeit das Signal der Speicherzelle gelesen und verstärkt in die entsprechende Speicherzelle zurückgeschrieben werden. Hierzu existieren verschiedene sogenannte Refresh-Verfahren. Insbesondere wird im folgenden das sogenannte Self-Refresh-Verfahren angewandt. Bei diesem Verfahren generiert der Speicherbaustein selbständig ein Refresh-Signal oder bekommt von einem Controller das Kommando, eine Refresh-Operation auszuführen. Der Speicherbaustein generiert dabei selbständig die entsprechenden Wortleitungenadressen, um Speicherzellen wortleitungsweise auszulesen und die Information verstärkt in die Zellen zurückzuschreiben.

[0037] Dieser Refresh-Mechanismus wird gemäß der Erfindung zum Erkennen von VRT-Fehlern ausgebaut. Die eigentliche Fehlererkennung wird dabei über eine fehlertolerante Logik, wie anhand **Fig. 4** erläutert, vorgenommen. Für einen Self-Refresh-Betrieb werden bei einem Speicher gemäß **Fig. 4** die Datenleitungen DL, DL2, die Schreib-Lese-Verstärker **43** sowie die Fehlerkorrekturschaltung **42** aktiviert. Danach werden 128 Bits selektiert und über ein fehlertolerantes Verfahren korrigiert.

[0038] In **Fig. 5** ist ein Ausschnitt einer Ausführungsform eines Speichers gezeigt, der ähnlich wie der Speicher gemäß **Fig. 4** in Prefetch-Architektur konzipiert ist. Beim Speicher gemäß **Fig. 5** ist neben der Fehlerkorrekturschaltung **42** eine mit ihr verbundene Speicherschaltung **50** vorgesehen. Beim Auftreten einer Korrektur eines Datensignals kann die Adresse der betreffenden fehlerhaften Speicherzelle mit Hilfe der Speicherschaltung **50** abgespeichert werden. Es werden zwar mit jedem Refresh-Ereignis nur sehr wenige Bits überprüft, allerdings muß ein Speicherzellen-Refresh kontinuierlich und ständig für alle Speicherzellen eines DRAM durchgeführt werden. Aus diesem Grund ist ein derartig realisierter VRT-Test sehr effektiv.

[0039] Weiterhin ist beim Speicher gemäß **Fig. 5** eine mit der Fehlerkorrekturschaltung **42** verbundene Steuerschaltung **52** vorgesehen, die einen Spaltendecoder **51** zur Ansteuerung der Speicherzellenblöcke **40** ansteuert. Die Steuerschaltung **52** verändert eine Spaltenadresse von für den Refresh-Betrieb auszuwählenden Speicherzellen kontinuierlich, so daß zyklisch wiederholend alle Speicherzellen überprüft werden. Damit werden kontinuierlich neue Datenbits von der gerade im Refresh befindlichen Wortleitung selektiert und per fehlertolerantem Verfahren überprüft. Ein Spaltendecoder **51** ist für den normalen Betrieb des Speichers ohnehin vorgesehen.

[0040] Das bisher beschriebene erfindungsgemäße Konzept zur Realisierung eines fehlertoleranten Speichers kann dahingehend erweitert werden, daß praktisch keine zusätzlichen Speicherzellen notwendig sind. Dies kann z. B. dadurch erfolgen, daß im Extremfall nur die Paritätsinformation für eine vergleichsweise geringe Anzahl von Bits abgespeichert wird. Für die Korrektur von acht Datenbits werden nach dem Hamming-Verfahren nur drei Bits zur Abspeicherung von Paritätsergebnissen benötigt, die beispielsweise in dedizierten Registern abgespeichert werden können. In dem erwähnten Extremfall würden z. B. nach 64 ms die ersten acht Bit auf Ausfall getestet. Danach werden über entsprechende Logikschaltungen in der Fehlerkorrekturschaltung **42** und Speicherschaltung **50** bzw. Steuerschaltung **52** die nächsten acht Bit ausgewählt, paritätskodiert und nach weiteren 64 ms auf Ausfall geprüft. Ein Refresh-Zyklus beträgt in diesem Fall **64** ms, d. h. der Speicherzelleninhalt entlang einer Wortleitung wird in diesem Fall spätestens nach 64 ms per Refresh ausgelesen und wieder verstärkt. Ein 64Mb-Speicher wäre auf diese Weise nach  $64\text{Mb}/8\text{ Bit} \times 64\text{ ms} \approx 150\text{ h}$  einmal durchgetestet. Hierbei kann eine kontinuierliche VRT-Überprüfung des Speichers erfolgen. Sobald innerhalb des überprüften 64 ms-Intervalls ein VRT-Ereignis stattfindet, wird dieses erkannt. Selbstverständlich kann die Überprüfung durch gesteigerte Parallelität entsprechend beschleunigt werden.

[0041] Da VRT in der Regel zumeist nur bei einer einzelnen Zelle eines Speichers auftritt, kann eine Reparatur gemäß einer weiteren Ausführungsform

der Erfindung derart erfolgen, daß das fehlertolerante Konzept wie zuletzt beschrieben nun nicht nachfolgend für alle Speicherzellen des Halbleiterspeichers, sondern dauerhaft für das betroffene Speicherzellenwort aktiviert wird.

[0042] Als fehlerhaft erkannte Speicherzellen können mittels elektrischer Fuse-Strukturen (Verbindungen/Auftrennungen, die über elektrische Signale dauerhaft aufgetrennt oder geschlossen werden können) repariert werden. Es ist dazu eine mit der Fehlerkorrekturschaltung **42** verbundene Reparaturschaltung **60** vorgesehen, die elektrisch programmierbare Fuses **61** aufweist. Die Reparaturschaltung **60** dient zur Ansteuerung der Fehlerkorrekturschaltung **42** in der Weise, daß eine Überprüfung und Korrektur nur mehr bei einem Datenwort mit einer Speicherzelle erfolgt, bei der ein fehlerhaftes Datensignal festgestellt wurde. Mittels der elektrischen Fuses **61** wird eine Adresse einer fehlerhaften Speicherzelle gespeichert. Bei einem späteren Speicherzellenzugriff über den Adreßbus AB, auf dem eine Adresse ADR anliegt, wird eine Adresse einer fehlerhaften Speicherzelle von der Reparaturschaltung **60** erkannt, die die Fehlerkorrekturschaltung **42** entsprechend ansteuert.

[0043] Der sequenzielle Einsatz fehlertoleranter Korrekturverfahren gemäß der Erfindung erfordert derart geringe zusätzliche Chipfläche, daß ohne weiteres auch Korrekturverfahren zum Einsatz kommen können, die eine Korrektur von Mehrfachbitfehlern erlauben.

#### Bezugszeichenliste

10, 10*	Datenwort
11, 12, 13	Auswahlwort
14, 15, 16	Paritätsergebnis
18	Einzelfehler
20, 21, 22	Paritätsergebnis
30	Speicherzellenfeld
31	Subbereich
32	Verstärker
40	Speicherzellenblock
41	Multiplexschaltung
42	Fehlerkorrekturschaltung
43	Schreib-Lese-Verstärker
50	Speicherschaltung
51	Spaltendecoder
52	Steuerschaltung
60	Reparaturschaltung
61	elektrische Fuses
AB	Adreßbus
ADR	Adresse
DL, DL2	Datenleitung
WL	Wortleitung
BL	Bitleitung
MC	Speicherzelle
SA	Verstärker

## Patentansprüche

### 1. Integrierter Speicher

- mit Speicherzellen (MC), die in einem Speicherzellenfeld (40) angeordnet sind,
- der in einer Prefetch-Architektur konzipiert ist, wobei Daten einer ersten Bitbreite aus unterschiedlichen Bereichen (40) des Speicherzellenfeldes parallel aus dem Speicherzellenfeld dem Schreib-Lese-Verstärker (43) zugeführt werden und in Einheiten einer zweiten Bitbreite nacheinander ausgegeben werden,
- mit einem Schreib-Lese-Verstärker (43) zur Bewertung und Verstärkung von auszulesenden oder zu schreibenden Datensignalen der Speicherzellen,
- mit einer Fehlerkorrekturschaltung (42), die mit dem Schreib-Lese-Verstärker (43) verbunden ist, die für ein Auslesen oder Schreiben von Daten aus dem Speicherzellenfeld aktivierbar ist, und die beim Auslesen oder Schreiben von ihr empfangene Datensignale auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert und ausgibt,
- bei dem die Fehlerkorrekturschaltung (42) zur Überprüfung und Korrektur der Einheiten von Daten der zweiten Bitbreite vorgesehen ist.

2. Integrierter Speicher nach Anspruch 1, dadurch gekennzeichnet, daß in der Fehlerkorrekturschaltung eine Logikschaltung (42) vorgesehen ist, die die empfangenen Datensignale gemäß einem Fehlerkorrekturverfahren nach Hamming auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert.

3. Integrierter Speicher nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß

- das Speicherzellenfeld in mehrere Speicherzellenblöcke (40) unterteilt ist, die zum parallelen Auslesen oder Schreiben der Daten mit dem Schreib-Lese-Verstärker (43) verbunden sind,
- eine Multiplexschaltung (41) zur Ausgabe der Daten vorgesehen ist und
- die Fehlerkorrekturschaltung (42) zwischen den Schreib-Lese-Verstärker (43), der als Zweiter Schreib-Lese-Verstärker ausgeführt ist, und die Multiplexschaltung (41) geschaltet ist.

4. Integrierter Speicher nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß

- in der Fehlerkorrekturschaltung eine Logikschaltung (42) vorgesehen ist, die die empfangenen Datensignale gemäß einem Fehlerkorrekturverfahren nach Hamming auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert,
- wobei jeweils eine Parität für mehrere Datenbitgruppen unterschiedlicher ausgewählter Bits eines Datenworts (10, 10\*) geprüft wird und weitere Spei-

cherzellen vorgesehen sind, in denen auf diese Art erhaltene Paritätsergebnisse (14, 15, 16) gespeichert werden,

- das Speicherzellenfeld in mehrere Speicherzellenblöcke (40) unterteilt ist, die jeweils wenigstens eine der weiteren Speicherzellen enthalten, oder die weiteren Speicherzellen in einem separaten der Speicherzellenblöcke zusammengefaßt sind.

5. Integrierter Speicher nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß eine mit der Fehlerkorrekturschaltung (42) verbundene Speicherschaltung (50) vorgesehen ist zur Speicherung einer Adresse einer Speicherzelle, in der ein fehlerhaftes Datensignal gespeichert ist.

6. Integrierter Speicher nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Fehlerkorrekturschaltung (42) und der Schreib-Lese-Verstärker (43) in einem Refresh-Betrieb des Speichers, in dem gespeicherte Datensignale von ausgewählten Speicherzellen aufgefrischt werden, aktivierbar sind.

7. Integrierter Speicher nach Anspruch 6, dadurch gekennzeichnet, daß eine mit der Fehlerkorrekturschaltung (42) verbundene Steuerschaltung (52) vorgesehen ist, die einen Spaltendecoder (51) des Speicherzellenfeldes ansteuert und eine Spaltenadresse von für den Refresh-Betrieb auszuwählenden Speicherzellen kontinuierlich verändert, so daß zyklisch wiederholend alle Speicherzellen überprüfbar sind.

8. Integrierter Speicher nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß eine mit der Fehlerkorrekturschaltung (42) verbundene Reparaturschaltung (60) mit elektrisch programmierbaren Elementen (61) vorgesehen ist zur Ansteuerung der Fehlerkorrekturschaltung (42) derart, daß eine Überprüfung und Korrektur nur mehr bei einem Datenwort mit einer Speicherzelle erfolgt, bei der ein fehlerhaftes Datensignal festgestellt wird.

9. Verfahren zum Betrieb eines integrierten Speichers umfassend

- Speicherzellen (MC), die in einem Speicherzellenfeld (40) angeordnet sind, wobei der Speicher in einer Prefetch-Architektur konzipiert ist, wobei Daten einer ersten Bitbreite aus unterschiedlichen Bereichen (40) des Speicherzellenfeldes parallel aus dem Speicherzellenfeld dem Schreib-Lese-Verstärker (43) zugeführt werden und in Einheiten einer zweiten Bitbreite nacheinander ausgegeben werden,
- einen Schreib-Lese-Verstärker (43) zur Bewertung und Verstärkung von auszulesenden oder zu schreibenden Datensignalen der Speicherzellen,
- eine Fehlerkorrekturschaltung (42), die mit dem Schreib-Lese-Verstärker verbunden ist und zur Überprüfung und Korrektur der Einheiten von Daten der zweiten Bitbreite vorgesehen ist,

– bei dem auszulesende oder zu schreibende Datensignale ausgewählter Speicherzellen von der Fehlerkorrekturschaltung (42) empfangen, auf Fehlerfreiheit überprüft werden und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert und ausgegeben wird.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß die empfangenen Datensignale gemäß einem Fehlerkorrekturverfahren nach Hamming auf Fehlerfreiheit überprüft werden und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert wird.

11. Verfahren nach Anspruch 9 oder 10, dadurch gekennzeichnet, daß die Fehlerkorrekturschaltung (42) in einem Refresh-Betrieb des Speichers, in dem gespeicherte Datensignale von ausgewählten Speicherzellen aufgefrischt werden, die von ihr empfangenen, aufzufrischenden Datensignale auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert, und anschließend das korrigierte Datensignal in die betreffende Speicherzelle zurückgeschrieben wird.

12. Verfahren nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, daß  
 – die Fehlerkorrekturschaltung (42) die empfangenen Datensignale gemäß einem Fehlerkorrekturverfahren nach Hamming auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert,  
 – wobei jeweils eine Parität für mehrere Datenbitgruppen unterschiedlicher ausgewählter Bits eines Datenworts (10, 10\*) geprüft wird und Datensignale von verschiedenen Wortleitungen (WL) des Speicherzellenfeldes (40) in die Paritätsüberprüfung miteinbezogen werden.

13. Verfahren nach einem der Ansprüche 9 bis 12, dadurch gekennzeichnet, daß  
 – die Fehlerkorrekturschaltung (42) die empfangenen Datensignale gemäß einem Fehlerkorrekturverfahren nach Hamming auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert,  
 – wobei jeweils eine Parität für mehrere Datenbitgruppen unterschiedlicher ausgewählter Bits eines Datenworts (10, 10\*) geprüft wird und auf diese Art erhaltene Paritätsergebnisse (14, 15, 16) gespeichert werden,  
 – die Paritätsergebnisse (14, 15, 16) eines überprüften Datenworts in Speicherzellen abgespeichert werden, die an mehreren Wortleitungen anliegen.

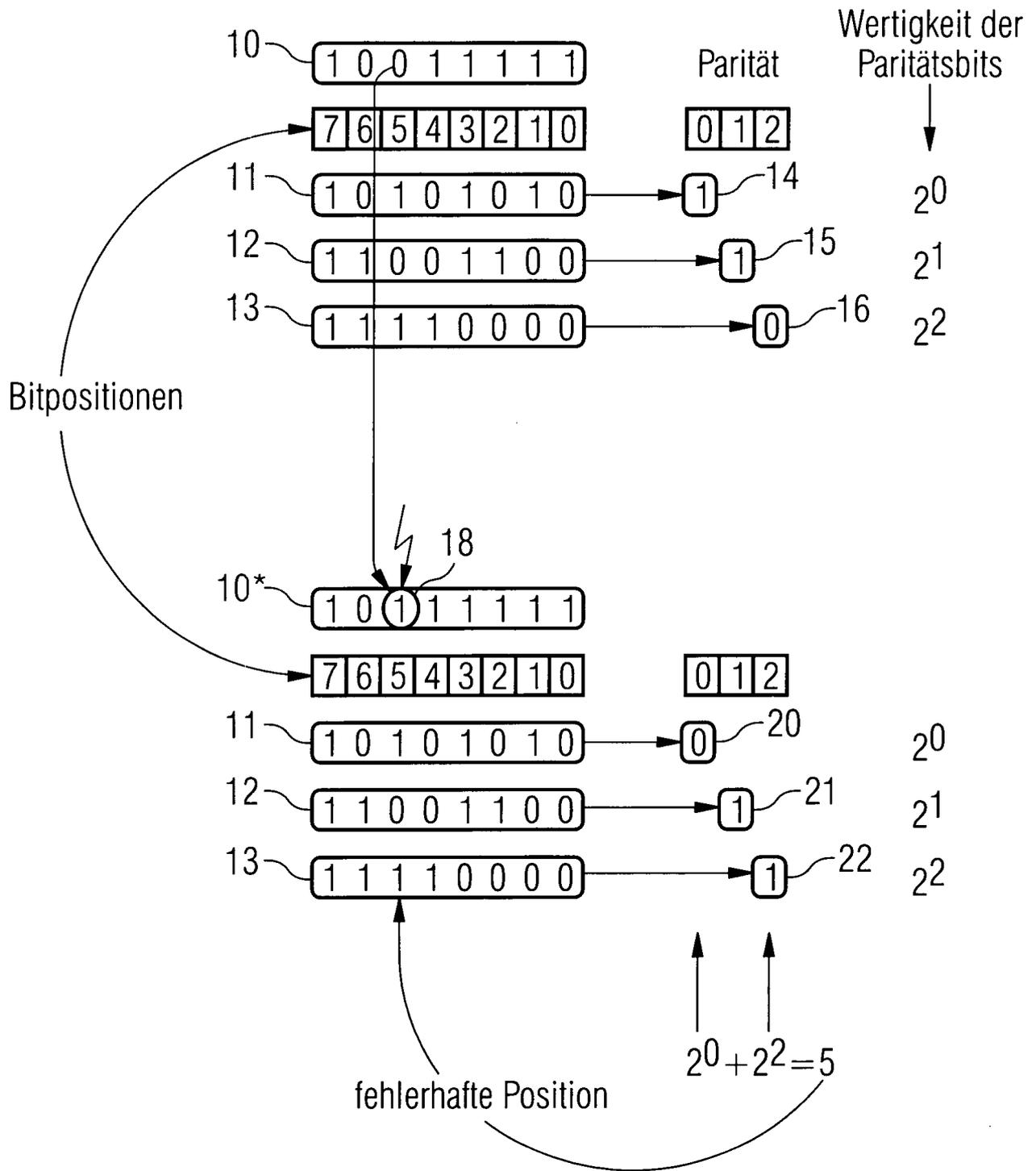
14. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, daß  
 – die Fehlerkorrekturschaltung (42) die empfangenen Datensignale gemäß einem Fehlerkorrekturverfahren

nach Hamming auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert,  
 – wobei jeweils eine Parität für mehrere Datenbitgruppen unterschiedlicher ausgewählter Bits eines Datenworts (10, 10\*) geprüft wird und auf diese Art erhaltene Paritätsergebnisse (14, 15, 16) gespeichert werden,  
 – die Paritätsergebnisse (14, 15, 16) eines überprüften Datenworts in Speicherzellen abgespeichert werden, die an wenigstens einer ausschließlich dafür vorgesehenen Wortleitung (WL) oder Bitleitung (BL) anliegen.

15. Verfahren nach einem der Ansprüche 9 bis 14, dadurch gekennzeichnet, daß  
 – die Fehlerkorrekturschaltung (42) die empfangenen Datensignale gemäß einem Fehlerkorrekturverfahren nach Hamming auf Fehlerfreiheit überprüft und im Falle eines festgestellten, fehlerhaften Datensignals dieses durch Invertierung korrigiert,  
 – wobei jeweils eine Parität für mehrere Datenbitgruppen unterschiedlicher ausgewählter Bits eines Datenworts (10, 10\*) geprüft wird und auf diese Art erhaltene Paritätsergebnisse (14, 15, 16) gespeichert werden,  
 – die zur Speicherung der Paritätsergebnisse (14, 15, 16) eines überprüften Datenworts vorgesehenen Speicherorte für sequentiell überprüfte Datenbitgruppen innerhalb einer bereits aktivierten Wortleitung oder Wortleitungsmenge vorgesehen werden.

Es folgen 4 Blatt Zeichnungen

FIG 1



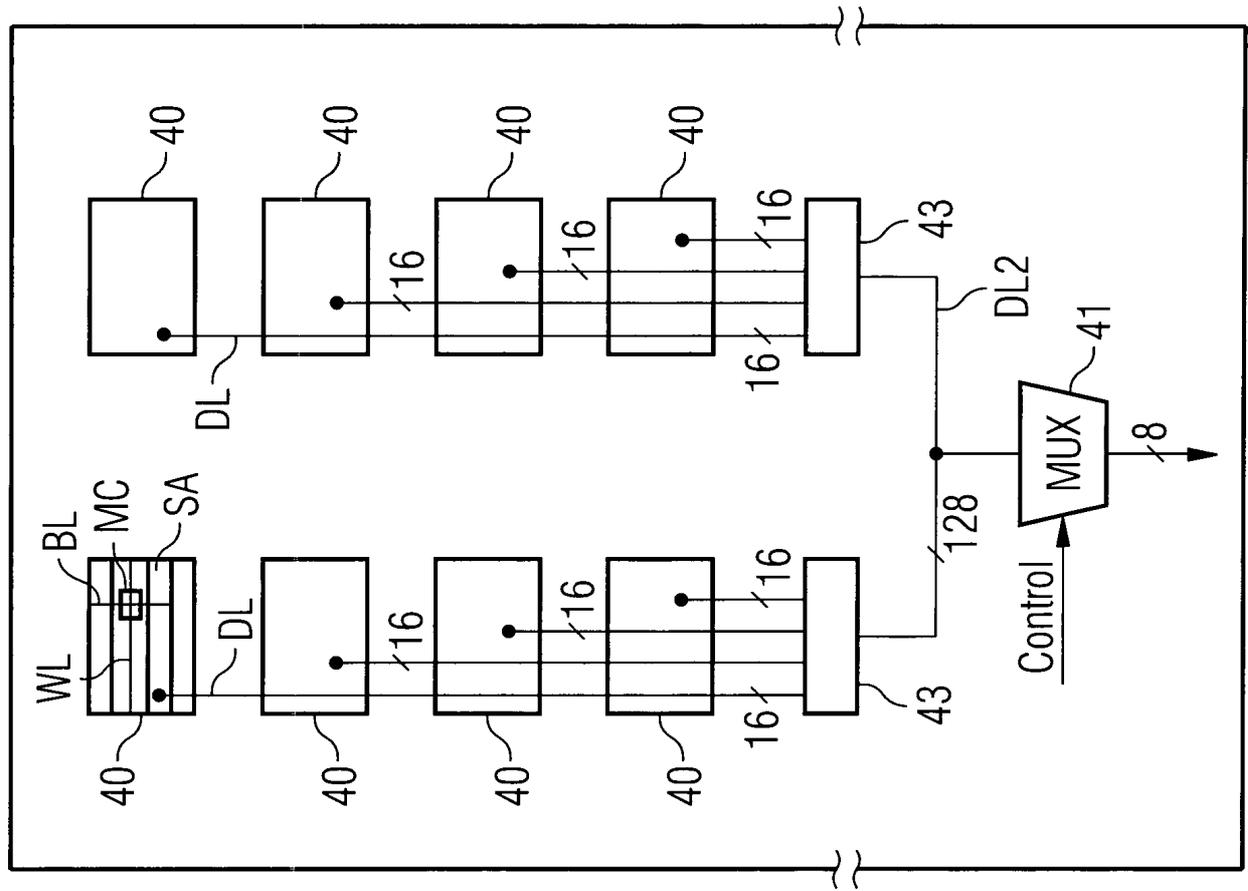


FIG 3

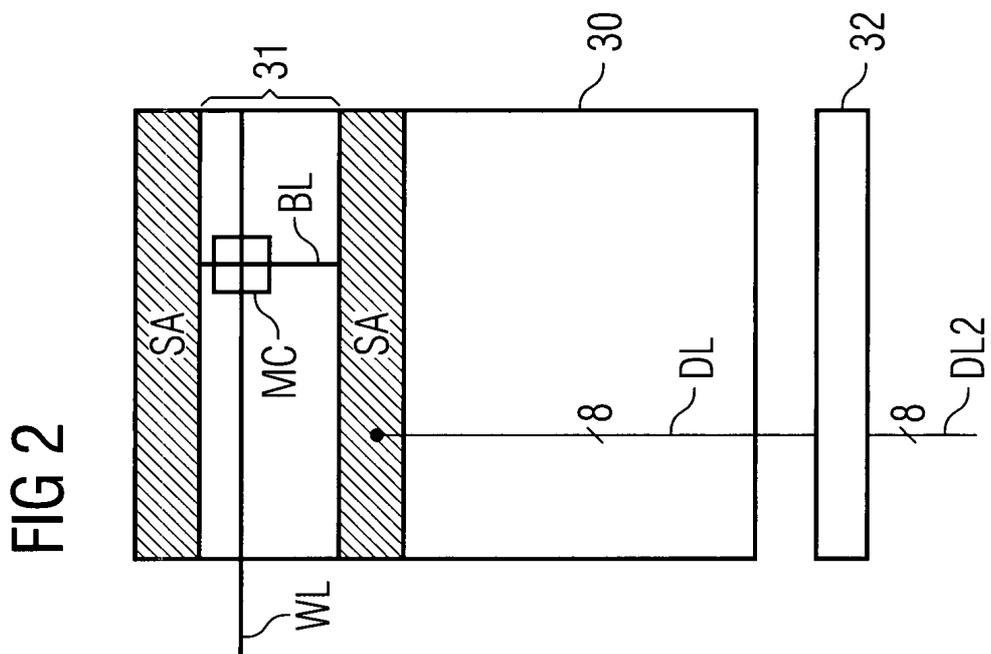


FIG 2

FIG 4

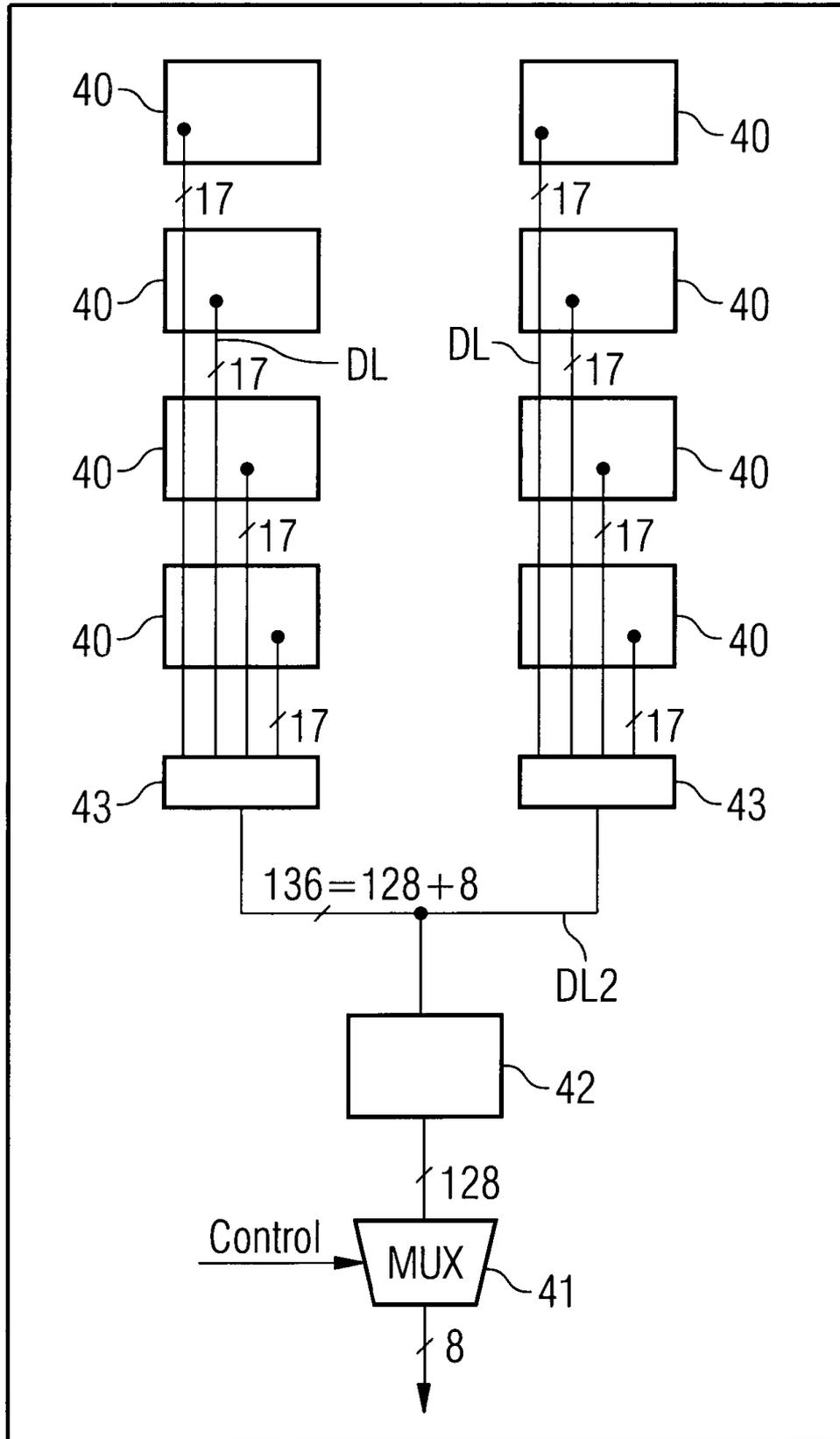


FIG 5

