

(12) 发明专利

(10) 授权公告号 CN 101667544 B

(45) 授权公告日 2012. 09. 05

(21) 申请号 200910178506. 0

(22) 申请日 2006. 11. 13

(30) 优先权数据

2005-329806 2005. 11. 15 JP

(62) 分案原申请数据

200680037580. 5 2006. 11. 13

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 秋元健吾

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 21/34(2006. 01)

H01L 21/314(2006. 01)

H01L 29/786(2006. 01)

(56) 对比文件

US 2002109796 A1, 2002. 08. 15, 说明书
18-21 段、图 1-3.

CN 1624933 A, 2005. 06. 08, 全文.

JP 4302435 A, 1992. 10. 26, 摘要、说明书第
[0014]-[0027] 段和附图 1(a)-1(f).

US 2005199959 A1, 2005. 09. 15, 说明书第
[0011][0019][0023] 和 [0028] 段, 附图 1A, 1E.

Satoshi Masuda, Ken Kitamura, et
al. Transparent thin film transistors using
ZnO as active channel layer and their
electrical properties. 《Journal of Applied
Physics》. 2003, 第 93 卷 (第 3 期), 1624-1630.

审查员 窦明生

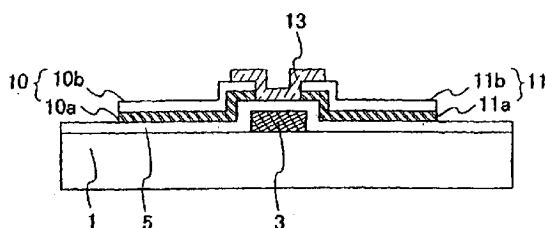
权利要求书 3 页 说明书 19 页 附图 16 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供一种半导体器件及其制造方法, 即使使用 ZnO 半导体膜, 并且对于源电极和漏电极使用其中添加 n 型或 p 型杂质的 ZnO 膜也不会产生缺陷或故障。该半导体器件包含: 通过使用氧化硅膜或氮化硅膜在栅电极之上形成的栅绝缘膜、在栅绝缘膜之上的 Al 膜或 Al 合金膜、在 Al 膜或 Al 合金膜之上的其中添加 n 型或 p 型杂质的 ZnO 膜、以及在其中添加 n 型或 p 型杂质的 ZnO 膜和栅绝缘膜之上的 ZnO 半导体膜。



1. 一种制造半导体器件的方法,包括以下步骤:

在衬底之上形成栅电极;

在所述栅电极之上形成第一绝缘膜;

形成一对第一导电层,每个第一导电层包含金属膜;

在所述一对第一导电层上形成一对第二导电层,所述一对第二导电层中的每一个包含氧化锌;

在所述一对第二导电层和所述栅电极之上形成岛状氧化物半导体膜,其中所述第一绝缘膜置于所述栅电极与所述岛状氧化物半导体膜之间;以及

通过溅射在所述岛状氧化物半导体膜之上形成含硅绝缘膜,所述含硅绝缘膜与所述岛状氧化物半导体膜接触。

2. 根据权利要求 1 所述的方法,其中,所述岛状氧化物半导体膜包含氧化锌。

3. 根据权利要求 1 所述的方法,其中,通过溅射形成所述第一绝缘膜。

4. 根据权利要求 1 所述的方法,其中,所述含硅绝缘膜包含选自以下材料组成的组中的材料:氧化硅、氮化硅、氧氮化硅、氮氧化硅。

5. 根据权利要求 1 所述的方法,其中,所述一对第一导电层中的每一个包含铝膜。

6. 根据权利要求 1 所述的方法,其中,所述一对第一导电层中的每一个包含铝膜和钛膜,所述钛膜与所述铝膜和所述一对第二导电层中的一个第二导电层接触。

7. 根据权利要求 1 所述的方法,其中,通过干蚀刻形成所述一对第二导电层。

8. 一种制造半导体器件的方法,包括以下步骤:

在衬底之上形成栅电极;

在所述栅电极之上形成第一绝缘膜;

形成一对第一导电层,每个第一导电层包含金属膜;

在所述一对第一导电层上形成一对第二导电层,所述一对第二导电层中的每一个包含氧化锌;

在所述一对第二导电层和所述栅电极之上形成氧化物半导体膜,其中所述第一绝缘膜置于所述栅电极与所述氧化物半导体膜之间;

通过干蚀刻使所述氧化物半导体膜图案化以形成岛状氧化物半导体膜;以及

通过溅射在所述岛状氧化物半导体膜之上形成含硅绝缘膜,所述含硅绝缘膜与所述岛状氧化物半导体膜接触。

9. 根据权利要求 8 所述的方法,其中,所述氧化物半导体膜包含氧化锌。

10. 根据权利要求 8 所述的方法,其中,通过溅射形成所述第一绝缘膜。

11. 根据权利要求 8 所述的方法,其中,通过溅射形成所述氧化物半导体膜。

12. 根据权利要求 8 所述的方法,其中,所述含硅绝缘膜包含选自以下材料组成的组中的材料:氧化硅、氮化硅、氧氮化硅、氮氧化硅。

13. 根据权利要求 8 所述的方法,其中,所述一对第一导电层中的每一个包含铝膜。

14. 根据权利要求 8 所述的方法,其中,所述一对第一导电层中的每一个包含铝膜和钛膜,所述钛膜与所述铝膜和所述一对第二导电层中的一个第二导电层接触。

15. 根据权利要求 8 所述的方法,其中,通过干蚀刻形成所述一对第二导电层。

16. 一种制造包含作为沟道的 ZnO 的薄膜晶体管的方法,包括以下步骤:

在衬底之上形成绝缘膜；

在所述绝缘膜之上形成包含金属材料的第一膜；

在所述第一膜之上形成包含透明半导体材料和 n 型或 p 型杂质的第二膜；

蚀刻所述第二膜；以及

在蚀刻所述第二膜之后蚀刻所述第一膜，

其中，当蚀刻所述第二膜时，第一膜用作蚀刻阻止层，此后，使用光刻胶掩模和不能蚀刻所述第二膜和所述绝缘膜的蚀刻溶液蚀刻所述第一膜以暴露所述绝缘膜，从而在不损伤所述绝缘膜的情况下形成源电极和漏电极。

17. 根据权利要求 16 所述的方法，还包括在蚀刻所述第一膜的步骤之后在所述第二膜和所述绝缘膜之上形成包含所述透明半导体材料的第三膜。

18. 根据权利要求 16 所述的方法，其中所述绝缘膜包括氧化硅或氮化硅。

19. 根据权利要求 16 所述的方法，其中所述金属材料是铝或铝合金。

20. 根据权利要求 16 所述的方法，其中所述透明半导体材料是氧化锌。

21. 根据权利要求 16 所述的方法，其中所述衬底是玻璃衬底。

22. 根据权利要求 17 所述的方法，其中所述透明半导体材料是氧化锌。

23. 根据权利要求 16 所述的方法，其中所述第二膜的蚀刻是湿法蚀刻。

24. 根据权利要求 16 所述的方法，其中所述第二膜的蚀刻是使用缓冲的氟酸的湿法蚀刻。

25. 根据权利要求 16 所述的方法，其中所述第二膜的蚀刻是通过干法蚀刻进行的。

26. 根据权利要求 16 所述的方法，其中所述第二膜的蚀刻是使用 CH_4 气体通过干法蚀刻进行的。

27. 根据权利要求 16 所述的方法，其中所述第一膜的蚀刻是通过湿法蚀刻进行的。

28. 根据权利要求 16 所述的方法，其中所述第一膜的蚀刻是使用用于光刻胶的显影剂通过湿法蚀刻进行的。

29. 根据权利要求 16 所述的方法，其中所述第一膜的蚀刻是使用有机碱溶液通过湿法蚀刻进行的。

30. 根据权利要求 16 所述的方法，其中所述第一膜的蚀刻是使用 TMAH(四甲基氢氧化铵)通过湿法蚀刻进行的。

31. 一种制造包含作为沟道的 ZnO 的薄膜晶体管的方法，包括以下步骤：

在衬底之上形成栅电极；

在栅电极之上形成栅极绝缘膜；

在所述栅极绝缘膜之上形成包含金属材料的第一膜；

在所述第一膜之上形成包含透明半导体材料和 n 型或 p 型杂质的第二膜；

蚀刻所述第二膜；以及

在蚀刻所述第二膜之后蚀刻所述第一膜，

其中，当蚀刻所述第二膜时，第一膜用作蚀刻阻止层，此后，使用光刻胶掩模和不能蚀刻所述第二膜和所述绝缘膜的蚀刻溶液蚀刻所述第一膜以暴露所述绝缘膜，从而在不损伤所述绝缘膜的情况下形成源电极和漏电极。

32. 根据权利要求 31 所述的方法，还包括在蚀刻所述第一膜的步骤之后在所述第二膜

和所述栅极绝缘膜之上形成包含所述透明半导体材料的第三膜。

33. 根据权利要求 31 所述的方法,其中所述栅极绝缘膜包括氧化硅或氧氮化硅。

34. 根据权利要求 31 所述的方法,其中所述金属材料是铝或铝合金。

35. 根据权利要求 31 所述的方法,其中所述透明半导体材料是氧化锌。

36. 根据权利要求 31 所述的方法,其中所述衬底是玻璃衬底。

37. 根据权利要求 32 所述的方法,其中所述透明半导体材料是氧化锌。

38. 根据权利要求 32 所述的方法,还包括:

在所述第三膜之上形成栅极绝缘膜,以及

在所述栅极绝缘膜之上形成栅电极。

39. 根据权利要求 31 所述的方法,其中所述第二膜的蚀刻是通过湿法蚀刻进行的。

40. 根据权利要求 31 所述的方法,其中所述第二膜的蚀刻是使用缓冲的氟酸通过湿法蚀刻进行的。

41. 根据权利要求 31 所述的方法,其中所述第二膜的蚀刻是使用 CH_4 气体通过干法蚀刻进行的。

42. 根据权利要求 31 所述的方法,其中所述第一膜的蚀刻是通过湿法蚀刻进行的。

43. 根据权利要求 31 所述的方法,其中所述第一膜的蚀刻是使用用于光刻胶的显影剂通过湿法蚀刻进行的。

44. 根据权利要求 31 所述的方法,其中所述第一膜的蚀刻是使用有机碱溶液通过湿法蚀刻进行的。

45. 根据权利要求 31 所述的方法,其中所述第一膜的蚀刻是使用 TMAH(四甲基氢氧化铵)通过湿法蚀刻进行的。

半导体器件及其制造方法

[0001] 本分案申请是基于申请号为 200680037580.5(国际申请号为 PCT/JP2006/323042),申请日为 2006 年 11 月 13 日,发明名称为“半导体器件及其制造方法”的中国专利申请的分案申请。

技术领域

[0002] 本发明涉及使用 ZnO(氧化锌)的半导体器件及其制造方法。

背景技术

[0003] 一般通过使用 a-Si(非晶硅)或 poly-Si(多晶硅)形成用于液晶显示器或 EL(电致发光)显示器的显示面板的半导体器件,例如 TFT(薄膜晶体管)的半导体部分半导体器件。

[0004] Si(硅)不具有大的带隙(例如,单晶硅为 1.1eV)并且吸收可见光。通过用光照射,在 Si 中形成电子和空穴(载流子)。如果形成 Si 膜用于 TFT 的沟道形成区域,那么即使在 OFF 状态下也会通过用光照射在沟道形成区域中产生载流子。于是,电流从而在源极区和漏极区之间流动。在 OFF 状态中流动的电流被称为“OFF 泄漏电流”。如果电流值较高,那么显示面板不正常工作。因此,形成光屏蔽膜以使得光不照射 Si 膜。但是,由于需要淀积步骤、光刻步骤和蚀刻步骤,因此,当形成光屏蔽膜时,工艺变得复杂。

[0005] 为了解决该问题,关注使用氧化锌(ZnO)的透明晶体管,该氧化锌是具有比 Si 的带隙大的 3.4eV 的较大的带隙的半导体。关于这种透明晶体管,带隙比可见光带中的光能大,并且可见光不被吸收。因此,它具有在用光照射时 OFF 泄漏电流不增加的优点。

[0006] 例如,在对比文件 1 中公开了对于沟道形成区域使用 ZnO 的半导体器件。参照图 7A 说明使用 ZnO 的半导体器件的结构。

[0007] 图 7A 中的半导体器件在诸如玻璃衬底的绝缘衬底 1000 之上具有源电极 1001、漏电极 1002、被配置为与源电极 1001 和漏电极 1002 接触的 ZnO 层 1003、层叠在 ZnO 层 1003 之上的栅绝缘层 1004 和栅电极 1005。

[0008] 对于源电极 1001 和漏电极 1002,使用导电的 ZnO。导电的 ZnO 掺杂有以下的元素中的一种:作为第 III 族元素的 B(硼)、Al(铝)、镓(Ga)、铟(In)或 Tl(铊);作为第 VII 族元素的 F(氟)、Cl(氯)、Br(溴)或 I(碘);作为第 I 族元素的锂(Li)、Na(钠)、K(钾)、Rb(铷)或 Cs(铯);作为第 V 族元素的 N(氮)、P(磷)、As(砷)、Sb(锑)或 Bi(铋)。

[0009] [参考文件]日本公开专利申请 No. 2000-150900

发明内容

[0010] 根据本发明的发明人的试验,揭示了当通过蚀刻形成图 7A 所示的顶栅半导体器件的源电极 1001 和漏电极 1002 时衬底 1000 在一些情况下被蚀刻。即使在形成通过在衬底 1000 上使用氧化硅膜或氧氮化硅膜形成的基膜 1006 的情况下,当基膜被蚀刻时衬底 1000 的表面也在一些情况下被露出。另外,在图 7B 所示的底栅半导体器件的情况下,揭示了当

通过蚀刻形成源电极 1001 和漏电极 1002 时通过使用氧化硅膜或氧氮化硅膜形成的栅绝缘膜 1004 被蚀刻。

[0011] 在顶栅半导体器件的情况下,当玻璃衬底 1000 或通过使用氧化硅膜或氧氮化硅膜形成的基膜 1006 被蚀刻时,诸如钠的杂质从衬底 1000 扩散到半导体膜 1003 中,使得特性劣化。

[0012] 在底栅半导体器件(图 7B)的情况下,如果当通过蚀刻形成源电极 1001 和漏电极 1002 时栅绝缘膜 1004 被蚀刻,那么特性是不稳定的并且导致故障。

[0013] 考虑到以上情况,本发明的目的是,提供即使对沟道形成区域使用 ZnO 半导体膜并且对于源电极和漏电极使用其中添加 n 型或 p 型杂质的 ZnO 膜也不产生缺陷或故障的半导体器件及其制造方法。

[0014] 本发明的半导体器件的一个方面具有:在氧化硅膜或氧氮化硅膜之上的 Al 膜或 Al 合金膜和在 Al 膜或 Al 合金膜之上的其中添加 n 型或 p 型杂质的 ZnO 膜。本说明书中的“氧化硅膜”、“氧氮化硅膜”、“Al 膜”、“Al 合金膜”和“ZnO 膜”分别意味着包含氧化硅的膜、包含氧氮化硅的膜、包含 Al 的膜、包含 Al 合金的膜和包含 ZnO 的膜。

[0015] 本发明的半导体器件的一个方面具有:在栅电极之上的通过使用氧化硅膜或氧氮化硅膜形成的栅绝缘膜、在栅绝缘膜之上的 Al 膜或 Al 合金膜、在 Al 膜或 Al 合金膜之上的其中添加 n 型或 p 型杂质的 ZnO 膜、以及在其中添加 n 型或 p 型杂质的 ZnO 膜和栅绝缘膜之上的 ZnO 半导体膜。

[0016] 本发明的半导体器件的一个方面具有:在氧化硅膜或氧氮化硅膜之上的 Al 膜或 Al 合金膜、在 Al 膜或 Al 合金膜之上的其中添加 n 型或 p 型杂质的 ZnO 膜、在氧化硅膜或氧氮化硅膜和其中添加 n 型或 p 型杂质的 ZnO 膜之上的 ZnO 半导体膜、在 ZnO 半导体膜之上的栅绝缘膜、和在栅绝缘膜之上的栅电极。

[0017] 本发明的半导体器件的制造方法的一个方面具有以下步骤:形成氧化硅膜或氧氮化硅膜;在氧化硅膜或氧氮化硅膜之上形成 Al 膜或 Al 合金膜;在 Al 膜或 Al 合金膜之上形成其中添加 n 型或 p 型杂质的 ZnO 膜,其中,其中添加 n 型或 p 型杂质的 ZnO 膜通过第一蚀刻被蚀刻为具有岛状形状,并且 Al 膜或 Al 合金膜通过第二蚀刻被蚀刻为具有岛状形状。

[0018] 本发明的半导体器件的制造方法的一个方面,其中,在第二蚀刻之后,在其中添加 n 型或 p 型杂质的 ZnO 膜、和氧化硅膜或氧氮化硅膜之上形成 ZnO 半导体膜。

[0019] 在底栅半导体器件的情况下,在形成栅电极之后,在栅电极之上形成通过使用氧化硅膜或氧氮化硅膜形成的栅绝缘膜。

[0020] 在顶栅半导体器件的情况下,在形成 ZnO 半导体膜之后形成栅绝缘膜并且形成栅电极。

[0021] 本发明的第一蚀刻可以是湿蚀刻。

[0022] 本发明的第一蚀刻可以是使用缓冲的氢氟酸的湿蚀刻。

[0023] 本发明的第一蚀刻可以是干蚀刻。

[0024] 本发明的第一蚀刻可以是使用 CH_4 (甲烷)气体的干蚀刻。

[0025] 本发明的第二蚀刻可以是湿蚀刻。

[0026] 本发明的第二蚀刻可以是使用光刻胶的显影溶液的湿蚀刻。

[0027] 本发明的第二蚀刻可以是使用有机碱溶液的湿蚀刻。

[0028] 本发明的第二蚀刻可以是使用 TMAH(四甲基氢氧化铵)的湿蚀刻。

[0029] 本发明的半导体器件的一个方面具有:栅电极、在栅电极之上的栅绝缘膜、在栅绝缘膜之上的包含金属材料的第一膜、在第一膜之上的包含透明半导体材料和 n 型或 p 型杂质的第二膜、以及在第二膜和栅绝缘膜之上的包含透明半导体材料的第三膜。

[0030] 本发明的半导体器件的一个方面具有:在衬底之上的绝缘膜、在绝缘膜之上的包含金属材料的第一膜、在金属膜之上的包含透明半导体材料和 n 型或 p 型杂质的第二膜、在绝缘膜和第二膜之上的包含透明半导体材料的第三膜、在第三膜之上的栅绝缘膜、和在栅绝缘膜之上的栅电极。

[0031] 本发明的半导体器件的制造方法的一个方面具有以下步骤:在衬底之上形成绝缘膜;在绝缘膜之上形成包含金属材料的第一膜;在第一膜之上形成包含透明半导体材料和 n 型或 p 型杂质的第二膜;蚀刻第二膜;和蚀刻第一膜。

[0032] 本发明的半导体器件的制造方法的一个方面具有以下步骤:在衬底之上形成栅电极;在栅电极之上形成栅绝缘膜;在栅绝缘膜之上形成包含金属材料的第一膜;在第二膜之上形成包含透明半导体材料和 n 型或 p 型杂质的第二膜;蚀刻第二膜;和蚀刻第一膜。

[0033] 在顶栅半导体器件中,通过使用玻璃衬底、氧化硅膜或氮化硅膜形成的基膜不被蚀刻,并且诸如钠的杂质不从衬底扩散到半导体膜中,使得其特性不劣化。

[0034] 在底栅半导体器件中,栅绝缘膜不被蚀刻并且其特性不会变得不稳定。

[0035] 由于对于源电极和漏电极的一部分使用 Al,因此可以获得低电阻的引线。

附图说明

[0036] 在附图中,

[0037] 图 1A 和图 1B 表示本发明的半导体器件;

[0038] 图 2A ~ 2D 表示本发明的半导体器件的制造步骤;

[0039] 图 3A ~ 3D 表示本发明的半导体器件的制造步骤;

[0040] 图 4A 和图 4B 表示本发明的半导体器件的制造步骤;

[0041] 图 5A ~ 5D 表示本发明的半导体器件的制造步骤;

[0042] 图 6A ~ 6C 表示本发明的半导体器件的制造步骤;

[0043] 图 7A 和图 7B 表示常规的例子;

[0044] 图 8A 和图 8B 表示液晶显示器的制造步骤;

[0045] 图 9A 和图 9B 表示液晶显示器的制造步骤;

[0046] 图 10A 和图 10B 表示发光器件的制造步骤;

[0047] 图 11A 和图 11B 表示发光器件的制造步骤;

[0048] 图 12A ~ 12F 分别表示发光器件的等效电路。

[0049] 图 13 表示发光器件的等效电路。

[0050] 图 14A 表示像素部分的顶部前视图,图 14B 表示发光器件的等效电路;

[0051] 图 15A ~ 15E 分别表示应用本发明的电子装置的例子;

[0052] 图 16 表示应用本发明的电子装置的例子。

[0053] 附图标记的解释:

[0054] 1:衬底;2:绝缘膜;3:栅电极;5:栅绝缘膜;6:第一导电膜;7:第二导电膜;8:第

三导电膜 ;9 :光刻胶掩模 ;10 :源电极 ;10a :源电极、第一导电膜 ;10b :源电极、第二导电膜 ;11 :漏电极 ;11a :漏电极、第一导电膜 ;11b :漏电极、第二导电膜 ;12 :半导体膜 ;13 :岛状形状半导体膜 ;14 :绝缘膜 ;20 :绝缘膜 ;21 :第一导电膜 ;22 :第二导电膜 ;23 :第三导电膜 ;24 :光刻胶掩模 ;25 :源电极 ;25a :源电极、第一导电膜 ;25b :源电极、第二导电膜 ;26 :漏电极 ;26a :漏电极、第一导电膜 ;26b :漏电极、第二导电膜 ;27 :半导体膜 ;28 :栅绝缘膜 ;29 :栅电极 ;30 :绝缘膜 ;40 :栅电极、栅极引线 ;41 :辅助电容器引线 ;42 :栅绝缘膜 ;45 :源电极 ;45a :源电极 ;45b :源电极 ;46 :漏电极 ;46a :漏电极 ;46b :漏电极 ;47 :源极引线 ;48 :半导体膜 ;49 :绝缘膜 ;50 :像素电极 ;51 :对准引线 ;52 :液晶组合物 ;53 :取向膜 ;54 :保护绝缘膜 ;55 :滤色片 ;56 :相对衬底 ;61 :衬底 ;62 :栅极引线驱动电路 ;62a :移位寄存器 ;62b :缓冲器 ;63 :源极引线驱动电路 ;63a :移位寄存器 ;63b :缓冲器 ;64 :有源矩阵部分 ;65 :半导体器件 ;66 :液晶部分 ;67 :辅助电容器 ;68 :视频线 ;69 :模拟开关 ;71 :源极引线 ;72 :栅极引线 ;73 :辅助电容器引线 ;75 :密封剂 ;81 :隔离壁 ;81a :端面 ;82 :包含发光衬底的层 ;83 :相对电极 ;84 :干燥剂 ;85 :树脂 ;86 :相对衬底 ;87 :保护膜 ;88 :偏振片 ;100 :辅助电容器 ;1000 :衬底 ;1001 :源电极 ;1002 :漏电极 ;1003 :半导体膜 ;1004 :栅绝缘膜 ;1005 :栅电极 ;1006 :基膜 ;1401 :开关 TFT ;1402 :辅助电容器 ;1403 :驱动 TFT ;1404 :电流控制 TFT ;1405 :发光元件 ;1406 :TFT ;1410 :信号线 ;1411 :电源线 ;1412 :电源线 ;1414 :扫描线 ;1415 :扫描线 ;1420 :发光区域 ;1500 :像素部分 ;1554 :共用的等势线 ;1555 :共用的等势线 ;1561 :二极管 ;1562 :二极管 ;1563 :二极管 ;1564 :二极管 ;1565 :共用的等势线 ;1566 :共用的等势线 ;3001 :外壳 ;3003 :显示区域 ;3004 :扬声器 ;3101 :主体 ;3102 :外壳 ;3102 :外壳 ;3103 :显示区域 ;3104 :音频输入部分 ;3105 :音频输出部分 ;3106 :操作键 ;3107 :红外通信端口 ;3108 :天线 ;3110 :主体 ;3111 :像素部分 ;3112 :驱动器 IC ;3113 :接收装置 ;3114 :膜电池 ;3201 :主体 ;3202 :外壳 ;3203 :显示区域 ;3204 :键盘 ;3205 :外部连接端口 ;3206 :指示鼠标 ;3301 :主体 ;3302 :显示区域 ;3303 :开关 ;3304 :操作键 ;3305 :红外端口 ;3401 :外壳 ;3402 :显示区域 ;3403 :扬声器 ;3404 :操作键 ;3405 :记录介质嵌入部分。

[0055] 以下参照附图说明本发明的实施例。注意,本发明不限于以下的说明,并且本领域技术人员很容易理解可以在不背离本发明的目的和范围的条件下以各种方式修改这里公开的实施例和细节。因此,本发明不应被解释为限于以下给出的实施例的说明。

具体实施方式

[0056] [实施例 1]

[0057] 这里说明底栅半导体器件。

[0058] 图 1A 是示出本发明的实施例的一个例子的截面图。在图 1A 中,附图标记 1 表示衬底,3 表示栅电极,5 表示栅绝缘膜、10 表示源电极,10a 表示第一导电膜,10b 表示第二导电膜,11 表示漏电极,11a 表示第一导电膜,11b 表示第二导电膜,13 表示半导体膜。可以在半导体膜 13 之上形成用于钝化或平坦化的绝缘膜。

[0059] 在衬底 1 之上形成栅电极 3,在栅电极 3 之上形成栅绝缘膜 5,并且在栅绝缘膜 5 之上形成源电极 10 和漏电极 11。源电极 10 由具有第一导电膜 10a 与第二导电膜 10b 的叠层膜形成,并且漏电极 11 由具有第一导电膜 11a 与第二导电膜 11b 的叠层膜形成。可以在

第一导电膜 10a 和第二导电膜 10b 之间或者在第一导电膜 11a 和第二导电膜 11b 之间形成第三导电膜。源电极 10 和漏电极 11 可分别形成为通过栅绝缘膜 5 与栅电极 3 部分重叠。在源电极 10 之上形成半导体膜 13 并且在栅绝缘膜 5 之上形成漏电极 11。

[0060] 这里说明各结构。

[0061] (1) 衬底

[0062] 对于形成衬底,可以使用通过使用玻璃衬底形成的衬底、诸如氧化铝的绝缘材料和可以在后续步骤中抵抗处理温度的塑料衬底等。在对于衬底 1 使用塑料衬底的情况下,可以使用 PC(聚碳酸酯)、PES(聚醚砜)、PET(聚对苯二甲酸乙二酯)或 PEN(聚萘二甲酸乙二酯)等。在塑料衬底的情况下,可以在表面的上方设置无机层或有机层作为的气体阻挡层。在在塑料衬底的制造过程中在衬底上产生由灰尘等形成的突出物的情况下,可以在用 CMP 等抛光衬底以使其表面平坦化之后使用该衬底。可以在衬底 1 之上形成用于防止杂质等从衬底侧扩散的诸如氧化硅 (SiO_x)、氮化硅 (SiN_x)、氧氮化硅 (SiO_xN_y) ($x > y$) 和氮氧化硅 (SiN_xO_y) ($x > y$) 的绝缘膜。

[0063] (2) 栅电极

[0064] 可以通过使用 Al(铝)膜、W(钨)膜、Mo(钼)膜、Ta(钽)膜、Cu(铜)膜、Ti(钛)膜或包含这些元素作为主要成分的合金材料(例如,Al 合金膜、MoW(钼钨)合金膜)等形成栅电极。可以使用以掺杂有诸如 P(磷)的杂质元素的多晶硅膜为代表的半导体膜。栅电极 3 可以是单层或其中层叠两层或更多层的叠层膜。

[0065] (3) 栅绝缘膜

[0066] 可以通过使用例如氧化硅膜和氧氮化硅膜的包含硅作为主要成分的绝缘膜形成栅绝缘膜 5。另外,它可以是单层或叠层膜。

[0067] (4) 源电极和漏电极

[0068] 源电极 10 由第一导电膜 10a 与第二导电膜 10b 的叠层膜形成,并且漏电极 11 由第一导电膜 11a 与第二导电膜 11b 的叠层膜形成。

[0069] 作为第一导电膜,可以使用 Al 膜、诸如 AlNi(铝镍)膜和 AlNd(钕铝)膜的 Al 合金膜。作为第二导电膜,可以使用其中添加 B(硼)、Al(铝)、Ga(镓)、P(磷)或 As(砷)的 p 型或 n 型杂质的 ZnO(氧化锌)。可以在第一导电膜和第二导电膜之间设置诸如 Ti 膜的金属膜作为第三导电膜。

[0070] (5) 半导体膜

[0071] 使用 ZnO 膜作为半导体膜。由于与半导体膜接触的源电极和漏电极具有其中添加 p 型或 n 型杂质的 ZnO 膜,因此它们可以很容易地与半导体膜连接。

[0072] (6) 绝缘膜

[0073] 虽然没有示出,但可以在半导体膜 13 之上形成诸如钝化膜和平坦化膜的绝缘膜。可以使用氧化硅 (SiO_x)、氮化硅 (SiN_x)、氧氮化硅 (SiO_xN_y) ($x > y$) 和氮氧化硅 (SiN_xO_y) ($x > y$)、SOG(旋涂玻璃)膜或丙烯的有机树脂膜或它们的叠层膜。

[0074] 在底栅半导体器件中,栅绝缘膜在制造过程中不被蚀刻,并且特性不会变得不稳定。对于源电极和漏电极的一部分使用 Al,由此实现低电阻的引线。

[0075] [实施例 2]

[0076] 这里说明顶栅半导体器件。

[0077] 图 1B 是示出本发明的实施例的一个例子的截面图。在图 1B 中,附图标记 1 表示衬底,20 表示绝缘膜、25 表示源电极,25a 表示第一导电膜,25b 表示第二导电膜,26 表示漏电极,26a 表示第一导电膜,26b 表示第二导电膜,27 表示半导体膜,28 表示栅绝缘膜,29 表示栅电极。可以在栅电极之上形成用于钝化或平坦化的绝缘膜。

[0078] 在衬底 1 上形成绝缘膜 20,并且在绝缘膜 20 之上形成源电极 25 和漏电极 26。源电极 25 由第一导电膜 25a 与第二导电膜 25b 的叠层膜形成,并且漏电极 26 由第一导电膜 26a 与第二导电膜 26b 的叠层膜形成。可以在第一导电膜 25a 和第二导电膜 25b 之间或者在第一导电膜 26a 和第二导电膜 26b 之间形成第三导电膜。在源电极 25 之上形成半导体膜 27 并且在绝缘膜 20 之上形成漏电极 26,在半导体膜 27 之上形成栅绝缘膜 28,并且在栅绝缘膜 28 之上形成栅电极 29。栅电极 29 可形成为与源电极和漏电极部分重叠,使得栅绝缘膜 28 和半导体膜 27 被插入它们之间。

[0079] 这里说明各结构。

[0080] 对于衬底,可以使用与在实施例 1 中说明的那些相同的源电极、漏电极、半导体膜和栅电极。

[0081] (1) 在衬底之上的绝缘膜

[0082] 在衬底 1 之上形成氧化硅膜和氧氮化硅膜作为用于防止杂质等从衬底侧扩散的绝缘膜 20。另外,它可以是单层或叠层膜。

[0083] (2) 栅绝缘膜

[0084] 可以通过使用例如氧化硅膜、氧氮化硅膜、氮氧化硅膜和氮化硅膜的包含硅作为主要成分的绝缘膜形成栅绝缘膜 28。另外,它可以是单层或叠层膜。

[0085] (3) 在栅电极之上的绝缘膜

[0086] 虽然没有示出,但在栅电极 29 之上形成诸如钝化膜和平坦化膜的层间绝缘膜。可以使用 SiO_x 膜、 SiN_x 膜、 SiON 膜、 SiNO 膜、SOG(旋涂玻璃)膜和丙烯的有机树脂膜或它们的叠层膜。

[0087] 在顶栅半导体器件中,衬底或通过使用氧化硅膜或氧氮化硅膜形成的基膜不被蚀刻,使得诸如钠的杂质不从衬底扩散到半导体膜中,并且特性不劣化。对于源电极和漏电极的一部分使用 Al,由此实现低电阻的引线。

[0088] [实施例 3]

[0089] 说明底栅半导体器件的制造方法,其中,在栅电极之上形成氧化硅膜或氧氮化硅膜作为栅绝缘膜,形成 Al 膜或 Al 合金膜作为第一导电膜,形成其中添加 n 型或 p 型杂质的 ZnO 膜作为第二导电膜,然后,第二导电膜通过第一蚀刻被蚀刻为具有岛状形状并且第一导电膜通过第二蚀刻被蚀刻为具有岛状形状以形成源电极和漏电极,并且,形成 ZnO 半导体膜。

[0090] 如图 2A 所示,形成栅电极 3。在衬底 1 之上的栅电极的厚度可以为 10 ~ 200nm。可以通过使用实施例 1 所示的材料形成衬底 1。这里,使用玻璃衬底。

[0091] 可以通过 CVD 或溅射形成厚度为 10 ~ 200nm 的包含氧化硅 (SiO_x)、氮化硅 (SiN_x)、氧氮化硅 (SiO_xN_y) ($x > y$) 和氮氧化硅 (SiN_xO_y) ($x > y$) 的绝缘膜 2,以防止杂质等从衬底侧扩散(图 2B)。

[0092] 可以通过用高密度等离子处理衬底 1 的表面形成绝缘膜 2。例如,可以通过使用

2. 45GHz 的微波产生高密度等离子,并且仅要求电子密度为 $1 \times 10^{11} \sim 1 \times 10^{13}/\text{cm}^3$ 并且电子温度为 2eV 或更低。这种高密度等离子具有较低的动能的活性物质,并且,与常规的等离子处理相比,可以形成由等离子造成的损伤更少的具有更少的缺陷的膜。

[0093] 可以在诸如包含氮气和惰性气体的气氛,包含氮气、氢气和惰性气体的气氛,以及包含氮气和惰性气体的气氛的氮化气氛下通过高密度等离子处理氮化衬底 1 的表面。在使用玻璃衬底作为经受高密度等离子氮化处理的衬底 1 的情况下,作为在衬底 1 的表面之上形成的氮化物膜,可以形成包含氮化硅作为主要成分的绝缘膜 2。可以通过使用通过等离子 CVD 在氮化物膜的上方形成氧化硅膜或氧氮化硅膜的多个层来形成绝缘膜 2。

[0094] 另外,可以类似地通过用高密度等离子在绝缘膜 2 的表面之上进行氮化形成氮化物膜。

[0095] 通过用高密度等离子氮化形成的氮化物膜可抑制杂质从衬底 1 的扩散。

[0096] 可以通过使用实施例 1 所示的材料形成栅电极 3。这里,通过使用 AlNd(铝钕)靶材的溅射形成 AlNd 膜并将其处理成岛状形状。对于将膜处理成岛状形状,使用光刻方法,并且使用干蚀刻或湿蚀刻。

[0097] 在清洗栅电极 3 的表面和衬底 1 或绝缘膜 2 的表面之后,在栅电极 3 之上通过使用已知的 CVD 或溅射形成厚度为 10 ~ 200nm 的栅绝缘膜 5(图 2A 和图 2B)。可以在不暴露于空气的情况下连续实施表面清洗步骤和栅绝缘膜 5 的形成步骤。在对于栅电极 3 使用 Al 膜的情况下,当在高温下形成栅绝缘膜 5 时,在一些情况下产生隆起(hillock)。因此,优选地,在 500°C 或更低、优选 350°C 或更低的低温下形成膜。

[0098] 可以通过使用实施例 1 所示的材料形成栅绝缘膜 5。这里,形成氧化硅膜。注意,在以下的附图中省略绝缘膜 2。

[0099] 在栅绝缘膜 5 上形成厚度为 10 ~ 200nm 的用于源电极和漏电极的第一导电膜 6。可以通过使用实施例 1 所示的材料形成第一导电膜 6。这里,使用 AlNi(铝镍)膜或 AlNd 膜。可以通过使用 AlNi 靶材或 AlNd 靶材的溅射形成第一导电膜 6。在形成栅绝缘膜 5 之后,可以在不暴露于空气的情况下连续形成第一导电膜 6。

[0100] 在第一导电膜 6 上形成厚度为 10 ~ 200nm 的第二导电膜 7(图 2C)。可以通过使用实施例 1 所示的材料形成 7。这里,使用其中添加诸如 Al 或 Ga 的杂质的 ZnO(氧化锌)。因此,可以很容易地在第二导电膜 7 和后面形成为半导体层的 ZnO 膜之间产生欧姆接触。可以通过使用溅射形成第二导电膜 7。例如,对于添加 Al 或 Ga 可以使用以下的方法:使用其中添加 1 ~ 10 重量%的 Al 或 Ga 的 ZnO 靶材的溅射;或在 200 ~ 300°C 下在 ZnO 靶材上安装 Al 或 Ga 芯片的溅射。

[0101] 在形成第一导电膜 6 之后,可以在不暴露于空气的情况下连续形成第二导电膜 7。因此,可以在不暴露于空气的情况下连续实施从栅绝缘膜 5 到第二导电膜 7 的形成。

[0102] 在第一导电膜 6 和第二导电膜 7 之间形成厚度为 10 ~ 200nm 的第三导电膜 8(图 2D)。接触电阻根据制造过程中的热处理温度在第一导电膜 6 和第二导电膜 7 之间偶尔增加。但是,通过形成第三导电膜 8,可减小第一导电膜 6 与第二导电膜 7 之间的接触电阻。可以通过使用诸如通过溅射等形成的 Ti 膜的金属膜形成第三导电膜 8。

[0103] 在第二导电膜 7 之上形成光刻胶掩模 9,并且第二导电膜 7 被蚀刻(图 3A 和图 3B)。在使用湿蚀刻的情况下,使用例如 HF : NH_4F (重量比) = 1 : 100 ~ 1 : 10 的溶液

的缓冲的氢氟酸（其中混合了 HF（氢氟酸）和 NH_4F （氟化氨））。

[0104] 在使用干蚀刻的情况下，可以采用使用 CH_4 气体的各向异性等离子蚀刻。

[0105] 在第二导电膜 7 之下形成第一导电膜 6。因此，当第二导电膜 7 被蚀刻时，第一导电膜 6 用作蚀刻阻止层。因此，在蚀刻中可以在不损伤栅绝缘膜 5 的情况下形成源电极和漏电极。

[0106] 当第二导电膜 7 被蚀刻时，第一导电膜 6 的一部分会被蚀刻。但是，由于如果第一导电膜 6 被完全蚀刻，则栅绝缘膜受损，因此需要注意不要完全蚀刻第一导电膜 6。

[0107] 然后，通过使用光刻胶掩模 9 蚀刻第一导电膜 6 形成源电极 10 和漏电极 11（图 3C）。在本发明中，通过使用以作为光刻胶的显影剂的 TMAH（四甲基氢氧化铵）为代表的有机碱溶液蚀刻第一导电膜 6。

[0108] 在对于第一导电膜 6 使用 AlNi 膜并且对于蚀刻溶液使用 TMAH 的情况下，在 30°C 下蚀刻速率为约 $300\text{nm}/\text{min}$ 。另一方面，使用上述材料的第二导电膜 7 或栅绝缘膜 5 不被 TMAH 蚀刻。因此，可以在不损伤栅绝缘膜 5 的情况下形成源电极 10 和漏电极 11。并且，岛状形状的第二导电膜 10b 和 11b 的尺寸不会减小。在本发明中，可以通过使用当在不使用特定的蚀刻溶液的情况下形成光刻胶掩模时使用的显影剂蚀刻第一导电膜 6。因此，成本降低并且效率增加。

[0109] 在形成源电极 10 和漏电极 11 之后，光刻胶掩模 9 被去除。

[0110] 在源电极 10、漏电极 11 和栅绝缘膜 5 之上通过溅射形成厚度为 $20 \sim 200\text{nm}$ 的 ZnO 膜作为半导体膜 12（图 3D）。例如，可以在 $200 \sim 300^\circ\text{C}$ 下通过使用 ZnO 靶材、氧气 / 氩气的流量比为 $30 \sim 20$ 的溅射形成膜。

[0111] 通过光刻方法蚀刻半导体膜 12 以形成岛状形状的半导体膜 13（图 4A）。可以采用使用缓冲的氢氟酸的湿蚀刻方法或使用 CH_4 气体的各向异性干蚀刻方法。

[0112] 在半导体膜 12 和第二导电膜 10b 和 11b 中通常使用 ZnO，并且，难以获得足够的蚀刻选择性。但是，由于要求在与半导体膜 12 接触的一部分中形成第二导电膜 7，因此可以在例如引线部分的不与半导体膜 12 接触的一部分中蚀刻第二导电膜 7。在上述的蚀刻方法中，第二导电膜 10b 和 11b 可被蚀刻，但第一导电膜 10a 和 11a 不被蚀刻。因此，第一导电膜 10a 和 11a 用作引线，并且与半导体器件的电连接得到保证。

[0113] 通过 CVD 或溅射在半导体膜 13 之上形成厚度为 $50\text{nm} \sim 1 \mu\text{m}$ 的绝缘膜 14（图 4B）。可以形成包含硅作为主要成分的绝缘膜作为绝缘膜 14。可以在包含硅的绝缘膜之上层叠有机树脂膜等。绝缘膜 14 用作平坦化膜或钝化膜。由于在源电极 10 和漏电极 11 内包含 Al，因此当在高温下形成绝缘膜 14 时偶尔产生隆起。因此，优选地，在 500°C 或更低、优选 350°C 或更低的低温下形成。

[0114] 在绝缘膜 14 中形成接触孔，并且，如有必要设置与栅电极 3、源电极 10 和漏电极 11 接触的导电膜。

[0115] 根据本发明，在不损伤栅绝缘膜的情况下形成半导体器件。使用诸如 AlNi 膜的 Al 合金膜作为第一导电膜，由此实现低电阻的引线。

[0116] [实施例 4]

[0117] 这里，说明顶栅半导体器件的制造方法，其中，在氧化硅膜或氮化硅膜上形成 Al 膜或 Al 合金膜作为第一导电膜，并且形成其中添加 n 型或 p 型杂质的 ZnO 膜作为第二导

电膜,然后,第二导电膜通过第一蚀刻形成为具有岛状形状,第一导电膜通过第二蚀刻形成为具有岛状形状以形成源电极和漏电极,形成 ZnO 半导体膜,形成栅绝缘膜,并且形成栅电极。注意,不用说,在实施例 1~3 中说明的材料和制造方法可被应用于本实施例。

[0118] 如图 5A 所示,通过 CVD 或溅射以 10~200nm 的厚度在衬底 1 之上形成氧化硅(SiO_x)膜作为绝缘膜 20。绝缘膜 20 防止杂质等从衬底 1 侧扩散。

[0119] 在绝缘膜 20 之上通过溅射或蒸镀形成厚度为 10~200nm 的用于源电极和漏电极的第一导电膜 21。可以使用诸如在实施例 1 中示出的 AlNi(铝镍)膜的 Al 合金膜作为第一导电膜 21。在形成绝缘膜 20 之后,可以在不暴露于空气的情况下连续形成第一导电膜 21。

[0120] 在第一导电膜 21 上通过溅射形成厚度为 10~200nm 的第二导电膜 22(图 5A)。作为第二导电膜 22,可以使用其中添加 B(硼)、Al(铝)、Ga(镓)、P(磷)或 As(砷)等的 p 型或 n 型杂质的 ZnO(氧化锌)。在形成第一导电膜 21 之后,可在不暴露于空气的情况下连续形成第二导电膜 22。因此,可以在不暴露于空气的情况下连续实施形成绝缘膜 20 到第二导电膜 22 的步骤。

[0121] 为了减小第一导电膜 21 与第二导电膜 22 之间的接触电阻,可以在第一导电膜 21 和第二导电膜 22 之间通过溅射形成厚度为 10~200nm 的诸如 Ti 膜的金属膜作为第三导电膜 23(图 5B)。

[0122] 在第二导电膜 22 之上形成光刻胶掩模 24,并且蚀刻第二导电膜 22(图 5C)。作为蚀刻方法,可以采用使用缓冲的氢氟酸的湿蚀刻或使用 CH₄ 气体的干蚀刻方法。

[0123] 在第二导电膜 22 之下形成第一导电膜 21。因此,当第二导电膜 22 被蚀刻时,第一导电膜 21 用作蚀刻阻止层。因此,可以在不通过蚀刻绝缘膜 20 露出衬底 1 的情况下形成源电极和漏电极。

[0124] 当第二导电膜 22 被蚀刻时,第一导电膜 21 的一部分可被蚀刻。注意,如果所有的第一导电膜 21 被蚀刻,那么绝缘膜 20 被蚀刻并且衬底 1 被露出,这会导致在衬底 1 中包含的杂质的扩散。

[0125] 第一导电膜 21 被蚀刻以形成源电极 25 和漏电极 26(图 5D)。作为蚀刻方法,采用使用光刻胶的显影剂 TMAH 的湿蚀刻。因此,可以在不蚀刻绝缘膜 20 的情况下形成源电极 25 和漏电极 26。并且,由于 ZnO 膜不会被 TMAH 蚀刻,所以岛状形状的第二导电膜 25b 和 26b 的尺寸不会减小。可以在不对第一导电膜 21 使用特殊的蚀刻溶液的情况下用在光刻胶掩模的形成中使用的显影剂进行蚀刻,这导致成本降低和效率提高。

[0126] 在形成源电极 25 和漏电极 26 之后,去除光刻胶掩模 24。

[0127] 在源电极 25、漏电极 26 和绝缘膜 20 之上通过溅射形成厚度为 20~200nm 的 ZnO 膜作为半导体膜 27(图 6A)。

[0128] 通过光刻方法蚀刻半导体膜 27 以制成岛状形状半导体膜 27。作为蚀刻方法,可以采用使用缓冲的氢氟酸的湿蚀刻或使用 CH₄ 气体的干蚀刻方法。

[0129] 对于半导体膜 27 和第二导电膜 25b 和 26b 通常使用 ZnO,并且,难以获得较高的蚀刻选择性。但是,由于可与实施例 3 相同地在源电极和漏电极中形成第二导电膜 22,因此可以在不与半导体膜 27 接触的部分特别是在引线部分中蚀刻第二导电膜。

[0130] 在半导体膜 27 之上通过 CVD 或溅射形成厚度为 10~200nm 的栅绝缘膜 28(图

6B)。半导体膜 27 可经受在上述的实施例中示出的高密度等离子处理以形成栅绝缘膜。可以在诸如包含氮气和惰性气体的气氛,包含氮气、氢气和惰性气体的气氛和包含氮气和惰性气体的气氛的氯化气氛下通过高密度等离子处理氯化半导体膜 27 的表面。

[0131] 可以通过使用例如氧化硅膜、氧氮化硅膜、氮化硅膜和氮氧化硅膜的包含硅作为主要成分的绝缘膜形成栅绝缘膜 28。另外,它可以是单层或叠层膜。

[0132] 在栅绝缘膜 28 之上形成栅电极 29(图 6B)。可以通过使用上述的实施例所示的材料形成栅电极 29,并且它可以是单层或包含两个或更多层的叠层膜。作为用于成膜的方法,可以使用已知的 CVD 溅射或蒸镀等。对于用光刻方法将栅电极 29 处理成岛状形状,可以使用干蚀刻或湿蚀刻方法。

[0133] 在栅电极 29 和栅绝缘膜 28 之上通过 CVD 或溅射形成厚度为 $50\text{nm} \sim 1\ \mu\text{m}$ 的绝缘膜 30(图 6C)。可以通过使用包含硅的绝缘膜形成绝缘膜 30。可以在包含硅的绝缘膜之上层叠有机树脂膜等。绝缘膜 30 用作平坦化膜或钝化膜。由于在源电极 25 和漏电极 26 中包含 Al,因此,当在高温下形成栅绝缘膜 28、栅电极 29 和绝缘膜 30 时,偶尔产生隆起(hillock)。因此,优选地,在 500°C 或更低、优选 350°C 或更低的低温下形成它们。

[0134] 如上所述,本发明可防止杂质由于衬底 1 的露出而扩散。诸如 AlNi 膜的 Al 合金膜被用作第一导电膜,由此实现引线的低电阻。

[0135] [实施例 5]

[0136] 这里参照图 8A 和图 8B 以及图 9A 和图 9B 说明通过使用实施例 1 ~ 3 所示的底栅半导体器件制造液晶显示器的方法。注意,不用说,可以应用在实施例 2 和 4 中示出的顶栅半导体器件。图 8A 和图 9A 表示沿图 8B 中的线 X-Y 切取的截面图。

[0137] 在玻璃衬底或塑料衬底 1 之上形成栅极引线 40 和辅助电容器引线 41。通过溅射然后通过已知的光刻方法和蚀刻形成 AlNd 膜。

[0138] 通过使用通过 CVD 或溅射形成的氧化硅膜或氧氮化硅膜形成栅绝缘膜 42。

[0139] 在栅绝缘膜 42 之上通过溅射形成 AlNi 膜作为第一导电膜。第一导电膜在后面形成源电极 45a、漏电极 46a 和源极引线 47。

[0140] 在第一导电膜之上通过溅射形成其中添加 Al 的 ZnO(氧化锌)膜作为第二导电膜。第二导电膜在后面形成源电极 45b、漏电极 46b 和源极引线 47。

[0141] 在第二导电膜(图中未示出)之上,在要成为源电极部分、漏电极部分和源极引线部分的区域中形成光刻胶掩模。然后,蚀刻第二导电膜。这里,通过使用缓冲的氢氟酸即 $\text{HF} : \text{NH}_4\text{F} = 1 : 100$ (重量比)的溶液进行蚀刻。

[0142] 然后,通过使用 TMAH 溶液蚀刻第一导电膜以形成源电极 45a、漏电极 46a 和源极引线 47。此后,光刻胶掩模被去除。然后,可以在不损伤栅绝缘膜 42 的情况下形成源电极 45、漏电极 46 和源极引线 47。另外,由于 ZnO 膜不被 TMAH 蚀刻,因此岛状形状的第二导电膜的尺寸不会减小。并且,由于 AlNi 膜被用于第一导电膜,因此源极引线的电阻可减小。

[0143] 然后,形成半导体膜 48。通过溅射形成 ZnO 膜,然后,通过光刻方法和蚀刻从 ZnO 膜形成半导体膜 48。作为蚀刻,采用使用缓冲的氢氟酸的湿蚀刻。这里,由于在要成为引线的部分中形成第一导电膜,因此第二导电膜中的不与半导体膜 48 接触的部分可被部分去除。

[0144] 在半导体膜 48 之上通过 CVD、溅射或涂敷等形成绝缘膜 49。可以通过使用具有包

含硅的绝缘膜或有机树脂膜等的叠层膜形成绝缘膜 49。绝缘膜 49 可以是使得表面的不均匀性平坦化的膜。

[0145] 通过使用光刻方法和蚀刻方法在绝缘膜 49 中形成通向漏电极 46 的接触孔和用于辅助电容器的接触孔。

[0146] 通过溅射形成透明导电膜,然后,通过使用光刻方法和蚀刻形成像素电极 50。例如,可以使用 ITO(氧化铟锡)、ITSO(包含氧化硅的氧化铟锡)或 IZO(氧化铟锌)。

[0147] 在反射型液晶显示器的情况下,作为透明电极的替代,形成诸如 Ag(银)、Au(金)、Cu(铜)、W(钨)或 Al(铝)的反光金属材料。

[0148] 像素电极 50 与辅助电容器引线 41 重叠的部分形成由像素电极 50、栅绝缘膜 42 和辅助电容器引线 41 形成的辅助电容器 100(图 8A 和图 8B)。

[0149] 在引线和电极中,弯曲部分或宽度改变的部分的角可被平滑化和修圆。可以通过使用采用光掩模的图案制造的光掩模图案实现斜切的角的形状。这将具有下述的优点。当进行使用等离子的干蚀刻时,可以通过斜切突出部分来抑制由于异常放电(discharge)导致的细粒子的产生。即使产生细粒子,也可在清洗时防止细粒子在角上蓄积,并且可通过斜切凹进的部分将细粒子洗去。因此,可以解决制造过程中的细粒子或灰尘的问题,并且可提高产量。

[0150] 形成取向膜 51,以使其覆盖像素电极 50。通过液滴排放方法或印刷等形成取向膜。在形成取向膜之后,进行摩擦。

[0151] 通过使用着色层和光屏蔽层(黑矩阵)形成滤色片 55,并且,在相对衬底 56 上形成保护绝缘膜 54。在保护绝缘膜 54 上形成透明电极 57 并且形成取向膜 53(图 9A)。对取向膜进行摩擦处理。

[0152] 然后,通过液滴排放方法形成密封剂的闭合图案 75(图 9B)。用液晶组合物 52 填充由密封剂包围的区域(图 9A)。

[0153] 在将液晶组合物 52 滴在闭合图案 75 中之后,相对衬底 56 和其中形成半导体器件的衬底 1 被相互固定。当填充液晶组合物 52 时,可以采用以下的替代方案:在衬底 1 上设置具有开口部分的密封图案;将相对衬底 56 和衬底 1 相互贴合;然后,通过利用毛细作用注入液晶。

[0154] 作为液晶组合物 52 的对准模式,可以使用液晶分子的排列从光入射侧到光发射侧扭曲 90° 的 TN 模式、FLC 模式或 IPS 模式等。注意,电极图案与图 8B 所示的电极图案不同,并且在 IPS 模式的情况下为梳状形状。

[0155] 偏振片被固定到相对衬底 56 和其上面形成了半导体器件的衬底 1 上。另外,如果需要的话可以固定光学膜。

[0156] 可以通过分散球形隔离件或形成由树脂形成的柱状隔离件或通过向密封剂中混入填充物来保持相对衬底 56 和其上面形成了半导体器件的衬底 1 之间的距离。上述的柱状隔离件由包含丙烯酸树脂、聚酰亚胺、聚酰亚胺酰胺(polyimide amide)或环氧树脂中的至少一种作为主要成分的有机树脂材料,或者具有氧化硅、氮化硅和含氮的氧化硅中的一种的无机材料,或者它们的叠层膜形成。

[0157] 然后,通过使用已知的技术将 FPC(柔性印刷电路)贴合到衬底 1 上,使得各向异性导电层被插入其间。

[0158] 可以在衬底之上形成外围驱动电路。在图 9B 中示出示例性平面图。

[0159] 在由玻璃等形成的衬底 61 之上形成栅极引线驱动电路 62、源极引线驱动电路 63 和有源矩阵部分 64。栅极引线驱动电路 62 至少由移位寄存器 62a 和缓冲器 62b 构成。源极引线驱动电路 63 至少由移位寄存器 63a、缓冲器 63b 和对通过视频线 68 传送的视频信号进行采样的模拟开关 69 构成。从栅极引线驱动电路 62 延伸的多个栅极引线 72 在有源矩阵部分 64 中相互平行排列。从源极引线驱动电路 63 延伸的多根源极引线 71 与栅极引线 72 正交排列。另外，辅助电容器引线 73 与栅极引线 72 平行排列。另外，半导体器件 65、液晶部分 66 和辅助电容器 67 被设置在栅极引线 72、源极引线 71 和辅助电容器引线 73 包围的区域中。

[0160] 栅极引线驱动电路 62、源极引线驱动电路 63 和模拟开关 69 具有通过与半导体器件 65 相同的制造方法制成以具有类似的结构半导体器件。

[0161] 在半导体器件 65 中，栅电极与栅极引线 72 连接，并且源电极与源极引线 71 连接。通过在与半导体器件 65 的漏电极连接的像素电极和在相对衬底之上的相对电极之间引入并密封液晶来形成液晶部分 66。辅助电容器引线 73 与具有与相对电极相同的电位的电极连接。

[0162] 在上述的液晶显示器中，栅绝缘膜不被蚀刻，并且特性不会变得不稳定，因此实现较高的可靠性。在使用顶栅半导体器件的情况下，玻璃衬底或通过使用形成的基膜、氧化硅膜或氮化硅膜均不会被蚀刻，使得诸如钠的杂质不从衬底扩散到半导体膜中，并且特性不会劣化，由此可实现较高的可靠性。

[0163] 对于源电极和漏电极的一部分使用 Al，由此实现低电阻的引线。

[0164] [实施例 6]

[0165] 这里参照图 10A 和图 10B 以及图 11A 和图 11B 说明通过使用实施例 1 ~ 3 所示的底栅半导体器件制造发光器件的方法。注意，不用说，可以应用实施例 2 和 4 的半导体器件。

[0166] 基于上述的实施例的说明制造半导体器件，并且实施到图 10A 所示的阶段的形式。注意，与上述的实施例相同的部分由相同的附图标记表示。

[0167] 在 EL 显示器中，像素电极 50 用作阳极或阴极。作为用于像素电极 50 的材料，可以使用以下的材料：诸如铝 (Al)、银 (Ag)、金 (Au)、铂 (Pt)、镍 (Ni)、钨 (W)、铬 (Cr)、钼 (Mo)、铁 (Fe)、钴 (Co)、铜 (Cu)、钯 (Pd)、锂 (Li)、铯 (Cs)、镁 (Mg)、钙 (Ca)、锶 (Sr) 或钛 (Ti) 的导电金属；诸如铝硅 (Al-Si)、铝钛 (Al-Ti) 或铝硅铜 (Al-Si-Cu) 的合金；诸如氮化钛 (TiN) 的金属材料的氮化物；诸如 ITO、含硅的 ITO 或 IZO 的金属化合物。

[0168] 仅需要通过使用透光的导电膜形成从中提取从 EL 层发射的光的电极，并且，可以使用诸如 ITO、含硅的 ITO 或 IZO 的金属化合物以及诸如 Al 或 Ag 的金属的非常薄的膜。

[0169] 当从与像素电极 50 相对的电极提取发射光时，可以对于像素电极 50 使用高度反射材料 (Al 或 Ag 等)。在本实施例中，ITSO (即指含硅的 ITO) 被用作像素电极 50 (图 10A)。

[0170] 然后，形成通过使用有机材料或无机材料形成的绝缘膜以使其覆盖绝缘膜 49 和像素电极 50。然后，处理绝缘膜以部分露出像素电极 50，由此形成隔离壁 81。作为隔离壁 81 的材料，优选光敏的有机材料 (诸如丙烯酸树脂或聚酰亚胺)。作为替代方案，也可以使用非光敏的有机材料或无机材料。并且，可以通过以使得诸如钛黑或氮化硅的黑色颜料或染料借助于分散剂分散于隔离壁 81 的材料中的方式将隔离壁 81 着色成黑色，从而将隔离

壁 81 用作黑矩阵。希望隔离壁 81 具有锥形形状,并且向着像素电极的那些端面 81a 具有连续变化的曲率(图 10B)。

[0171] 然后,形成包含发光物质的层 82,并且形成覆盖包含发光物质的层 82 的相对电极 83。然后,可以制造包含发光物质的层 82 被插入像素电极 50 和相对电极 83 之间的发光元件,并且可通过在相对电极 83 和像素电极 50 之间施加电压获得光发射。

[0172] 作为用于形成相对电极 83 的电极材料,可使用与可用于像素电极的材料类似的材料。在本实施例中,对于第二电极使用铝。

[0173] 通过蒸镀、喷墨、旋涂、浸涂、卷绕式方法(roll-to-roll method)或溅射等形成包含发光物质的层 82。

[0174] 在有机电致发光显示器的情况下,包含发光物质的层 82 可以是分别具有空穴传输、空穴注入、电子传输、电子注入或发光的功能的层的叠层膜或单层的发光层。作为包含发光物质的层,可以使用有机化合物的单层或叠层膜。

[0175] 在阳极和空穴传输层之间设置空穴注入层。作为空穴注入层,可以使用有机化合物和金属氧化物的混合层。这防止由于在像素电极 50 的表面上形成的不均匀性或留在电极的表面上外来物质在像素电极 50 和相对电极 83 之间出现短路。混合层的厚度优选为 60nm 或更厚,更优选 120nm 或更厚。由于膜厚的增加不导致驱动电压的增加,因此,可以选择膜厚,使得可充分掩盖不均匀性或外来物质的影响。因此,在通过本发明制造的发光器件中,不产生黑点,并且驱动电压或功耗不增加。

[0176] 作为金属氧化物,优选为过渡金属的氧化物或氮化物,具体而言,优选为氧化锆、氧化铪、氧化钒、氧化铌、氧化钽、氧化铬、氧化钼、氧化钨、氧化钛、氧化锰和氧化铯。

[0177] 作为有机化合物,可以使用以下的有机化合物:诸如 4,4'-二[N-(1-萘基)-N-苯基-氨基]-联苯(NPB)、4,4'-二[N-(3-甲苯基)-N-苯基-氨基]-联苯(TPD)、4,4',4''-三(N,N-联苯-氨基)-三苯胺(TDATA)、4,4',4''-三[(N-(3-甲苯基)-N-苯基-氨基)-三苯胺(MTDATA)、4,4'-二(N-4(N,N-二间甲苯氨基)苯基)-N-苯氨基]联苯(DNTPD)、1,3,5-三[N,N-二(间甲苯基)氨基]苯(m-MTDAB)和 4,4',4''-三(N-咪唑基)三苯胺(TCTA)的具有芳氨基的有机材料,酞菁(缩写:H₂Pc)、铜酞菁(缩写:CuPc)或钒氧酞菁(缩写:VOPc)等。

[0178] 在阳极和发光层之间,或者当设置空穴注入层时在空穴注入层和发光层之间设置空穴传输层。通过使用具有优异的空穴传输性能的层,例如,通过使用诸如 NPB、TPD、TDATA、MTDATA 和 BSPB 的芳香胺的化合物(即,具有苯环-氮键)形成的层,形成空穴传输层。这里提到的物质大体上具有 $1 \times 10^{-6} \sim 10 \text{cm}^2/\text{Vs}$ 的空穴迁移率。注意,作为这些材料,可以使用空穴传输性能比电子传输性能高的物质。注意,不仅可以通过单层而且可以通过层叠从上述的物质形成的两个或更多个层的叠层膜来形成空穴传输层。

[0179] 在阳极和阴极之间,或者当设置空穴注入层和电子传输层时在空穴注入层和电子传输层之间设置发光层。对于发光层没有特别的限制;但是,用作发光层的层大致具有两种模式。一种是在由其能隙比变成发光中心的发光物质(掺杂材料)的能隙大的材料(宿主材料)形成的层中包含分散的发光物质的主客型层,另一种是其中发光层仅由发光物质制成的层。由于前一种几乎不会发生浓度淬灭,因此它是优选的。作为要成为发光中心的发光物质,可以使用以下物质:4-二氰基亚甲基-2-甲基-6-[2-(1,1,7,7-四甲基久洛尼定

基-9-烯基)]-4H-吡喃(DCJT)、4-二氰基亚甲基-2-叔丁基-6-[2-(1,1,7,7-四甲基久洛尼定基-9-烯基)]-4H-吡喃、periflanthene、2,5-二氰基-1,4-二(10-甲氧基-1,1,7,7-四甲基久洛尼定基-9-烯基)苯;N,N'-二甲基喹吡啶酮(DMQd)、香豆素6、香豆素545T、三(8-羟基喹啉)铝(Alq_3)、9,9'-联蒽、9,10-二苯基蒽(DPA)、9,10-二(2-萘基)蒽(DNA);2,5,8,11-四叔丁基二萘嵌苯(TBP);PtOEP;Ir(ppy)₃;Btp₂Ir(acac);或FIrpic;等等。在形成散布发光物质的层时,作为要成为宿主材料的基体材料,可以使用以下的材料:诸如9,10-二(2-萘基)-2-叔丁基蒽(t-BuDNA)的蒽衍生物;诸如4,4'-二(N-咔唑基)联苯(CPB)的咔唑衍生物;或诸如三(8-羟基喹啉)铝(Alq_3)、三(4-甲基-8-羟基喹啉)铝($Almq_3$)、二(10-羟苯基[h]-喹啉)铍(BeBq₂)、二(2-甲基-8-羟基喹啉)-4-联苯氧基-铝(BAlq)、二[2-(2-羟苯基)吡啶]锌(Znpp₂)或二[2-(2-羟苯基)苯恶唑]锌(ZnBOX)的金属络合物。作为可仅用发光物质构成发光层的材料,可以使用三(8-羟基喹啉)铝(Alq_3)、9,10-二(2-萘基)蒽(DNA)或二(2-甲基-8-羟基喹啉)-4-联苯酚铝(BAlq)等。

[0180] 在发光层和阴极之间、或者当设置电子注入层时在发光层和电子注入层之间设置电子传输层。电子传输层是具有优异的电子传输性能的层,并且,例如是通过使用诸如三(8-羟基喹啉)铝(缩写: Alq_3)、三(5-甲基-8-羟基喹啉)铝(缩写: $Almq_3$)、二(10-羟苯基[h]-喹啉)铍(缩写:BeBq₂)和二(2-甲基-8-羟基喹啉)-4-联苯酚铝(缩写:BAlq)的具有喹啉骨架或苯并喹啉骨架的金属络合物形成的层。另外,可以使用诸如二[2-(2-羟苯基)苯并恶唑]锌(缩写:Zn(BOX)₂)或二[2-(2-羟苯基)苯并噻唑]锌(缩写:Zn(BTZ)₂)等的具有恶唑配位体或噻唑配位体的金属络合物。除了金属络合物以外,可以使用2-(4-联苯基)-5-(4-叔丁基)-1,3,4-恶二唑(PBD)、1,3-双[5-(4-叔丁基)-1,3,4-恶二唑-2-基]苯(OXD-7)、3-(4-叔丁基)-4-苯基-5-(4-联苯基)-1,2,4-三唑(TAZ)、3-(4-叔丁基)-4-(4-乙苯基)-5-(4-联苯基)-1,2,4-三唑(p-EtTAZ)、菲咯啉(bathophenanthroline, BPhen)或浴铜灵(bathocuproin, BCP)等。这里提到的这些物质主要具有 $1 \times 10^{-6} \sim 10 \text{ cm}^2/\text{Vs}$ 的电子迁移率。注意,可以对电子传输层使用其它的物质,只要它的电子传输性能比空穴传输性能高即可。并且,不仅可以通过单层而且可以通过层叠由上述的物质形成的两个或更多个层的叠层膜来形成电子传输层。

[0181] 在阴极和电子传输层之间设置电子注入层。作为电子注入层,可以使用诸如氟化锂(LiF)、氟化铯(CsF)或氟化钙(CaF_2)的碱金属或碱土金属的化合物。此外,可以通过使用包含碱金属或碱土金属,例如,包含镁(Mg)等的 Alq_3 的电子传输物质来形成层。

[0182] 在无机电致发光显示器的情况下,可以使用在用于包含发光物质的层82的分散剂中散布荧光物质粒子的无机电致发光显示器。

[0183] 可以使用在ZnS中添加诸如Cl(氯)、I(碘)或Al(铝)的施主杂质以及Cu(铜)的荧光物质。

[0184] 作为分散剂,可以使用以下的材料:诸如氰乙基纤维素类树脂、聚乙烯类树脂、聚丙烯类树脂、聚苯乙烯类树脂、有机硅树脂、环氧树脂或偏二氟乙烯树脂等的具有相对较高的介电常数的聚合物。可以通过混合树脂和诸如BaTiO₃(钛酸钡)或SrTiO₃(钛酸锶)的具有较高的介电常数的小粒子来调整介电常数。作为扩散设备,可以使用超声波扩散机等。

[0185] 可以在包含发光物质的层82与一个电极之间设置电介质层。对于电介质层,使

用具有较高的电介质击穿电压的高度介电和绝缘材料。其中的一个选自例如 TiO_2 、 BaTiO_3 、 SrTiO_3 、 PbTiO_3 、 KNbO_3 、 PbNbO_3 、 Ta_2O_5 、 BaT_2O_6 、 LiTaO_3 、 Y_2O_3 、 Al_2O_3 、 ZrO_2 、 AlON 或 ZnS 等的金属氧化物或氮化物。它们可被设置为均匀的膜或具有粒子结构的膜。

[0186] 在无机电致发光显示器(的情况下,可以使用在绝缘层之间插入发光层的双绝缘结构。可以通过使用 II-VI 化合物,例如,包含稀土元素的 Mn (锰)或 ZnO (氧化锌)来形成发光层,并且,可以通过使用诸如 Si_3N_4 、 SiO_2 、 Al_2O_3 或 TiO_2 的氧化物或氮化物形成绝缘层。

[0187] 通过等离子 CVD(未示出)在相对电极 83 之上形成含氮的氧化硅膜作为钝化膜。在使用含氮的氧化硅膜的情况下,使用以下的膜:通过利用等离子 CVD 使用 SiH_4 、 N_2O 和 NH_3 形成的氧氮化硅膜;通过使用 SiH_4 和 N_2O 形成的氧氮化硅膜;或通过使用用 Ar 稀释 SiH_4 和 N_2O 得到的气体形成的氧氮化硅膜。

[0188] 可以使用由 SiH_4 、 N_2O 和 H_2 制造的氧氮氢化硅(silicon oxidenitride hydride)膜作为钝化膜。注意,钝化膜不限于上述的物质。也可以使用包含硅作为主要成分的其它绝缘膜。另外,可以使用叠层膜结构以及单层结构。并且,可以使用氮化碳膜和氮化硅膜的多层膜或苯乙烯聚合物的多层膜。可以使用氮化硅膜或类金刚石碳膜。

[0189] 然后,密封显示部分以保护发光元件免受促进劣化的诸如水的材料影响。在使用用于密封的相对衬底的情况下,通过使用绝缘密封剂固定相对衬底以露出外部连接部分。可以用诸如干氮气的惰性气体填充相对衬底和元件衬底之间的空间,或者,可以通过向整个像素部分施加密封剂来固定相对衬底。优选地,使用紫外线硬化树脂等作为密封剂。可以在密封剂中混合干燥剂或用于使衬底之间的间隙保持恒定的粒子。然后,通过将柔性布线板固定到外部连接部分上来完成发光器件。

[0190] 参照图 11A 和图 11B 示出如上面所述的那样制造的发光器件的结构的一个例子。注意,具有相同功能的部分即使具有不同的形状有时也由相同的附图标记表示,并且有时省略解释。

[0191] 图 11A 表示通过使用透光导电膜形成像素电极 50 的结构,并且向衬底 1 发射在包含发光物质的层 82 中产生的光。并且,附图标记 86 表示相对衬底。在形成发光元件之后,通过使用密封剂等将该相对电极牢固地固定到衬底 1 上。用具有透光性能等的树脂 85 填充相对衬底 86 与元件之间的空间以密封发光元件。因此,可以防止发光元件由于湿气等劣化。优选地,树脂 85 具有吸湿性能。更优选地,具有较高的透光性能的干燥剂 84 分散于树脂 85 中以防止湿气的不利影响。

[0192] 图 11B 表示通过使用具有透光性能的导电膜形成像素电极 50 和相对衬底 83 的结构。因此,如虚线箭头所示,可以向衬底 1 和相对衬底 86 发射光。在该结构中,通过在衬底 1 和相对衬底 86 外面设置偏振片 88,可以防止屏幕透明,由此改善可视性。优选在偏振片 88 外面设置保护膜 87。

[0193] 具有显示功能的本发明的发光器件可使用模拟视频信号或数字视频信号。如果使用数字视频信号,那么视频信号可使用电压或电流。

[0194] 当发光元件发光时,要被输入到像素的视频信号可具有恒定的电压或恒定的电流。当视频信号具有恒定的电压时,恒定的电压被施加到发光元件,或者恒定的电流流过发光元件。

[0195] 并且,当视频信号具有恒定的电流时,恒定的电压被施加到发光元件,或者恒定的

电流流过发光元件。恒定的电压被施加到发光元件上的驱动方法被称为恒压驱动。同时，恒定的电流流过发光元件的驱动方法被称为恒流驱动。在恒流驱动中，不管发光元件的电阻如何变化，均流过恒定的电流。根据本发明的发光显示器及其驱动方法可使用上述方法中的任一种。

[0196] 在发光器件中，栅绝缘膜不被蚀刻，并且，发光元件的特性不会不稳定，因此其可靠性较高。在使用顶栅半导体器件的情况下，由于玻璃衬底或者通过使用氧化硅膜或氧化氮化硅膜形成的基膜不被蚀刻，因此使特性劣化的诸如钠的杂质不从衬底扩散到半导体膜中，所以可获得较高的可靠性。

[0197] 对源电极和漏电极的一部分使用 Al，由此实现低电阻的引线。

[0198] 参照图 12A ~ 12F 和图 13 等示出在面板和模块中包含的像素电路和保护电路以及它们的操作。图 10A 和图 10B 以及图 11A 和图 11B 分别表示半导体器件的驱动 TFT 1403 的截面图。开关 TFT 1401、电流控制 TFT 1404 和擦除器 TFT 1406 可以在驱动 TFT 1403 的同时被制造，并且可具有与驱动 TFT 1403 相同的结构。

[0199] 图 12A 所示的像素包含沿列方向配置的信号线 1410 和电源线 1411 和 1412 以及沿行方向配置的扫描线 1414。像素还包含开关 TFT 1401、驱动 TFT 1403、电流控制 TFT 1404、辅助电容器 1402 和发光元件 1405。

[0200] 除了驱动 TFT 1403 的栅电极与沿行方向设置的电源线 1412 连接以外，图 12C 所示的像素具有与图 12A 所示的结构相同的结构。换句话说，图 12A 和图 12C 所示的像素具有等效的电路图。但是，在与通过使用与在沿行方向配置电源线 1412 的情况下使用导电层形成电源线的层不同的层中，通过使用导电层形成在沿列方向配置电源线 1412 的情况下（图 12A）形成的电源线。这里，关注与驱动 TFT 1403 的栅电极连接的引线，并且，为了表示这些引线由不同的层形成，在图 12A 和图 12C 中分别地示出其结构。

[0201] 作为图 12A 和图 12C 所示的像素的特征，驱动 TFT 1403 和电流控制 TFT 1404 在像素内被串联，并且优选地，设置驱动 TFT 1403 的沟道长度 $L(1403)$ 和沟道宽度 $W(1403)$ 以及电流控制 TFT 1404 的沟道长度 $L(1404)$ 和沟道宽度 $W(1404)$ ，以满足 $L(1403)/W(1403) : L(1404)/W(1404) = 5 \sim 6000 : 1$ 。

[0202] 驱动 TFT 1403 在饱和区域中操作，并用于控制流入发光元件 1405 的电流的电流值。电流控制 TFT 1404 在线性区域中操作并用于控制供给到发光元件 1405 的电流。优选地，在本实施例中，这两种 TFT 在制造过程中具有相同的导电类型；并且，TFT 是 n 沟道型 TFT。驱动 TFT 1403 可以是增强模式 TFT 或耗尽模式 TFT。由于电流控制 TFT 1404 在具有以上的结构的发光器件中的线性区域中操作，因此电流控制 TFT 1404 的 V_{gs} 的轻微波动不影响发光元件 1405 的电流值。也就是说，可以通过在饱和区域中操作的驱动 TFT 1403 确定发光元件 1405 的电流值。使用以上的结构，可以补偿由于 TFT 的特性的变化导致的发光元件的亮度的变化，由此提供具有改善的图像质量的发光器件。

[0203] 在图 12A ~ 12D 中所示的各像素中，开关 TFT 1401 是要控制向像素输入视频信号，并且当开关 TFT 1401 被接通时视频信号被输入到像素中。然后，在辅助电容器 1402 中保持视频信号的电压。虽然图 12A 和图 12C 表示其中设置了辅助电容器 1402 的结构，但本发明不限于此。当栅电极电容等可用作保持视频信号的电容器时，未必设置辅助电容器 1402。

[0204] 除了添加 TFT 1406 和扫描线 1415 以外,图 12B 所示的像素具有与图 12A 所示的像素结构相同的像素结构。同样地,除了添加 TFT 1406 和扫描线 1415 以外,图 12D 所示的像素具有与图 12C 所示的像素结构相同的像素结构。

[0205] 通过另外设置扫描线 1415 来控制 TFT 1406 的 ON 和 OFF。当 TFT1406 被接通时,保持在辅助电容器 1402 中的电荷被放电,由此关断电流控制 TFT 1404。换句话说,通过设置 TFT 1406,可以强制产生电流不流入发光元件 1405 中的状态。因此,TFT 1406 可被称为擦除器 TFT。因此,在图 12B 和图 12D 所示的结构中,可在将信号写入所有的像素之前,与写入周期的开始同时或紧接其后开始发光周期;由此增加负荷比。

[0206] 在图 12E 所示的像素中,沿列方向配置信号线 1410 和电源线 1411,并且沿行方向配置扫描线 1414。并且,像素包含开关 TFT 1401、驱动 TFT 1403、辅助电容器 1402 和发光元件 1405。除了添加 TFT 1406 和扫描线 1415 以外,图 12F 所示的像素具有与图 12E 所示的像素结构相同的像素结构。在图 12F 所示的结构中,也可以通过设置 TFT 1406 增加负荷比。

[0207] 由于在各个像素中设置 TFT,因此当像素密度增加时可以在低电压下驱动有源矩阵发光器件。因此,可以认为有源矩阵发光器件是有利的。

[0208] 虽然本实施例说明了在各个像素中设置各个 TFT 的有源矩阵发光器件,但也可形成无源矩阵发光器件。由于在无源矩阵发光器件中不在各个像素中设置 TFT,因此可获得较高的开口率 (aperture ratio)。在向发光叠层 (stack) 的两侧发射光的发光器件的情况下,无源矩阵发光器件的透射率增加。

[0209] 随后,将说明通过使用图 12E 所示的等效电路在扫描线和信号线上设置二极管作为保护电路的情况。

[0210] 在图 13 中,在像素区域 1500 中设置开关 TFT 1401、驱动 TFT1403、辅助电容器 1402 和发光元件 1405。在信号线 1410 上设置二极管 1561 和 1562。基于以上的实施例,以与开关 TFT 1401 和驱动 TFT 1403 类似的方式制造二极管 1561 和 1562,并且具有栅电极、半导体层、源电极、漏电极等。二极管 1561 和 1562 通过将栅电极与漏电极或源电极连接而作为二极管工作。

[0211] 通过使用与栅电极相同的层形成与二极管 1561 和 1562 连接的共用的等势线 1554 和 1555。因此,为了将共用的等势线 1554 和 1555 与二极管的源电极或漏电极连接,必须在栅绝缘层中形成接触孔。

[0212] 在扫描线 1414 上设置的二极管 1563 和 1564 具有类似的结构。并且,共用的等势线 1565 和 1566 具有类似的结构。

[0213] 这样,可以根据本发明在输入阶段中同时形成保护二极管。并且,保护二极管的设置不限于此,并且可以在驱动电路与像素之间设置它们。

[0214] 在图 14A 中说明使用图 12E 所示的等效电路的情况下的像素部分的顶视图。另外,在图 14B 中示出与图 12E 中的等效电路相同的等效电路。图 10A、图 10B、图 11A 和图 11B 所示的各半导体器件与各个驱动 TFT 1403 对应。图 10A、图 10B、图 11A 和图 11B 表示沿图 14A 和图 14B 中的线 X-Y 切取的截面图。通过使用第一导电膜形成电源线 1411、信号线 1410 和开关 TFT 1401 的源电极和漏电极,并且通过使用第二导电膜形成驱动 TFT 1403 的源电极和漏电极。

[0215] 通过与驱动 TFT 1403 相同的方法制造开关 TFT 1401。开关 TFT1401 的漏电极和驱动 TFT 1403 的栅电极 40 通过在与栅绝缘膜 42 相同的层中的绝缘膜中形成的接触孔相互电连接。

[0216] 通过使用驱动 TFT 1403 的栅电极延伸的部分、电源线 1411 和与栅绝缘膜 42 相同的层中的绝缘膜形成辅助电容器 1402。

[0217] 在隔离壁 81 的开口部分中形成发光区域 1420。虽然没有示出,但在发光区域 1420 的附近形成隔离壁 81。发光区域 1420 的角部分可被修圆。通过使隔离壁 81 的开口部分的角部分被修圆,发光区域 1420 的角部分可被修圆。当进行使用等离子的干蚀刻以处理隔离壁 81 时,可以通过使角部分被修圆来抑制由于异常放电导致的细粒子的产生。

[0218] 本实施例可在适当情况下与以上的实施例的适当的结构组合。

[0219] [实施例 7]

[0220] 作为具有安装了以上的实施例中作为例子示出的模块的根据本发明的半导体器件的电子装置,可以举出诸如摄像机或数字照相机的照相机、护目镜型显示器(头戴式显示器)、导航系统、音频再生装置(例如,汽车音频部件)、计算机、游戏机、便携式信息终端(例如,移动计算机、蜂窝电话、便携式游戏机或电子图书等)和配备了记录介质的图像再生装置(特别是可再生诸如数字通用盘(DVD)的记录介质的内容并且具有用于显示存储在其中的图像的显示器的装置)等。在图 15A ~ 15E 和图 16 中示出这些电子装置的具体例子。

[0221] 图 15A 表示包含外壳 3001、显示区域 3003 和扬声器 3004 等的用于电视接收机或个人计算机等的监视器。在显示区域 3003 中设置有源矩阵显示器。显示区域 3003 的各像素包含根据本发明制造的半导体器件。通过使用具有该结构的本发明的半导体器件,可以获得具有更小的特性劣化的电视机。

[0222] 图 15B 表示包含主体 3101、外壳 3102、显示区域 3103、音频输入部分 3104、音频输出部分 3105、操作键 3106 和天线 3108 的蜂窝电话。在显示区域 3103 中设置有源矩阵显示器。显示区域 3103 的各像素包含根据本发明制造的半导体器件。通过使用具有该结构的本发明的半导体器件,可以获得具有更小的特性劣化的蜂窝电话。

[0223] 图 15C 表示包含主体 3201、外壳 3202、显示区域 3203、键盘 3204、外部连接端口 3205 和指示鼠标 3206 的计算机。在显示区域 3203 中设置有源矩阵显示器。显示区域 3203 的各像素包含根据本发明制造的半导体器件。通过使用具有该结构的本发明的半导体器件,可以获得具有更小的特性劣化的计算机。

[0224] 图 15D 表示包含主体 3301、显示区域 3302、开关 3303、操作键 3304 和红外端口 3305 等的移动计算机。在显示区域 3302 中设置有源矩阵显示器。显示区域 3302 的各像素包含根据本发明制造的半导体器件。通过使用具有该结构的本发明的半导体器件,可以获得具有更小的特性劣化的移动计算机。

[0225] 图 15E 表示包含外壳 3401、显示区域 3402、扬声器 3403、操作键 3404 和记录介质嵌入部分 3405 等的便携式游戏机。在显示区域 3402 中设置有源矩阵显示器。显示区域 3402 的各像素包含根据本发明制造的半导体器件。通过使用具有该结构的本发明的半导体器件,可以获得具有更小的特性劣化的便携式游戏机。

[0226] 图 16 表示包含主体 3110、像素区域 3111、驱动器 IC 3112、接收装置 3113 和膜电

池 3114 等的柔性显示器。接收装置可从上述的蜂窝电话的红外通信端口 3107 接收信号。在像素区域 3111 中设置有源矩阵显示器。像素区域 3111 的各像素包含根据本发明制造的半导体器件。通过使用具有该结构的本发明的半导体器件,可以获得具有更小的特性劣化的柔性显示器。

[0227] 如上所述,本发明的应用范围是极宽的,并且本发明可被应用于所有领域中的电子装置。

[0228] 本申请基于 2005 年 11 月 15 日在日本专利局提交的日本专利申请 No. 2005-329806,在此加入其全部内容作为参考。

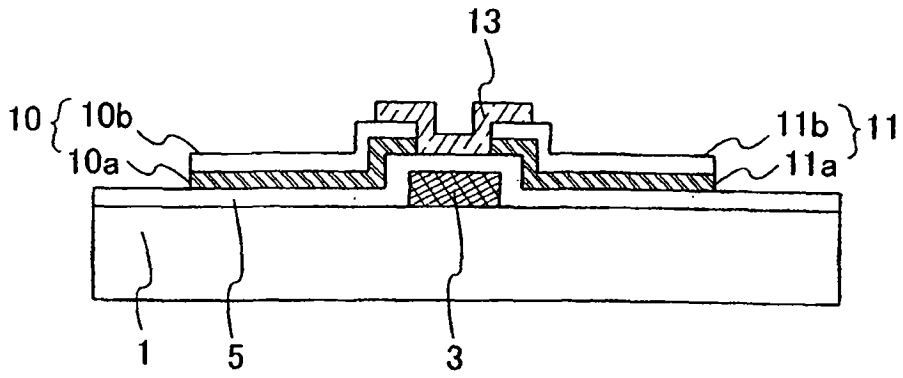


图 1A

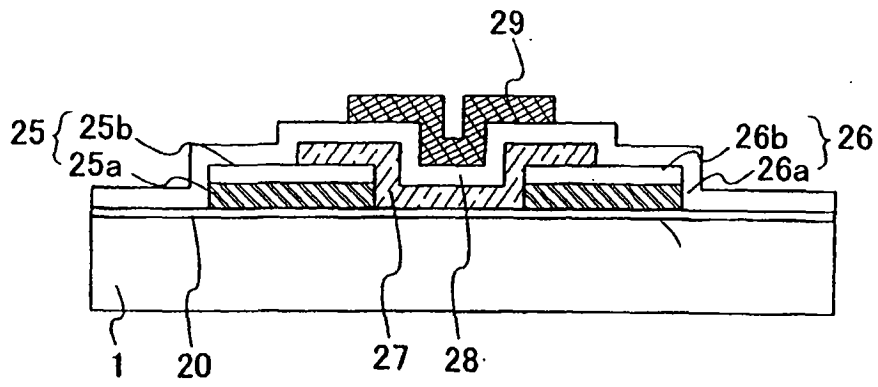


图 1B

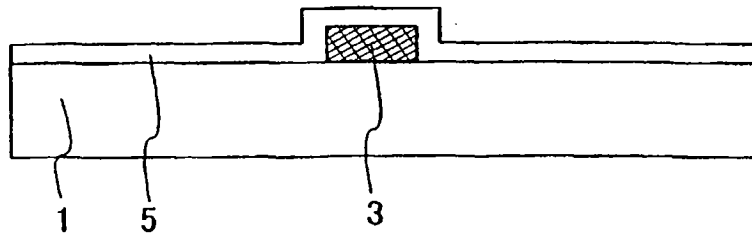


图 2A

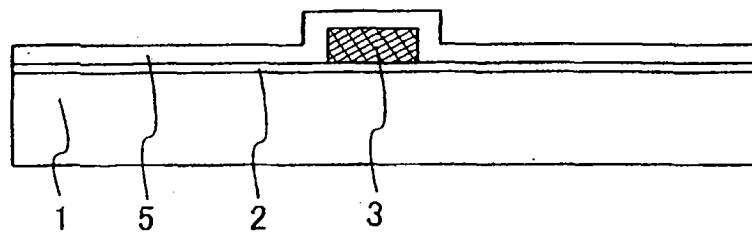


图 2B

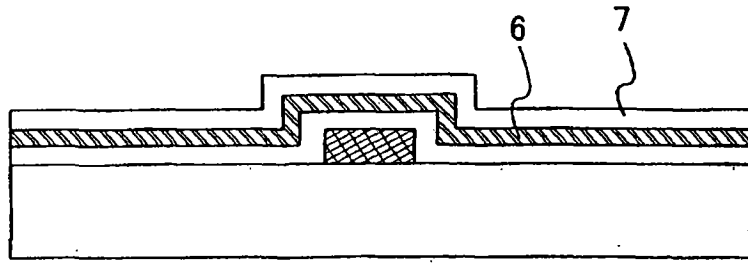


图 2C

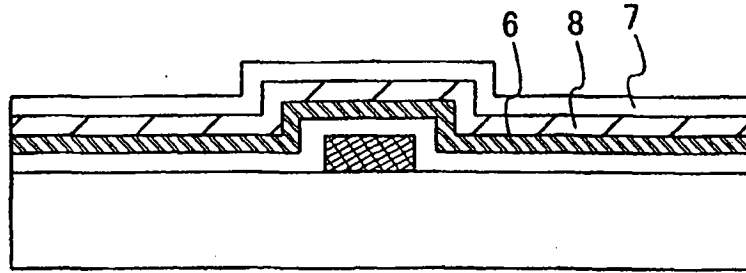


图 2D

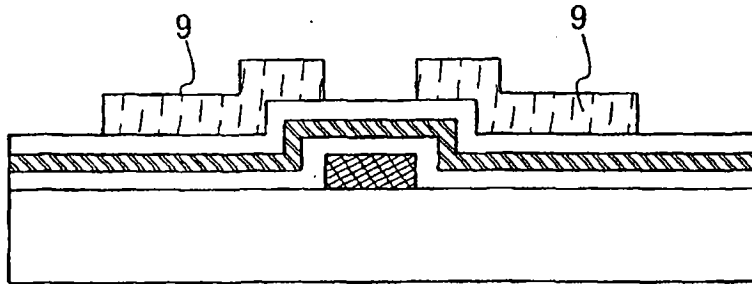


图 3A

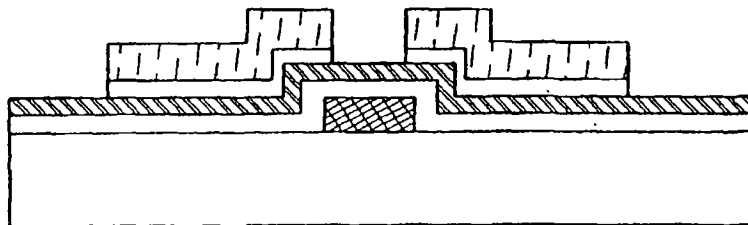


图 3B

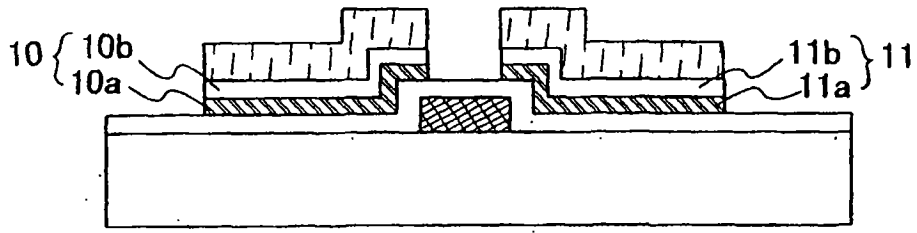


图 3C

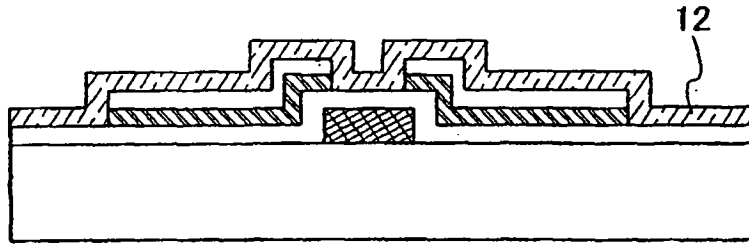


图 3D

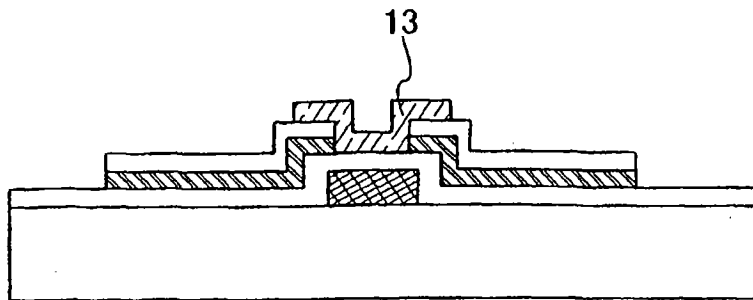


图 4A

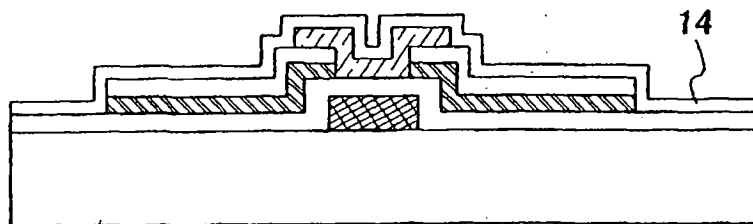


图 4B

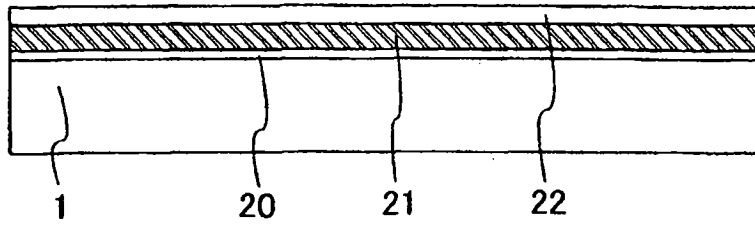


图 5A

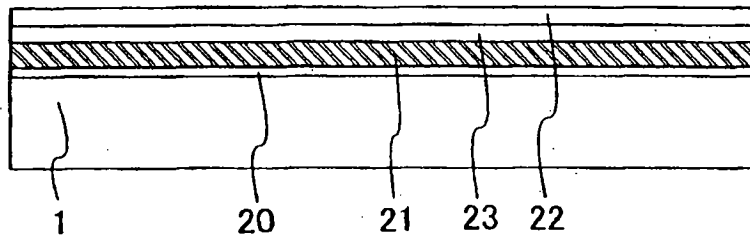


图 5B

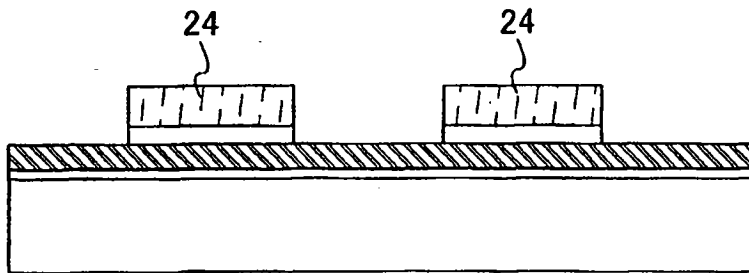


图 5C

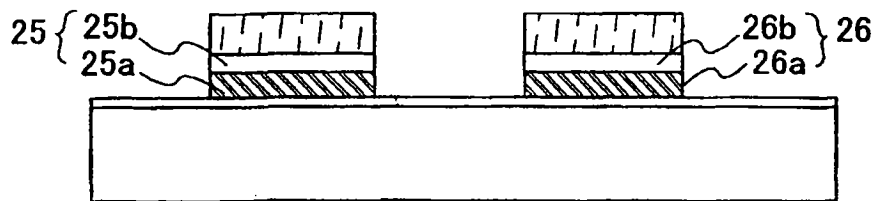


图 5D

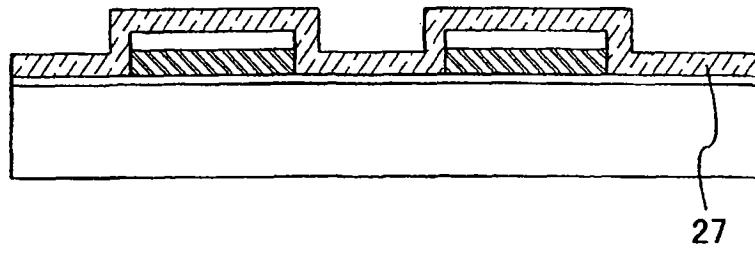


图 6A

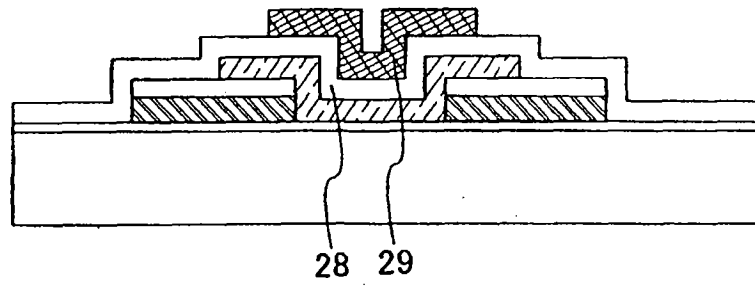


图 6B

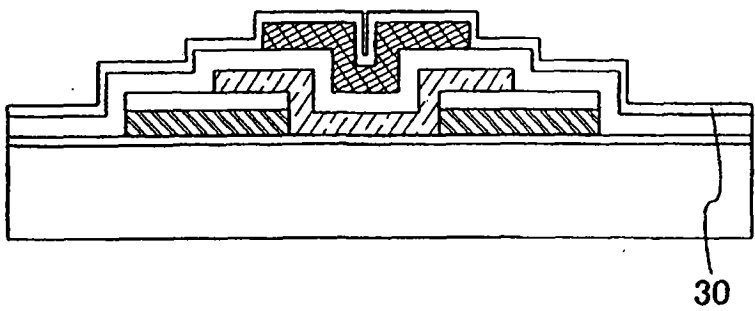


图 6C

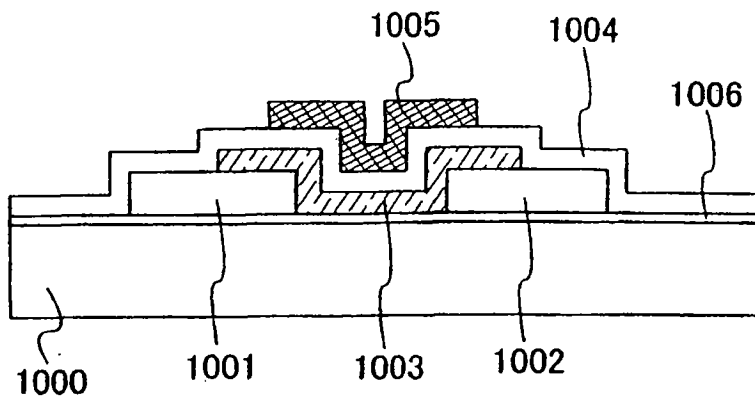


图 7A

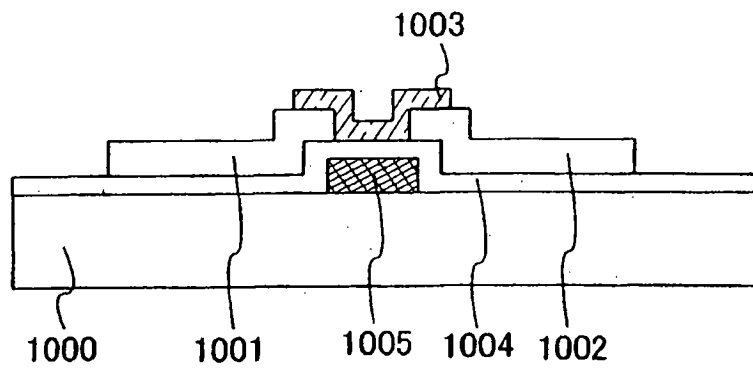


图 7B

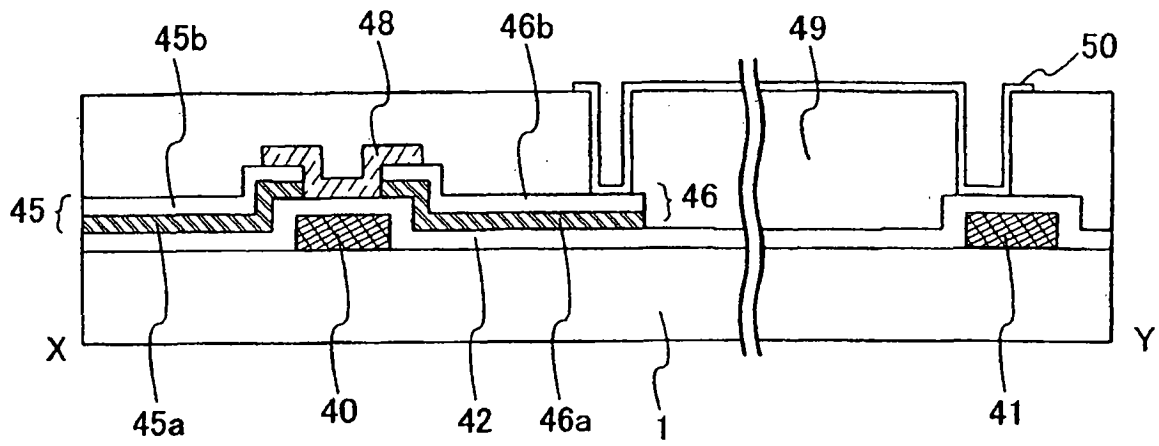


图 8A

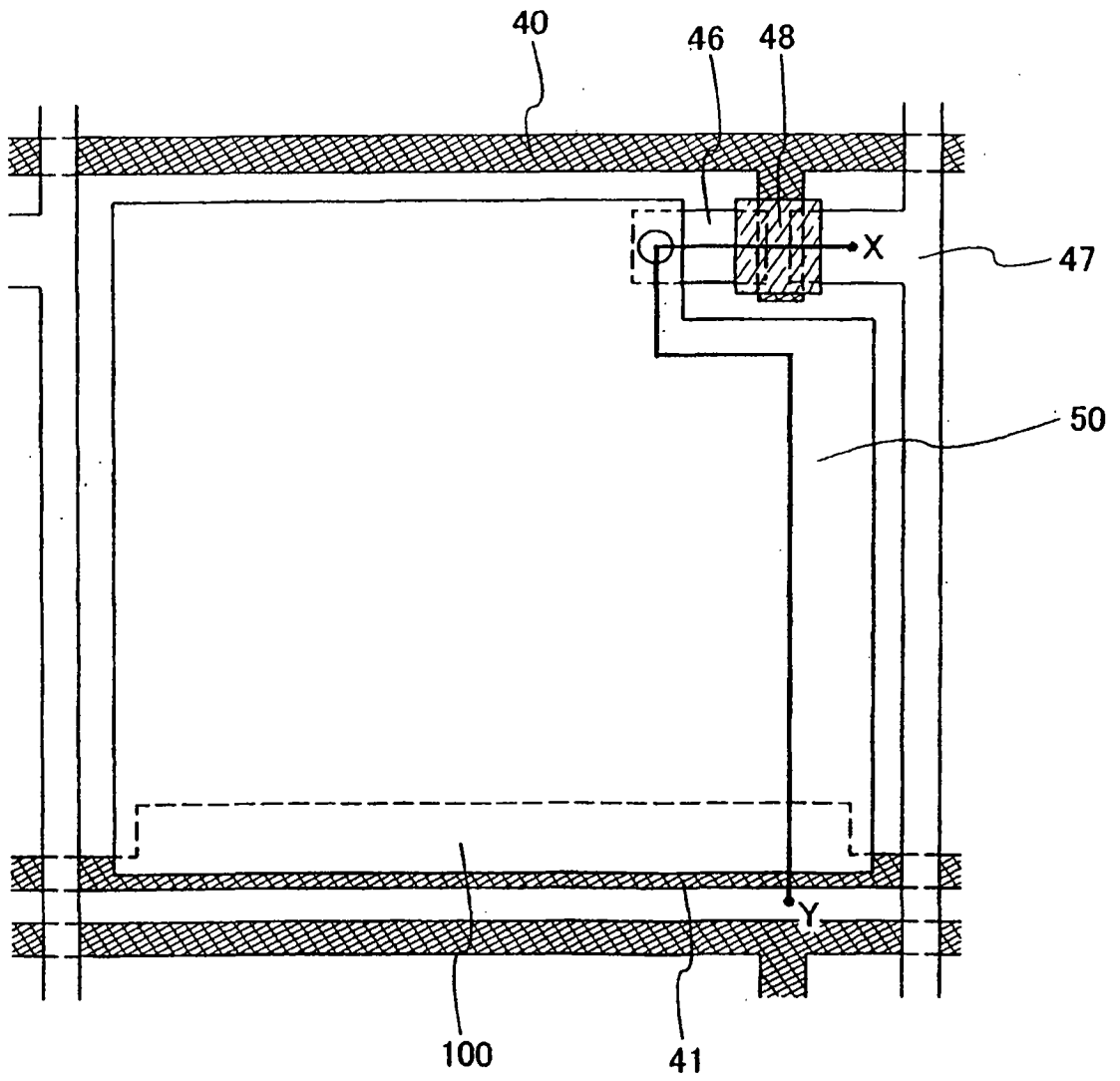


图 8B

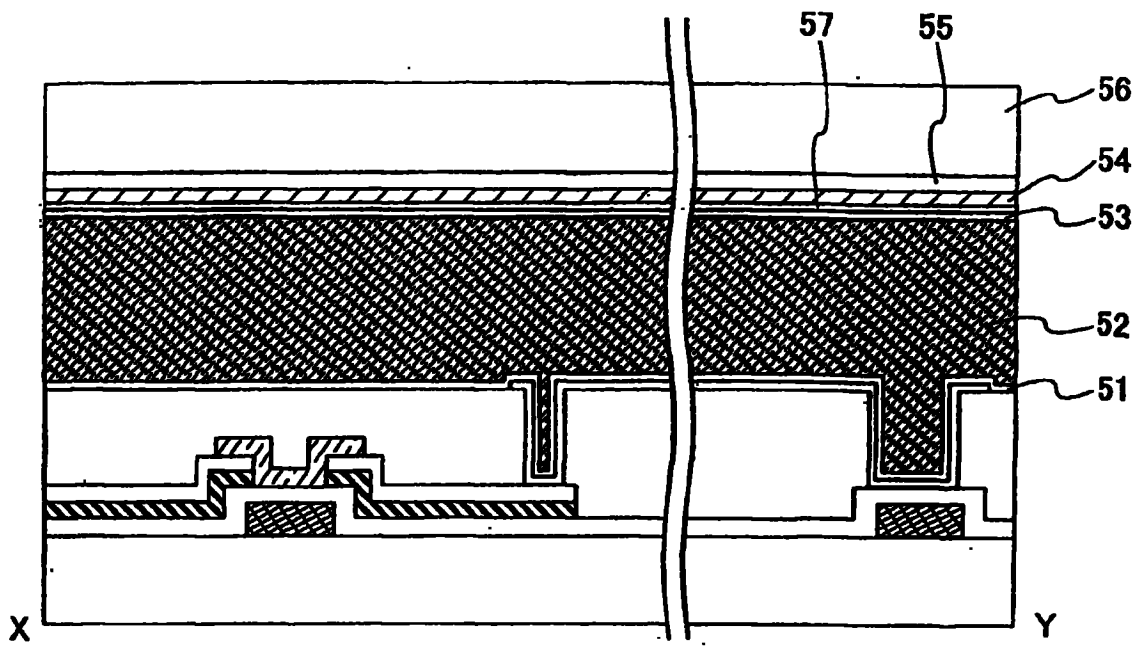


图 9A

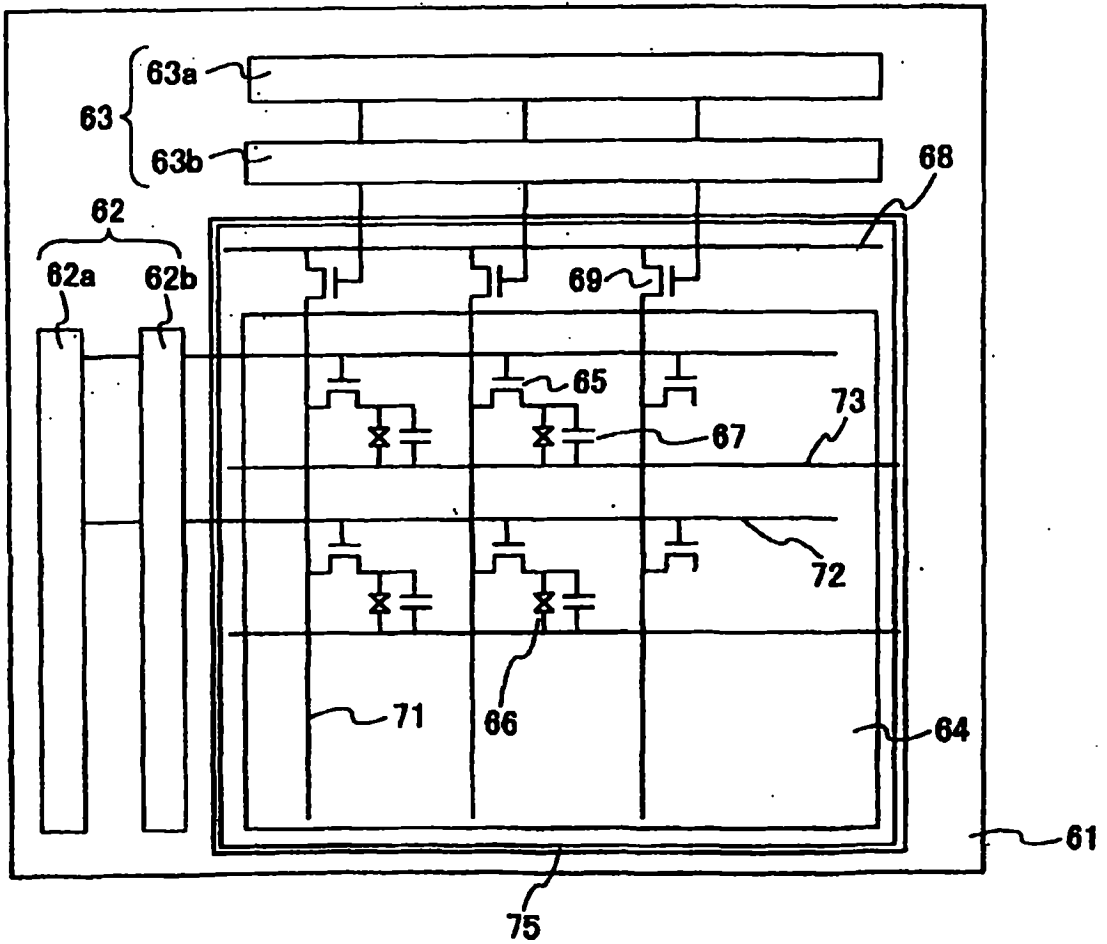


图 9B

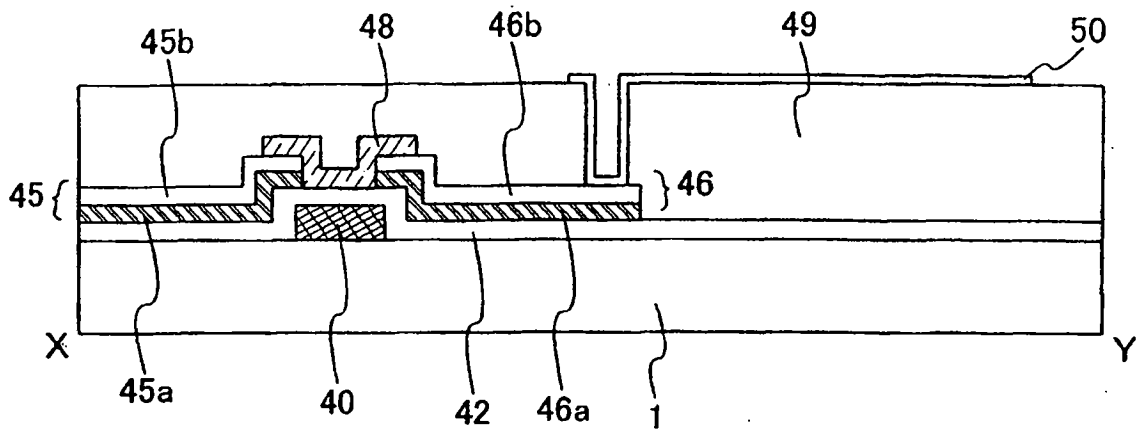


图 10A

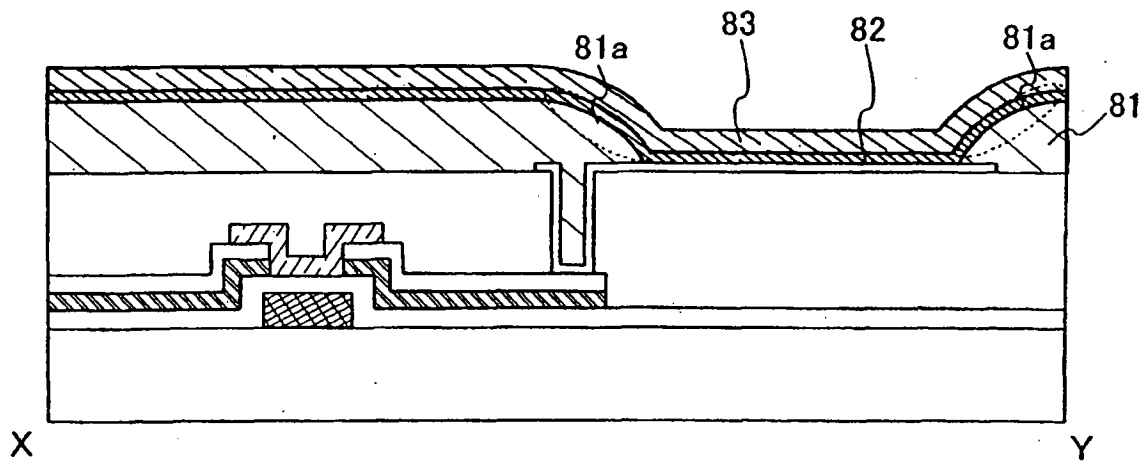


图 10B

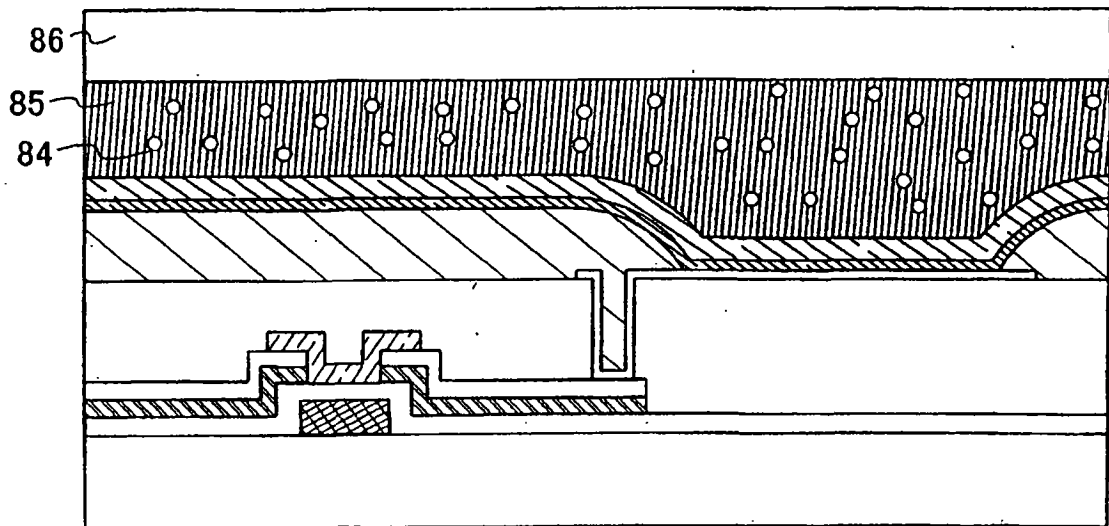


图 11A

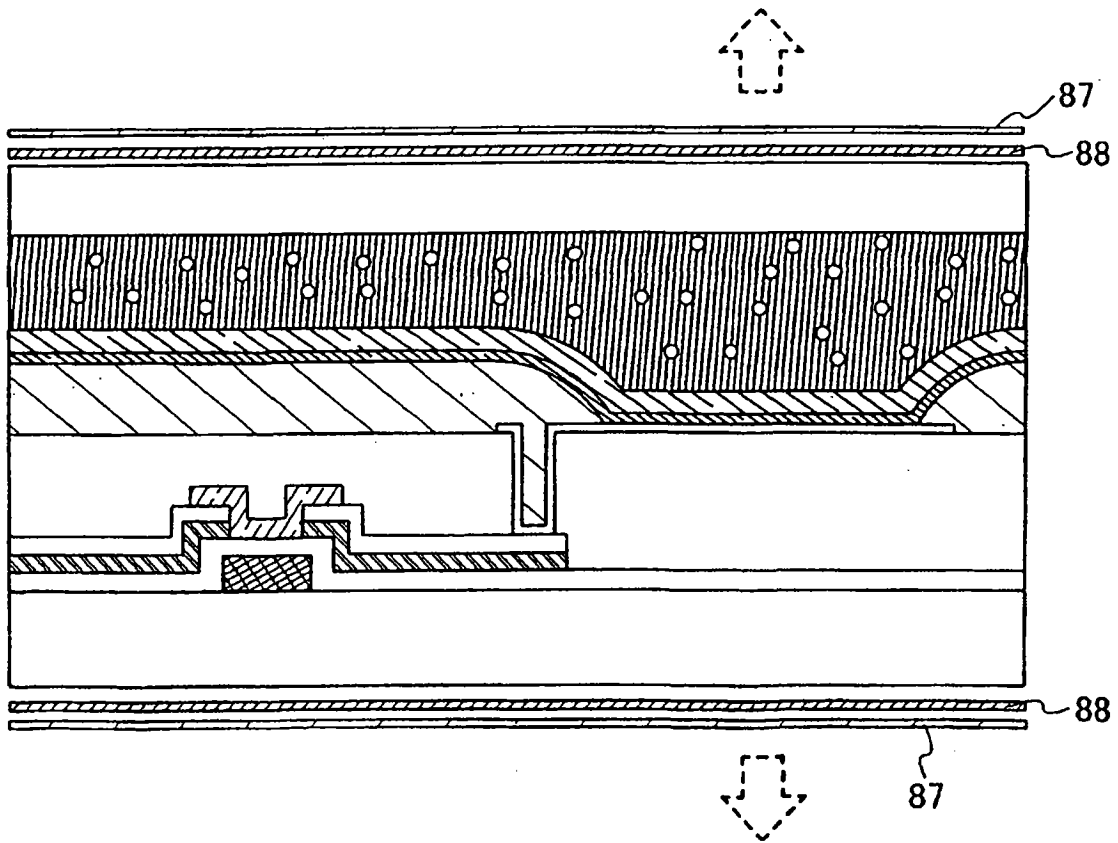


图 11B

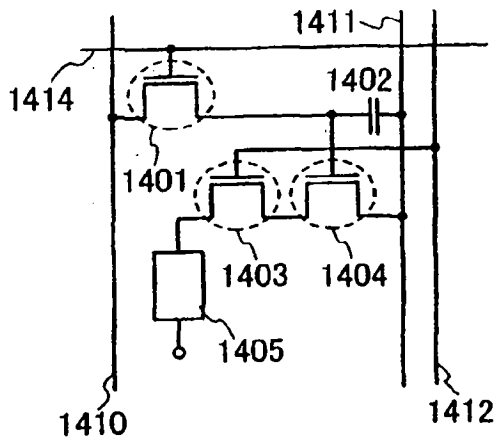


图 12A

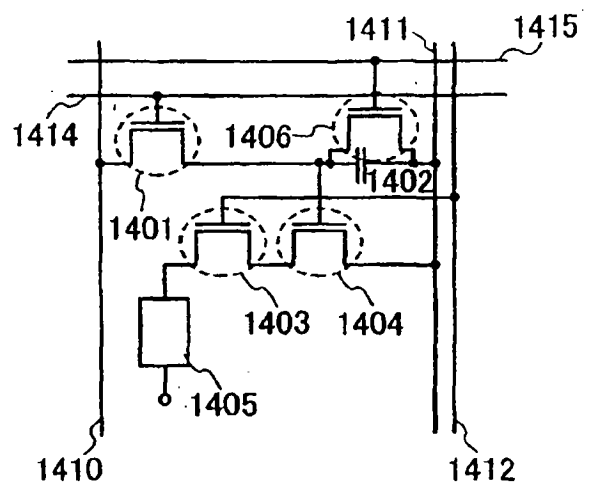


图 12B

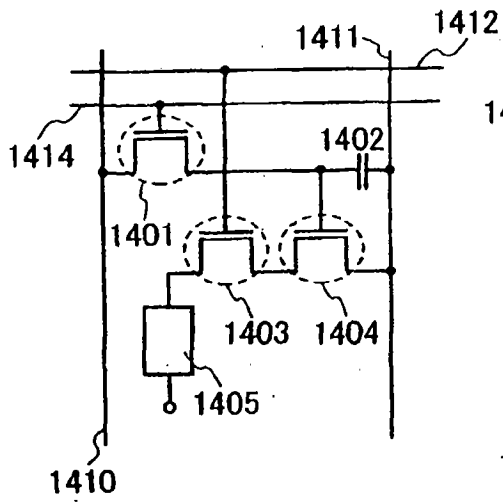


图 12C

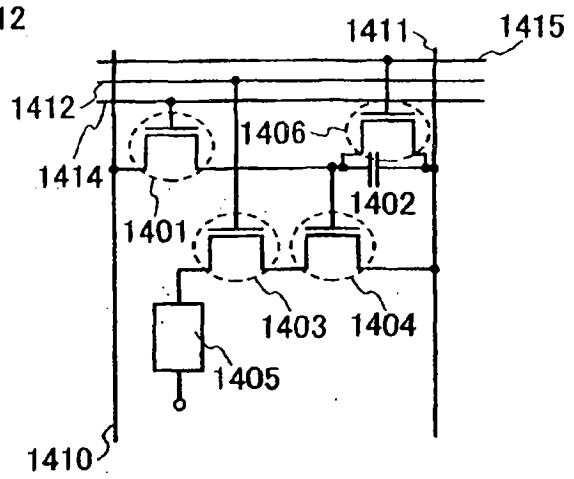


图 12D

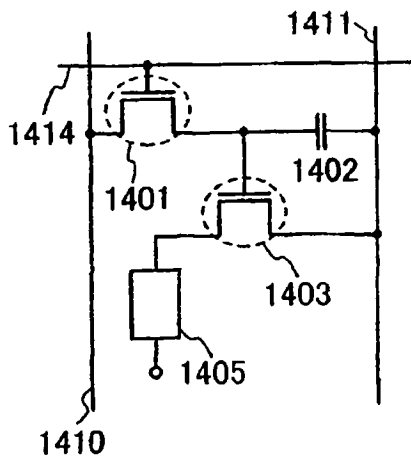


图 12E

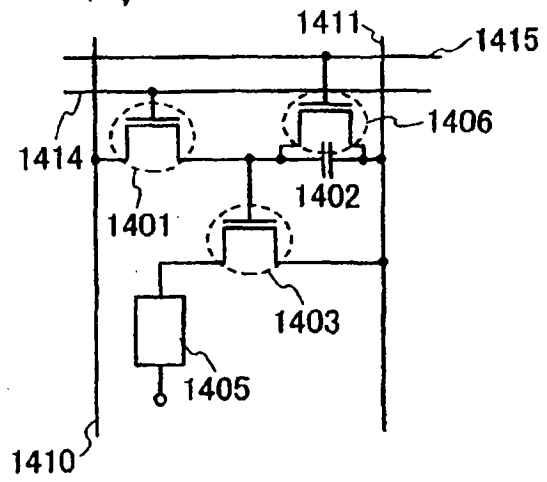


图 12F

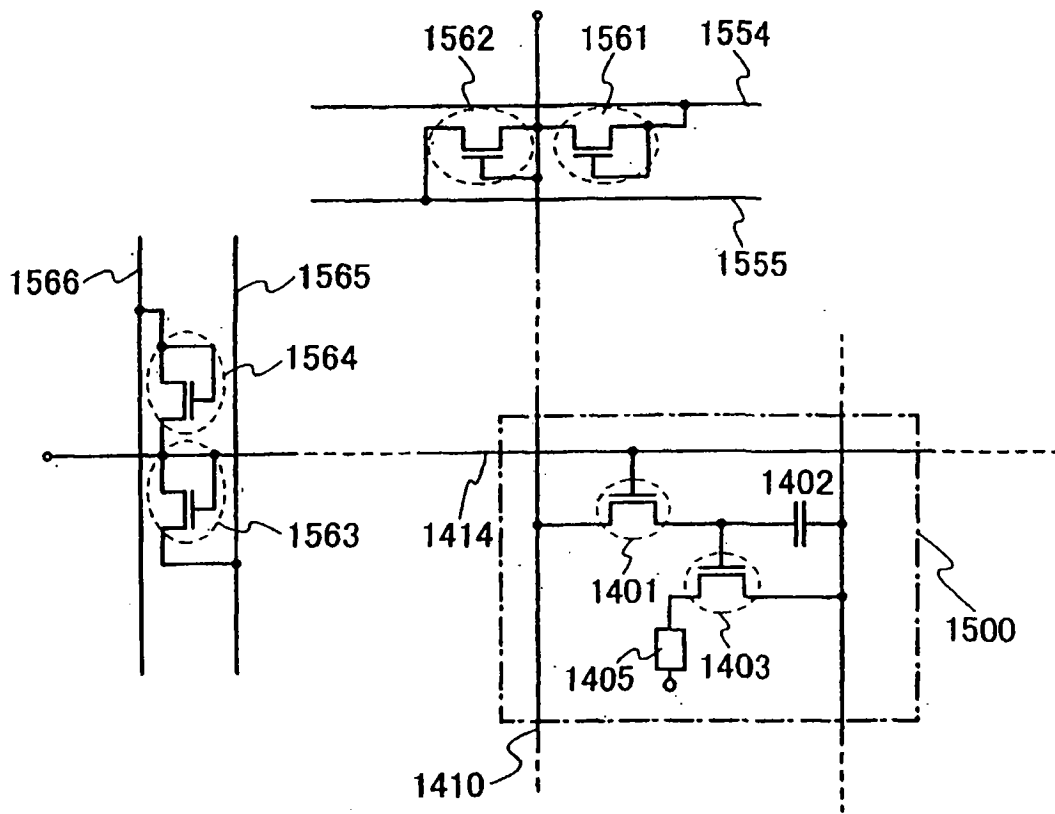


图 13

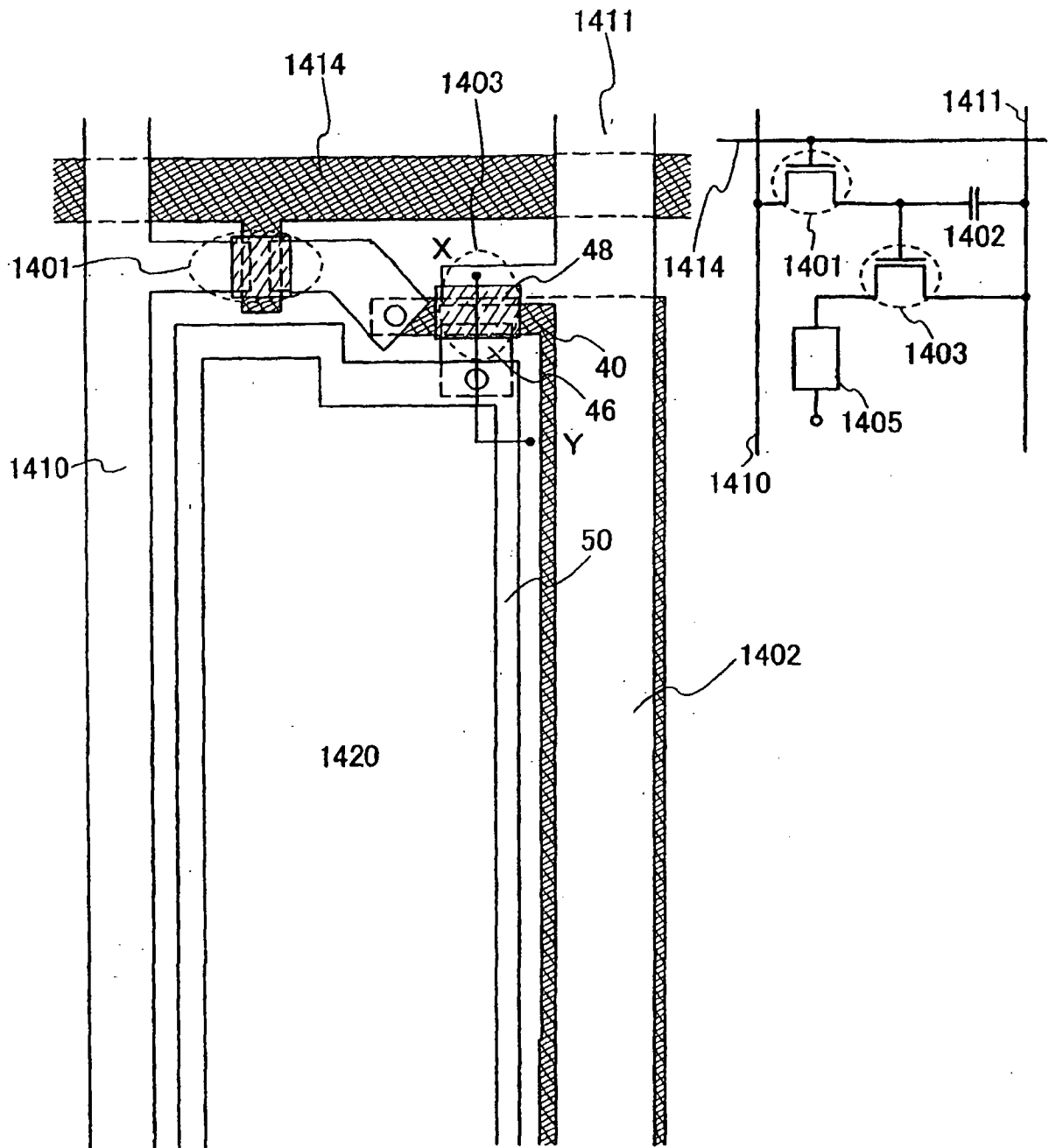


图 14A

图 14B

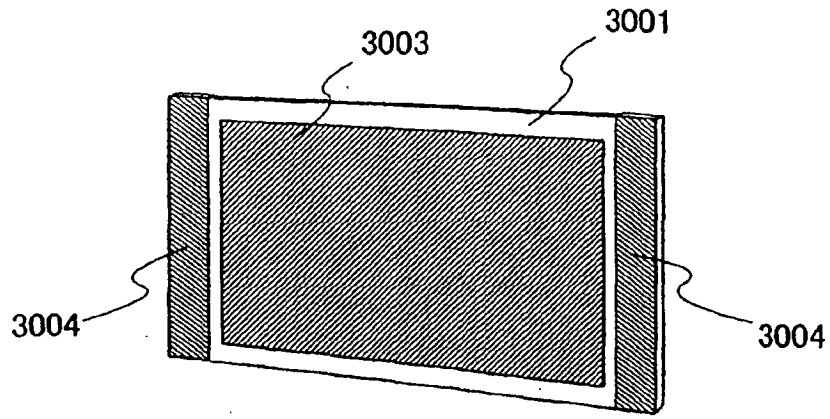


图 15A

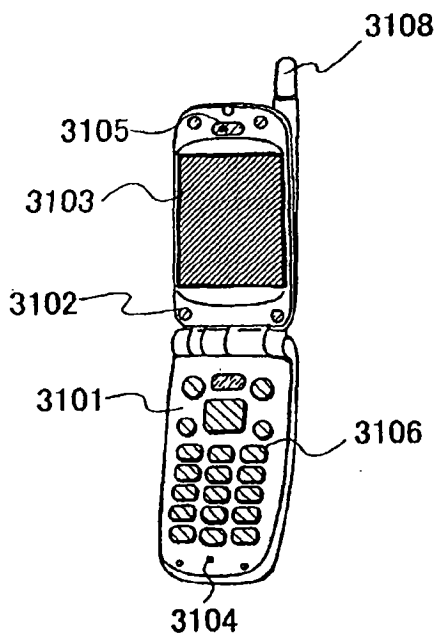


图 15B

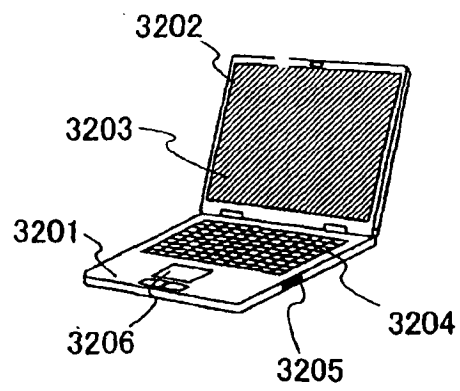


图 15C

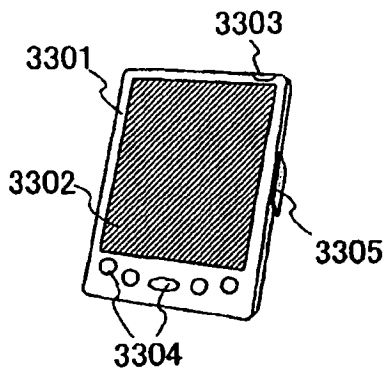


图 15D

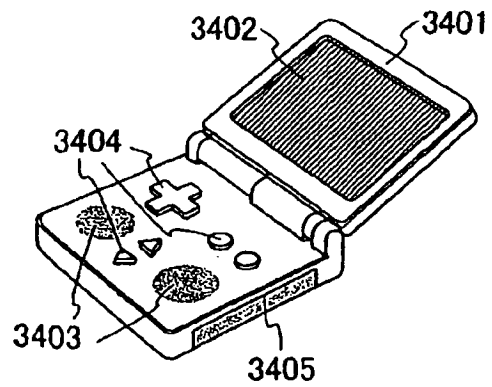


图 15E

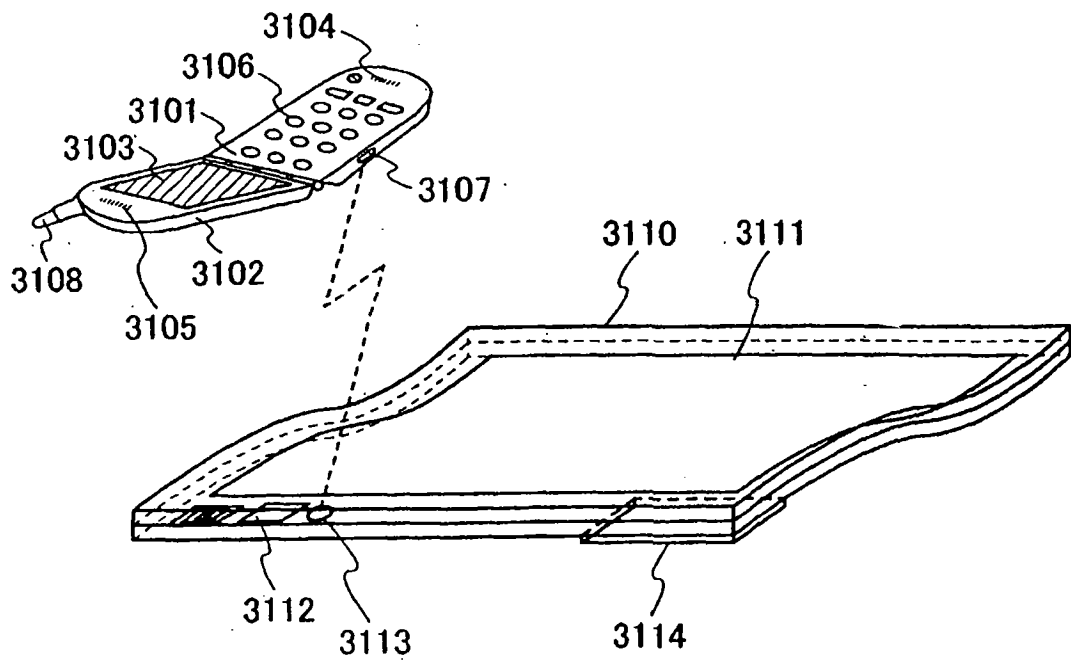


图 16