



(12) 发明专利

(10) 授权公告号 CN 1759488 B

(45) 授权公告日 2010.08.18

(21) 申请号 200480002697.0

(22) 申请日 2004.01.15

(30) 优先权数据

10/348,910 2003.01.23 US

(85) PCT申请进入国家阶段日

2005.07.22

(86) PCT申请的申请数据

PCT/US2004/000963 2004.01.15

(87) PCT申请的公布数据

W02004/068589 EN 2004.08.12

(73) 专利权人 先进微装置公司

地址 美国加利福尼亚州

(72) 发明人 Z·克里沃卡皮奇 J·X·安

S·达克希纳-默西 汪海宏 B·于

(74) 专利代理机构 北京戈程知识产权代理有限

公司 11314

代理人 程伟

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

H01L 29/423 (2006.01)

(56) 对比文件

US 6475869 B1, 2002.11.05, 全文.

US 2002/0130354 A1, 2002.09.19, 全文.

US 2002/0140039 A1, 2002.10.03, 全文.

US 6413802 B1, 2002.07.02, 说明书第3栏
第4页-第4栏第50页、附图1和2A-2F.

EP 1202335 A3, 2002.05.02, 全文.

US 6458662 B1, 2002.10.01, 全文.

Y.-K. Choi 等. Sub-20nm CMOS FinFET
technologies. IEDM Tech. Dig. .2001, 421.

审查员 林昭春

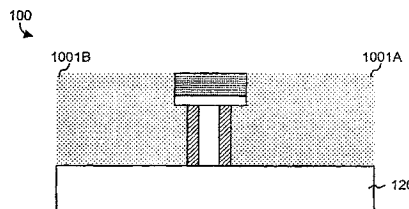
权利要求书 1 页 说明书 5 页 附图 12 页

(54) 发明名称

窄鳍片场效应晶体管

(57) 摘要

一种具有小于6纳米的沟道宽度的窄沟道鳍式场效晶体管 (FinFET)。该 FinFET 可包含一鳍片 (140), 其中是利用氨水 (NH₄OH) 蚀刻或活性离子蚀刻 (RIE) 来削减该沟道区。



1. 一种金属氧化物半导体场效晶体管器件,该金属氧化物半导体场效晶体管器件包含在绝缘层(120)上形成的源极(310)及漏极(320),并包含在该绝缘层上且在该源极(310)与漏极(320)之间形成的鳍片结构(140),该金属氧化物半导体场效晶体管器件的特征在于:

在该鳍片结构的沟道区中形成的削薄区;

至少在该鳍片结构的削薄区上形成的保护层(150,160),该保护层的宽度大于该削薄区的宽度;

在该鳍片结构的至少一个沟道部分周围形成的介电层(901);以及

在该介电层及该鳍片结构周围的绝缘层上由两个分开的多晶硅区(1001A,1001B)形成的电性独立的栅极(1101,1102),其中该削薄区的宽度大约为3至6纳米间。

2. 如权利要求1所述的器件,其中该保护层包含:

氧化物层(150);以及

在该氧化物层上形成的氮化物层(160)。

3. 如权利要求2所述的器件,其中该氧化物层(150)被沉积至大约15纳米的深度,且该氮化物层(160)被沉积至大约50纳米至75纳米间的深度。

4. 如权利要求1所述的器件,其中该介电层(901)的厚度约为0.6纳米至1.2纳米间。

5. 如权利要求1所述的器件,其中该栅极包含多晶硅。

6. 如权利要求1所述的器件,其中该金属氧化物半导体场效晶体管器件是鳍片场效晶体管。

7. 一种形成金属氧化物半导体场效晶体管器件的方法,包含下列步骤:

在绝缘层(120)上形成源极(310)、漏极(320)、及鳍片结构(140),该鳍片结构的部分用来作为该金属氧化物半导体场效晶体管的沟道;

在该鳍片结构上形成保护层(150,160);

在不显着地削减该保护层的情况下将该鳍片结构削减到大约3纳米至6纳米间的宽度;

在该鳍片结构周围生长介电层;

在该介电层周围沉积两个分开的多晶硅层(1001A,1001B);以及蚀刻该两个分开的多晶硅层以形成用于该金属氧化物半导体场效晶体管的电性独立的栅极(1101,1102)。

8. 如权利要求7所述的方法,其中形成该保护层的该步骤包含下列步骤:

将氧化物层沉积至大约15纳米的深度;以及将氮化物层沉积至大约50纳米至75纳米间的深度。

窄鳍片场效应晶体管

技术领域

[0001] 本发明大致涉及一种半导体器件及制造半导体器件的方法,更特别地,涉及双栅极金属氧化物半导体场效晶体管(Metal Oxide Semiconductor Field Effect Transistor; 简称 MOSFET)。

背景技术

[0002] 诸如 MOSFET 等的晶体管是大多数半导体器件的核心建构单元。诸如高性能处理器等的某些半导体器件可包含数百万个晶体管。对于这些器件而言,减小晶体管的尺寸并因而增加晶体管的密度在传统上已是半导体制造领域中的高优先项目。

[0003] 传统的 MOSFET 在尺寸小于 50 纳米的制造工艺上有其困难度。为了开发小于 50 纳米的 MOSFET, 已有人提议双栅极 MOSFET。在几个方面中, 双栅极 MOSFET 提供了比传统块体(bulk)硅 MOSFET 更佳的性能。因为双栅极 MOSFET 在沟道的两边都有一栅极电极, 并非如同传统的 MOSFET 只在一边有栅极电极, 所以有了这些改良。

发明内容

[0004] 根据本发明的实施例提供了一种具有窄沟道区的双栅极 MOSFET 及其制造方法。

[0005] 本发明的一个面向涉及一种 MOSFET 器件, 该 MOSFET 器件包含在绝缘层上形成的源极及漏极结构。在该绝缘层上且在该源极与漏极之间形成一鳍片结构。该鳍片结构包含在该鳍片结构的沟道区中形成的削薄区。至少在该鳍片结构的该削薄区上形成保护层。该保护层的宽度大于该削薄区的宽度。在该鳍片结构的至少一部分周围形成介电层, 且在该介电层及该鳍片结构周围形成栅极。

[0006] 本发明的另一面向涉及一种形成 MOSFET 器件的方法。该方法包含下列步骤: 在绝缘层上形成源极、漏极、和鳍片结构。该鳍片结构的各部分用来作为该 MOSFET 的沟道。该方法进一步包含下列步骤: 在该鳍片结构上形成保护层; 以及将该鳍片结构削减到大约 3 纳米至 6 纳米的宽度, 但并不显著地削减该保护层。该方法进一步包含下列步骤: 在该鳍片结构周围生长介电层; 以及在该介电层周围沉积多晶硅层。该多晶硅层用来作为该 MOSFET 的栅极区。

附图说明

[0007] 以下将参照附图进行说明, 而在所有的附图中, 具有相同参考标记的组件可代表类似的组件。

[0008] 图 1 及图 2 是形成根据本发明的各方面的 FinFET 的剖面图;

[0009] 图 3 是图 2 所示 FinFET 的透视图;

[0010] 图 4 是图 3 所示 FinFET 的俯视图;

[0011] 图 5 是沿着图 4 中的 A-A' 线的剖面图;

[0012] 图 6 是图 3 所示 FinFET 的俯视图;

- [0013] 图 7 是沿着图 4 中的 A-A' 线的剖面图；
- [0014] 图 8 是图 7 所示 FinFET 的俯视图；
- [0015] 图 9 及图 10 是 FinFET 的剖面图；
- [0016] 图 11 是完成的 FinFET 的俯视图；
- [0017] 图 12 至图 15 是根据本发明的第二实施例的 FinFET 的剖面图；以及
- [0018] 图 16 至图 18 是在硅锗层周围建构的双栅极 FinFET 的剖面图。

具体实施方式

[0019] 下文中将参照各附图对本发明进行详细说明。可将相同的参考标记用于不同的附图，以便识别相同的或类似的组件。此外，下文中的详细说明并非对本发明加以限制。应以最后的权利要求及其等效范围来界定本发明的范围。

[0020] 作为本文所使用名词的 FinFET 意指一种在垂直硅“鳍片”中形成导电沟道的 MOSFET。FinFET 是本领域公知的。

[0021] 图 1 是 FinFET100 的起始结构掺杂时的剖面图。FinFET100 可包括绝缘体上硅 (Silicon On Insulator ;简称 SOI) 结构,该 SOI 结构包含在硅和 / 或锗衬底 110 上形成的埋入氧化物 (BOX) 层 120、以及在 BOX 层 120 上的硅层 130。或者,层 130 可包含锗、或硅-锗。在一实施例中,BOX 层 120 的厚度范围可从大约 200 纳米至大约 400 纳米,且硅层 130 的厚度范围可从大约 30 纳米至大约 100 纳米。然后可沉积诸如氧化物层 (例如,二氧化硅) 和 / 或氮化物层 (例如,氮化硅) 等的保护层,以便用来作为后续蚀刻期间的保护盖。

[0022] 然后可蚀刻硅层 130 及各保护层,以便形成硅鳍片 140、以及在鳍片 140 上的保护层 150 及 160 (请参阅图 2)。保护层 150 可以是氧化物层,且保护层 160 可以是氮化物层。层 150 的厚度可例如为大约 15 纳米,且层 160 的厚度范围可以是大约 50 至 75 纳米间。

[0023] 然后可在邻近鳍片 140 末端处形成源极 / 漏极区。在一个实施例中,可在硅层 130 上产生图形并蚀刻硅层 130,以便在形成鳍片 140 的同时也形成源极及漏极区。在其它的实施例中,可以传统的方式沉积并蚀刻另一硅层,以便形成源极及漏极区。图 3 是 FinFET100 的透视图,该 FinFET100 具有在邻近鳍片 140 末端处形成的源极及漏极区 310 及 320。

[0024] 图 4 是具有源极区 310、漏极区 320、及鳍片 140 的 FinFET100 的俯视图。图 1 和图 2 是的沿着图 4 中的 A-A' 线的剖面图。

[0025] 然后可在 FinFET100 上形成硅酸四乙酯 (TEOS) 层 501。图 5 是沿着图 4 中的 A-A' 线的 FinFET100 的剖面图,用以显示 TEOS 层 501。可对 TEOS 层 501 进行退火及平坦化,以便在 FinFET100 的顶部产生较平坦的表面。

[0026] 可在 TEOS 层 501 中界定镶嵌 (damascene) 栅极掩膜,并在该掩膜中产生图形。尤其可在 TEOS 层 501 中形成沟槽。然后可经由蚀刻而在 TEOS 层 501 中打开栅极区。图 6 是 FinFET100 的俯视图,其中 TEOS 层 501 中的区域 602 表示该被打开的部分。更具体而言,可利用该掩膜来蚀刻区域 602 中的 TEOS 层,并保持其余的 TEOS 层 501。在一个实施例中,可通过在区域 602 中的 TEOS 层上沉积深度大约为 50 至 70 纳米的多晶硅层,来图形化该栅极区,以得到较小的栅极长度。可图形化该多晶硅层,而留下极薄的多晶硅线。然后可沉积厚度大约为 120 至 150 纳米的氧化物层,然后将该氧化物层剖光到该多晶硅层的顶部。接着将该多晶硅蚀刻掉。然后蚀刻区域 602 中的 TEOS,且利用剩余的氧化物层作为该 TEOS 蚀刻

的掩膜。

[0027] 然后可削薄鳍片 140。在一个实施例中,可使 FinFET100 接触氨水 (NH_4OH),直到鳍片 140 的宽度从 10 纳米至 15 纳米减少到大约 3 纳米至 6 纳米为止,而将鳍片 140 削薄。可在较慢的速率且受控制的进度下,执行该削薄工艺,使该鳍片以大约 2 埃 / 分钟的速率下被削减。被以此种方式削薄的鳍片显示在图 7 中,而图 7 是沿着图 4 的 A-A' 线的剖面图。图 8 是对应图 7 的俯视图。如图 7 及图 8 所示,在削薄鳍片 140 之后的 FinFET100 包含形成在氧化物层 150 及保护层 160 下的凹处。

[0028] 如图 9 所示,可在鳍片 140 的侧表面上生长栅极介电层 901。栅极介电层 901 的厚度可薄至 0.6 至 1.2 纳米。在替代实施例中,可在鳍片 140 的侧表面上形成具有 0.6 至 1.2 纳米的等效氧化物厚度 (EquivalentOxide Thickness; 简称 EOT) 的高介电常数 (k) 值层。

[0029] 请参阅图 10,然后可以一种传统的方式在 FinFET100 上沉积多晶硅层。可利用栅极掺杂掩膜来掺杂该多晶硅层。可利用磷来掺杂 NMOS 器件,且可利用硼来掺杂 PMOS 器件。可将该多晶硅层平坦化至氮化物层 160 的高度,而形成两个独立的多晶硅区 1001A 及 1001B。可图形化多晶硅区 1001A 及 1001B,并蚀刻多晶硅区 1001A 及 1001B,以便形成 FinFET100 的栅极。多晶硅区 1001A 及 1001B 可因而形成两个在电性独立的栅极。在其它的实施例中,可不将多晶硅区 1001A 及 1001B 剖光到氮化硅层 160 的高度。替代性地,单一的多晶硅层可覆盖氮化硅层 160。在此种情形中,该多晶硅层形成 FinFET100 的单一可寻址的栅极。

[0030] 之后可将掩膜施加至栅极区 602。使用该掩膜保护区域 602,该 TEOS 层 501 以及保护二氧化硅与氮化硅层 150 与 160 沉积在该源极 / 漏极区域 310 与 320 上,接着可使用各向同性湿法蚀刻方式予以蚀刻以移除该 TEOS 层 501。

[0031] 在露出源极 / 漏极区 310 及 320 的表面之后,可对 FinFET100 执行离子注入,以便掺杂源极 310 及漏极 320。更具体而言,在 NMOS 的 FinFET 中,可在 10^{15} 原子 / 平方厘米的剂量以及 5 至 10keV (千电子伏特) 的能量下注入磷。在 PMOS 的 FinFET 中,可在 10^{15} 原子 / 平方厘米的剂量以及 2 至 5keV 的能量下注入硼。

[0032] 在离子注入之后,可对 FinFET100 执行自对准硅化 (salicidation) 工艺 (即,自对准硅化物工艺)。在该步骤中,可在多晶硅 (栅极) 区 1001A 及 1001B 以及源极及漏极区 310 及 320 上沉积诸如钨、钴、钛、钽、钼、镍、铟、或铂等金属。然后可执行热退火,以便产生金属硅化物化合物。图 11 示出了在退火之后的 FinFET100 的俯视图。请参阅图 11,该剖面阴影线代表在源极 / 漏极区 310 及 320 以及两个栅极区上的金属硅化物化合物。这些栅极区可包含在多晶硅区 1001A 及 1001B 的末端上形成的栅极垫 1101 及 1102。所形成的 FinFET100 包含图 11 中以虚线示出的薄鳍片沟道区 140。然而,如图 10 所示,保护层 150 及 160 的宽度大于鳍片 140 的宽度。有利之处在于:所形成的薄沟道 MOSFET 提供了较佳的短沟道控制。

[0033] 请再参阅图 5,在替代实施例中,并不是使鳍片 140 接触氨水将鳍片 140 削薄,而是可利用活性离子蚀刻 (Reactive Ion Etching; 简称 RIE) 工艺来削减鳍片 140。一般而言,且如本领域所熟知的,RIE 是离子蚀刻的一种变形,这是因为在 RIE 蚀刻期间,将半导体晶片放置在发出射频的电极上。在该实施例中,最初可利用 RIE 将鳍片 140 的宽度减少到大约 3 纳米至 6 纳米,而将鳍片 140 削薄。

[0034] 然后可利用蚀刻工艺来去除保护层 150 及 160, 以便露出图 12 中被标示为鳍片 1240 的鳍片。

[0035] 如图 13 所示, 为了消除因蚀刻层 150 及 160 而引发的蚀刻损坏, 然后可在鳍片 1240 的露出表面上形成牺牲氧化物层 1301。可使牺牲氧化物层生长至或形成至大约 0.6 至 1.2 纳米的厚度, 且也可将该牺牲氧化物层用来作为栅极介电层。在替代实施例中, 可在鳍片 140 的侧表面上形成具有 0.6 至 1.2 纳米的等效氧化物厚度 (EOT) 的额外的氧化物层或高 k 值层, 该额外的氧化物层或高 k 值层被标示为层 1401。

[0036] 请参阅图 15, 然后可以一种传统的方式在 FinFET1200 上沉积多晶硅层。可将该多晶硅层平坦化至氧化物层 1301 的高度, 而形成两个独立的多晶硅区 1201A 及 1201B。多晶硅区 1201A 及 1201B 可形成 FinFET1200 的栅极。多晶硅区 1201A 及 1201B 可因而形成两个电性独立的栅极。在其它的实施例中, 可不将多晶硅区 1201A 及 1201B 剖光至氧化物层 1301 的高度。替代性地, 单一的多晶硅层可覆盖氧化物层 1301。在此种情形中, 该多晶硅层形成 FinFET1200 的单一可寻址的栅极。

[0037] 然后可将掩膜施加到 FinFET1200 的栅极区。使用该掩膜来保护该栅极区, 然后可从其余的 FinFET1200 蚀刻掉 TEOS 层 501 以及在源极 / 漏极区 310 及 320 上沉积的额外保护层。

[0038] 在露出源极 / 漏极区 310 及 320 的表面之后, 可对 FinFET1200 执行离子注入。如此可有效地掺杂源极 310 及漏极 320。更具体而言, 在 NMOS 的 FinFET 中, 可在 10^{15} 原子 / 平方厘米的剂量以及 5 至 10keV 的能量下注入磷。在 PMOS 的 FinFET 中, 可在 10^{15} 原子 / 平方厘米的剂量以及 2 至 5keV 的能量下注入硼。

[0039] 在离子注入之后, 可对 FinFET1200 执行自对准硅化 (salicidation) 工艺 (即, 自对准硅化物工艺)。在该步骤中, 可在多晶硅 (栅极) 区 1201A 及 1201B 以及源极及漏极区 310 及 320 上沉积诸如钨、钴、钛、钽、或钼等的金属。然后可执行热退火, 以便产生金属硅化物化合物。此时, FinFET1200 的俯视图类似于图 11 所示的 FinFET200。

[0040] 其它实施例

[0041] 在某些情形中, 可能需要形成应变硅 (strained silicon) FinFET。图 16 至 18 是沿着图 4 中的 A-A' 线的 FinFET1600 的剖面图。

[0042] 请参阅图 16, 可在埋入氧化物层 1601 上形成硅锗层 1610。然后可在硅锗层 1610 上形成氮化物层 1620。可以诸如一种形成类似于图 7 所示的薄鳍片的方式形成硅锗层 1610 及氮化物层 1620 的配置。因此, 可初步将硅锗层 1610 及氮化物层 1620 蚀刻成具有相同的宽度, 然后可横向蚀刻硅锗层 1610, 以便形成薄硅锗层 1610。硅锗层 1610 的宽度可以是大约 5 纳米至 15 纳米。

[0043] 请参阅图 17, 然后可在该硅锗层附近以外延生长方式生长出宽度大约为 5 纳米至 10 纳米的硅层 1611。在生长出硅层 1611 之后, 可接着形成栅极介电层 1612。栅极介电层 1612 的厚度可薄至 0.6 至 1.2 纳米。

[0044] 请参阅图 18, 然后可以一种传统的方式在 FinFET1600 上沉积一多晶硅层 1801。然后图形化该多晶硅层, 并蚀刻该多晶硅层, 以便形成 FinFET1600 的栅极。也可将多晶硅层 1801 向下平坦化到氮化物层 1620 的高度。此时, 可以前文所述的方式完成 FinFET1600。

[0045] 某些 MOSFET 具有被放置在单一埋入氧化物层上的 PMOS 及 NMOS 的 FinFET。在该

实施例中执行自对准硅化工艺（例如前文所述的自对准硅化工艺）时，可对适当的金属进行无电镀（electrolessplating），而完成选择性的自对准硅化。此外，可使用两种或更多种不同的硅化物。可将一种硅化物（例如钴、镍、稀土金属的铟、铋、镓、钐硅化物）用于 NMOS 的 FinFET，且可将另一种硅化物（例如铂硅化物）用于 PMOS 的 FinFET。在此种情形中，可先以光刻胶层覆盖该 PMOS 的 FinFET，接着可沉积 NMOS 金属。然后可去除该 PMOS 的 FinFET 上的光刻胶层，接着可在该 NMOS 的 FinFET 上施加另光刻胶层。此时，可施加 PMOS 金属。然后可执行热退火，以便产生金属硅化物化合物。

[0046] 结论

[0047] 本文已说明了具有窄鳍片的 FinFET 及制造该窄鳍片 FinFET 的方法。该窄鳍片将其中包括短沟道控制的多个优点提供给 FinFET。

[0048] 在前文的说明中，述及了诸如特定材料、结构、化学品、工艺等的许多特定细节，以便使本发明能够彻底被了解。然而，可在不依靠本文所述的这些特定细节的情形下实施本发明。在其它的情形中，并未详细说明一些传统的处理结构，以免非必要地模糊了本发明的重点。

[0049] 可以传统的沉积技术来沉积用来制造根据本发明的半导体器件的介电层及导电层。例如，可采用诸如其中包括低压化学气相沉积（Low Pressure Chemical Vapor Deposition；简称 LPCVD）及增强型化学气相沉积（Enhanced Chemical Vapor Deposition；简称 ECVD）的各种类型的化学气相沉积（Chemical Vapor Deposition；简称 CVD）工艺等的金属化技术。

[0050] 可将本发明应用于制造半导体器件，尤其是应用于制造设计的特征尺寸为 100 纳米或更小的半导体器件，而可得到提高的晶体管及电路速度、以及较佳的可靠性。可将本发明应用于各种类型的半导体器件的形成，因而并未述及细节，以免模糊了本发明的要点。在实施本发明时，采用了传统的光刻及蚀刻技术，因而本文并未详细述及此类技术的细节。

[0051] 本发明的揭示事项中只示出及说明了本发明的较佳实施例及其多用途。所当应了解，本发明可用于各种其它的组合及环境，且可在本文所陈述的本发明的观念的范围内对本发明加以修改。

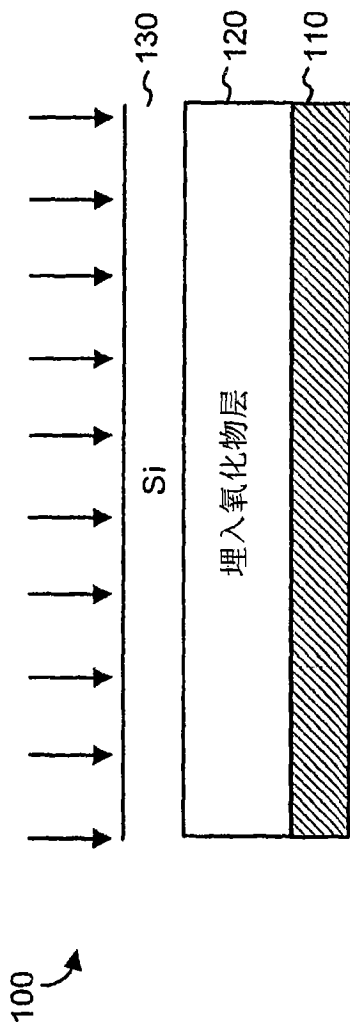


图1

100

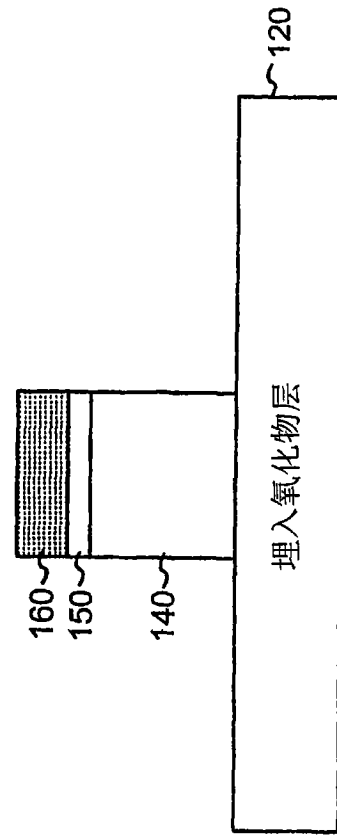


图2

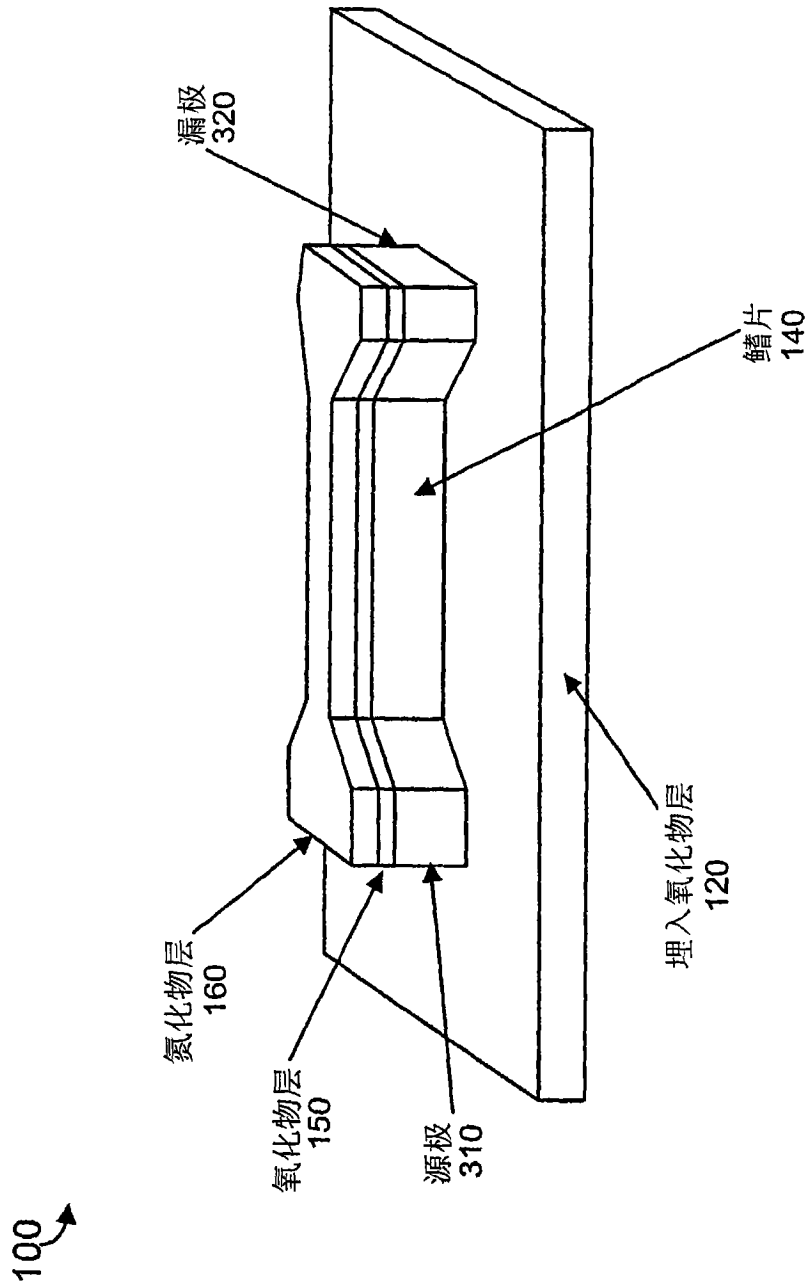


图3

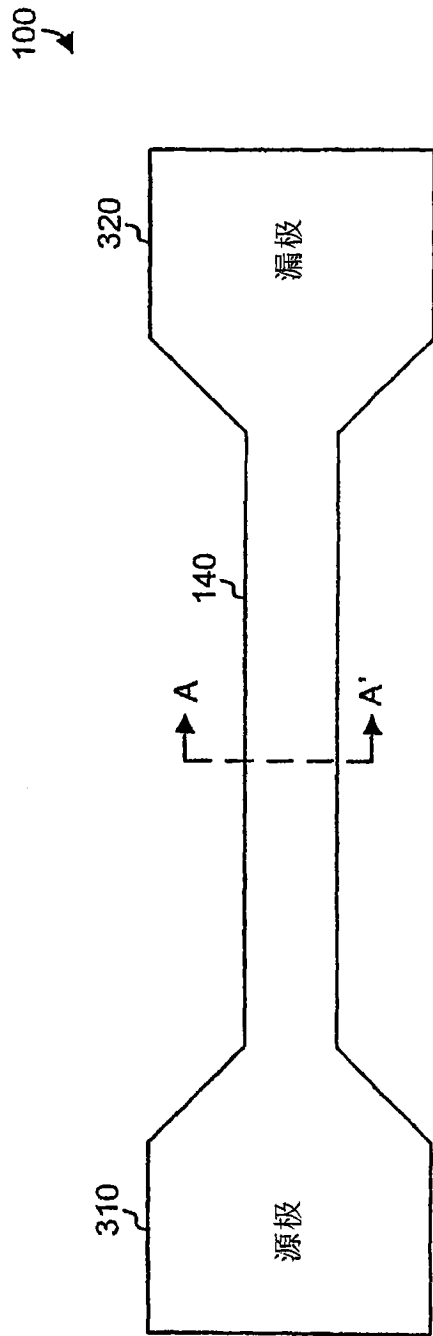


图4

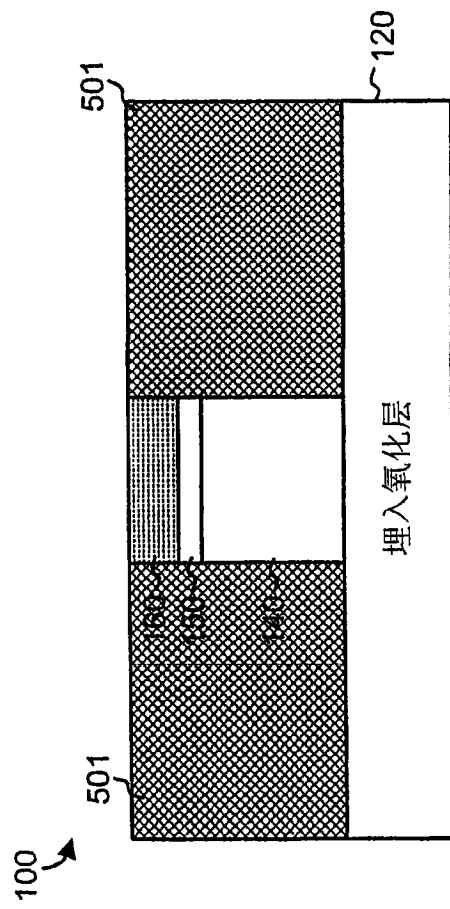
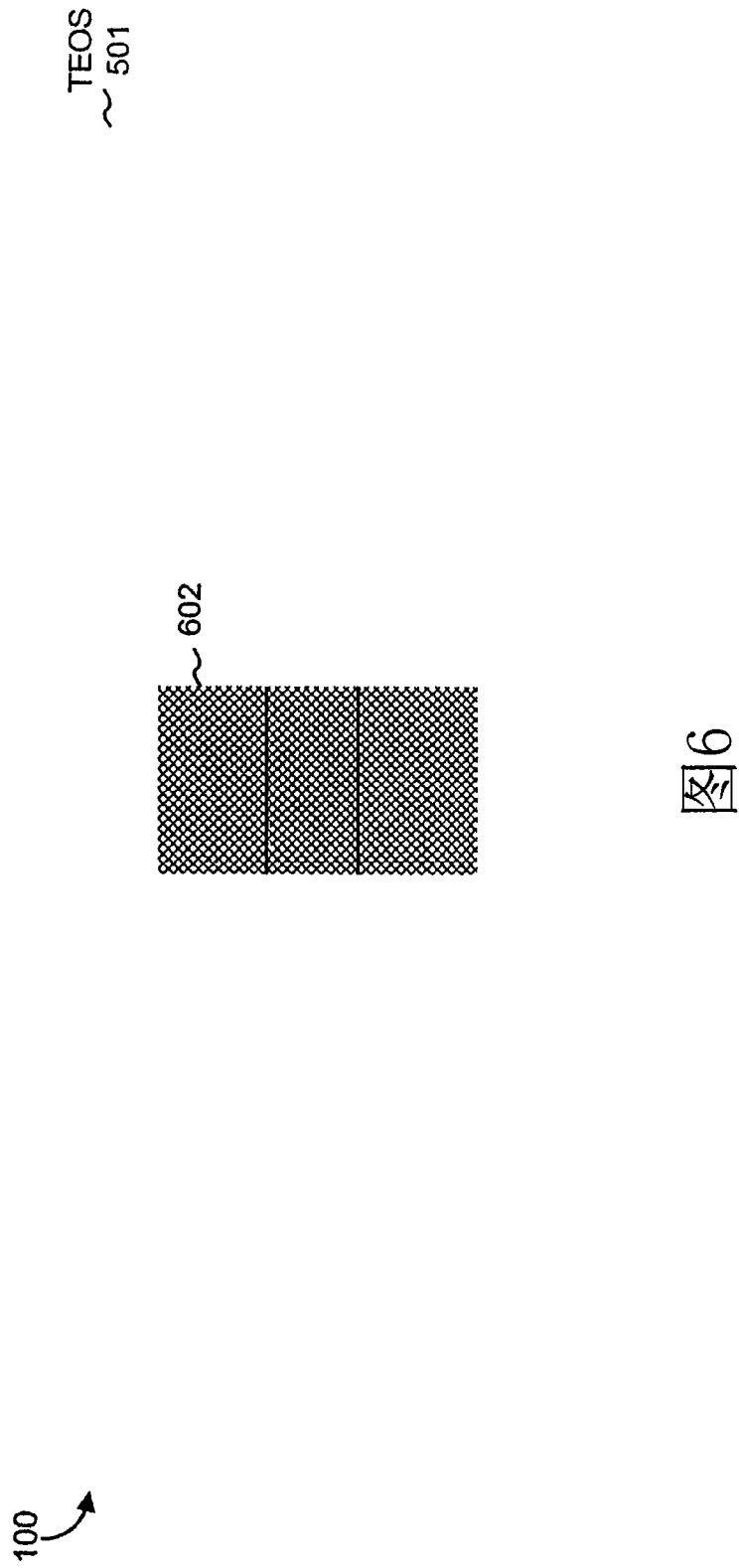


图5



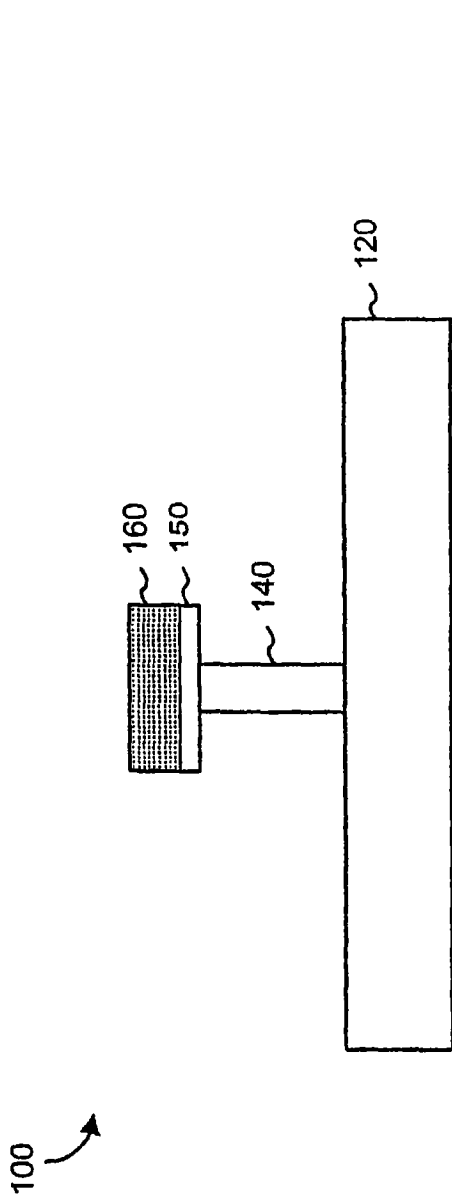


图7

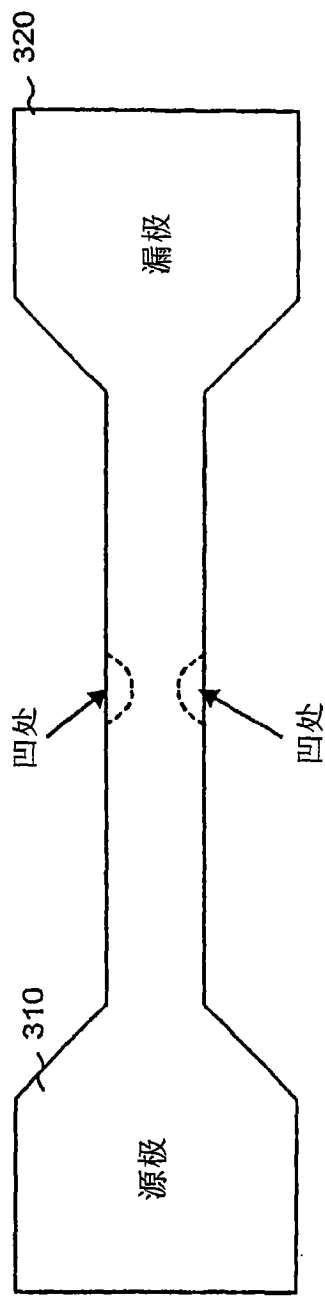


图8

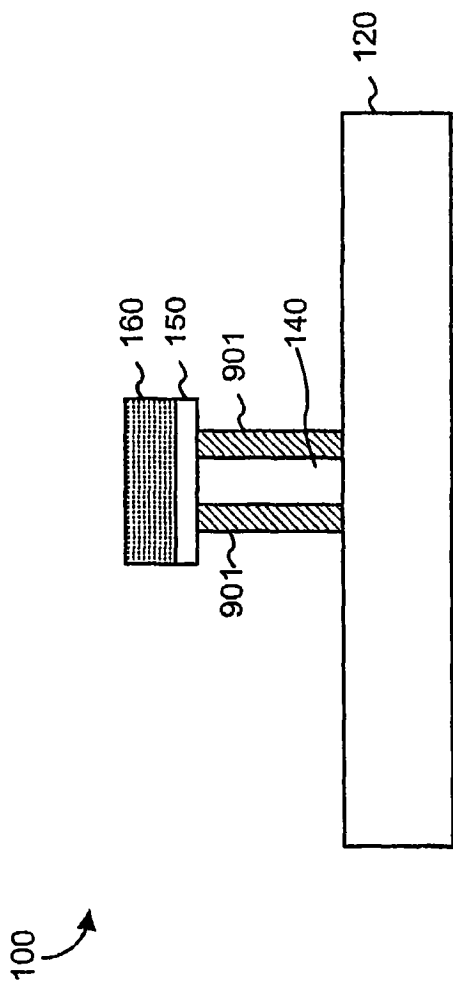


图9

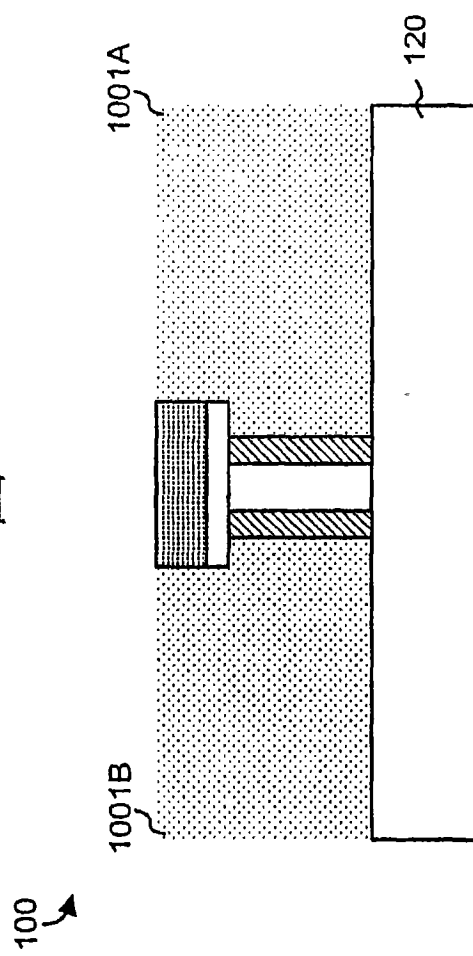


图10

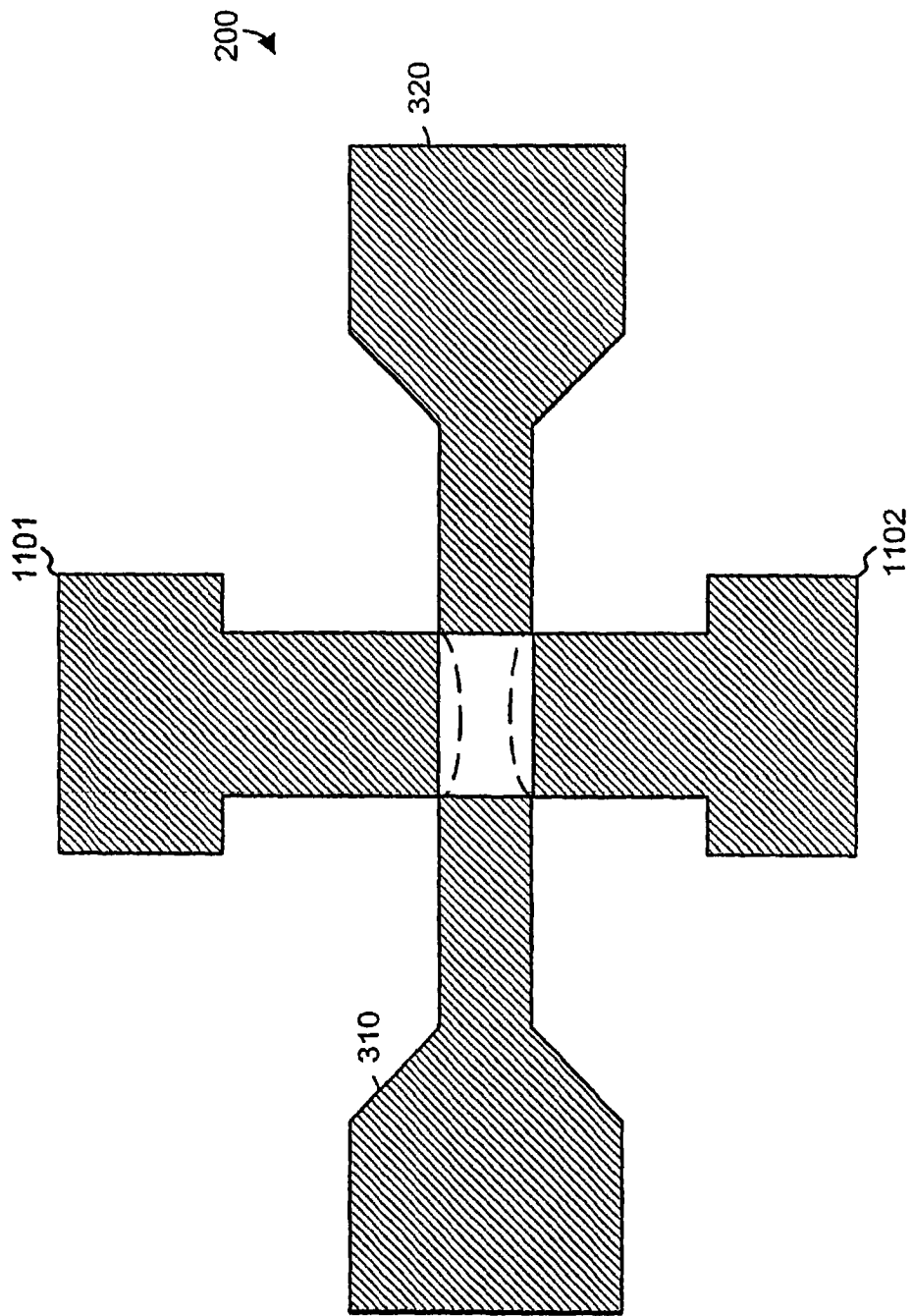


图11

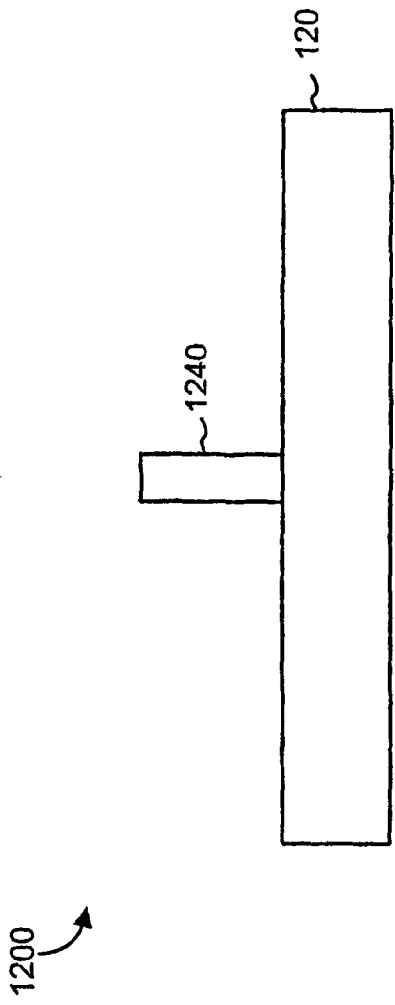


图12

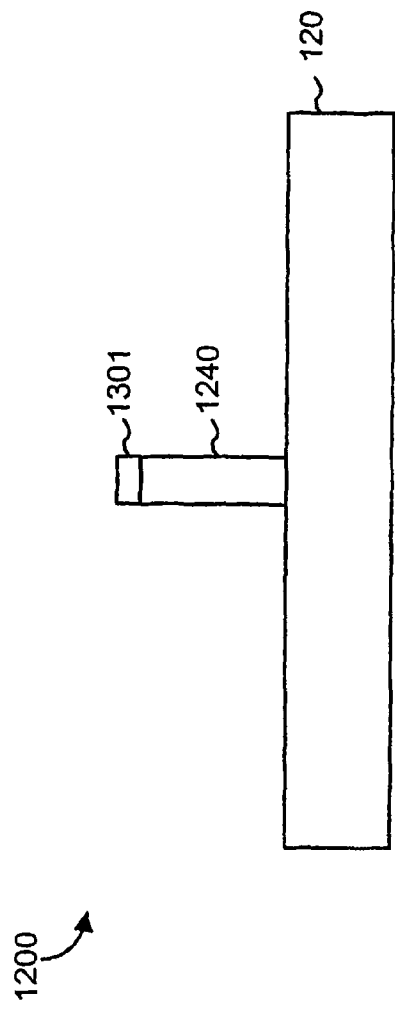


图13

1200

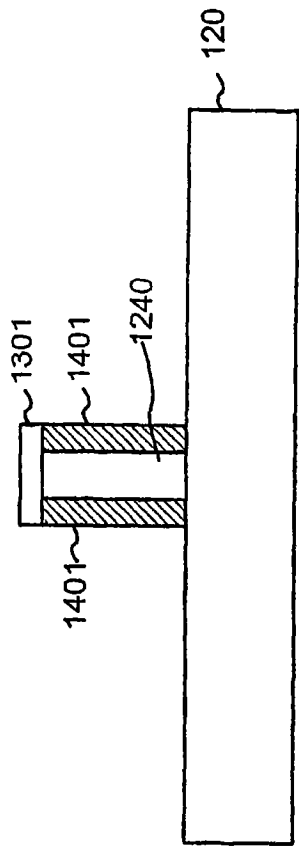


图14

1200

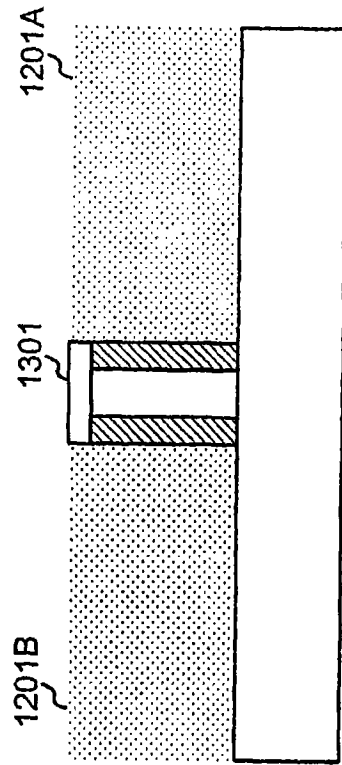


图15

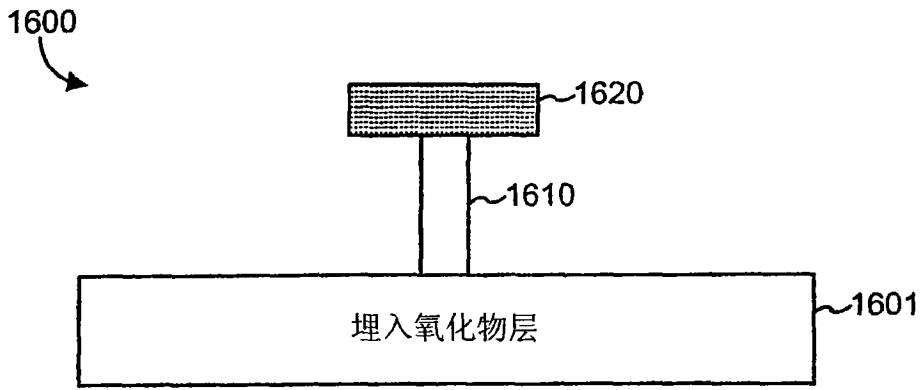


图16

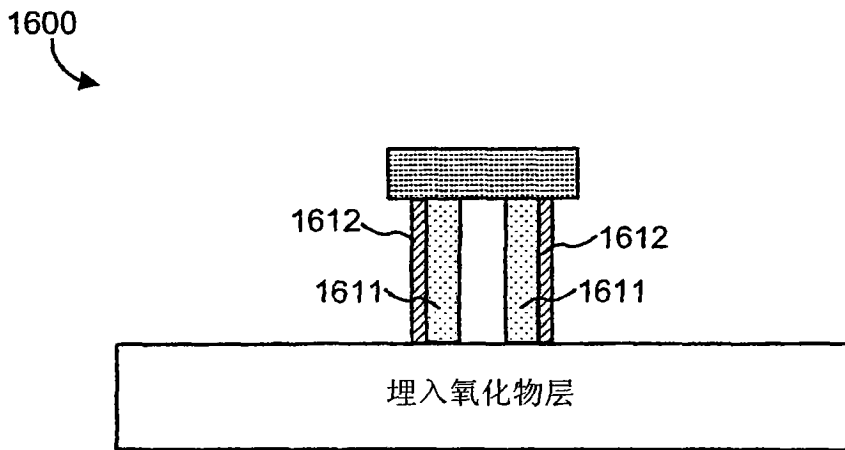


图17

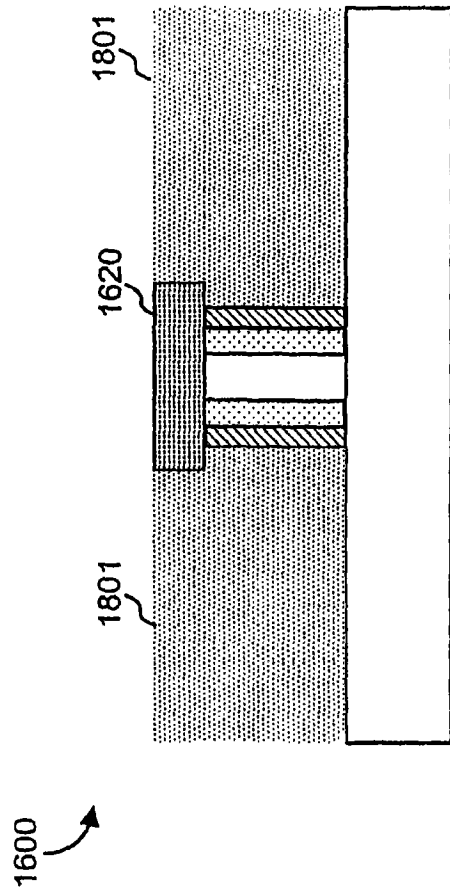


图18