

# 公告本

409253

申請日期	87. 9. >
案 號	37114539
類 別	G11C <sup>15/00</sup>

A4  
C4

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

409253

一、發明 名稱	中 文	關聯式記憶體及其操作方法
	英 文	Associative memory and its operation method
二、發明人 創作	姓 名	1. 史蒂芬強 (Jung, Stefan) 2. 羅蘭修斯 (Thewes, Roland) 3. 維納威伯 (Weber, Werner) 4. 安德烈斯拉克 (Luck, andreas)
	國 籍	1. - 4. 皆屬德國
三、申請人	住、居所	1. 德國慕尼黑 80469 維斯特穆街 1a 號 2. 德國葛羅班哲 82194 加格村街 7 號 3. 德國慕尼黑 80637 法蘭茲馬克街 6/3 號 4. 德國慕尼黑 81737 韋丹那街 19 號
	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	艾平 (Dr. Epping) 雷哈特 (Reinhardt)

409253

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權  
 德 1997年9月29日 19742961.0 (主張優先權)

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明( )

本發明係關於一種神經元(neuron)之關聯式記憶體，其在一指定之快速資料處理系統中相對於傳統之同等級之系統而言由於高級之平行處理方式而具有很大之優點。特別是在快速之資料分配(就像對感測器資料之回答)時(例如，在圖像處理時或智慧型感測器中之資料處理時)，則需要一種適當之具有小面積和能量消耗很小之VLSI電路。

關聯式記憶體就像傳統之記憶體一樣是由矩陣形式配置之記憶體單胞集(set)所構成，但另外具有某種程度之其它功能。在目前具有學習功能之神經元關連式記憶體中，記憶體單胞都是一種處理器元件或自動機(Automat)之形式，其是由本地(local)記憶體及本地之順序控制器所組成。

由palm所寫之論文名稱為"On Associative Memory" in Biological Cybernetics 36, 1980, 第19-31頁中已知有一種所謂"關聯式矩陣"原理，其是與二進位(binary)之記憶體矩陣有關，其中同樣是二進位之輸入向量X以列(row)方式讀入而輸出向量Y則以行(column)方式讀出。此種關聯式記憶體因此是藉由所謂Hebb'schen學習規則之已簡化之形式來實現，此種Hebb'schen學習規則在施加一種可相關聯(associative)之圖樣對(pattern pair) X/Y至矩陣時是局部性地(locally)在每一矩陣元件 $m_{ij}$ 中決定該元件 $m_{ij}$ 之狀態即將以何種方式來改變。在特殊情況時這顯示：記憶體矩陣首先設定在完全具有'邏輯

## 五、發明說明( &gt; )

0 '之初始化狀態中。在讀取過程期間每一記憶體單胞  $m_{ij}$  符合下述情況：若  $X_i = Y_j = \text{'邏輯 1'}$ ，則記憶體單胞  $m_{ij}$  之狀態正確地由 '邏輯 0' 改變成 '邏輯 1'。當 '邏輯 1' 已寫入相關之記憶體單胞時，則這些單胞之狀態會保持著。在讀出一個已存入之資料字時，則會出現該矩陣之相關的輸入向量  $X$  且會形成一個輸出值  $Y'$ ，其中記憶體各單胞之 "活化性 (activity)" 是以行之方式相加且臨界值之決定可應用在所得之和 (sum) 中。因此若  $X_i = m_{ij} = \text{'1'}$ ，則記憶體單胞是 "活性的 (active)"。

由 Proceedings of IEEE Conference on Micro Neuro '96, 第 68-79 頁中已知有一些類比 (analog) 計算陣列 (array) 之原理，優點和限制。

本發明之目的是提供一種關聯式記憶體及其操作方法，其中此關聯式記憶體之單胞具有盡可能少之組件且幾乎可達到傳統唯讀記憶體 (EEPROM, EPROM) 之積體密度以及具有一種盡可能小之功率損耗。

上述目的是由申請專利範圍第 1 項之關聯式記憶體以及申請專利範圍第 3 項之特徵中所述之方法來達成。申請專利範圍第 2 項之特徵則和本發明有利之其它形式有關。

本發明以下將依據一顯示在圖式中之實施例作詳細描述。

藉由本發明，則可藉助於二個串聯之 PMOS 電晶體來達成上述之學習功能和記憶功能之功能上之整合。圖式簡

## 五、發明說明( )

單說明如下：

第1圖係一種關聯式記憶體之一部份的圖解，其具有6個以相同方式構成之單胞1..5, Z。

單胞Z例如具有一個由正規(regular)之PMOS電晶體T1和另一PMOS電晶體T2(其具有浮動閘極FG)所構成之串聯電路，其中此串聯電路經由電晶體T1而與電源電壓( $V_{dd}$ )相連接且經由電晶體T2而與輸出向量Y之位元信號所用之接點 $Y_j$ 相連接以及亦與電流計算器 $IB_j$ 之輸入端相連接。電晶體T1之閘極G1是與輸入向量X之位元信號所用之接點 $X_k$ 相連接。電晶體T2之閘極G2是與學習信號用之接點LEARN相連接。與記憶體單胞Z直接相鄰之單胞1和4不和接點 $X_k$ 相連接而只和輸入向量之相鄰一位元信號用之接點 $X_{k-1}$ 和 $X_{k+1}$ 相連接且與單胞Z共同形成第一行(column)。相鄰之行是由單胞2,3和5所構成，單胞2,3和5不與接點 $Y_j$ 相連接，而是和輸出向量之相鄰一位元信號所用之接點 $Y_{j+1}$ 以及另一電流計算器 $IB_{j+1}$ 相連接。

一個行(column)由複數個記憶體單胞所構成，其電晶體T2之汲極節點經由一條共同之汲極導線而與接點 $Y_j$ 相連接。依據讀取相位(phase)中導通之記憶體單胞之數目，則有一確定之電流在該共同之汲極導線中流動。連接在汲極導線之電流計算器 $IB_j, IB_{j+1}, \dots$ 於是分別測得一行(column)中受驅動之記憶體單胞之數目且進行臨界值之決定。

## 五、發明說明(4)

起始化或整體性(global)去除：

在可以原來之學習過程開始之前，必須對記憶體矩陣進行起始化，其中在所有記憶體單胞中須寫入"邏輯0"且具有浮動閘極之所有電晶體須成為"常閉(normally-off)"電晶體，其中"常閉"之意義是：電晶體在閘極-源極-電壓是0V時截止的(off)。

常閉(normally off)例如能以以下述方式達成：在已製成之電路上使用紫外(UV)光(UV-去除)或更好之方式是施加一種較基體(整體, bulk)還高之正電壓至所有學習輸入端LEARN，這樣可使浮動閘極由於Fowler-Nordheim-隧道效應(其係經由閘極-氧化物)而充正電。

關聯式記憶體：

在關聯式記憶體中例如須符合下述協定：在"邏輯1"時施加0V之電壓位準至接點 $X_k$ 而在"邏輯0"時施加 $V_{DD} = +5V$ 之電壓位準至接點 $X_k$ ；在"邏輯1"時施加一種負電位(例如， $V_{prog} = -V_{DD} = -5V$ )至接點 $Y_j$ 而在"邏輯0"時同樣地施加 $V_{DD} = +5V$ 之電壓位準至接點 $Y_j$ 。學習輸入端LEARN對所有之記憶體單胞而言都是固定地與接地端相連接。下表顯示關聯式相位(phase)期間輸入值之各種不同組合所產生之結果。

## 五、發明說明( 5 )

X	Y	X	X	(LEARN = 0V)
'0'	'0'	$V_{DD}$	$V_{DD}$	T1截止，沒有電流流動
'0'	'1'	$V_{DD}$	$V_{prog}$	T1截止，沒有電流流動
'1'	'0'	0V	$V_{DD}$	T1導通，但 $Y = V_{DD} = 5V$ 沒有電流流動
'1'	'1'	0V	$V_{prog}$	T1, T2導通，HE注入浮 動閘極中，浮動閘極充 負電， $U_t$ 下降

由此表可看出，只有在  $X_k = Y_j = '1'$  時由於較高之汲極 - 源極 - 電壓而會有電流流動且因此會由於熱電子注入 (HE-Injektion) 至浮動 - 閘極 (FG) 中而使浮動 - 閘極 - PMOS - 電晶體進行一種熱電子 - 程式化。額外之電子於是抵達浮動 - 閘極，這樣會使電晶體 T2 之臨界電壓在正值之方向中變化，直至 T2 最後是一種常開 (normally on) 電晶體為止，其中常開之意義是：電晶體在閘極 - 源極 - 電壓為 0V 時是導通的。

讀取 (取回)

在讀取相位中例如符合以下之協定：在接點  $X_k$  時 0V 之電壓位準對應於 "邏輯 1" 且  $V_{DD}$  之位準對應於 "邏輯 0"。接點  $Y_j$  此時空著 (free) 或不施加任何信號且電晶體 T2 之汲極節點作為記憶體單胞 Z 之電流輸出端。學習輸入端 LEARN 對所有之記憶體單胞而言是固定地與  $V_{DD}$  相連

## 五、發明說明( b )

接。T1和T2所構成之串聯電路在此情況中是作及(AND)-  
 關用；只有在 $X = '1'$ 且單胞狀態 = '1'時及 - 關才有電流  
 流動，此種電流可由一些經由共同之汲極導線而連接至  
 電晶體T2之汲極節點之電流計算器 $IB_j, IB_{j+1}, \dots$   
 所偵測到，只有在此情況中此二個電晶體才同時導通。

## 參考符號說明

X.....輸入向量

Y.....輸出向量

FG.....浮動 - 閘極

T1, T2.....PMOS- 電晶體

$IB_j, IB_{j+1} \dots$ 電流計算器

1, 2, 3, 4, 5, Z.....記憶體單胞

G1, G2.....閘極

$V_{DD}$ .....電源電壓

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱: )

## 關聯式記憶體及其操作方法

關聯式記憶體含有複數個單胞，這些單胞只由傳統之 PMOS 電晶體 (T1) 以及具有浮動 - 閘極之 PMOS 電晶體 (T2) 所形成之串聯電路所構成，其中傳統之 PMOS 電晶體之閘極可接收一輸入向量之位元信號且第二 PMOS 電晶體之閘極是與學習輸入端相連接；在第二 PMOS 電晶體之汲極端可施加第二向量以進行關聯式之存取；在進行讀取時，流經各串聯電路之電流是由電流計算電路 ( $IB_j, IB_{j+1}$ ) 在各行 (column) 進行計算。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱: Associative memory and its operation method )

This associative memory has some cells, which are constructed respectively only from a series circuit of a conventional PMOS-transistor (T1) and a PMOS-transistor (T2) with a floating-gate, where the gate of said conventional PMOS-transistor receives a bit-signal of an input-vector and the gate of the second PMOS-transistor is connected with a Learn-input; a second vector can be applied to the drain-terminal of said second PMOS-transistor for the associative access; during reading process the current flowing through each series-circuit is calculated in each column by some current-calculating circuits ( $IB_j, IB_{j+1}$ ).

## 六、申請專利範圍

1. 一種關聯式記憶體，其具有許多相同形式之記憶體單胞 (Z)，其特徵為：
  - 各別之記憶體單胞只由一個正規 (regular) 之第一 PMOS 電晶體 (T1) 和一個第二 PMOS 電晶體 (T2) (其具有一個浮動 - 閘極 (FG)) 所形成之串聯電路所構成，其中第一 PMOS 電晶體之第一接點是與電源電壓 ( $V_{DD}$ ) 相連接且第一 PMOS 電晶體之第二接點經由上述至關聯式記憶體之第二 PMOS 電晶體而與輸出向量 (Y) 之位元信號用之各別接點 ( $Y_j$ ) 相連接以及為了可進行讀出過程而與電流計算器 ( $I_{b_j}$ ) 相連接，
  - 在各別單胞中和輸入向量 (X) 之位元信號所用之接點 ( $X_k$ ) 是與各第一 PMOS 電晶體之閘極 (G1) 相連接且學習信號 (LEARN) 用之接點是與第二 PMOS 電晶體之閘極 (G2) 相連接。
2. 如申請專利範圍第 1 項之關聯式記憶體，其中記憶體單胞配置成矩陣形式，輸入向量之位元信號用之各接點 ( $X_k$ ) 是與共同之列 (row) 之記憶體單胞 (3) 相連接且輸出向量之位元信號用之各接點 ( $Y_j$ ) 是與共同之行 (column) 之單胞 (1,4) 相連接。
3. 一種關聯式記憶體之操作方法，此處關聯式記憶體是指申請專利範圍第 1 項中所述者，本方法之特徵為：
  - 藉助於較基體還高之正電壓施加至學習信號用之接點而以紫外 (UV) 光或藉由浮動 - 閘極 (FG) 之充正電來達成一種整體性 (global) 之去除作用，其中所有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

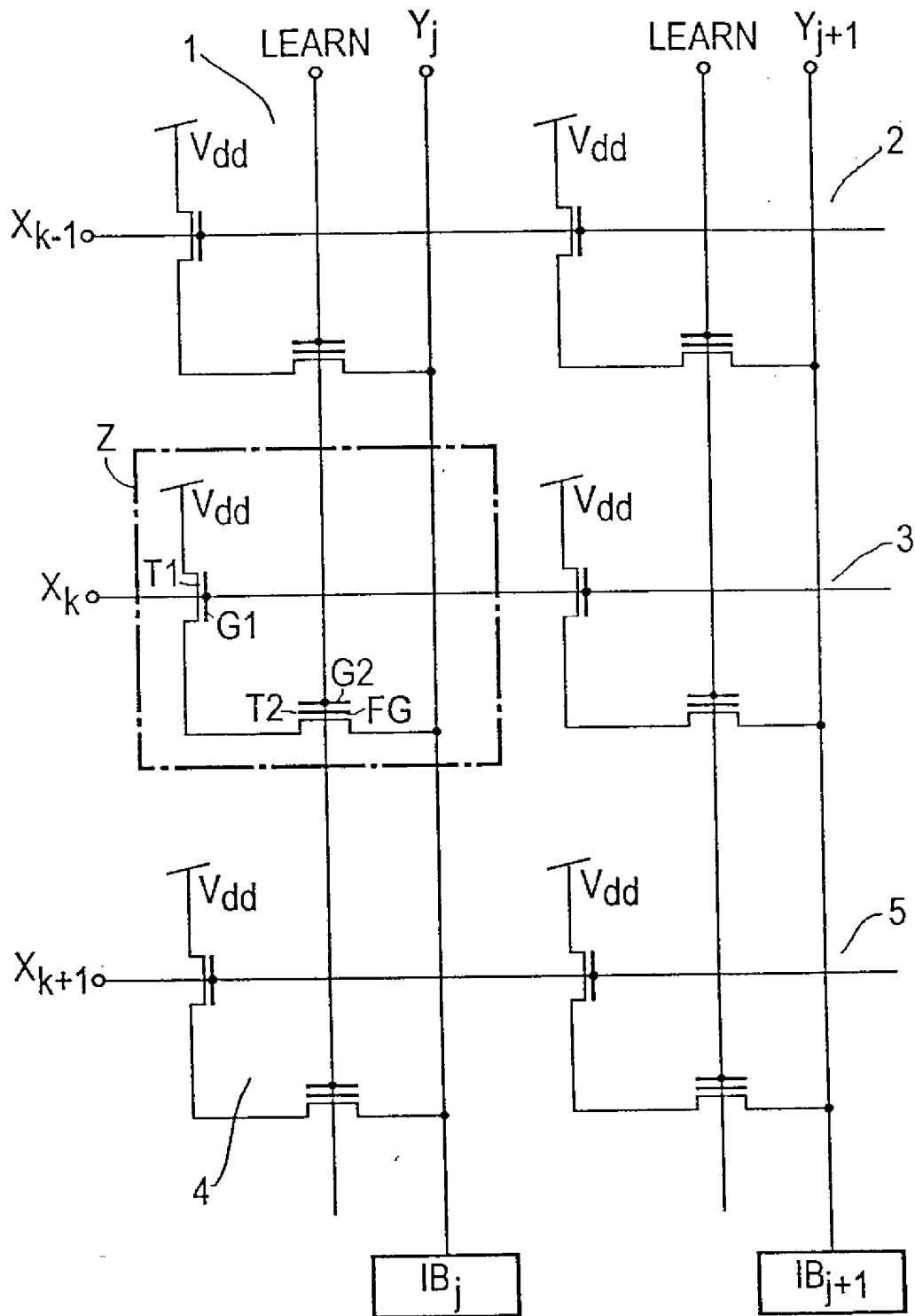
- 之第二 PMOS 電晶體 (T2) 將成為常閉 (normally off) 電晶體，
- 在各單胞中須製成一種關聯式記憶體，使得只要熱電子一注入各第二 PMOS 電晶體之浮動 - 閘極中時，若輸入向量之位元信號以及輸出向量之位元信號用之各接點分別施加邏輯 1 之位準，則第二 PMOS 電晶體會成為常開 (normally on) 電晶體，
  - 各單胞之讀出過程是以下述方式進行，即，若在輸入向量之各別位元信號用之接點上施加邏輯 1 之位準且第二 PMOS 電晶體是常開電晶體 (只有恰巧在此種情況時此二個 PMOS 電晶體是導通的)，則學習信號 (LEARN) 會接收到上述之電源電壓 ( $V_{DD}$ ) 且電流只會流經當時之串聯電路及輸出向量之位元信號用之接點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



第 1 圖