

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/532 (2006.01)

H01L 21/768 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510109049.1

[45] 授权公告日 2008 年 8 月 13 日

[11] 授权公告号 CN 100411165C

[22] 申请日 2005.10.18

审查员 王艳华

[21] 申请号 200510109049.1

[74] 专利代理机构 北京林达刘知识产权代理事务所

[30] 优先权

代理人 刘新宇

[32] 2004.12.27 [33] US [31] 11/023,296

[73] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区新竹市力行六路八号

[72] 发明人 苏鸿文 石健学 蔡明兴 眭晓林
余振华

[56] 参考文献

CN1519925A 2004.8.11

CN1545728A 2004.11.10

US2003/0186541A1 2003.10.2

US2003/0207560A1 2003.11.6

US5674787A 1997.10.7

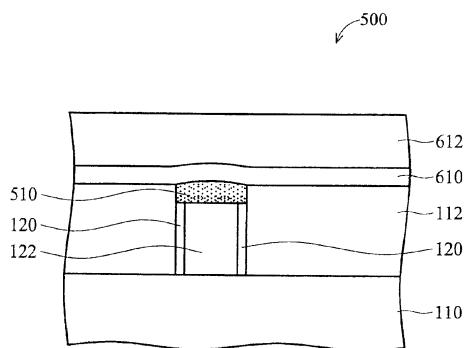
权利要求书 2 页 说明书 13 页 附图 4 页

[54] 发明名称

集成电路及其制造方法

[57] 摘要

本发明提供一种集成电路及其制造方法。所述集成电路包括一导电层于一介电层中的一沟槽中，以及一渐层顶盖层于该导电层上，其中该渐层顶盖层包括一渐层的金属合金，于邻近该导电层的浓度大于或等于 95at% 钴、镍、或上述的组合以及于该导电层相对端的浓度小于或等于 95at% 钴、镍、或上述的组合。本发明提供一种顶盖层、胶着层、保护/阻障层、或渐层顶盖层于集成电路中的导电层上，其与导电层间具良好粘着性质且能阻障导电层扩散进入层间介电层，以改善集成电路的电性如电阻率及导电性。



1. 一种集成电路，所述集成电路包括：

一导电层位于一第一介电层中的一沟槽中；以及

一渐层顶盖层位于该导电层上；

其中该渐层顶盖层包括一渐层的金属合金，其位于邻近该导电层的界面处具有高的纯度，并且该渐层的金属合金为浓度小于或等于95at%的钴、浓度小于或等于95at%的镍或上述的组合。

2. 根据权利要求1所述的集成电路，其特征在于，该导电层上包括一自该第一介电层的表面形成的凹入。

3. 根据权利要求1所述的集成电路，其特征在于，更包括：

一第二介电层位于该第一介电层上；以及

一开口位于该第二介电层中，其中该开口延伸过至少一部分的该渐层顶盖层。

4. 根据权利要求3所述的集成电路，其特征在于，该渐层顶盖层于该开口中部分被移除。

5. 根据权利要求1所述的集成电路，其特征在于，更包括一黏着层位于该导电层与该渐层顶盖层之间。

6. 根据权利要求5所述的集成电路，其特征在于，更包括：

一第二介电层位于该第一介电层上；以及

一开口位于该第二介电层中，其中该开口延伸过至少一部分的该渐层顶盖层。

7. 一种集成电路的制造方法，所述集成电路的制造方法包括：

提供一基底，其上有一沟槽位于一第一介电层中；

形成一导电层位于该第一介电层中的该沟槽中；以及

形成一渐层顶盖层位于该导电层上；

其中该渐层顶盖层包括一渐层的金属合金，其位于邻近该导电层的界面处具有高的纯度，并且该渐层的金属合金为浓度小于或等于95at%的钴、浓度小于或等于95at%的镍或上述的组合。

8. 根据权利要求7所述的集成电路的制造方法，其特征在于，该导电层上包括一自该第一介电层的表面形成的凹入。

9. 根据权利要求7所述的集成电路的制造方法，其特征在于，其中该渐层顶盖层是以无电镀法形成，该无电镀法的条件包括以钴盐、 CoCl_2 及 CoSO_4 为溶液，以 $\text{NaH}_2\text{PO}_2 \cdot 2\text{H}_2\text{O}$ 为还原剂、并以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂，并且在表面活化与沉积温度70至95℃的条件下进行。

10. 根据权利要求7所述的集成电路的制造方法，其特征在于，更包括：

形成一第二介电层于该第一介电层上；以及

形成一开口于该第二介电层中，其中该开口延伸过至少一部分的该渐层顶盖层。

11. 根据权利要求10所述的集成电路的制造方法，其特征在于，该渐层顶盖层于该开口中部分被移除。

12. 根据权利要求9所述的集成电路的制造方法，其特征在于，更包括形成一黏着层位于该导电层与该渐层顶盖层之间。

13. 根据权利要求12所述的集成电路的制造方法，其特征在于，更包括：

形成一第二介电层于该第一介电层上；以及

形成一开口于该第二介电层中，其中该开口延伸过至少一部分的该渐层顶盖层。

集成电路及其制造方法

技术领域

本发明是有关于一种集成电路，特别是有关于一种渐层顶盖层于一半导体元件中的导电层上的结构。

背景技术

传统上，集成电路包括许多电子元件于半导体基底上，例如晶体管、电容等元件。接着，一或多层金属层形成于上述电子元件上以提供与周边元件与装置的连线。上述金属层包括一层间介电层(ILD)，于其中形成有许多通孔及连线，一般以单或双镶嵌形式呈现。

随着半导体工业朝微型化趋势进展，集成电路(IC)中的元件亦随之微缩，以提供较小的IC元件及改善元件性能，例如增加运算速度及降低功率消耗。传统IC中的金属导线的材料常用铝或铝合金，相对于目前常用铜或铜合金作为IC中的金属导线的材料，因铜较铝具有更加的电性，例如具较低的电阻，较高的导电率以及较高的熔点。

于半导体元件中，对于导电材料与介电材料的改变，致使其在制造过程中产生新的挑战。例如，金属铜极易氧化且易扩散至邻接的绝缘材料中，尤其易发生于以低介电常数(low - k)材料，或其他多孔性的绝缘材料作为层间介电层(ILD)时。为降低上述问题的影响，现有技术中已提出，以单层的CoWP作为顶盖层(cap layer)覆于铜导电材料上。虽然CoWP能有效地避免氧化且降低扩散至邻接的层间介电层(ILD)中，然而CoWP层相对于下层的铜金属层界面的粘着性(adhesion quality)却不佳。因此，于CoWP层与铜金属层之间存在许多空孔缺陷。

有鉴于此，基于上述的现有技术背景，业界急需一种顶盖层能有效地避免氧化且降低扩散至邻接的层间介电层(ILD)中，同时与铜金属层界面具有良好的粘着性。

发明内容

本发明的目的在于提供一种顶盖层于集成电路中，具渐层的合金浓度，能有效地避免底层金属层氧化且降低铜扩散至邻接的层间介电层(ILD)中，同时与铜金属层的界面间具有良好的粘着性。

根据上述目的，本发明提供一种集成电路，包括：一导电层位于一第一介电层中的一沟槽中；以及一渐层顶盖层位于该导电层上。其中该渐层顶盖层包括一渐层的金属合金，于邻近该导电层的浓度小于或等于95at%的钴、小于或等于95at%的镍、或上述的组合。或者，该渐层顶盖层包括一渐层的金属合金，于该导电层相对端的浓度小于或等于95at%钴、小于或等于95at%的镍、或上述的组合。

本发明所述的集成电路，该导电层上包括一自该第一介电层的表面形成的凹入。

本发明所述的集成电路，更包括：一第二介电层位于该第一介电层上；以及一开口位于该第二介电层中，其中该开口延伸过至少一部分的该渐层顶盖层。

本发明所述的集成电路，该渐层顶盖层于该开口中部分被移除。

本发明所述的集成电路，更包括一黏着层位于该导电层与该渐层顶盖层之间。

根据上述目的，本发明提供一种集成电路，包括：一导电层位于一第一介电层中的一沟槽中；一黏着层位于该导电层上；以及一渐层顶盖层位于该黏着层上，该渐层顶盖层包括一渐层的金属合金，小于或等于95at%的钴、小于或等于95at%的镍、或上述

的组合。

应注意的是，该集成电路更包括：一第二介电层位于该第一介电层上；以及一开口位于该第二介电层中，其中该开口延伸过至少一部分的该渐层顶盖层。

根据上述目的，本发明提供一种集成电路，包括：一导电层位于一第一介电层中的一沟槽中；以及一渐层顶盖层位于该导电层上，其中该渐层顶盖层包括一渐层的金属合金，于邻近该导电层的浓度小于或等于95at%的钴、小于或等于95at%的镍、或上述的组合以及于该导电层相对端的浓度小于或等于95at%的钴、小于或等于95at%的镍、或上述的组合。

应注意的是，该集成电路更包括：一第二介电层位于该第一介电层上；以及一开口位于该第二介电层中，其中该开口延伸过至少一部分的该渐层顶盖层。

根据上述目的，本发明又提供一种集成电路的制造方法，包括：提供一基底，其上具有一沟槽位于一第一介电层中；形成一导电层于该第一介电层中的该沟槽中；以及形成一渐层顶盖层于该导电层上。

本发明所述的集成电路的制造方法，该导电层上包括一自该第一介电层的表面形成的凹入。

本发明所述的集成电路的制造方法，其中该渐层顶盖层是以无电镀法形成，该无电镀法的条件包括以钴盐、 CoCl_2 、及 CoSO_4 为溶液，以 $\text{NaH}_2\text{PO}_2 \cdot 2\text{H}_2\text{O}$ 为还原剂、并以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂，并且在表面活化与沉积温度70 - 95°C的条件下进行。

本发明所述的集成电路的制造方法，更包括：形成一第二介电层于该第一介电层上；以及形成一开口于该第二介电层中，其中该开口延伸过至少一部分的该渐层顶盖层。

本发明所述的集成电路的制造方法，该渐层顶盖层于该开口中部分被移除。

本发明所述的集成电路的制造方法，更包括形成一黏着层位于该导电层与该渐层顶盖层之间。

根据上述目的，本发明再提供一种集成电路的制造方法，包括：提供一基底，其上具有一沟槽位于一第一介电层中；形成一导电层于该第一介电层中的该沟槽中；形成一黏着层于该导电层上；以及形成一渐层顶盖层于该黏着层上，该渐层顶盖层包括一渐层的金属合金，其浓度为小于或等于95at%的钴、小于或等于95at%的镍、或上述的组合。

根据上述目的，本发明再提供一种集成电路的制造方法，包括：提供一基底，其上具有一沟槽位于一第一介电层中；形成一导电层于该第一介电层中的该沟槽中；以及形成一渐层顶盖层于该导电层上，其中该渐层顶盖层包括一渐层的金属合金，于邻近该导电层的浓度小于或等于95at%的钴、小于或等于95at%的镍、或上述的组合以及于该导电层相对端的浓度小于或等于95at%的钴、小于或等于95at%的镍、或上述的组合。

本发明还提供一种集成电路的制造方法，所述集成电路的制造方法包括：提供一基底，其上具有一沟槽位于一第一介电层中；形成一导电层于该第一介电层中的该沟槽中；形成一黏着层于该导电层上；以及形成一渐层顶盖层于该黏着层上，该渐层顶盖层包括一渐层的金属合金，其浓度为小于或等于95at%的钴、小于或等于95at%的镍、或上述的组合；其中该渐层顶盖层是以无电镀法形成，该无电镀法的条件包括以钴盐、 CoCl_2 、及 CoSO_4 为溶液，以 $\text{NaH}_2\text{PO}_2 \cdot 2\text{H}_2\text{O}$ 为还原剂、并以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂，并且在表面活化与沉积温度70 - 95°C的条件下进行。

本发明所述的集成电路的制造方法，更包括：形成一第二介电层于该第一介电层上；以及形成一开口于该第二介电层中，其中该开口延伸过至少一部分的该渐层顶盖层。

本发明提供一种顶盖层、胶着层、保护/阻障层、或渐层顶盖

层于集成电路中的导电层上，其与导电层间具良好粘着性质且能阻障导电层扩散进入层间介电层，以改善集成电路的电性如电阻率及导电性。

附图说明

图1至图4是显示本发明第一实施例多层保护结构形成于一金属层上的剖面示意图；

图5至图6是显示本发明第二实施例的具有渐层顶盖层于导电层上的剖面示意图；

图7是显示根据本发明实施例形成内连线于工件上的剖面示意图。

具体实施方式

以下配合图式以及较佳实施例，以更详细地说明本发明。

图1至图4是显示本发明第一实施例多层保护结构形成于一金属层上的剖面示意图。请参阅图1，提供一工件100。工件100包括一半导体基底110，其上有一第一层间介电层(ILD)112。半导体基底110包括硅或其他半导体材料。于半导体基底110上亦包括其他主动元件或电路(未图示)。工件100另包括其他导电层或其他半导体单元，例如晶体管(transistor)或二极管(diode)等。

第一层间介电层(ILD)112可包括介电材料，例如氧化硅或二氧化硅，其具有介电常数值约4.0。或者，第一层间介电层(ILD)112较佳者为包括低介电常数(low - k)材料，例如介电常数(k)值低于约4.0(即氧化硅或二氧化硅的介电常数)。例如，低介电常数(low - k)材料包括类钻碳(diamond - like carbon)、氟掺杂硅酸盐玻璃

或氟掺杂氧化硅玻璃(FSG)、 SiO_xC_y 、旋布玻璃(Spin - On - Glass)、旋布高分子(Spin - On - Polymer)，含碳与硅的材料、化合物(compound)、复合物(composite)、混合物(combination)、及上述全部材料的组合。第一层间介电层(ILD)112亦可包括多层材料结构。

第一层间介电层(ILD)112较佳者为以现有方法所形成的任意低介电常数(low - k)材料。于本发明实施例中，第一层间介电层(ILD)112包括一氧化层，以化学气相沉积法(CVD)形成，利用四氧乙基硅烷(TEOS)与氧气微反应的前驱(precursor)气体。第一层间介电层(ILD)112的厚度范围大抵约200埃(\AA)至10,000埃(\AA)，较佳者为2,000埃(\AA)。其他的氧化物材质或厚度亦适用于本实施例中。

接着，形成一开口116于第一层间介电层(ILD)112中。开口116可以是一沟层(trench)、通孔(via)、或其他图案，用以形成导电层于其中。例如，开口116包括细长的沟槽，为相对直线、曲线、弯曲折线、或其他金属层中导线图案的形式。

开口116可以传统的微影蚀刻技术形成。大体而言，微影技术是关于涂布光致抗蚀剂材料(未图示)且根据所欲的图案将光致抗蚀剂层曝光，及显影移除部分的光致抗蚀剂材料等步骤，以根据所欲的图案显露出底层的材料。接着，持续进行后续步骤，例如蚀刻，以形成开口116于第一层间介电层(ILD)112中。蚀刻步骤可以是湿式蚀刻，亦可以是干式蚀刻。此外，蚀刻步骤可以是等向性(isotropic)或非等向性，较佳者为使用非等向性干式蚀刻。在形成开口116于第一层间介电层(ILD)112中的步骤之后，移除剩余的光致抗蚀剂。其他的微影方式，例如电子束微影(electron beam lithography, EBL)亦可用于本发明实施例形成开口116。

应注意的是，上述所例举的实施例是以单镶嵌制程为例说明，

其他内连线制程，例如双镶嵌制程亦适用于本发明。例如，可利用双镶嵌制程一沟槽与一通孔于一或多层层间介电层(ILD)114中。

在形成开口116之后，形成一第一阻障层120与一导电层122于开口116中。第一阻障层120可包括一或多层粘结层及/或阻障层。根据本发明实施例，第一阻障层120可包括一或多层导电材料，例如钛、氮化钛、钽、氮化钽等。例如，第一阻障层120是以CVD法形成一层薄的氮化钽层及一层薄的钽层。上述氮化钽层及钽层的厚度范围大抵约为5埃(Å)至300埃(Å)。

接着，将开口116填入导电材料，例如，毡覆性地沉积厚度至少能实质地填满开口116。导电层122包括金属、金属元素、过渡金属、或其他。根据本发明实施例，导电层122可以是例如铜金属层。或者，导电层122亦可以先形成一晶种层，再施以化学电镀沉积制程形成金属铜于该晶种层上。

接着，施以平坦化制程，例如，化学机械研磨制程(CMP)，以平坦化导电层122的表面，并于导电层122与阻障层120处形成一凹入(recess)。

再者，施以一预清洗(pre - clean)制程以移除导电层122表面的污染物。预清洗(pre - clean)制程包括反应性或非反应性清洗制程。例如，反应性清洗制程可包括使用含氢等离子或含氦等离子的等离子制程。该预清洗(pre - clean)制程亦可包括含上述气体成分组合的等离子制程。

应注意的是，于图1中仅说明本发明的一实施范例，其位于开口116中导电层122与阻障层120的凹入，是一选择性制程。该凹入可于预清洗(pre - clean)制程时形成，或由其他个别的步骤形成。然而，于另一实施例中，导电层122的表面与ILD层112的表面可实质上为一平面。

图2是显示根据本发明实施例于工件100上形成一胶着层(glue layer)210的剖面示意图。例如，胶着层210的材质较佳为选自与下层导电层122之间具良好粘着性质的材料。在导电层由铜金属或合金所构成的实施例中，已获知相当纯(亦即占大于或等于95at%(atomic%))的钴、镍、或其组合的合金具有良好粘着性的结果。胶着层210亦可包含其他元素，例如钨、磷、钼、铼、硼、其化合物组合、或其合金组合等。胶着层210可由适当的薄膜制程形成，例如无电镀制程(electroless process)、自组装制程(self-assembling process)、或选择性化学气相沉积制程等。

根据本发明的一较佳实施例，胶着层210是由无电镀制程形成至厚度范围约 20\AA 至 200\AA 。胶着层210包括钴及磷，于包括钴盐、 CoCl_2 、 CuSO_4 等成分的溶液，并以 $\text{NaH}_2\text{PO}_2\cdot2\text{H}_2\text{O}$ 为还原剂(reduction agent)、以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7\cdot2\text{H}_2\text{O}$ 为复合剂(complex agent)，于表面活化与沉积温度 $70 - 95^\circ\text{C}$ 条件下进行无电镀制程形成。

于另一实施例中，胶着层210包括钴及硼，于包括钴盐、 CoCl_2 、 CuSO_4 等成分的溶液，并以 $\text{NaBH}_4\cdot(\text{CH}_3)_2\text{NHBH}_3$ 为还原剂(reduction agent)、以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7\cdot2\text{H}_2\text{O}$ 为复合剂(complex agent)，于沉积温度 $70 - 95^\circ\text{C}$ 条件下进行无电镀制程形成。与此实施例中，包括选择性的制程例如添加安定剂(stabilizer)或表面活化制程。此外，其他适用的材料亦可用于本发明实施例中。

图3是显示根据本发明实施例的工件100上形成一保护/阻障层310之后的剖面示意图。例如，保护/阻障层310的材质较佳为选自与下层胶着层210之间具良好粘着性质且能阻障导电层扩散进入层间介电层112的材料。在导电层122由铜金属或合金所构成及胶着层210由钴及/或镍所构成的实施例中，已获知若保护/阻障层310较胶着层210不纯(亦即占小于或等于95at%)的钴、镍、或其

组合的合金，则具有良好粘着性的结果。保护/阻障层310亦可包含其他元素，例如钨、磷、钼、铼、硼、其化合物组合、或其合金组合等。保护/阻障层310可由适当的薄膜制程形成，例如无电镀制程(electroless process)、自组装制程(self - assembling process)、或选择性化学气相沉积制程等。

根据本发明的一较佳实施例，保护/阻障层310是由无电镀制程形成至厚度范围约 20\AA 至 200\AA 。保护/阻障层310包括钴、磷、及硼，于包括钴盐、 CoCl_2 、 CuSO_4 等成分的溶液，并以 $\text{NaH}_2\text{PO}_2 \cdot 2\text{H}_2\text{O}$ 及 $\text{NaBH}_4 \cdot (\text{CH}_3)_2\text{NHBH}_3$ 为还原剂(reduction agent)、以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂(complex agent)，于沉积温度 $70 - 95^\circ\text{C}$ 条件下进行无电镀制程形成。与此实施例中，包括选择性的制程例如添加安定剂(stabilizer)或表面活化制程。

于另一实施例中，保护/阻障层310包括钴、钨及硼，于包括钴盐、 CoCl_2 、 CuSO_4 等成分的溶液，并使用 $(\text{NH}_4)_2\text{WO}_4$ 、 Na_2WO_4 、 $\text{H}_3[\text{P}(\text{W}_3\text{O}_{10})_4]$ 等溶液，以 $\text{NaH}_2\text{PO}_2 \cdot 2\text{H}_2\text{O}$ 为还原剂(reduction agent)、以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂(complex agent)，于沉积温度 $70 - 95^\circ\text{C}$ 条件下进行无电镀制程形成。

于又一实施例中，保护/阻障层310包括钴、钼及钨，于包括钴盐、 CoCl_2 、 CuSO_4 等成分的溶液，并使用 $(\text{NH}_4)_2\text{WO}_4$ 、 Na_2WO_4 、 $\text{H}_3[\text{P}(\text{W}_3\text{O}_{10})_4]$ 等溶液，以 NaBH_4 、 $(\text{CH}_3)_2\text{NHBH}_3$ 等为还原剂(reduction agent)、以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂(complex agent)，于沉积温度 $70 - 95^\circ\text{C}$ 条件下进行无电镀制程形成。与此实施例中，较佳者为添加安定剂(stabilizer)，或选择性的施以表面活化制程。

于另一实施例中，保护/阻障层310包括钴、钼及钨，于包括钴盐、 CoCl_2 、 CuSO_4 等成分的溶液，并使用 $(\text{NH}_4)_2\text{MoO}_4$ 、 Na_2MoO_4 等溶液，以 $\text{NaH}_2\text{PO}_2 \cdot 2\text{H}_2\text{O}$ 等为还原剂(reduction

agent)、以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂 (complex agent)，于沉积温度 70 - 95°C 条件下进行无电镀制程形成。

于另一实施例中，保护/阻障层 310 包括钴、钼及硼，于包括钴盐、 CoCl_2 、 CuSO_4 等成分的溶液，并使用 $(\text{NH}_4)_2\text{MoO}_4$ 、 Na_2MoO_4 等溶液，以 NaBH_4 、 $(\text{CH}_3)_2\text{NHBH}_3$ 等为还原剂 (reduction agent)、以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂 (complex agent)，于沉积温度 70 - 95°C 条件下进行无电镀制程形成。与此实施例中，较佳者为添加安定剂 (stabilizer)，或选择性的施以表面活化制程。

此外，其他适用的材料亦可用于本发明实施例中。尤其是，胶着层 210 及保护/阻障层 310 可由含镍的材料所构成。

图 4 是显示根据本发明实施例于工件 100 上形成蚀刻终止层 410 及第二层间介电层 412 的剖面示意图。形成蚀刻终止层 410 为选择性的步骤，亦即于部分实施例中也可以无需形成蚀刻终止层 410。蚀刻终止层 410 可形成于第一层间介电层 112，接着，第二层间介电层 412 形成于蚀刻终止层 410。应注意的是，于形成蚀刻终止层 410 步骤之前，包括施以一平坦化步骤，例如化学机械研磨 (CMP)。蚀刻终止层 410 的材质是择自与接续的第二层间介电层 412 有高的蚀刻选择比 (high - etch selectivity) 的材料。

第二层间介电层 412 的材质较佳为低介电常数 (low - k) 介电层，例如掺杂氟硅酸盐玻璃 (FSG) 等。于本发明实施范例中，第二层间介电层 412 由 FSG 所构成，以及蚀刻终止层 410 由 SiN 、 SiC 、低介电常数 (low - k) 介电层等构成。上述 SiN 层可由等离子辅助化学气相沉积法 (PECVD) 形成，FSG 层亦可由等离子辅助化学气相沉积法形成。蚀刻终止层 410 的厚度范围较佳为介于约 50\AA 至约 1000\AA 。第二层间介电层 412 的厚度范围为介于约 200\AA 至约 10000\AA ，较佳者为约 2000\AA 。

图5至图6是显示本发明第二实施例的具有渐层顶盖层于导电层上的剖面示意图。于图5至图6中，工件500的形成方法与图1中工件100的形成方法相同，为避免重复叙述造成混淆，在此略去重复的部分，其中相同的数字标号显示与图1中所标示的构件相同。

请参阅图5，形成一渐层顶盖层510于导电层122上。渐层顶盖层510较佳为金属合金，其位于靠近导电层122的界面处具有较高的纯度。具有上述特性的渐层顶盖层510能提升与下层导电层122之间的粘着性且能避免或降低导电层扩散进入层间介电层112。在导电层122由铜金属或合金所构成的实施例中，已获知若渐层顶盖层510位于靠近导电层122的界面处具有较高的纯度(亦即占小于或等于95at%)的钴、镍、或其组合的合金，则渐层顶盖层510具有良好粘着性及阻障层的效果。

根据本发明较佳实施例，渐层顶盖层510是以无电镀法(electroless process)形成，其厚度范围较佳者为介于约50Å至约200Å。渐层顶盖层510包括钴及磷，于包括钴盐、 CoCl_2 、 CoSO_4 等成分的溶液，并以 $\text{NaH}_2\text{PO}_2 \cdot 2\text{H}_2\text{O}$ 为还原剂(reduction agent)、以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂(complex agent)，于表面活化与沉积温度70 - 95°C条件下进行无电镀制程形成。磷元素的渐层浓度可通过于沉积过程中改变磷的流速达成。

于另一实施例中，渐层顶盖层510包括钴及硼，于包括钴盐、 CoCl_2 、 CoSO_4 等成分的溶液，并以 $\text{NaBH}_4 \cdot (\text{CH}_3)_2\text{NHBH}_3$ 为还原剂(reduction agent)、以 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ 为复合剂(complex agent)，于沉积温度70 - 95°C条件下进行无电镀制程形成。与此实施例中，较佳为添加安定剂(stabilizer)于溶液中，或选择性的施以表面活化制程。此外，其他适用的材料亦可用于本发明实施例中。硼元素的渐层浓度可通过于沉积过程中改变硼的流速达成。

图6是显示于图5的工件500上形成蚀刻终止层610及第二层

间介电层612的剖面示意图。图6中的形成蚀刻终止层610与第二层间介电层612步骤，与图4中形成蚀刻终止层410与第二层间介电层412步骤相同，在此略去相同的制程描述。

图7是显示根据本发明实施例形成内连线于工件700上的剖面示意图。应注意的是，图7是表示正交图4或图6导电层122的透视图。因此，于图7中，构件的标号相当于图4或图6中的构件标号。应注意的是，图7的顶盖层710相当于图5的渐层顶盖层510或图4中的胶着层210与保护/阻障层310。

请参阅图7，形成一开口712穿过第二层间介电层412，以提供一与下层导电层122的电性接触。开口712可由传统的标准镶嵌制程(例如单或双镶嵌制程)形成。应了解的是，开口712形成亦穿过蚀刻终止层410与顶盖层710。移除开口712中部分的蚀刻终止层410与顶盖层710，能提供与下层导电层122较佳的电性连接，亦即具较低电阻。

根据本发明的较佳实施例，顶盖层710实质上已被移除。于另一实施例中，仅部分的顶盖层710被移除。例如，于顶盖层710相当于图4中的胶着层210与保护/阻障层310的实施例中，可部分的，或实质的或完全地移除保护/阻障层310，以及留下至少一部分的胶着层210。此外，于顶盖层710相当于图5中的渐层顶盖层510的实施例中，留下至少一部分的渐层顶盖层510。

本发明特征及效果：

本发明的特征与效果在于提供一种顶盖层、胶着层、保护/阻障层、或渐层顶盖层于集成电路中的导电层上，其与导电层间具有良好粘着性质且能阻障导电层扩散进入层间介电层，以改善集成电路的电性如电阻率及导电性。

以上所述仅为本发明较佳实施例，然其并非用以限定本发明的范围，任何熟悉本项技术的人员，在不脱离本发明的精神和范

围内，可在此基础上做进一步的改进和变化，因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

附图中符号的简单说明如下：

100、500、700：工件

110：半导体基底

112：第一层间介电层(ILD)

116：开口

120：第一阻障层

122：导电层

210：胶着层(glue layer)

310：保护/阻障层

410、610：蚀刻终止层

412、612：第二层间介电层

510：渐层顶盖层

710：顶盖层

712：开口

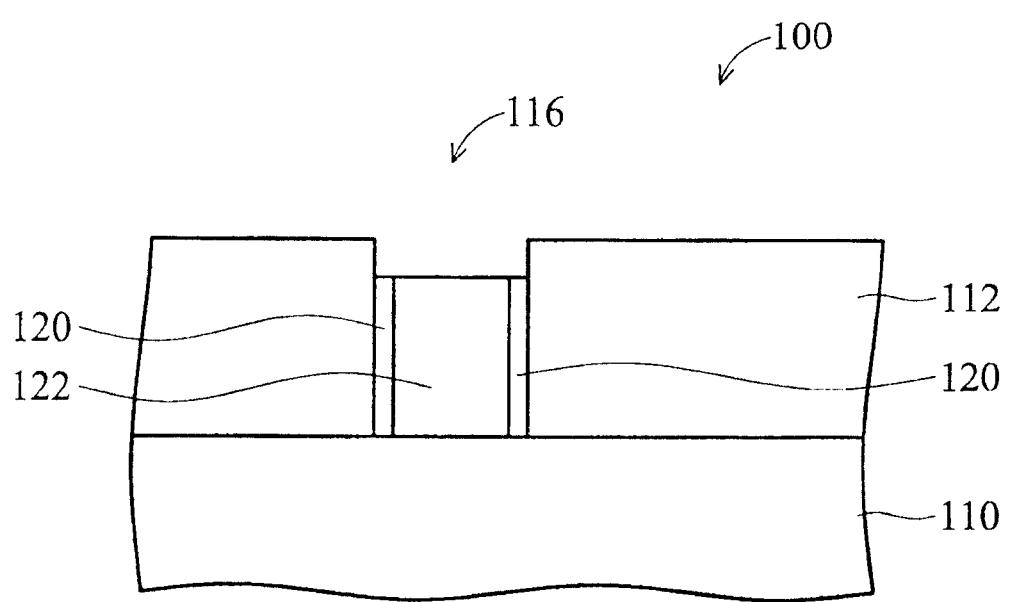


图 1

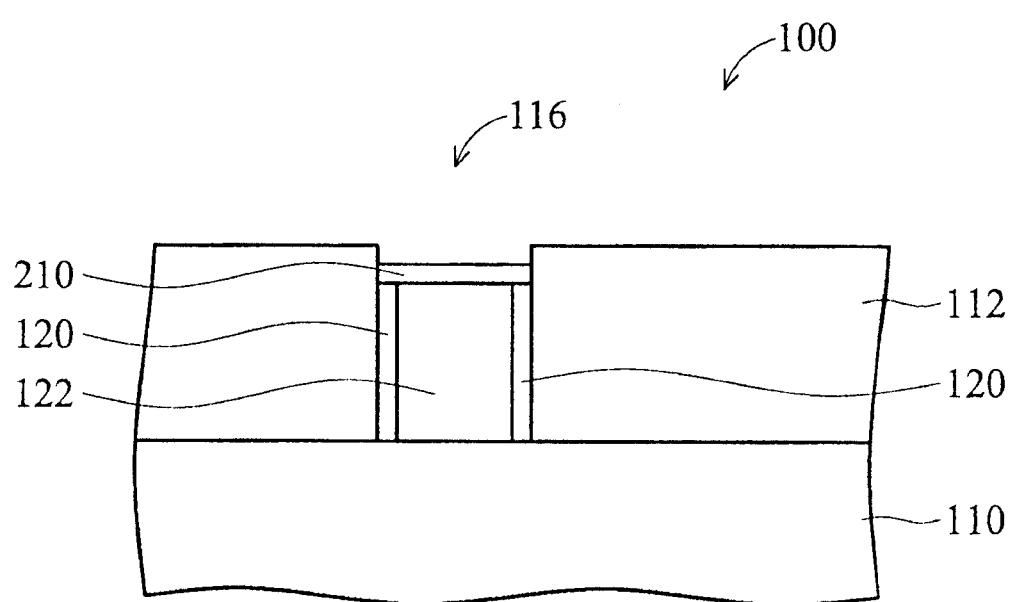


图 2

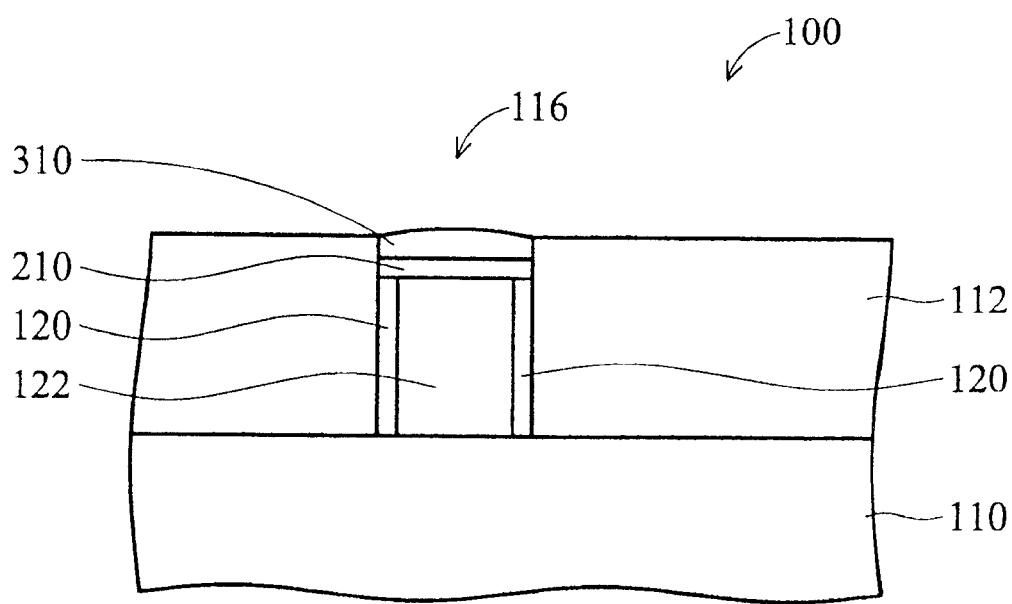


图 3

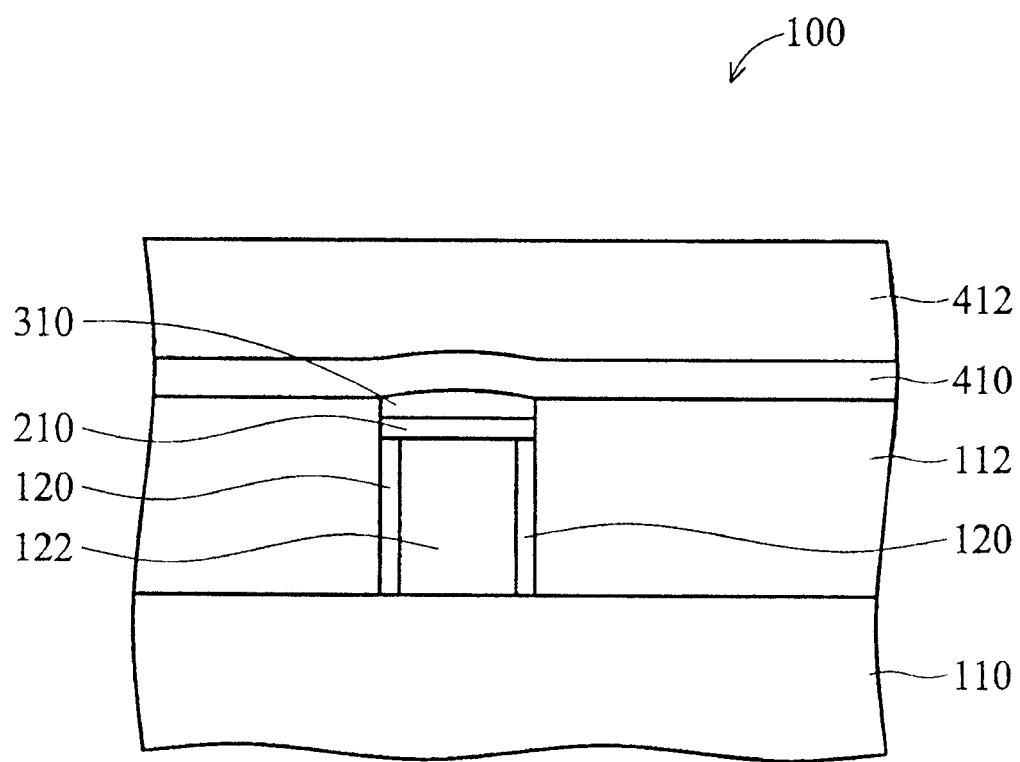


图 4

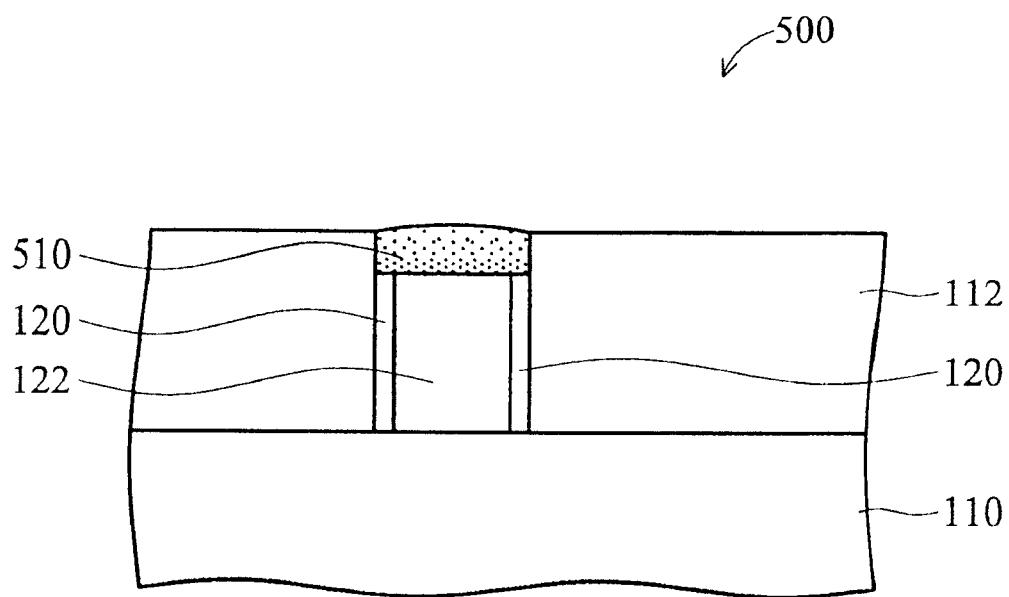


图 5

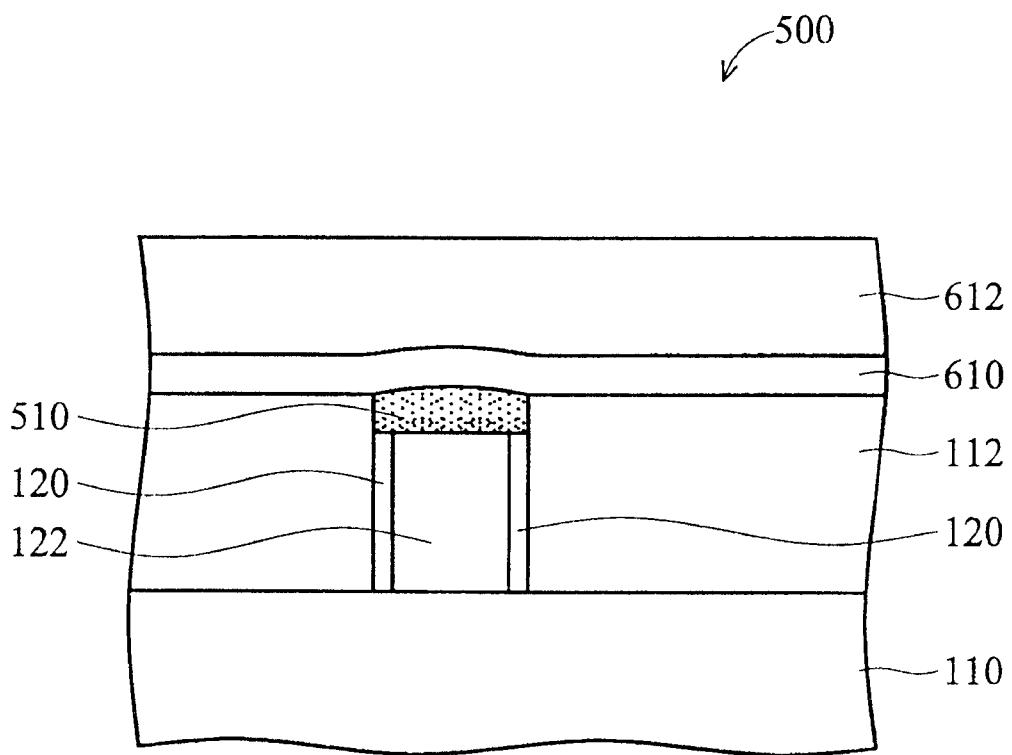


图 6

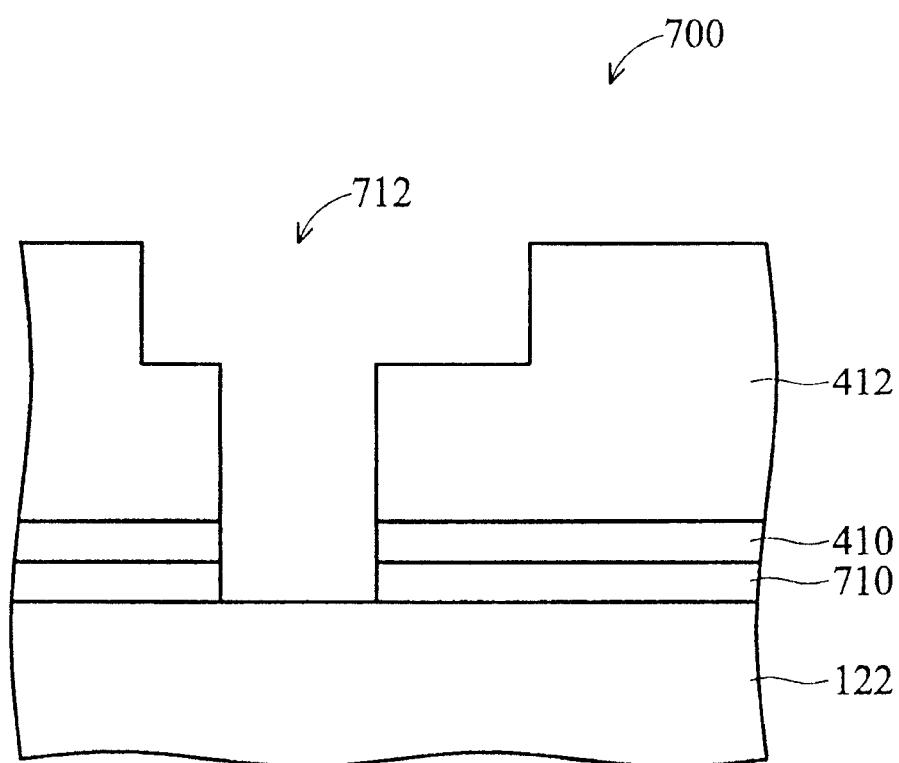


图 7