

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 18 年 1 月 5 日 (2006.1.5)

【公表番号】特表 2005-501369 (P2005-501369A)
 【公表日】平成 17 年 1 月 13 日 (2005.1.13)
 【年通号数】公開・登録公報 2005-002
 【出願番号】特願 2003-522937 (P2003-522937)
 【国際特許分類】

G 1 1 C 15/04 (2006.01)

【F I】

G 1 1 C 15/04 6 3 1 Z

G 1 1 C 15/04 Z

【手続補正書】
 【提出日】平成 17 年 7 月 29 日 (2005.7.29)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

コンテンツ・アドレスブル・メモリ (C A M) ・デバイスであって、
 コンフィギュレーション値に従って決定される幅を有するデータ・ワードを格納する C A M セルのアレイをそれぞれが有する複数の C A M ブロックと、
 クラス・コードを受け取る入力と、前記複数の C A M ブロックへ複数の選択信号を出力する回路とを有するブロック選択回路であって、それぞれの選択信号が、前記クラス・コードに従って前記複数の C A M ブロックのそれぞれのものが比較動作に参加することを選択的にディスエーブルにする、ブロック選択回路と
 を備えるコンテンツ・アドレスブル・メモリ・デバイス。

【請求項 2】

請求項 1 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記複数の C A M ブロックへ複数の選択信号を出力する前記回路が、複数の比較回路を含み、それぞれの比較回路が、前記クラス・コードと、前記複数の C A M ブロックの 1 つに対応するそれぞれの格納されたコードとを比較し、前記複数の選択信号のそれぞれのものを、前記クラス・コードが前記格納されたコードと一致するかどうかに従って、第 1 状態または第 2 状態の何れかで出力するように適合される、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 3】

請求項 2 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記格納されたコードが前記コンフィギュレーション値を示す、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 4】

請求項 1 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、複数のブロック一致回路を更に備え、それぞれのブロック一致回路が、複数の一致信号線を介して前記複数の C A M ブロックの個々の C A M ブロックに結合され、前記 C A M ブロックが前記比較動作への参加をディスエーブルにされない場合、かつ前記比較動作中に前記一致信号線の少なくとも 1 つに一致信号がアサートされる場合に、ブロック一致信号を生成するように適合される、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 5】

請求項 1 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、複数のブロック複数一致回路を更に含み、それぞれのブロック複数一致回路が、複数の一致信号線を介して前記複数の C A M ブロックの個々の C A M ブロックに結合され、前記 C A M ブロックが前記比較動作への参加をディスエーブルにされない場合、かつ前記比較動作中に前記一致信号線の少なくとも 2 つに一致信号がアサートされる場合に、ブロック一致信号を生成するように適合される、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 6】

請求項 1 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記ブロック選択回路は、コンパランド値が前記複数の C A M ブロックの前記 1 つへ入力されないようにすることによって、前記複数の C A M ブロックの前記 1 つが前記比較動作に参加することを選択的にディスエーブルにするように適合される、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 7】

請求項 6 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記ブロック選択回路が、前記コンパランド値内の複数のビットをリセット状態にセットすることによって、前記コンパランド値が前記複数の C A M ブロックの前記 1 つへ入力されないようにする回路を含む、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 8】

請求項 1 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、複数のブロック・フラグ回路を更に含み、それぞれのブロック・フラグ回路は、前記複数の C A M ブロックの対応する 1 つに結合され、対応する前記 C A M ブロックに格納される複数のデータ・ワードの何れかがコンパランド値と一致する場合に一致フラグ信号をアサートするように適合され、前記ブロック選択回路は、前記複数の C A M ブロックの前記 1 つが前記比較動作に参加することを、前記対応するブロック・フラグ回路が前記一致フラグ信号をアサートしないようにすることによって、選択的にディスエーブルにするように適合される、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 9】

請求項 1 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記複数の C A M ブロックへ複数の選択信号を出力する前記回路が C A M セルの複数の組を含み、C A M セルの各組が、前記複数の C A M ブロックの 1 つに対応するクラス値を格納するメモリ・エレメントと、格納された前記クラス値と前記クラス・コードとを比較し、前記クラス・コードが格納された前記クラス値と一致するかどうかに従って、第 1 状態または第 2 状態の何れかで前記複数の選択信号のそれぞれの 1 つを出力する比較回路とを含む、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 10】

請求項 9 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記 C A M セルの複数の組の各 C A M セルが、格納されたクラス値が 1 つより多くのクラス・コードと一致することを可能にするためにマスク状態を格納することができる 3 値 C A M セルである、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 11】

請求項 1 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記複数の C A M ブロックのうちの前記比較動作への参加をディスエーブルにされていない 1 つの中の記憶位置を示すインデックスを生成するための優先順位エンコーダ回路を更に含む、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 12】

コンテンツ・アドレスブル・メモリ (C A M) ・デバイス内の動作の方法であって、
クラス・コードを受け取るステップと、
前記クラス・コードを複数のブロック・コンフィギュレーション値のそれぞれと比較するステップであって、各ブロック・コンフィギュレーション値が、前記コンテンツ・アド

レサブル・メモリ・デバイス内の複数の記憶ブロックの対応する１つのものの幅および深さコンフィギュレーションを示すものである、比較するステップと、

前記複数の記憶ブロックのうちの、前記対応するコンフィギュレーション値が前記クラス・コードと一致しない記憶ブロックが比較動作に参加することをディスエーブルにするステップと

を含む方法。

【請求項 13】

請求項 12 に記載の方法であって、複数の前記ブロック・コンフィギュレーション値を前記コンテンツ・アドレスブル・メモリ・デバイス内に格納するステップを更に備える、方法。

【請求項 14】

請求項 13 に記載の方法であって、前記複数の記憶ブロックのうちの１つより多くのブロックについて、同じブロック・コンフィギュレーション値を前記コンテンツ・アドレスブル・メモリ・デバイス内に格納するステップを更に含む、方法。

【請求項 15】

請求項 12 に記載の方法であって、前記複数の記憶ブロックのうちの、前記対応するコンフィギュレーション値が前記クラス・コードと一致しない記憶ブロックが比較動作に参加することをディスエーブルにする前記ステップが、複数の選択信号を生成するステップを含み、それぞれの選択信号が、前記複数の記憶ブロックのそれぞれのものに結合され、それぞれの選択信号は、対応する前記コンフィギュレーション値が前記クラス・コードと一致しない場合に、前記複数の記憶ブロックのそれぞれのものが前記比較動作へ参加することをディスエーブルにするために、第 1 状態にセットされる、方法。

【請求項 16】

コンテンツ・アドレスブル・メモリ (CAM) ・デバイスであって、

データ・ワードを格納する複数の記憶手段であって、それぞれの記憶手段が、コンフィギュレーション値に従って決定される記憶幅を有する、記憶手段と、

クラス・コードに従って、前記複数の記憶手段の選択されたものが比較動作に参加するようにイネーブルにする選択手段と

を備えるコンテンツ・アドレスブル・メモリ・デバイス。

【請求項 17】

請求項 16 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記選択手段が、

前記クラス・コードと、それぞれ前記複数の記憶手段に対応する複数の格納されたクラス値とを比較する比較手段と、

対応する前記格納されたクラス値が前記クラス・コードと一致するそれぞれの記憶手段が前記比較動作に参加するようにイネーブルにするイネーブル手段と

を備えるコンテンツ・アドレスブル・メモリ・デバイス。

【請求項 18】

請求項 17 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記イネーブル手段が、コンパランド値を所定の状態にセットして、対応する前記格納されたクラス値と前記クラス・コードとが一致しない記憶手段が前記比較動作に参加しないようにするためのコンパランド・ディスエーブル手段を備える、コンテンツ・アドレスブル・メモリ・デバイス。

【請求項 19】

請求項 17 に記載のコンテンツ・アドレスブル・メモリ・デバイスであって、前記イネーブル手段が、対応する前記格納されたクラス値と前記クラス・コードとが一致しない記憶手段に対応する一致信号がアサートされないようにする一致ディスエーブル手段を備える、コンテンツ・アドレスブル・メモリ・デバイス。