



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월25일
(11) 등록번호 10-1107033
(24) 등록일자 2012년01월11일

(51) Int. Cl.
G06K 7/10 (2006.01) G06K 9/18 (2006.01)
(21) 출원번호 10-2011-7003681(분할)
(22) 출원일자(국제출원일자) 2005년04월04일
심사청구일자 2011년02월17일
(85) 번역문제출일자 2011년02월17일
(65) 공개번호 10-2011-0026526
(43) 공개일자 2011년03월15일
(62) 원출원 특허 10-2006-7023936
원출원일자(국제출원일자) 2005년04월04일
심사청구일자 2009년07월14일
(86) 국제출원번호 PCT/US2005/011226
(87) 국제공개번호 WO 2005/106768
국제공개일자 2005년11월10일
(30) 우선권주장
10/825,944 2004년04월16일 미국(US)
(56) 선행기술조사문헌
JP2004015671 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
마이크로스캔 시스템즈 인코포레이티드
미국 워싱턴주 렌턴시 사우쓰웨스트 세븐쓰 스트리트 1201 (우편번호: 98057)
(72) 발명자
콜스태드 제시 제이.
미국 98424 워싱턴주 파이프 파시네티 스트리트 이스트 5717
데이비스 브라이언 엘.
미국 98051 워싱턴주 라벤스데일 사우스 이스트 리트리트-캔애스킷 로드 30109
(74) 대리인
유미특허법인

전체 청구항 수 : 총 25 항

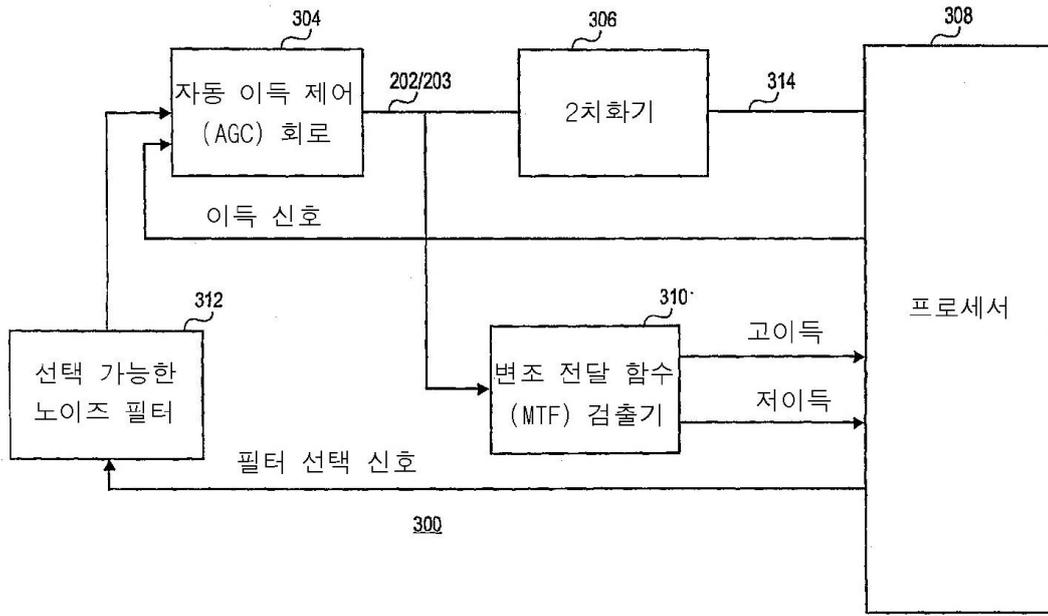
심사관 : 임은정

(54) 선형 자동 이득 제어를 갖춘 바코드 스캐너, 변조 전달 함수 검출기 및 선택 가능한 노이즈 필터

(57) 요약

본 발명의 실시예에 의하면, 바코드를 나타내는 아날로그 신호의 이득이 제어 루프를 이용하여 제어되는 바코드 스캐너 플랫폼이 제공된다. 실시예에서, MTF 검출기는 아날로그 신호의 저주파수 부분(광학적으로 포커스된 요소에서 벗어난)을 나타내는 값(예컨대, DC) 및 아날로그 신호의 고주파수 부분(광학적으로 포커스된 요소 내에서의)을 나타내는 제2 값(예컨대, DC)을 생성한다. 프로세서는 제1 값, 제2 값 및 기준 진폭을 이용하여 이득 IE 신호를 결정한다. 프로세서는 AGC 회로에 이득 신호를 제공하며, AGC 회로는 정합된 JFET를 이용하여 이득 신호에 대한 선형 응답을 제공한다. 노이즈 필터는 제1 값, 제2 값, 및/또는 바코드 스캐너 플랫폼 판독율에 기초하여 인에이블되거나 디스에이블될 수 있다.

대표도



특허청구의 범위

청구항 1

바코드를 나타내는 아날로그 신호의 제1 주파수 부분의 진폭이 상기 아날로그 신호의 제2 주파수 부분의 진폭과 거의 동일한지를 판정하고, 노이즈 필터가 오프 상태인지를 판정하고, 판독율이 소정값 미만인지를 판정하고, 상기 소정값 미만인 상기 판독율에 응답하여 상기 노이즈 필터를 턴온시키는 로직을 포함하는 신호 조절 장치.

청구항 2

제1항에 있어서,
상기 아날로그 신호의 소정의 진폭에 기초하여 상기 바코드를 나타내는 상기 아날로그 신호에 제1 이득을 인가하고, 상기 아날로그 신호의 상기 제1 주파수 부분의 진폭을 결정하고, 상기 아날로그 신호의 상기 제2 주파수 부분의 진폭을 결정하는 추가 로직을 더 포함하는, 신호 조절 장치.

청구항 3

제1항 또는 제2항에 있어서,
서로 정합되어 있고, 바코드를 나타내는 제1 아날로그 신호에 대한 소정 진폭에 기초하는 이득 신호에 대하여 선형 응답을 생성하는, 제1 이득 소자 및 제2 이득 소자;
상기 선형 응답을 상기 제1 아날로그 신호에 인가하여 제2 아날로그 신호를 생성하는 회로; 및
상기 제2 아날로그 신호의 제1 주파수 부분의 진폭을 결정하고, 상기 제2 아날로그 신호의 제2 주파수 부분의 진폭을 결정하는 회로
를 더 포함하는 신호 조절 장치.

청구항 4

제1항 또는 제2항에 있어서,
서로 정합되어 있고, 바코드를 나타내는 제1 아날로그 신호에 대한 소정 진폭에 기초하는 이득 신호에 대하여 선형 응답을 생성하는, 제1 이득 소자 및 제2 이득 소자; 및
상기 선형 응답을 상기 제1 아날로그 신호에 인가하여 제2 아날로그 신호를 생성하는 회로
를 더 포함하는 신호 조절 장치.

청구항 5

제1항 또는 제2항에 있어서,
응답을 갖는 이득 소자;
상기 이득 소자와 조합하여, 바코드를 나타내는 제1 아날로그 신호에 대한 소정 진폭에 기초하는 이득 신호에 대하여 선형 응답을 생성하는, 이득 소자 응답의 맵;
상기 선형 응답을 상기 제1 아날로그 신호에 인가하여 제2 아날로그 신호를 생성하는 회로; 및
상기 제2 아날로그 신호의 제1 주파수 부분의 진폭을 결정하고, 상기 제2 아날로그 신호의 제2 주파수 부분의 진폭을 결정하는 로직
을 더 포함하는, 신호 조절 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 제1 주파수 부분에서의 주파수가 상기 제2 주파수 부분에서의 주파수보다 높은, 신호 조절 장치.

청구항 7

제1항 또는 제2항에 있어서,

상기 제1 주파수 부분에서의 주파수가 상기 제2 주파수 부분에서의 주파수 내에 있는, 신호 조절 장치.

청구항 8

제1항 또는 제2항에 있어서,

상기 제1 주파수 부분에서의 주파수가 상기 제2 주파수 부분에서의 주파수보다 낮은, 신호 조절 장치.

청구항 9

제1항에 있어서,

상기 로직은 또한 상기 아날로그 신호의 상기 제2 주파수 부분의 진폭이 상기 아날로그 신호의 상기 제1 주파수 부분의 진폭보다 작은지를 판정하는, 신호 조절 장치.

청구항 10

제2항에 있어서,

상기 추가 로직은 또한 상기 아날로그 신호의 상기 제1 주파수 부분의 진폭에 기초하여 상기 아날로그 신호에 제2 이득을 인가하는, 신호 조절 장치.

청구항 11

제2항에 있어서,

상기 추가 로직은 또한 상기 아날로그 신호의 상기 제2 주파수 부분의 진폭에 기초하여 상기 아날로그 신호에 제2 이득을 인가하는, 신호 조절 장치.

청구항 12

제2항에 있어서,

상기 추가 로직은 또한 상기 아날로그 신호에 대한 소정 진폭에 기초하여 상기 아날로그 신호에 제2 이득을 인가하는, 신호 조절 장치.

청구항 13

제1항에 있어서,

상기 로직은 또한 관독율이 증가하였는지를 판정하고, 증가된 관독율에 응답하여 노이즈 필터를 온 상태로 유지하는, 신호 조절 장치.

청구항 14

제1항에 있어서,

상기 로직은 또한 상기 관독율이 감소하였는지를 판정하고, 감소된 관독율에 응답하여 노이즈 필터를 턴오프시키는, 신호 조절 장치.

청구항 15

바코드를 나타내는 아날로그 신호의 제1 주파수 부분의 진폭을 나타내는 제1 값을 생성하는 단계;

상기 아날로그 신호의 제2 주파수 부분의 진폭을 나타내는 제2 값을 생성하는 단계

상기 제1 값 및 상기 제2 값을 이용하여, 바코드를 나타내는 상기 아날로그 신호의 상기 제1 주파수 부분의 진폭이 상기 아날로그 신호의 상기 제2 주파수 부분의 진폭과 거의 동일한지를 판정하는 단계;

노이즈 필터가 오프 상태인지를 판정하는 단계;
 관독율이 소정값 미만인지를 판정하는 단계; 및
 상기 소정값 미만인 상기 관독율에 응답하여 상기 노이즈 필터를 턴온시키는 단계
 를 포함하는 신호 조절 방법.

청구항 16

삭제

청구항 17

제15항에 있어서,
 상기 아날로그 신호에 대한 소정 진폭에 기초하여 바코드를 나타내는 아날로그 신호에 이득을 인가하는 단계를
 더 포함하는, 신호 조절 방법.

청구항 18

제15항 또는 제17항에 있어서,
 상기 제1 주파수 부분에서의 주파수가 상기 제2 주파수 부분에서의 주파수보다 낮은지를 판정하는 단계를 더 포
 함하는, 신호 조절 방법.

청구항 19

제15항 또는 제17항에 있어서,
 상기 제1 주파수 부분에서의 주파수가 상기 제2 주파수 부분에서의 주파수보다 높은지를 판정하는 단계를 더 포
 함하는, 신호 조절 방법.

청구항 20

제15항 또는 제17항에 있어서,
 상기 제1 주파수 부분에서의 주파수가 상기 제2 주파수 부분에서의 주파수 내에 있는지를 판정하는 단계를 더
 포함하는, 신호 조절 방법.

청구항 21

제15항 또는 제17항에 있어서,
 상기 아날로그 신호의 상기 제2 주파수 부분의 진폭이 상기 아날로그 신호의 상기 제1 주파수 부분의 진폭보다
 작은지를 판정하는 단계를 더 포함하는, 신호 조절 방법.

청구항 22

제21항에 있어서,
 상기 아날로그 신호의 상기 제1 주파수 부분의 진폭에 기초하여 상기 아날로그 신호에 제2 이득을 인가하는 단
 계를 더 포함하는, 신호 조절 방법.

청구항 23

제21항에 있어서,
 상기 아날로그 신호의 상기 제2 주파수 부분의 진폭에 기초하여 상기 아날로그 신호에 제2 이득을 인가하는 단
 계를 더 포함하는, 신호 조절 방법.

청구항 24

제17항에 있어서,

상기 아날로그 신호의 소정의 진폭에 기초하여 상기 아날로그 신호에 제2 이득을 인가하는 단계를 더 포함하는, 신호 조절 방법.

청구항 25

제17항에 있어서,

상기 판독율이 증가하였는지를 판정하는 단계; 및

증가된 판독율에 응답하여 상기 노이즈 필터를 온 상태로 유지하는 단계

를 더 포함하는 신호 조절 방법.

청구항 26

제17항에 있어서,

상기 판독율이 감소하였는지를 판정하는 단계; 및

감소된 판독율에 응답하여 상기 노이즈 필터를 턴오프시키는 단계

를 더 포함하는, 신호 조절 방법.

명세서

기술분야

[0001] 본 발명은 바코드 스캐너에 관한 것으로, 보다 구체적으로는 바코드 스캐너에서의 신호 조절에 관한 것이다.

배경기술

[0002] 바코드는 소비자 상품을 식별하는 용도를 포함한 다수의 용도를 갖고 있다. 판매자는 상품에 바코드를 부착하며, 예컨대 계산시에, 이 바코드를 스캐닝하여 특정 상품의 가격을 확인한다. 도 1은 바코드-스캐닝 플랫폼(100)의 고레벨 블록도이다. 바코드-스캐닝 플랫폼(100)은 광학 신호(105)를 방출하는 스캐너(104)를 이용하여 스캔되는 바코드(102)를 포함한다. 바코드(102)로부터는 변조된 광학 신호(107)가 반사되며, 이 변조된 광학 신호(107)가 광검출기 및 입력단(106)에 의해 바코드(102)를 나타내는 아날로그 신호(108)로 변환된다. 신호 조절기(110)가 이 아날로그 신호(108)를 처리하여, 바코드(102)를 나타내는 디지털 신호(112)를 생성한다.

[0003] 예시되어 있는 바코드(102)는 상이한 명암대비(contrast) 및 폭을 갖는 일련의 바(102)와 스페이스(122)를 포함한다. 바(120)와 스페이스(122)의 배열 및 그 폭이 코드를 형성하며, 이 코드가 디코드되어 바코드-스캐닝 플랫폼(100)의 사용자에게 중요한 정보를 제공할 수 있다.

[0004] 예시된 실시예에서, 바(120)는 스페이스(122)보다 더 흑색을 나타내고 있기 때문에, 바(120)는 스페이스(122)보다 광을 더 많이 흡수하며, 광의 반사량은 더 적다. 그 결과, 바(120)는 아날로그 신호(108)에서 네거티브 피크를 생성하며, 스페이스는 아날로그 신호(108)에서 포지티브 피크를 생성한다.

[0005] 광학 신호(105)는 일반적으로 포커스된 광학 "스폿"이고, 이 스폿이 바코드를 스캔하며, 스폿의 크기는 바코드(102)의 판독에 영향을 준다. 예컨대, 가장 작은 바(120) 또는 스페이스(122)보다 광학 스폿의 크기가 더 작다면, 광학 신호(105)는 광학적 "포커스" 내에 있다고 할 수 있으며, 아날로그 신호(108)는 바코드(102)를 매우 양호하게 표현할 수 있을 것이다. "포커스된" 신호의 한 가지 특징은, 가장 좁은 폭의 바(120A) 및 스페이스(122B)에 대한 아날로그 신호(108)에서의 포지티브 피크 및 네거티브 피크가 더 넓은 폭의 바(120C) 및 스페이스(122C)에 대한 진폭과 동일한 진폭을 갖는다는 점이다.

[0006] 스캐닝 레이저(104)가 이동하여(예컨대, 바코드(102)로부터 멀어지도록 또는 더 근접하도록) 광학적 포커스에서 벗어날 때, 광학 스폿의 크기는 더 커지게 된다. 광학 스폿이 더 커지게 되면, 광학 신호(105)의 에너지가 인접한 바(120) 및 스페이스(122)에 걸쳐 분산되므로, 이용 가능한 에너지 전부를 흡수하는 하나의 특정 바(120)가 존재하지 않게 되고, 또한 이용 가능한 에너지 전부를 반사하는 하나의 특정 스페이스가 존재하지 않게 된다. 그 결과, 가장 좁은 폭의 바(예컨대, 120A, 102D) 및 가장 좁은 폭의 스페이스(예컨대, 122B)에 대한 네거티브 피크 및 포지티브 피크는 더 넓은 폭의 바(120C) 및 스페이스(122C) 보다 더 적은 진폭을 갖게 된다.

[0007] 바코드-스캐닝 플랫폼 및 포커스 포인트(focus point)의 한 가지 특징은, 간혹, 협폭의 바 및 스페이스에 관련

된 일부분의 아날로그 신호(108)의 진폭이 더 넓은 폭의 바 및 스페이스에 관련된 일부분의 아날로그 신호(108)의 진폭과는 상이하다(예컨대, 진폭이 더 작음)는 점이다. 이러한 특징은 광학 스폿의 크기가 가장 좁은 폭의 바 및 스페이스보다 더 클 때에 흔히 발생한다. 넓은 폭의 바 및 스페이스에 관련된 일부분의 아날로그 신호(108)의 진폭에 대한 협폭의 바 및 스페이스에 관련된 일부분의 아날로그 신호(108)의 진폭의 비율은, "변조 전달 함수(MTF : Modulation Transfer Function)"로 지칭되며, 아날로그 신호(108)의 특징을 기술하기 위해 사용될 수 있다. 예컨대, MTF가 100% 미만일 때, 아날로그 신호(108)를, 바코드(102)를 나타내는 디지털 신호로 정확하게 분해(resolve)하는 것이 용이하지 않을 수도 있다.

[0008] 바코드-스캐닝 플랫폼의 또 다른 특징은, 광학 스폿의 크기가 매우 작게 될 때, 광학 신호(105)의 에너지가 바코드(102)를 형성하는 재료(예컨대, 페이퍼 파이버(paper fiber), 목재 부스러기(wood shavings), 금속 피트 및 알갱이(metal fit and grain) 등)에 더욱 집중된다는 점이다. 파이버, 알갱이, 피트 등은 광학 신호(105)의 에너지를 흡수 및/또는 반사를 개시하고, "페이퍼 노이즈(paper noise)"로 흔히 지칭되는 문제를 야기한다. 페이퍼 노이즈는 아날로그 신호(108)의 신호 대 노이즈비(SNR)를 저하시키는 경향이 있다. 다른 노이즈 또한 바코드-스캐닝 플랫폼에 인입될 수 있다. 아날로그 신호(108)의 SNR이 저하될 때, 아날로그 신호(108)는 바코드(102)를 나타내는 디지털 신호로 정확하게 분해되기가 용이하지 않게 될 수도 있다.

[0009] 바코드 스캐닝 플랫폼의 또 다른 특징은, 아날로그 신호(108)가 바코드(102)를 나타내는 디지털 신호로 정확하게 분해되도록 하기 위해서는 일정한 진폭을 유지해야 한다는 점이다. 통상적으로는 진폭을 일정하게 유지하기 위해 자동 이득 제어 회로가 사용된다. 그러나, 다수의 공지된 자동 이득 제어 기술은 복잡한 제어 수식 및 고가의 회로를 필요로 한다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 상술한 과제를 해결하기 위해 제안된 것이다.

과제의 해결 수단

[0011] 본 발명에 따르면, 바코드를 나타내는 아날로그 신호의 제1 주파수 부분의 진폭이 상기 아날로그 신호의 제2 주파수 부분의 진폭과 거의 동일한지를 판정하고, 노이즈 필터가 오프 상태인지를 판정하고, 판독율이 소정값 미만인지를 판정하고, 상기 소정값 미만인 상기 판독율에 응답하여 상기 노이즈 필터를 턴온시키는 로직을 포함하는 장치가 제공된다.

[0012] 본 발명의 다른 측면에 따르면, 바코드를 나타내는 아날로그 신호의 제1 주파수 부분의 진폭을 나타내는 제1 값을 생성하는 단계; 및 상기 아날로그 신호의 제2 주파수 부분의 진폭을 나타내는 제2 값을 생성하는 단계를 포함하는 방법이 제공된다.

도면의 간단한 설명

[0013] 도 1은 바코드 스캐닝 플랫폼의 고레벨 블록도이다.

도 2는 본 발명의 실시예에 따른 바코드를 나타내는 아날로그 신호 및 바코드에 대한 이들의 관계를 도시하는 그래프도이다.

도 3은 본 발명의 실시예에 따른 신호 조절기의 고레벨 블록도이다.

도 4는 본 발명의 실시예에 따른 도 3에 예시된 신호 조절기를 구현하기 위한 방법을 예시하는 흐름도이다.

도 5는 본 발명의 실시예에 따른 선택 가능한 노이즈 필터 및 자동 이득 제어 회로의 개략도이다.

도 6은 본 발명의 실시예에 따른 도 3에 예시된 MTF 검출기의 개략도이다.

도 7은 본 발명의 실시예에 따른 도 3에 예시된 선택 가능한 노이즈 필터를 구현하기 위한 방법을 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 도 2는 본 발명의 실시예에 따른 바코드(102)를 나타내는 아날로그 신호(202, 203) 및 이 아날로그 신호(202,

203)의 기준 진폭(204)(예컨대, 피크-피크 진폭)에 관련하여 바코드(102)에 대한 아날로그 신호의 관계를 도시하는 그래프도이다. 예시된 실시예에서, 아날로그 신호 "202"는 네거티브 피크 "220"(예컨대, 220A, 220B, 220C 및 220D) 및 포지티브 피크 "222"(예컨대, 222A, 222B 및 222C)를 포함하는 변조된 신호이다. 네거티브 피크 "220"는 바(120)를 나타내고, 포지티브 피크 "222"는 스페이스(122)를 나타낸다. 아날로그 신호 "203"은 네거티브 피크 "230"(예컨대, 230A, 230B, 230C 및 230D) 및 포지티브 피크 "232"(예컨대, 232A, 232B 및 232C)를 포함하는 변조된 신호이다. 네거티브 피크 "230"은 바(120)를 나타내고, 포지티브 피크 "232"는 스페이스(122)를 나타낸다. 예시된 실시예에서, 아날로그 신호 "203"은 대략 100%의 변조 전달 함수를 가지며, 아날로그 신호 "202"는 대략 100% 미만의 변조 전달 함수를 갖는다.

[0015] 바코드의 한 요소(element)인 바 "102A"는 바 "120D"(예컨대, 1X 요소 폭, 즉 바코드의 요소인 바 "102A"의 폭의 1배)와 폭이 동일하며, 바 "120B"(예컨대, 2X 요소 폭)보다 더 협소하다. 바 "120D" 및 "120B" 양자는 바 "120C"(3X 요소 폭)보다 더 협소하다. 스페이스 "122B"(예컨대, 1X 요소 폭)는 "122A"(예컨대, 3X 요소 폭) 및 "122C"(예컨대, 또한 3X 요소 폭)보다 더 협소하다.

[0016] 예시의 아날로그 신호(203)에서, 모든 피크(230, 232)는 기준 진폭(204)과 거의 동일한 진폭을 갖는다. 모든 피크(230, 232)는 대략 동일한 진폭을 갖는다(예컨대, 변조 전달 함수가 대략 100%와 동일하기 때문에). 피크(230, 232)의 일부는 바코드를 구성하는 요소(element)의 크기(예컨대, 1X, 2X, 3X)가 상이함에 따라 주기(예컨대, 기본 주파수)가 서로 상이하게 된다.

[0017] 예시된 실시예에서, 아날로그 신호 "203"에서, 피크 "230A", "230D" 및 "232B"의 주기는 피크 "230B", "230C", "232A" 및 "232C"의 주기보다 더 짧다. 피크 "230A", "230B", "230D" 및 "232B"는 피크 "230C", "232A" 및 "232C"의 주기보다 더 짧다. 예시의 아날로그 신호 "203"은 대략 100%의 변조 전달 함수를 가지며, 이로써 바코드(102)의 요소(element)인 바(120)와 스페이스(122)의 크기의 차이 및 그에 따라 관련 피크의 주기의 차이에도 불구하고, 포지티브 피크(232) 및 네거티브 피크(230)는 대략 동일한 진폭을 갖는다.

[0018] 예시의 아날로그 신호 "202"에서, 피크(220, 222)의 일부는 기준 진폭(204)과는 상이한 진폭을 갖는다. 또한, 피크(220, 222)의 일부는 서로 상이한 진폭을 갖는다(예컨대, 변조 전달 함수가 광학 스폿 포커스 및/또는 전자 대역폭으로 인해 100% 미만이기 때문에). 피크(220, 222)의 일부는 상이한 요소 크기(예컨대, 1X, 2X, 3X)에 기인하여 서로 상이한 주기(예컨대, 기본 주파수)를 갖는다.

[0019] 예시의 아날로그 신호 "202"에서, 피크 "220A", "220D" 및 "222B"의 주기는 피크 "220B"의 주기보다 더 짧다. 피크 "220A", "220B", "220D" 및 "222B"의 주기는 피크 "220C", "222A" 및 "222C"의 주기보다 더 짧다.

[0020] 도 3은 본 발명의 실시예에 따른 신호 조절기(300)의 고레벨 블록도이며, 이 블록도는 피크(230 및 232와, 220 및 222)의 일부 또는 전부를 증폭시키거나 감쇄시키는 제어 루프를 나타낸다. 신호 조절기(300)는 또한 아날로그 신호(202/203)로부터 노이즈를 선택적으로 필터링할 수 있다.

[0021] 예시된 실시예에서의 신호 조절기(300)는 출력이 2치화기(306)에 접속되는 자동 이득 제어(AGC) 회로(304)를 포함한다. 2치화기(306)의 출력은 프로세서(308)에 접속된다. 변조 전달 함수(MTF) 검출기(310)는 아날로그 신호(202/203)의 일부를 접속측정(tap)하도록 연결된다. 선택 가능한 노이즈 필터(312)는 AGC 회로(304)의 입력 및 프로세서(308)에 접속된다.

[0022] AGC 회로(304)는 입력에 대하여 선형 응답을 제공할 수 있으며, 그에 따라서 아날로그 신호(202/203)를 증폭하거나 감쇄시킬 수 있다. 본 발명의 실시예에 따른 AGC 회로(304)의 구현에 관해 도 4 및 도 5를 참조하여 더욱 상세하게 후술될 것이다.

[0023] 2치화기(306)는 아날로그 신호(202/203)를 수신하며, 이 신호를 바코드(102)를 나타내는 디지털 신호(314)(예컨대, 구형파(square wave))로 변환할 수 있다. 일실시예에서, 2치화기(306)의 성능은 아날로그 신호(202/203)가 기준 진폭(204) 내에 있을 때에 최적화되며, 이러한 2치화기(306)를 구현하는데 적합한 회로는 이미 공지되어 있다.

[0024] MTF 검출기(310)는 아날로그 신호(202/203)의 적어도 하나의 저주파수 부분의 피크 진폭과, 아날로그 신호(202/203)의 적어도 하나의 고주파수 부분의 피크 진폭을 검출한다. MTF 검출기(310)는, 일실시예에서는 아날로그 신호(202/203)에서의 저주파수 피크를 나타내는 직류(DC) 레벨인 저이득 신호(Gain Low signal)를 생성할 수 있다. MTF 검출기는 또한, 일실시예에서는 아날로그 신호(202/203)에서의 고주파수 피크를 나타내는 DC 레벨인 고이득 신호(Gain High signal)를 생성할 수 있다. 물론, 저이득 신호 및 고이득 신호는 아날로그 신호(202/203)에서 각각 저주파수 피크와 고주파수 피크를 나타내는 어떠한 적합한 신호도 가능하다. 본 발명의 실

시에에 따른 MTF 검출기(310)의 구체예는 도 6을 참조하여 더욱 상세하게 후술될 것이다.

- [0025] 선택 가능한 노이즈 필터(312)는 아날로그 신호(202/203)의 노이즈를 감소시키거나 및/또는 신호-잡음비(SNR)를 향상시키기 위해 AGC 회로(304)에 접속될 수 있다. 본 발명의 실시예에 따른 선택 가능한 노이즈 필터(312)의 구체예는 도 5 및 도 7을 참조하여 더욱 구체적으로 설명될 것이다.
- [0026] 본 발명의 실시예에서, 프로세서(308)는 디지털 신호(314)를 디코드할 수 있으며, 고이득 신호 및 저이득 신호를 측정하여 디지털값으로 변환할 수 있고, 그 디지털값을 측정하여 기준 진폭(204)과 비교하며, 아날로그 신호(202/203)가 증폭되어야 하는지, 감쇄되어야 하는지, 또는 동일하게 유지되어야 하는지를 판정할 수 있다. 당업자는, 본 명세서의 개시내용을 읽은 후에는, 본 발명의 실시예에 따라 프로세서(308)를 어떻게 구현하여야 하는지를 명백하게 알 수 있을 것이다.
- [0027] 도 4는 본 발명의 실시예에 따른 신호 조절기(300)에 의해 구현된 프로세스(400)를 예시하는 흐름도이다. 이 프로세스(400)의 과정은, 본 발명의 실시예를 이해하는데 가장 유용한 형태로, 복수의 불연속적인 블록으로 차례대로 수행되는 것으로 기술되어 있다. 그러나, 이러한 블록이 기술되는 순서는 이들 과정이 반드시 그 순서에 좌우되거나 블록으로 나타내진 순서대로 수행되어야 하는 것을 암시하는 것은 아니다.
- [0028] 프로세스(400)는 예시일뿐으로, 본 발명의 실시예를 구현하는데 다른 프로세스가 사용될 수 있음은 자명하다. 기기(예컨대, 프로세서)로 하여금 프로세스(400)를 수행하도록 하기 위해, 기기에 의해 판독 가능한 명령으로 기기에 의해 액세스할 수 있는 매체가 사용될 수도 있다.
- [0029] 블록 "402"에서는, AGC 회로(304)가 광검출기 및 입력단(106)으로부터 아날로그 신호(202/203)를 수신하고, 기준 진폭(204)에 기초하여 아날로그 신호(202/203)에 이득 또는 감쇄를 인가(적용)한다. 일실시예에서, 프로세서(308)는 기준 진폭(204)을 나타내는 이득 신호를 AGC 회로(304)에 제공하며, AGC 회로(304)는 아날로그 신호(202/203)를 증폭 또는 감쇄시키기 위한 토대로서 이 이득 신호를 이용한다.
- [0030] 블록 "404"에서는, MTF 검출기(3210)가 아날로그 신호(202/203)의 일부를 접속측정(tap)하여, 아날로그 신호(202/203)의 적어도 하나의 저주파수 부분의 피크 진폭을 검출하고, 아날로그 신호(202/203)의 적어도 하나의 고주파수 부분의 피크 진폭을 검출한다.
- [0031] 블록 "406"에서는, 프로세서(308)가 기준 진폭(204), 고이득 신호 및 저이득 신호를 관련시키는 알고리즘에 기초하여 새로운 이득 신호를 선택하며, 이 새로운 이득 신호를 AGC 회로(304)에 제공한다. 일실시예에서, 프로세서(308)는 고이득 신호가 저이득 신호 및 기준 진폭(204)에 어울리지 않게 낮은지를 판정한다. 이 실시예에서, 새로운 이득 신호는, AGC 회로(304)에 의한 아날로그 신호(202/203)의 증폭에 의해 저이득 신호가 기준 진폭(204)을 초과하게 되는지의 여부에 상관없이, AGC 회로(304)로 하여금 아날로그 신호(202/203)를 증폭하도록 할 수 있다.
- [0032] 다른 실시예에서, 저이득 신호는 대략 고이득 신호와 동일하지만, 아날로그 신호(202/203)는 기준 진폭(204)보다 더 작다. 본 실시예에서, 새로운 이득 신호는 AGC 회로(304)로 하여금 아날로그 신호(202/203)를 증폭하도록 하여 아날로그 신호가 기준 진폭(204) 내에 있도록 한다. 당연히, 다른 증폭 및 감쇄 방식도 가능하며, 당업자라면 본 설명을 읽은 후에 고이득, 저이득 및 기준 진폭(204)의 값의 다양한 조합을 위해 본 발명의 실시예를 어떻게 구현할지에 관해 용이하게 이해할 수 있을 것이다.
- [0033] 블록 "408"에서, AGC 회로(304)는 새로운 이득 신호를 이용하여 아날로그 신호(202/203)를 증폭시키거나 감쇄시킨다.
- [0034] 도 5는 본 발명의 실시예에 따른 AGC 회로(304)의 개략도이다. 예시된 실시예에서, AGC 회로(304)는 커패시터 C4(0.1 μ F), C10(0.1 μ F), C15(39pF), C17(0.1 μ F), C21(12pF), C22(30 μ F), C24(580pF) 및 C30(100pF)과, 연산 증폭기 U3A(비반전) 및 U4(반전)와, 트랜지스터 Q4(보상 접합 전계효과 트랜지스터(JFET)) 및 Q7(전압 제어 레지스터로서 동작하는 이득 JFET)와, 레지스터 R4(24 Ω), R8(5.1k Ω), R19(24 Ω), R21(10k Ω), R24(24 Ω), R26(10k Ω), R28(4.7k Ω), R32(20k Ω), R35(100k Ω), R39(100k Ω), R41(100k Ω), R43(100k Ω), R46(8.2k Ω) 및 R47(10k Ω)을 포함한다.
- [0035] 커패시터 C21은, 노이즈를 차단하고 증폭기 U3A에 신호 안정성을 제공하기 위한 고주파수 보상 필터를 제공한다. 커패시터 C22 및 레지스터 R24는 아날로그 신호(202/203)에 대한 부적합한 DC 출력 오프셋 및 비대칭을 생성시키는 상호 작용에서부터 연산 증폭기 U4 및 FET Q7에 대한 바이어스 전압을 감소시키기 위해 저주파수 DC 블로킹 필터를 제공한다. R19 및 C10와, R4 및 C4는 U3A에 대한 전원전압(예컨대, 5 볼트) 필터이다.

R26 및 JFET Q7의 등가의 저항은 U3A의 이득을 결정한다. JFET Q4 및 Q7은 정합 상태의 트랜지스터이다. R41, R43 및 C24는 JFET Q7의 메인 이득을 위한 바이어스 요소이다. R35, R39 및 C17은 조정 JFET Q4에 대한 유사 바이어스 요소이다. R21 및 R28은 Q7에 의해 보여질 Q4에 대한 유사 임피던스를 제공한다. 연산 증폭기 U4는 Q7 및 Q4의 게이트를 구동하고, 프로세서(308)로부터의 아날로그 신호로 제어된다. R47, R46 및 C30은 필요한 정확한 JFET 게이트 제어를 위한 이득 조절을 가능하게 한다.

[0036] 프로세서(308)로부터의 이득 신호는 U4를 제어한다. U4는 이득 신호를 버퍼링하고, JFET Q7 및 Q4를 구동한다. JFET Q4는 연산 증폭기 U4의 양(+)의 케환 경로에 있다. 프로세서(308)로부터의 이득 신호에 기초하여, 연산 증폭기 U4는 JFET Q7에 대한 게이트 전압을 출력하며, JFET Q7은 등가의 저항을 제공하는 자신의 특성 곡선에 따라 응답한다. 연산 증폭기 U4는 또한 JFET Q4에 대한 게이트 전압을 출력하며, 이 JFET Q4 또한 자신의 특성 곡선에 따라 응답하여 조정 응답을 반대로 연산 증폭기 U4에 제공한다.

[0037] JFET Q4가 JFET Q7과 같이 유사한 임피던스에 의해 구동되고, 이 유사 임피던스로 로드되기 때문에, 그리고 이 JFET Q4가 연산 증폭기 U4의 조정 케환 경로에 있기 때문에, AGC 회로(304)로부터의 출력은 매우 넓은 동적 범위(이것은 판독 거리를, 예컨대 바코드(102)에 근접하거나 바코드(102)로부터 멀리 떨어진 것과 같이, 매우 넓은 범위에 있도록 한다)에 걸쳐 선형적으로 될 수 있다. 예측 이득 조절을 구현하고 간혹 제한하기 위해 복잡한 제어 수식을 필요로 하는 다른 공지의 회로와는 달리, 본 발명의 실시예에 따라 구현된 AGC 회로(304)는 이득 신호 입력에 대한 응답을 선형화하기 위해 고가가 아닌 정합 JFET를 사용한다. 그 결과, 프로세서(308)로부터의 이득 신호에 대한 AGC 회로(304)의 응답은 예측 가능하며, 관정에 의해 결정될 수 있다.

[0038] AGC 회로(304)가 아날로그 신호(202/203)를 감쇄시킬 수 있는 다른 실시예에서, AGC 회로(304)는 R8의 바로 뒤에 접속된 JFET Q7을 포함한다. 이 실시예에서, JFET Q7 드레인은 접지되어, R8과 JFET Q7의 등가 저항 사이에 전압 분할기를 생성하며, 이 전압 분할기는 U3A의 양(+)의 입력단에 분할된 전압을 제공한다.

[0039] 본 발명의 또 다른 실시예에서, AGC 회로(304)는 프로세서(308)에 의해 맵핑되는 비선형 응답(예컨대, 응답 곡선)을 갖는 하나의 JFET Q7만을 포함한다. 맵핑된 값은 저장되며(예컨대, 탐색표에), 프로세서(308)는 동일한 예측 이득 조절을 생성하기 위해 맵핑된 값을 이용한다.

[0040] 본 발명의 실시예가 JFET인 Q4 및 Q7을 참조하여 설명되었지만, 본 발명의 실시예는 이러한 구성으로만 제한되는 않는다. 예컨대, Q4 및/또는 Q7은 양극 접합 트랜지스터(BJT), MOSFET, 진공관, 갈륨 아세나이드(GaAs) FET, 이중접합 바이폴라 접합 트랜지스터(HBJT) 등을 포함한 어떠한 적합한 이득 소자도 가능하며, 이러한 예는 기술된 것으로만 한정되는 않는다. 본 설명을 읽은 후에, 당업자라면 본 발명의 여러 다른 실시예에서 Q4 및 Q7을 구현하는 방법을 알 수 있을 것이다.

[0041] 다시 도 4를 참조하여, 블록 "404"에서, MTF 검출기(310)가 아날로그 신호(202/203)의 일부를 접속측정(tap)하고, 아날로그 신호(202/203)의 적어도 하나의 주파수 부분(예컨대, 저주파수)의 피크 진폭을 검출하며, 아날로그 신호(202/203)의 적어도 하나의 다른 주파수 부분(고주파수)의 피크 진폭을 검출하는 것으로 설명한 바 있다. 도 6은 본 발명의 실시예에 따른 MTF 검출기(310)의 개략도이다. 예시된 실시예에서, MTF 검출기(310)는 2개의 주파수 검출 회로(602, 604)를 포함한다. 일실시예에서, 주파수 검출 회로(602)는 대략 수 백 kHz 범위의 아날로그 신호(202/203) 내의 더 높은 주파수를 검출한다. 또 다른 실시예에서, 주파수 검출 회로(604)는 대략 수 십 kHz 내지 대략 수 백 kHz 범위의 아날로그 신호(202/203) 내의 더 낮은 주파수를 검출한다.

[0042] 물론, 본 발명의 실시예는 바코드를 나타내는 아날로그 신호 내의 2개 또는 이들 특성의 2개의 주파수 범위를 검출하는 것으로 제한되지 않는다. 예컨대, 일부의 상이한 주파수 범위가 검출되어 프로세서(308)에 제공될 수 있다(예컨대, 하나의 주파수 범위가 또 다른 주파수 범위 내에 있을 수도 있다). 본 설명을 읽은 후, 당업자라면 그 이상의 다른 주파수 범위에 대해서 본 발명의 실시예를 구현하는 방법을 이해할 수 있을 것이다.

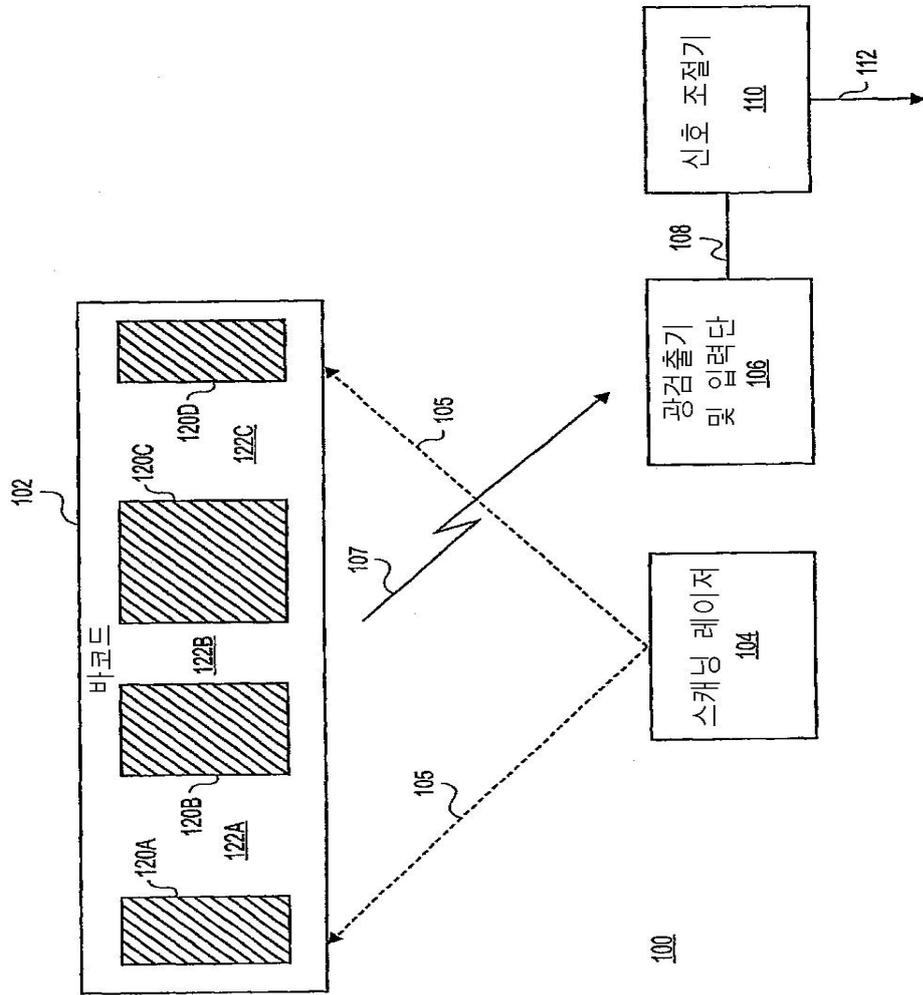
[0043] 예시된 실시예에서, 주파수 검출 회로(604)는 커패시터 C37(580pF), C38(0.1μF), C39(200pF) 및 C41(8.2pF)과, 다이오드 D4, D5 및 D6와, 증폭기 U7A와, 트랜지스터 Q8A와, 레지스터 R51(10kΩ), R52(100kΩ), R53(120kΩ), R54(330Ω), R55(1kΩ), R56(10kΩ) 및 R57(1kΩ)을 포함한다. 접속측정(tap)된 아날로그 신호(202/203)는 커패시터 C37 및 다이오드 D5를 통해 주파수 검출 회로(604)에 입력된다. 커패시터 C37 및 다이오드 D5는 아날로그 신호(202/203)를 정류하여 접지시킨다. C37, R51 및 R55는 주파수 검출 회로(604)에 대한 로우-엔드 차단 주파수(low-end cut-off frequency) 및 신호 로딩 아이솔레이션(signal loading isolation)을 제공한다. 증폭기 U7A는 아날로그 신호(202/203)를 증폭시킨다. U7A, D4 및 D6의 조합은 주파수 검출 회로(604)의 대역폭 내에 부합하는 아날로그 신호(202/203)에서의 피크 진폭을 검출한다.

- [0044] C39 및 R53은 고정 시상수(hold time constant)를 제공하며, 주파수 검출 회로(604)의 대역폭 내에 있는 일부분의 아날로그 신호(202/203)의 피크값에 기초하여 전하를 전개시킨다. C39 상의 전하는 프로세서(308)에 보내지는 저이득 신호이다. 새로운 이득 신호가 AGC 회로(304)에 보내진 후, 프로세서(308)는 C39 상의 전하를 소거하기 위해 R54를 통해 Q8A의 베이스 상에 신호를 제공하여, 저이득 신호를 리셋한다.
- [0045] 예시된 실시예에서, 주파수 검출 회로(602)는 커패시터 C43(68pF), C45(0.015 μ F), C46(200pF) 및 C47(8.2pF)과, 다이오드 D7, D8 및 D9와, 증폭기 U7B와, 트랜지스터 Q8B와, 레지스터 R58(10k Ω), R59(100 Ω), R60(1k Ω), R61(200k Ω), R62(330 Ω), R63(10k Ω) 및 R64(510 Ω)를 포함한다. 접속측정(tap)된 아날로그 신호(202/203)는 C43 및 D7을 통해 주파수 검출 회로(602)에 입력된다. C43 및 D7은 이 아날로그 신호(202/203)를 정류하여 접지시킨다. C43, R58 및 R60은 주파수 검출 회로(602)에 대한 로우-엔드 차단 주파수 및 신호 로딩 아이솔레이션을 제공한다. 증폭기 U7A는 아날로그 신호(202/203)를 증폭한다. C45 및 R59는 주파수 검출 회로(602)에 대한 추가의 로우-엔드 차단 주파수를 제공한다. U7B, D8 및 D9의 조합은 주파수 검출 회로(602)의 대역폭에 부합하는 아날로그 신호(202/203)에서의 피크 진폭을 검출한다.
- [0046] C46 및 R61은 고정 시상수를 제공하며, 주파수 검출 회로(602)의 대역폭 내에 있는 일부분의 아날로그 신호(202/203)의 피크값에 기초하여 전하를 전개시킨다. C46 상의 전하는 프로세서(308)에 보내지는 고이득 신호이다. 새로운 이득 신호가 AGC 회로(304)에 보내진 후에, 프로세서(308)는 C46 상의 전하를 소거하기 위해 R62를 통해 Q8B의 베이스 상에 신호를 제공하며, 고이득 신호를 리셋한다.
- [0047] *도 7은 본 발명의 실시예에 따른 선택 가능한 노이즈 필터(312)를 구현하기 위한 프로세스(700)를 예시하는 흐름도이다. 프로세스(700)의 동작은 본 발명의 실시예를 이해하는데 가장 도움이 되는 방식으로 차례로 수행되는 복수의 불연속인 블록으로서 설명된다. 그러나, 이들을 설명하는 순서는 이들 동작이 반드시 그 순서에 종속되거나, 블록이 표시되는 순서로 동작이 수행되어야 하는 것을 암시하지는 않는다.
- [0048] 프로세스 "700"은 일례의 프로세스이며, 본 발명의 실시예를 구현하기 위해 다른 프로세스가 이용될 수도 있는 것은 자명하다. 기기 관독 가능한 명령이 기록되어 있는 기기에 의해 액세스 가능한 매체를 이용하여 기기(예컨대, 프로세서)로 하여금 프로세스(700)를 수행하도록 할 수도 있다. 일 실시예에서, 사용자는 프로세스(700)를 수동으로 구현할 수 있다.
- [0049] 블록 "702"에서, 프로세서(308)는 저이득 신호가 고이득 신호와 거의 동일한지를 판정한다.
- [0050] 블록 "704"에서, 프로세서(308)는 AGC 회로(304)에 새로운 이득 신호를 인가하여, AGC 회로(304)로 하여금 기준 진폭(204) 내에서 아날로그 신호(202/203)를 증폭/감쇄/유지하도록(또는 이와 같이 되도록) 한다.
- [0051] 블록 "706"에서, 프로세서(308)는 선택 가능한 노이즈 필터(312)가 온 상태인지 또는 오프 상태인지를 판정한다.
- [0052] 선택 가능한 노이즈 필터(312)가 오프 상태이면, 블록 "708"에서, 프로세서(308)는 플랫폼(100)에 대한 관독율(read rate)이 소정값 미만(예컨대, 대략 100% 미만)인지를 판정한다. 본 설명에서 사용된 바와 같이, 관독율은 관독 시도 횟수당의 아날로그 신호(202/203)의 성공적인 디코드의 횟수(예컨대, 10번의 관독 시도에서 10번의 관독이 성공적으로 이루어지면, 100% 관독율이 됨)로서 정의된다. 관독율이 소정값 미만이면, 프로세서(308)는 선택 가능한 노이즈 필터(312)를 온 상태로 한다.
- [0053] 블록 "712"에서, 프로세서(308)는 관독율이 증가하였는지 또는 감소하였는지를 판정한다. 관독율이 감소하였다면, 블록 "714"에서, 프로세서(308)는 선택 가능한 노이즈 필터(312)를 턴오프시킨다. 관독율이 증가하였다면, 블록 "716"에서, 프로세서(308)는 선택 가능한 노이즈 필터(312)를 턴온시킨다.
- [0054] 블록 "706"에서 선택 가능한 노이즈 필터(312)가 온 상태인 것으로 프로세서(308)가 판정하면, 프로세스(700)는 블록 "712"로 진행하여 관독율이 증가하였는지 또는 감소하였는지를 판정한다.
- [0055] 블록 "708"에서 관독율이 소정값 미만이 아닌 것으로 프로세서(308)가 판정하면, 프로세스는 블록 "714"로 진행하여, 프로세서(308)가 선택 가능한 노이즈 필터(312)를 턴오프시킨다.
- [0056] 다시 도 5를 참조하면, 도 5에는 선택 가능한 노이즈 필터(312)의 개략도가 도시되어 있다. 예시된 실시예에서, 노이즈 필터(312)는 레지스터 R32 및 R42(1k Ω)와, 커패시터 C15와, 금속 산화물 반도체 전계효과 트랜지스터(MOSFET) Q5를 포함한다. R32, R42, C15 및 MOSFET Q5는 기존의 레지스터 R8과 조합하여 노이즈 필

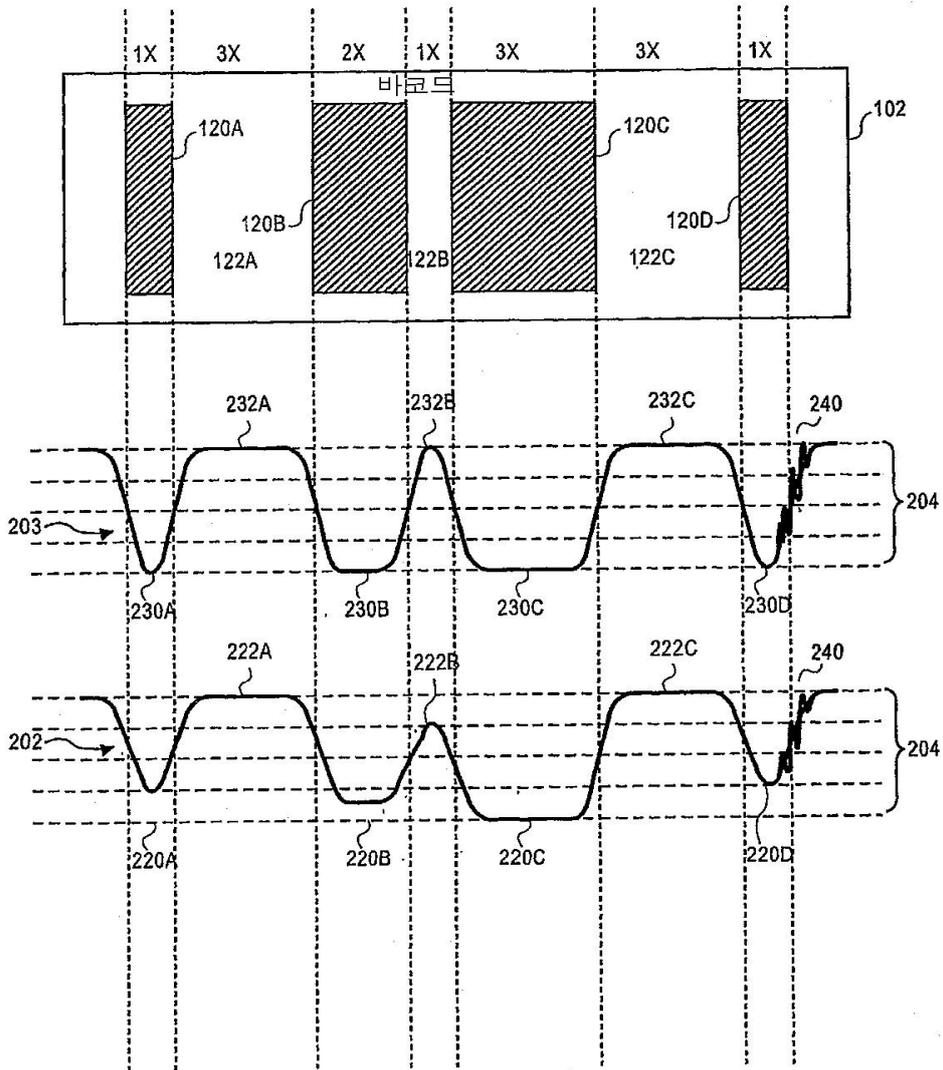
터(312)를 형성하도록 동작하며, 이 노이즈 필터(312)는 아날로그 신호(202/203) 내의 선택된 범위의 주파수를 통과시키도록 하는 한편, 원하지 않은 페이퍼의 주파수 및 노이즈 주파수가 통과하지 못하도록 한다.

- [0057] 예시된 실시예에서, MOSFET Q5는 신호 조절기(300) 내의 회로 중에서 노이즈 필터를 선택 또는 선택해제하도록 프로세서(308)에 의해 제어되는 스위치이다. R42는 풀-다운 저항이며, R8, C15 및 R32는 필터의 주파수 포인트 및 감쇄 계수를 결정한다. 프로세서(308)로부터의 신호가 MOSFET Q5를 턴온시키기에 충분할 때, 선택 가능한 노이즈 필터(312)는 그 대역폭 내에서 노이즈를 필터링할 것이다. 일실시예에서, 선택 가능한 노이즈 필터(312)는 아날로그 신호(202/203) 상의 노이즈(240)를 필터링하여 제거한다.
- [0058] 다른 실시예에서, MOSFET Q5는 신호 조절기(300) 중에서 노이즈 필터(312)를 선택 또는 선택해제하도록 프로세서(308)에 의해 제어되는 JFET 스위치가 사용될 수도 있다. 이 실시예에서, Q5는 노이즈 필터(312)의 극(pole)에 의해 정해지는 바와 같은 주파수 범위에 걸쳐 감쇄 레벨의 범위를 제공할 수 있다.
- [0059] 본 발명의 실시예가 특정의 주파수 및 대역폭을 이용하여 설명되었지만, 본 명세서를 읽은 당업자는 상이한 필터 차단 포인트(filter cut-off point)를 이용하여 본 발명의 실시예를 구현하는 방법을 이해할 수 있을 것이다. 또한, 액티브 증폭기 필터, 패시브 필터 및/또는 디지털 처리 필터 등의 다른 기술을 이용하여 특정의 필터 프로파일이 달성될 수 있다.
- [0060] 본 발명의 실시예는 하드웨어, 소프트웨어 또는 이들의 조합을 이용하여 구현될 수 있다. 소프트웨어를 이용하는 구현예에서는 소프트웨어가 기기에 의해 액세스 가능한 매체에 저장될 수도 있다.
- [0061] 기기에 의해 액세스 가능한 매체는 기기(예컨대, 컴퓨터, 네트워크 장치, 개인용 디지털 보조 장치, 제작 툴, 하나 이상의 프로세서 세트를 갖는 임의의 장치 등)에 의해 액세스 가능한 형태로 정보를 제공(즉, 저장 및/또는 전송)하는 임의의 메카니즘을 포함한다. 예컨대, 기기에 의해 액세스 가능한 매체는, 전기적, 광학적, 음향적 또는 다른 형태의 전파 신호(예컨대, 반송파, 적외선 신호, 디지털 신호 등)뿐만 아니라, 기록 가능한 및 기록 가능하지 않은 매체(예컨대, 판독 전용 메모리(ROM), 랜덤 액세스 메모리(RAM), 자기 디스크 저장 매체, 광학 저장 매체, 플래시 메모리 등)를 포함한다.
- [0062] 상기의 설명에서, 특정 프로세스, 재료, 장치 등과 같은 다수의 구체적인 세부구성이 본 발명의 실시예에 대한 이해를 위해 제공되어 있다. 그러나, 당업자는 본 발명의 실시예가 하나 이상의 구체적인 세부구성이 없이도 실시될 수 있고, 다른 방법, 부품 등을 갖고 실시될 수도 있음을 이해할 것이다. 다른 예에서, 본 발명의 설명에 대한 이해를 곤란하게 하지 않기 위해 널리 공지되어 있는 구조 또는 조작에 대해서는 예시하지 않거나 구체적으로 설명하지 않았다.
- [0063] 본 명세서 전반에 걸쳐 사용되고 있는 "일실시예"에 대한 참조는 실시예와 관련하여 설명된 특별한 구성, 구조, 프로세스, 블록 또는 특징이 본 발명의 적어도 하나의 실시예에 포함되어 있다는 것을 의미한다. 그러므로, 본 발명의 전반에 걸쳐 "일실시예에서"라는 표현은 그 표현의 전부가 반드시 동일한 실시예를 지칭하는 것을 의미하지는 않는다. 하나 이상의 실시예에서 특별한 구성, 구조 또는 특징이 임의의 적합한 방식으로 조합될 수도 있다.
- [0064] 이하의 청구의 범위에서 사용되는 표현은 본 발명의 실시예를 명세서 및 청구범위에 개시된 구체적인 실시예로 제한하는 것으로 이해되어서는 안된다. 본 발명의 실시예의 사상은 청구범위 해석 상의 원칙에 따라 이해되는 이하의 청구범위에 의해 전적으로 결정될 것이다.

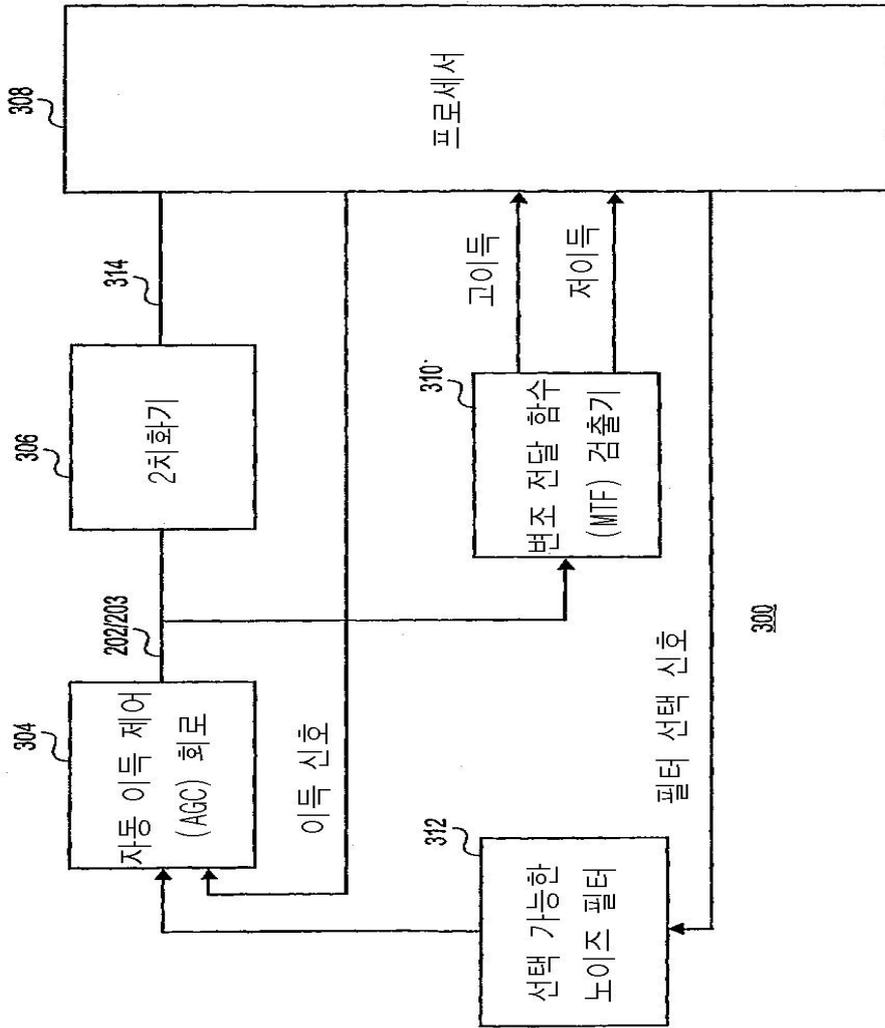
도면
도면1



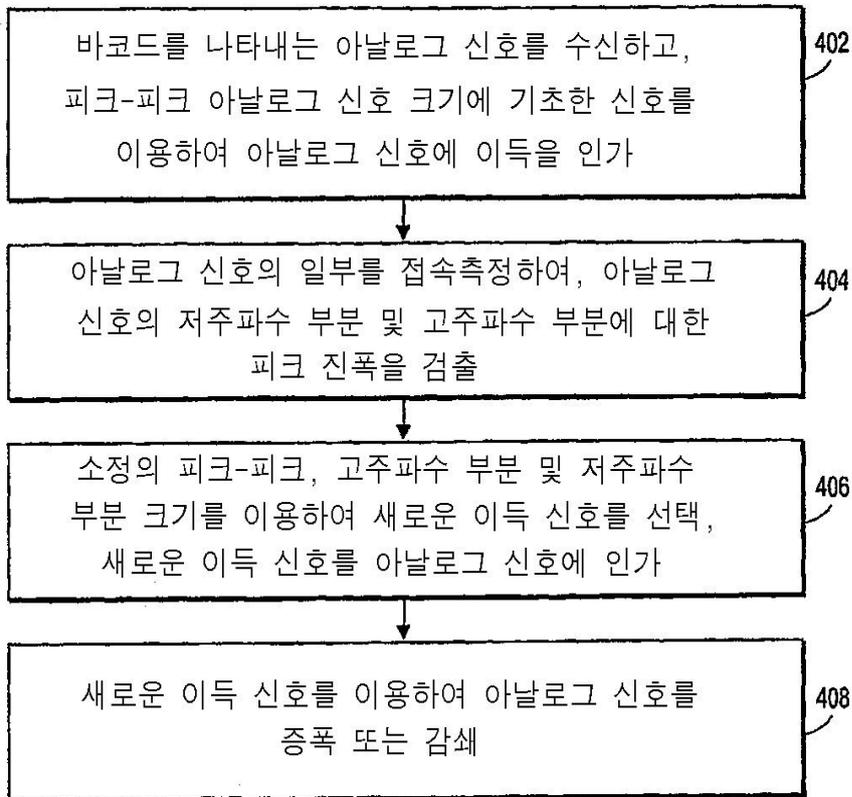
도면2



도면3

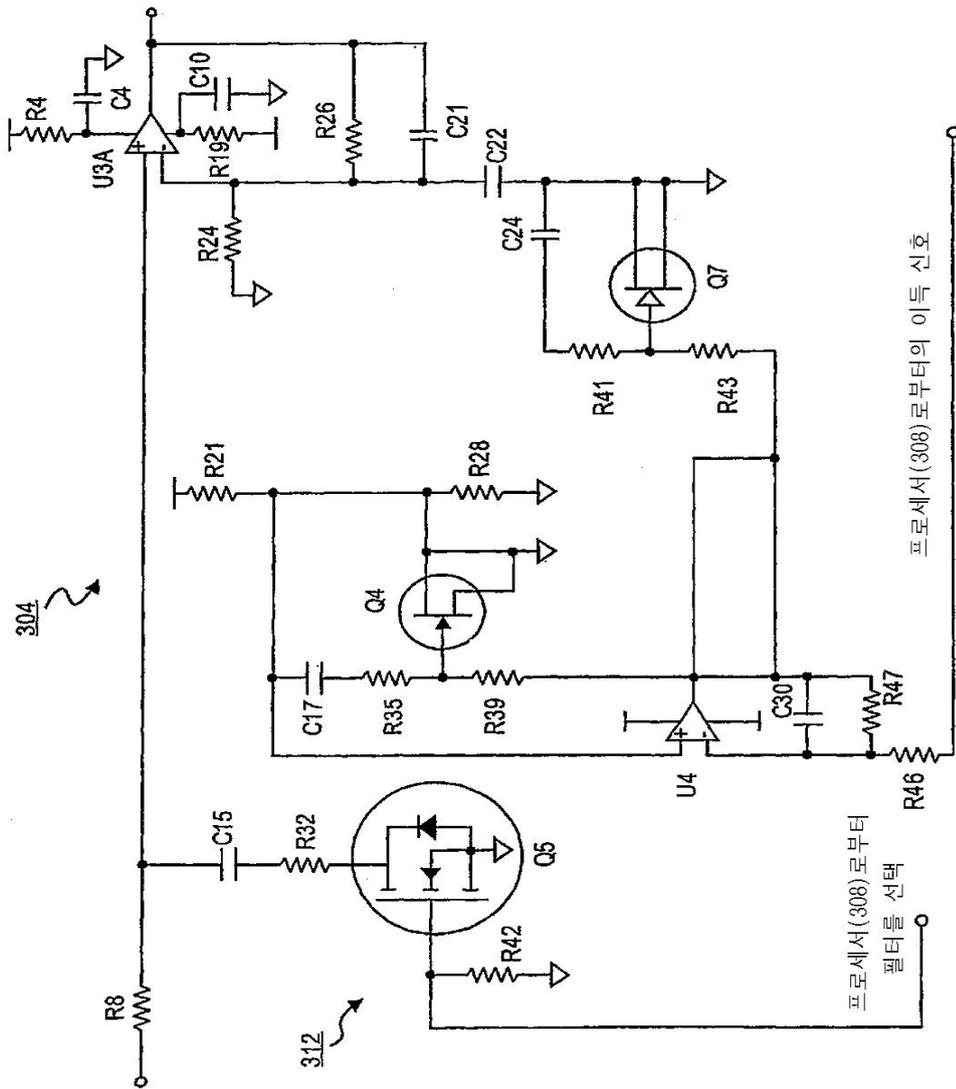


도면4



400

도면5



도면7

