



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월14일
(11) 등록번호 10-1021375
(24) 등록일자 2011년03월03일

(51) Int. Cl.

GO1R 31/28 (2006.01) GO1R 31/26 (2006.01)

(21) 출원번호 10-2004-7017833

(22) 출원일자(국제출원일자) 2003년05월06일

심사청구일자 2008년05월06일

(85) 번역문제출일자 2004년11월05일

(65) 공개번호 10-2005-0003411

(43) 공개일자 2005년01월10일

(86) 국제출원번호 PCT/US2003/014328

(87) 국제공개번호 WO 2003/093845

국제공개일자 2003년11월13일

(30) 우선권주장

60/378,488 2002년05월06일 미국(US)

(56) 선행기술조사문현

JP03068294 U9

JP2000276367 A

US05572666 A1

US06243665 B1

전체 청구항 수 : 총 20 항

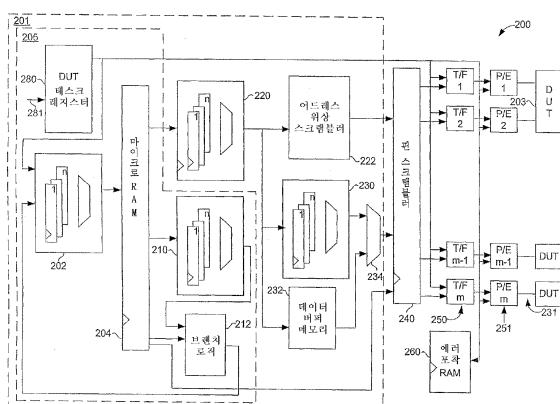
심사관 : 오응기

(54) 멀티태스킹 알고리즘 패턴 발생기를 갖춘 반도체 테스트시스템

(57) 요 약

반도체 디바이스를 테스트하는 테스트기 및 방법이 제공된다. 통상적으로, 테스트기는 멀티태스킹 알고리즘 패턴 발생기(201)(APG)를 포함한다. 일 실시예에서, 테스트기는 DUT 태스크 레지스터(208), 마이크로 RAM(204), 분기 로직(212), 데이터 버퍼 메모리(232) 및 어드레스 위상 스크램블러(222)를 포함한다. 프로그래밍 대 관독을 위해서 요구되는 느린 사이클 속도 때문에, 상기 테스트기는 플래시 메모리를 테스트하는데 있어 바람직하다. 선택적으로, 높은 처리량이 요구되면, APG는 플래시의 관독 사이클 동안 APG의 최대 동작 주파수에서 록 스텝에서 동작할 수 있다.

대 표 도



특허청구의 범위

청구항 1

제 1 반도체 디바이스 및 제 2 반도체 디바이스를 테스트하기 위한 멀티테스킹 장치로서,

상기 제 1 반도체 디바이스에 연결되도록 구성된(adapted) 제 1 세트의 핀들 및 상기 제 2 반도체 디바이스에 연결되도록 구성된 제 2 세트의 핀들;

상기 제 1 세트의 핀들에 연결된 적어도 하나의 제 1 신호 발생기 및 상기 제 2 세트의 핀들에 연결된 적어도 하나의 제 2 신호 발생기;

상기 적어도 하나의 제 1 신호 발생기 및 상기 적어도 하나의 제 2 신호 발생기에 연결된 저장 컴포넌트 (storage component) – 상기 저장 컴포넌트는 상기 제 1 반도체 디바이스에 관련된 데이터를 포함하는 제 1 저장 엘리먼트 및 상기 제 2 반도체 디바이스에 관련된 데이터를 포함하는 제 2 저장 엘리먼트를 가짐 –; 및

상기 저장 컴포넌트에 연결된 태스크 선택기(task selector)

를 포함하고, 상기 태스크 선택기는 상기 제 1 반도체 디바이스가 사용(service)되고 있을 때, 액세스되는 상기 제 1 저장 엘리먼트로부터의 데이터를 상기 적어도 하나의 제 1 신호 발생기를 통해 상기 제 1 세트의 핀들에 전송(direct)하도록 구성되고, 상기 태스크 선택기는 상기 제 2 반도체 디바이스가 사용되고 있을 때, 액세스되는 상기 제 2 저장 엘리먼트로부터의 데이터를 상기 적어도 하나의 제 2 신호 발생기를 통해 상기 제 2 세트의 핀들에 전송하도록 추가적으로 구성되는, 멀티테스킹 장치.

청구항 2

제 1 항에 있어서,

상기 적어도 하나의 제 1 신호 발생기는 상기 제 1 세트의 핀들의 각각의 핀에 연결되는 제 1 신호 발생기를 포함하고, 상기 적어도 하나의 제 2 신호 발생기는 상기 제 2 세트의 핀들의 각각의 핀에 연결되는 제 2 신호 발생기를 포함하며,

상기 저장 컴포넌트는 상기 제 1 세트의 핀들의 각각의 핀에 연결된 상기 제 1 신호 발생기에 연결되고 상기 제 2 세트의 핀들의 각각의 핀에 연결된 상기 제 2 신호 발생기에 연결되는, 멀티테스킹 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 저장 엘리먼트는 레지스터이고, 상기 제 2 저장 엘리먼트는 레지스터인, 멀티테스킹 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 반도체 디바이스에 관련된 부가적인 데이터를 포함하는 제 3 저장 엘리먼트 및 상기 제 2 반도체 디바이스에 관련된 부가적인 데이터를 포함하는 제 4 저장 엘리먼트를 갖는 부가적인 저장 컴포넌트를 더 포함하고,

상기 태스크 선택기는 상기 부가적인 저장 컴포넌트에 연결되며,

상기 태스크 선택기는 상기 제 1 반도체 디바이스가 사용되고 있을 때, 액세스되는 상기 제 3 저장 엘리먼트로부터의 부가적인 데이터를 상기 제 1 세트의 핀들에 전송하도록 구성되고, 상기 태스크 선택기는 상기 제 2 반도체 디바이스가 사용되고 있을 때, 액세스되는 상기 제 4 저장 엘리먼트로부터의 부가적인 데이터를 상기 제 2 세트의 핀들에 전송하도록 구성되는, 멀티테스킹 장치.

청구항 5

다수의 반도체 디바이스들을 테스트하기 위한 테스트 장치로서,

상기 다수의 반도체 디바이스들에 연결하기 위한 멀티태스킹 알고리즘 패턴 발생기(APG: algorithmic pattern generator)

를 포함하고, 상기 멀티태스킹 APG는 제 1 시간 영역(time domain)에서 상기 다수의 반도체 디바이스들 중 제 1 반도체 디바이스에 제 1 테스트 패턴을 제공하고 제 2 시간 영역에서 상기 다수의 반도체 디바이스들 중 제 2 반도체 디바이스에 제 2 테스트 패턴을 제공하도록 구성되는,

테스트 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 시간 영역에서 상기 다수의 반도체 디바이스들 중 상기 제 1 반도체 디바이스에 연결되는 상기 제 1 테스트 패턴은 상기 제 2 시간 영역에서 상기 다수의 반도체 디바이스들 중 상기 제 2 반도체 디바이스에 연결되는 상기 제 2 테스트 패턴과 상이한, 테스트 장치.

청구항 7

제 5 항에 있어서,

상기 제 1 시간 영역은 상기 제 2 시간 영역과 상이한 지속시간(duration)을 포함하는, 테스트 장치.

청구항 8

제 5 항에 있어서,

상기 멀티태스킹 APG는 n개의 다수의 저장 엘리먼트들을 갖는 적어도 하나의 레지스터, 및 상기 다수의 저장 엘리먼트들을 상기 다수의 반도체 디바이스들에 연결하는 선택기 엘리먼트를 포함하는, 테스트 장치.

청구항 9

제 8 항에 있어서,

상기 멀티태스킹 APG는 n개까지의 상이한 시간 영역들에서 n개까지의 상이한 테스트 패턴들을 상기 다수의 반도체 디바이스들에 연결하도록 구성되는, 테스트 장치.

청구항 10

제 8 항에 있어서,

상기 멀티태스킹 APG는,

마이크로RAM 어드레스 레지스터들;

루프 카운터들 및 스택 레지스터들;

어드레스 발생기들; 및

데이터 발생기들

로 이루어진 그룹에서 선택된 레지스터를 포함하는, 테스트 장치.

청구항 11

제 8 항에 있어서,

상기 멀티태스킹 APG는 상기 적어도 하나의 레지스터에 연결된 DUT 태스크 레지스터를 더 포함하고,

상기 DUT 태스크 레지스터는 상기 제 1 시간 영역에서 상기 다수의 반도체 디바이스들 중 상기 제 1 반도체 디바이스에 연결되는 상기 다수의 저장 엘리먼트들 중 하나를 선택하고, 상기 제 2 시간 영역에서 상기 다수의 반도체 디바이스들 중 상기 제 2 반도체 디바이스에 연결되는 상기 다수의 저장 엘리먼트들 중 하나를 선택하도록 구성되는, 테스트 장치.

청구항 12

제 11 항에 있어서,

상기 테스트 장치는 다수의 타이밍 및 포맷팅 회로들(T/F들) 및 편 전자(PE) 채널들을 더 포함하고, 상기 다수의 TF들 및 PE 채널들을 통해 상기 다수의 반도체 디바이스들은 각각 상기 다수의 저장 엘리먼트들에 연결되며, 상기 DUT 테스크 레지스터는 상기 제 1 시간 영역에서 상기 다수의 반도체 디바이스들 중 상기 제 1 반도체 디바이스에 연결된 T/F들 및 PE 채널들만을 인에이블(enable)하고 상기 제 2 시간 영역에서 상기 다수의 반도체 디바이스들 중 상기 제 2 반도체 디바이스에 연결된 T/F들 및 PE 채널들만을 인에이블하도록 구성되는, 테스트 장치.

청구항 13

멀티태스킹 알고리즘 패턴 발생기(APG)를 갖는 테스트 장치를 사용하여 다수의 반도체 디바이스들을 테스트하는 방법으로서,

i . n개의 다수의 시간 영역들 중 제 1 시간 영역에서 상기 멀티태스킹 APG로부터의 제 1 테스트 패턴의 적어도 일부를 제 1 세트의 적어도 하나의 상기 다수의 반도체 디바이스들에 제공하는 단계 – 상기 n은 1보다 큰 정수임 –;

ii . 상기 다수의 반도체 디바이스들 중 제 1 반도체 디바이스에서 상기 멀티태스킹 APG로부터의 상기 제 1 테스트 패턴을 제거하는 단계;

iii . 제 2 시간 영역에서 상기 멀티태스킹 APG로부터의 제 2 테스트 패턴의 적어도 일부를 제 2 세트의 적어도 하나의 상기 다수의 반도체 디바이스들에 제공하는 단계;

iv . 상기 다수의 반도체 디바이스들 중 제 2 반도체 디바이스에서 상기 멀티태스킹 APG로부터의 상기 제 2 테스트 패턴을 제거하는 단계; 및

v . 상기 제 1 및 제 2 세트의 다수의 반도체 디바이스들에 완전하게 상기 제 1 및 제 2 테스트 패턴이 인가될 때까지 상기 단계 i 내지 상기 단계 iv를 반복하는 단계

를 포함하는 다수의 반도체 디바이스들을 테스트하는 방법.

청구항 14

제 13 항에 있어서,

상기 제 2 테스트 패턴을 상기 제 2 세트의 다수의 반도체 디바이스들에 제공하는 단계는 상기 제 1 테스트 패턴과 상이한 제 2 테스트 패턴을 상기 제 2 세트의 다수의 반도체 디바이스들에 제공하는 단계를 포함하는, 다수의 반도체 디바이스들을 테스트하는 방법.

청구항 15

제 13 항에 있어서,

상기 제 2 시간 영역에서 상기 제 2 테스트 패턴을 상기 제 2 세트의 다수의 반도체 디바이스들에 제공하는 단계는 상기 제 1 시간 영역에서 상기 제 1 테스트 패턴을 상기 제 1 세트의 다수의 반도체 디바이스들에 제공하는 시간 주기(period)와 상이한 시간 주기 동안, 상기 제 2 테스트 패턴을 상기 제 2 세트의 다수의 반도체 디바이스들에 제공하는 단계를 포함하는, 다수의 반도체 디바이스들을 테스트하는 방법.

청구항 16

제 13 항에 있어서,

상기 멀티태스킹 APG는 적어도 n개의 저장 엘리먼트들을 갖는 적어도 하나의 레지스터, 및 상기 저장 엘리먼트들을 상기 다수의 반도체 디바이스들에 연결하는 선택기 엘리먼트를 포함하고,

상기 제 1 테스트 패턴을 상기 제 1 세트의 다수의 반도체 디바이스들에 제공하는 단계는 상기 제 1 시간 영역에서 상기 제 1 세트의 다수의 반도체 디바이스들에 결합되는 상기 n개 저장 엘리먼트들 중 하나를 선택하는 단

계를 포함하는, 다수의 반도체 디바이스들을 테스트하는 방법.

청구항 17

제 16 항에 있어서,

상기 멀티태스킹 APG는 적어도 n개의 저장 엘리먼트들을 갖는 적어도 하나의 레지스터 및 상기 저장 엘리먼트들을 상기 다수의 반도체 디바이스들에 연결하는 선택기 엘리먼트를 포함하고,

상기 제 2 테스트 패턴을 상기 제 2 세트의 다수의 반도체 디바이스들에 제공하는 단계는 상기 제 2 시간 영역에서 상기 제 2 세트의 다수의 반도체 디바이스들에 연결되는 상기 n개의 저장 엘리먼트들 중 하나를 선택하는 단계를 포함하는, 다수의 반도체 디바이스들을 테스트하는 방법.

청구항 18

제 13 항에 있어서,

상기 테스트 장치는 다수의 타이밍 및 포맷팅 회로들(T/F들) 및 편 전자(PE) 채널들을 더 포함하고, 상기 T/F들 및 PE 채널들을 통해 상기 다수의 반도체 디바이스들이 각각 n개의 저장 엘리먼트들에 연결되며,

상기 제 1 테스트 패턴을 상기 제 1 세트의 다수의 반도체 디바이스들에 제공하는 단계는 상기 제 1 시간 영역에서 상기 제 1 세트의 다수의 반도체 디바이스들에 연결되는 T/F들 및 PE 채널들만을 인에이블링하는 단계를 포함하고,

상기 제 2 테스트 패턴을 상기 제 2 세트의 다수의 반도체 디바이스들에 제공하는 단계는 상기 제 2 시간 영역에서 상기 제 2 세트의 다수의 반도체 디바이스들에 연결되는 T/F들 및 PE 채널만을 인에이블링하는 단계를 포함하는, 다수의 반도체 디바이스들을 테스트하는 방법.

청구항 19

제 13 항에 있어서,

상기 n개의 다수의 시간 영역들을 특정(specify)하는 단계;

상기 다수의 반도체 디바이스들 각각을 상기 다수의 반도체 디바이스들의 n개 세트들 중 하나에 할당하는 단계; 및

상기 n개의 시간 영역들 중 하나와 상기 다수의 반도체 디바이스들의 각각의 상기 n개 세트들을 연관시키는 단계

로 이루어진 초기 단계들을 더 포함하는, 다수의 반도체 디바이스들을 테스트하는 방법.

청구항 20

삭제

청구항 21

제 5 항에 있어서,

상기 멀티태스킹 APG는 제 1 시간 영역에서 상기 제 1 테스트 패턴을 상기 다수의 반도체 디바이스들 중 제 1 반도체 디바이스에 제공하고 상기 제 1 시간 영역과 상이한 제 2 시간 영역에서 상기 제 2 테스트 패턴을 상기 다수의 반도체 디바이스들 중 제 2 반도체 디바이스에 제공하도록 구성되는, 테스트 장치.

명세서

기술분야

[0001] 본 출원은 2002년 5월 6일자로, "Multitasking Algorithmic Pattern Generator"란 명칭으로 출원되었으며, 본 명세서에서 참조되는 US 출원 번호 60/378,488호의 우선권을 청구한다.

[0002] 본 발명은 통상적으로 집적회로(IC)를 테스트하는 시스템, 특히 메모리 어레이를 갖는 IC를 빠른 속도로 테스트

하는 방법 및 장치에 관한 것이다.

배경기술

- [0003] 전자 산업에 있어 제조자들은 불량 디바이스 또는 IC를 제거하기 위해 전자 컴포넌트(component) 및 집적회로(IC)의 다양한 테스트를 자동적으로 수행하는 테스트 시스템 및 테스트기(tester)를 사용한다. 통상적으로, 플래시 메모리 또는 RAM과 같은 메모리 어레이 또는 회로를 테스트하는데 적합하고, 마이크로 제어기, ASIC, 및 프로그램가능 로직 디바이스(PLD)와 같은 로직 회로를 테스트하는데 적합한 2가지 형태의 디지털 테스트기가 있다. 일반적으로, 웨이퍼 또는 기판의 일부를 유지하면서 디바이스가 패키징된 후 그러나 모듈, 카드 또는 보드 상에 장착 또는 조립되기 이전에 제조 프로세스 동안 몇개의 포인트에서 IC를 테스트하는 것이 바람직하다. 이러한 반복 테스트는 테스트기에 대해 빠른 속도로 테스트를 자동적으로 수행하면서 높은 정확도를 제공할 것을 요구한다. 또한, 전자 산업은 점점 더 전자 디바이스의 소형화가 증가하고 있는 추세이기 때문에, IC의 복잡성이 증가하고 있다. 따라서, IC가 보다 복잡해짐에 따라, 테스트기의 복잡성 또한 대응되게 증가한다.
- [0004] IC 기능을 테스트하기 위해, 데이터 패턴은 시간 발생기 및 편 전자 채널을 통한 특정 시간 및 전압 설정을 이용하여 테스트 대상 장치(DUT; Device Under Test)로 전달되고, DUT가 정확하게 응답하도록 특정 시간 및 전압 설정으로 DUT로부터 데이터가 판독된다. 편 전자 채널의 비교기는 기대되는 출력 신호와 DUT 출력 신호를 비교하고, 비교 결과를 에러 포착 메모리에 다시 연결한다.
- [0005] 로직 DUT를 테스트하는 동안, 통상적으로 데이터 패턴은 테스트기 내의 대형 반도체 메모리에 저장된다. 메모리 테스트를 위해, 데이터 패턴은 테스트기에 너무 오래 저장된다. 메모리 DUT의 정규 어레이 구조로 인해, 데이터 패턴은 APG(Algorithmic Pattern Generator)로 공지된 특정하게 장착된 컴퓨터를 사용하여 알고리즘방식으로(algorithmically) 발생될 수 있다. 이러한 기술은 다년간 통상적으로 이용되어 왔으며 메모리 테스트 데이터 패턴 발생의 산업적 표준 방법이다.
- [0006] 플래시 메모리 DUT 테스트는 다른 형태의 메모리 디바이스를 테스트하기 위해 비교되는 독특한 젤린지 세트를 제공한다. 플래시 메모리는 각각의 디바이스 상의 각각의 셀상에 상이한 프로그래밍 시간 및 전압을 요구할 수 있는 프로그램가능한 디바이스들이다. 프로그래밍은 APG를 통해 수행되기 때문에, 각각의 DUT가 자체 APG를 갖는 경우 최고의 처리량이 달성될 수 있을 것으로 여겨진다.
- [0007] 종래의 다수의 메모리 테스트기는 다수의 DUT를 동시에 테스트하기 위해 다수의 시간 발생기 및 편 전자 채널로부터 팬아웃되는 하나의 APG를 갖는다. 플래시 메모리가 상기 방법을 이용하여 테스트되는 경우, 플래시 메모리는 그들의 판독 사이클과 비교되는 매우 느린 속도로 프로그램되기 때문에 테스트 시간은 상당히 증가될 것이고, 모든 DUT는 APG가 처리되기 전에 프로그래밍이 완료되도록 매우 느린 DUT를 대기해야 한다. 따라서, 프로그래밍 동안, 통상적으로 APG는 테스트기 리소스의 효율 및 이용을 감소시키는 느린 사이클 속도에서 동작한다. 종래의 전용 플래시 메모리 테스트기는 각각의 DUT에 독립성(independence)을 부여하도록 테스트기 내에 보다 많은 APG를 장착함으로써(putting) 상기 문제를 처리하였다.
- [0008] 상기 편들상에 다중화된 다수의 신호를 갖는 소수의 물리적 편을 포함하는 플래시 DUT가 보다 보편화되었다. 이러한 플래시 DUT의 예로는 통상적으로 16개 편을 갖는 NAND 플래시 DUT가 있다. 또 다른 예로 작은 펀카운트의 프로그램가능한 메모리로는 단지 4개의 신호 편을 갖는 일련의 EEPROM이 있다. 이들 DUT의 제조는 비용에 민감하며 단지 매우 낮은 비용의 테스트기의 사용만을 지지할 수 있다. 그러나, DUT 당 증가된 독립성을 제공하기 위해 테스트기내에 APG의 수를 증가시키는 것은 테스트기 비용을 엄청나게 증가시킨다. 따라서, APG의 수를 증가시키는 것은 전체적으로 바람직한 방안이 아니다.
- [0009] 따라서, APG의 사용을 최대화시키면서 테스트기의 리소스의 효율 및 이용을 증가시킬 수 있는 테스트기 및 그의 이용 방법이 요구된다. 또한 다수의 DUT가 독립적으로 테스트되는 경우 DUT 당 효율을 증가시키고, 예를 들어, 플래시 DUT의 판독 사이클 동안, APG의 전체 사이클 속도에서 록 스텝(lock step)으로 다수의 DUT를 테스트 할 수 있는 테스트기 및 방법이 요구된다.
- [0010] 본 발명의 시스템 및 방법은 종래 기술을 능가하는 장점을 제공한다.

발명의 상세한 설명

- [0011] 본 발명은 메모리 어레이를 갖는 고속의 IC 테스트 장치 및 방법을 제공한다.
- [0012] 본 발명의 일면에 따라, 반도체 테스트 장치 또는 테스트기는 반도체 디바이스 테스트를 위해 제공된다. 통상

적으로, 테스트기는 멀티태스킹 APG(multitasking Algorithmic Pattern Generator)를 포함한다. 멀티태스킹 능력은 APG가 단일 패턴 발생기상에서 다수의 프로그램을 동시에 수행할 수 있게 한다. 일 실시예에서, 멀티태스킹 APG는 8개 방식(way)으로 시간-구획되어, 8개의 테스트 프로그램은 단일 APG를 사용하여 128개의 핀 테스트 위치상에서 8개의 독립적인 16개-핀 DUT상에서 독립적으로 동시에 동작한다. 멀티태스킹은 각각의 DUT를 독립적으로 제공함으로써(servicing) 패턴 수행시 정지(dead) 사이클을 소거시킴으로써 테스트기 리소스의 효율 및 이용을 증가시켜, DUT는 패턴이 처리되기 이전에 동작을 완료하기 위해 또 다른 DUT상에서 대기하지 않는다.

[0013] 또 다른 면에서, 본 발명은 멀티태스킹 APG를 갖는 장치 또는 테스트기를 사용하는 DUT 테스트 방법에 관한 것이다.

[0014] 또 다른 면에서, 본 발명은 본 발명의 방법에 따라 멀티태스킹 APG를 갖는 장치 및 테스트기를 사용하여 테스트되는 반도체 디바이스에 관한 것이다.

[0015] 본 발명의 상기 특징 및 다양한 특징 및 장점은 첨부되는 도면을 참조한 하기의 상세한 설명을 참조로 보다 명확해 질 것이다.

실시예

[0020] 본 발명은 멀티태스킹 APG(Algorithmic Pattern Generator)를 갖는 테스트기를 사용하여 집적회로(IC)를 효율적으로 빠른 속도로 테스트하는 시스템 및 방법에 관한 것이다.

[0021] 본 발명의 실시예에 따른 하나 이상의 DUT(203)를 테스트하는 멀티태스킹 APG(201)을 갖는 테스트 시스템 또는 테스트기(200)가 도 1을 참조로 도시된다. DUT(203)에 의해, 임의의 전자 컴포넌트 모듈 또는 IC는 로직 회로, 메모리 어레이 또는 이를 모두를 갖는다는 것을 의미한다. 예를 들어, DUT는 기판상의 다수의 디바이스 중 하나이거나 또는 패키징된 다이일 수 있다. DUT(203)는 기판(미도시)상의 다수의 핀(231)을 통해 또는 패드와 접촉하는 프로브(미도시)를 통해 테스트 시스템(200)에 연결될 수 있다. 하나의 DUT만이 도시되었지만, 테스트 시스템(200)은 다수의 DUT(203)의 병렬적 테스트를 위해 충분히 큰 다수의 테스트 지점을 바람직하게 포함할 수 있다.

[0022] 명료성을 위해, 본 발명과 관련되지 않은 널리 공지되어 있는 테스트기에 대한 다수의 설명은 생략한다. 테스트기는, 예를 들어 "Semiconductor Test System Having Double Data Rate Pin Scrambling"이란 명칭으로 2001년 6월 29일자로 출원되었으며, 공동 양도된 공동계류중인 US 특허 출원번호 09/895,439호; "An apparatus Having Pattern Scrambler For Testing A Semiconductor Device And Method For Operating Same"이란 명칭으로 2002년 1월 4일 출원된 US 특허 출원번호 10/039,738호; 및 "Stackable Semiconductor Test System And Method For Operating Same"이란 명칭으로 2002년 6월 12일 출원된 US 특허 출원 번호 10/170,916호에 상세히 설명되어 있으며, 이를 각각은 본 명세서에 참조된다.

[0023] 도 1을 참조로, 통상적으로 테스트기(200)는 멀티태스킹 APG(201) 이외에 핀 스크램블러(240), 다수의 시간 발생기 및 포맷 회로(T/F)(250), T/F와 DUT(203)의 핀(231) 사이에 연결된 다수의 핀 전자(PE) 회로 또는 채널(251)을 포함한다. 테스트 지점 컴퓨터(미도시됨)는 멀티태스킹 APG(201)내의 컴포넌트 또는 엘리먼트마다 연결되며, 그리고 동작을 초기화하기 위한 T/F들(250) 및 핀 스크램블러(240)에 연결된다. 유사하게 기준 클록(미도시됨)이 연결되어 테스트기(200)의 시간을 제어하는 클록 사이클을 갖는 클록 신호를 제공한다.

[0024] 핀 스크램블링 회로(240)는 멀티태스킹 APG(201)의 다수의 출력 중 임의의 하나를 T/F(250) 중 임의의 하나와 연결하고, T/F를 통해 DUT(203) 중 임의의 하나 상에 있는 핀(231) 중 임의의 하나를 연결한다. 핀 스크램블러(240)의 기능은 DUT(203)의 핀(231) 중 임의의 하나가 각각의 클록 사이클상에서 APG(201)에 있는 임의의 패턴 소스로부터 구동되도록 한다. 또한, DUT(203) 각각의 핀(231)에 연결된 멀티태스킹 APG(201)의 출력은 멀티태스킹 APG(201)의 클록 사이클마다(per a clock cycle) 결정 또는 선택될 수 있다. 따라서, 멀티태스킹 APG(201)로부터의 테스트 신호 또는 패턴은 특정 DUT(203)상의 특정 핀(231)에 연결될 수 있으며, 멀티태스킹 APG(201)의 대규모 재프로그래밍 또는 DUT와의 접속의 재기록 없이 "온 더 플라이(on the fly)" 변경되거나 위치될 수 있다. 도 1에 도시된 테스트기(200)에서, 핀 스크램블러(240)는 멀티태스킹 APG(201)에 의해 제어되며(제어 접속부는 미도시), 예를 들어 멀티태스킹 APG(201)의 클록 사이클마다 DUT(203) 각각의 핀(231) 상에서 64개의 상이한 패턴 맵핑을 허용하도록 설계될 수 있다. 핀 스크램бл러(240)를 갖는 테스트기(200)는 캘리포니아 샌어제이 Nextest System, Inc.으로부터 상업적으로 입수 가능하며, 보다 상세한 설명은 예를 들어, 공동

양도된, 공동계류중인 US 특허 출원번호 09/895,439호에 개시되어 있다.

- [0025] T/F(250)는 테스트 패턴의 다양한 신호 즉, 구동/예상 데이터 신호, 스트로브 제어 신호 및 멀티태스킹 APG(201)로부터 수신된 입/출력(I/O) 제어 신호의 시간 및 포맷을 조절하며 PE 채널(251)을 통해, 멀티태스킹 APG로부터의 출력을 DUT(203)에 연결한다.
- [0026] 통상적으로 각각의 PE 채널(251)은 T/F(250)를 통해 멀티태스킹 APG(201)으로부터의 신호 또는 테스트 패턴의 3-비트부를 수신하며, 각각의 3-비트 신호는 구동/예상 데이터 신호, 스트로브 제어 신호 및 I/O 제어 신호를 포함한다. 소정의 테스트 시스템은 이들을 디코드화시켜 (전형적으로) 3 비트는 8개의 PE 제어 기능의 상이한 조합이 된다. 전형적으로 각각의 PE 채널(251)은 DUT(203)의 핀(231)에 신호를 연결할 수 있는 PE 드라이버(미도시), 예상된 출력 신호와 출력 신호를 비교하는 비교기(미도시), 및 에러 포착 RAM(260)과 멀티태스킹 APG(201)를 통해 비교 결과를 다시 연결하는 에러 로직 회로(미도시)를 포함한다. 일반적으로, PE 드라이버와 비교기는 동일한 시간에서 동일한 PE 채널(251)에서 활성화되지 않으며, 이는 핀(231)이 주어진 시간에서 데이터 또는 제어 신호를 수신하거나 주어진 시간에서 결과를 전송하기 때문이다.
- [0027] 멀티태스킹 APG(201)는 제어 섹션(205), 레지스터-기반 알고리즘 어드레스 발생기(220), 어드레스 위상 스크램블러(222), 데이터 발생기(230), 및 데이터 멀티플렉서(234)를 포함한다. 멀티태스킹 APG(201)는 "정지 사이클(dead cycle)" 없이 동작 각각의 클록 사이클마다 데이터 패턴을 발생시킬 수 있는 능력을 가지며, 정지 사이클은 멀티태스킹 APG(201)가 동작하나(computate) DUT(203)에 대한 데이터를 발생시키지 않는 사이클이다. 데이터 패턴내에 정지 사이클이 없다는 것은 DUT(203)가 대체로 엄격한 테스트를 허용한다는 것을 의미하며, 이는 테스트가 보다 엄격한 시간 제한에서 수행되기 때문이다. 정지 사이클은 보다 완만한 테스트를 산출한다. 또한 정지 사이클은 테스트 시간을 증가시킨다.
- [0028] 멀티태스킹 APG(201)의 제어 섹션(205)은 멀티태스킹 APG, 핀 스크램블러(240), T/F(250) 및 PE 채널(251)의 동작을 제어하며, 마이크로 RAM 어드레스 레지스터(202), 마이크로 RAM(204), 루프 카운터 및 스택 레지스터 또는 레지스터-기반 루프 카운터 및 스택(210), 분기 로직(Branch Logic)(212) 및 DUT 태스크 레지스터(280)와 같은 테스트 선택기로 구성될 수 있다. 제어 섹션(205)은 일단 설정이 이루어지면 자체 제어되는 폐루프 시스템이다. 정상 동작에 있어, 테스트기(200) 사용자는 호스트 컴퓨터(미도시)에 의해 로드되는 알고리즘 패턴을 마이크로 RAM(204)에 기록한다. 마이크로 RAM(204)은 통상적으로 100 내지 200 비트의 폭을 가지며 백 내지 수 만의 워드 깊이를 갖는다. 마이크로 RAM(204)으로부터의 비트 일부는 멀티태스킹 APG(201)의 프로그램 흐름을 제어하는 반면, 마이크로 RAM으로부터의 다른 비트들은 DUT(203)를 위한 데이터 패턴을 발생시키는 레지스터를 제어한다.
- [0029] 사용자 기록 프로그램이 마이크로 RAM(204)에 로드되면, 멀티태스킹 APG(201)는 클록이 발생되도록 허용함으로써 동작이 설정된다. 마이크로 RAM 어드레스 레지스터(202)는 마이크로 RAM(204)을 어드레스하여, 실행될 다음 명령에 포인팅(pointing)한다. 마이크로 RAM(204)은 루프 카운터 및 스택(210) 및 분기 로직(212)에 제어 비트를 출력한다. 분기 로직(212)과 함께 루프 카운터 및 스택(210)은 마이크로 RAM 어드레스 레지스터(202)에 로드되도록 다음 마이크로 RAM 어드레스를 결정한다. 루프 카운터는 카운터 값이 도달할 때까지 명령을 수행하여, 분기 로직(212)은 새로운 마이크로 RAM 어드레스 레지스터 값을 로드한다. 스택은 서브루틴이 수행될 때 복귀 마이크로 RAM 어드레스를 제공한다. 통상적으로 분기 로직(212)은 점프, 서브루틴 호출, 및 앞서 언급된 루프 카운터를 포함한 다양한 조건에 따른 서브루틴 복귀를 허용한다. 패턴 수행의 상기 프로세스는 분기 로직(212)이 멀티태스킹 APG(201)를 중지시키도록 전용화된 마이크로 RAM(204) 비트 코드에 의해 정지될 것을 지시할 때까지 계속된다.
- [0030] 제어 섹션(205)은 상기 설명된 바와 같이 수행되는 반면, 마이크로 RAM(204)으로부터의 추가 비트는 DUT 어드레스, DUT 데이터를 알고리즘방식으로 발생시키고, 다른 기능이 가능하도록 멀티태스킹 APG(201)의 다른 부분에 동시에 전송된다. 도 1은 마이크로 RAM(204)에 의해 구동되는 레지스터-기반 알고리즘 어드레스 발생기(220)를 나타낸다. 어드레스 발생기(220)의 출력은 어드레스 위상 스크램블러(222)와 데이터 발생기(230)를 구동시킨다. 전형적으로 어드레스 위상 스크램бл러(222)는 RAM으로, DUT의 어드레스 디코더(미도시)를 통과한 후 DUT의 내부 어레이(미도시)에 위상적으로 실제(true) 데이터 패턴을 제공하며, DUT(203)의 핀(231)에 인가된 어드레스를 스크램블한다.
- [0031] 레지스터-기반 데이터 발생기(230)는 DUT(203)에 대한 데이터 패턴을 알고리즘방식으로 발생시키고 어드레스 발생기(220)에 의해 전송되는 어드레스에 기초한 패턴을 조건에 따라 반전시킬 수 있다. 알고리즘 데이터 이외에, 소정의 DUT(203)는 DUT 어드레스에 따라 저장된 응답 데이터 패턴을 요구한다. 이에 대한 예로는 데이터

패턴이 DUT(203) 속에 영구적으로 프로그램되는 ROM이 있다. 데이터 버퍼 메모리(232)는 어드레스 발생기(220)로부터의 어드레스에 따라 전달되는 저장된 응답 데이터 패턴을 보유하는 RAM이다. 마이크로 RAM(204)를 통한 테스트 프로그램은(제어 접속부는 미도시) 데이터 멀티플렉서(234)를 통해 DUT로 전송되는 데이터 소스를 제어할 수 있다.

[0032] 도 1에 도시된 테스트기(200)는 어드레스 위상 스크램블러(222), 데이터 멀티플렉서(234), 및 다른 멀티태스킹 APG 데이터 소스의 출력을 핀 스크램블러(240)를 통해 루트가 설정된다.

[0033] 마이크로 RAM 어드레스 레지스터(202), 루프 카운터 및 스택(210), 어드레스 발생기(220) 및 데이터 발생기(230)에서의 사용을 위한 저장 컴포넌트 또는 레지스터는 도 2를 참조로 보다 상세히 설명된다. 도 2는 본 발명의 멀티태스킹 APG(201)에서의 사용을 위한 멀티태스킹 APG 저장 컴포넌트 또는 레지스터(270)의 실시예의 블록도이다. 본 발명에 따라, 멀티태스킹 APG 레지스터(270)는 n개의 저장 엘리먼트 또는 레지스터(272, 273, 274) 및 레지스터(272, 273, 274)에 의해 공급되는 멀티플렉서(276)와 같은 선택 엘리먼트 또는 메커니즘으로 구성된다. 각각의 레지스터(272, 273, 274)는 멀티플렉서 선택과 동기화되는 개별 클록 인에이블(미도시)을 갖는다. 예를 들어, 멀티플렉서(276)가 제 1 입력을 선택할 때, 단지 제 1 레지스터(272)의 클록만이 인에이블된다. 멀티플렉서가 n번째 입력을 선택할 때, 단지 n번째 레지스터(274)의 클록만이 인에이블된다. 따라서, 멀티태스킹 APG(201)내의 레지스터(272, 273, 274)는 각각의 DUT(203)에 대한 개별값을 보유할 수 있다.

[0034] 본 발명의 멀티태스킹 APG(201)는 느린 속도 동작을 위한 독립적인 APG 능력을 제공함으로써 작은 핀카운트 DUT(203)를 테스트하기 위한 테스트기(200)의 하드웨어 비용을 감소시킨다. 빠른 속도의 동작이 요구되는 경우, DUT는 처리량을 최대화시키기 위해 전체 APG 속도에서 록 스텝에서 작동할 수 있어 느린 속도의 APG 보다 엄격한 테스트 조건을 제공할 수 있다. 즉, 플래시 메모리와 같은 DUT(203)의 프로그래밍시에, 멀티태스킹 APG(201)는 단지 DUT를 프로그래밍하는 것이 요구되는 한 독립적으로 각각의 DUT에 테스트 패턴을 제공하거나 기록하는 멀티태스킹 모드에서 동작한다. 반대로, 종래의 테스트기는 최종 또는 가장 느린 DUT가 프로그램될 때까지 동시에 모든 DUT에 테스트 패턴을 프로그래밍하도록 적용된다. 독립적으로, 각각의 DUT(203)에 대한 테스트 패턴 기록은 다수의 바람직한 효과를 제공한다. 첫째, 주어진 시간 기간에서 다수의 DUT(203)의 병렬 테스트를 가능케함으로써 테스트기(200)의 처리량이 최대화되는 멀티태스킹 APG(201)의 이용 효율이 높아진다. 이는 전형적인 프로그래밍은 각각의 DUT(203)에 다수의 패턴 기록을 수반하기 때문이다. 예를 들어, 병렬로 몇 개의 DUT(203) 프로그래밍은 다수의 스트립을 기록함으로써 수반되는 디바이스의 메모리 셀 상의 대각선 패턴을 각각의 DUT에 기록하는 것을 포함한다. 따라서, 보다 신속하게 프로그램되는 DUT(203)에 대해, 테스트기는 대각선 패턴을 프로그래밍하기 위해 가장 느린 DUT를 대기하기보다는 이전에 프로그램된 대각선 패턴에 대해 스트립 패턴 기록을 시작할 수 있다. 둘째, 프로그래밍 신호 또는 테스트 패턴은 단지 DUT를 프로그래밍하는 것이 요구되는 한 각각의 DUT(203)에 적용되기 때문에, 각각의 DUT는 디바이스에 대한 문턱 전압 값 이상으로 축적된 전하로 프로그램되어, DUT 전하 또는 프로그램 보유 능력의 순차적 테스트는 높은 초기 전하로 시작되는 소정의 DUT로 인해 잘못된 포지티브 결과를 산출할 가능성이 낮다.

[0035] 모든 DUT(203)가 연속적으로 프로그램된 후에, 멀티스테킹 APG(201)는 동시적으로 모든 DUT로부터 프로그램된 패턴을 재판독하도록 전체 APG 속도에서 록 스텝에서 동작할 수 있어, 처리량이 최대화된다.

[0036] 상기 주목된 바와 같이, 판독 사이클에 비해 매우 느린 속도에서 플래시 메모리가 프로그램된다. 따라서, 프로그래밍동안, 통상적으로 APG는 느린 사이클 속도에서 동작한다. 이러한 사실이 갖는 장점으로, 고속의 멀티태스킹 APG(201)이 하드웨어의 타임 멀티프렉싱 및 각각의 DUT 또는 태스크(task) 대한 APG 시간의 시간 구획 또는 구획화에 의해, 적절한 DUT에 출력을 전송(direct)함으로써 독립적으로 다수의 느린 APG가 이루어질 수 있다. 예를 들어, 20 나노초 사이클 속도에서 동작하는 APG는 연속적인 사이클에서 연속적으로 4개의 DUT 각각을 구동시킨다. 제 1 DUT는 제 1 20나노초 사이클, 제 2 나노초 사이클에서의 제 2 DUT, 제 3 20나노초 사이클에서의 제 3 DUT, 및 제 4 20 나노초 사이클에서의 제 4 DUT에서 축적되고 제공된 정보를 취한다. 제 1 DUT 시간을 다시 구획화시킴으로써, 80 나노초가 지나, 제 1 DUT는 80 나노초의 유효 사이클 시간을 나타내며, 다른 DUT 각각에서 시간에 따라 엇갈리게 수행된다.

[0037] 이는 도 1에서 볼 수 있으며, 레지스터와 같은 멀티태스킹 APG 저장 컴포넌트(270)는 종래의 APG를 사용하는 종래의 레지스터로 적절히 대체된다. 마이크로 RAM 어드레스 레지스터(202), 루프 카운터 및 스택(210), 어드레스 발생기(220), 및 데이터 발생기(230)는 멀티태스킹 APG(210)내의 모든 멀티태스킹 APG 레지스터(270)이다. 이들 멀티태스킹 APG 레지스터(202, 210, 212, 220)는 액티브 시간 슬라이스에 제공되도록 DUT(203)가 특정화되는 DUT 태스크 레지스터(280)과 같은 태스크 선택기로부터의 제어를 수신한다. DUT 태스크 레지스터(280)은 멀

티태스킹 모드에서 제공되는 DUT를 포함하는 정보로 입력 또는 컴퓨터 버스(281)를 통해 호스트 컴퓨터(미도시)로부터 로드된다.

[0038] 일 실시예에서, DUT 태스크 레지스터는 주로 1 내지 n을 카운팅하는 카운터로, 여기서 n은 제공되는 DUT(203)의 개수이다. DUT 태스크 레지스터(280)의 출력은 n개의 독립적 인에이블 세트의 이진 코드, 또는 소정의 다른 포맷 또는 포맷의 조합으로 제공될 수 있다.

[0039] 선택적으로, DUT 태스크 레지스터(280)는 DUT(203)가 테스트되고, 테스트 패턴이 각각의 DUT에 적용되는 사이클 속도(주기), 사이클 개시 시간 또는 순서를 독립적으로 시험할 수 있는 인텔리전트 제어기이다. 즉 각각의 DUT(203)는 자체 주기(사이클 속도)를 가질 수 있으며 각각의 DUT 사이클의 시작은 시간에서 교체되지 않는다 (또는 교체될 수 없다). DUT 사이클의 개시는 다른 DUT상의 시간에 상관없이 시간 중 어느 때나 발생될 수 있다. 본 실시예에서, DUT 태스크 레지스터(280)는, 각각의 DUT(203) 상의 다음 사이클 주기에서 검사될 수 있고 (i) DUT가 다음 사이클에서 멀티태스킹 APG(201) 사용을 가능하게 하고, (ii) 특정 DUT에 대해 T/F(250)을 통해 데이터가 전파되는 경우 예정된 기준에 기초로 결정될 수 있는 인텔리전트 제어기이다. 예를 들어, 예정된 기준은 각각의 DUT(203)의 사이클 속도 또는 주기, 및 실시간에서 변화되는 T/F(250)에 데이터를 전파하기 위한 파이프 라인의 가변 길이를 포함할 수 있다. 본 실시예의 바람직한 버전에서, DUT 태스크 레지스터(280)는 3비트 코드보다는 T/F(250)에 대한 개별 인에이블을 사용하여, 인에이블링 데이터는 요구되는 대로 각각의 DUT에 독립적으로 이동할 수 있다.

[0040] 종래 기술의 APG로서, 멀티태스킹 APG(201)는 알고리즘방식으로 패턴을 계산하기 위해 로직 및 RAM의 상당량 조합을 포함한다. 또한 어드레스 위상 스크램블러(222)와 데이터 버퍼 메모리(232)에 있어 RAM은 중요하다. 로직 또는 RAM의 조합은 멀티태스킹 APG(201)에서 반복되지 않아, 하드웨어 비용이 절감된다.

[0041] 또한 DUT 태스크 레지스터(280)는 핀 스크램블러(240) 및 T/F(250)를 향한다. DUT에 도달하기 이전에 정확한 전압 설정을 위해 시간 및 포맷 신호가 핀 전자 채널(P/E(251))을 통과한다. 핀 전자 채널(251)은 통상적으로 테스트 벡터, 데이터를 DUT(203)의 핀에 적용하기 위한 PE 드라이버, 예상되는 출력 신호와 DUT 출력 신호를 비교하는 비교기, 및 에러 포착 메모리 또는 에러 포착 RAM(260)에 비교 결과를 다시 연결하는 에러 로직 회로를 포함한다.

[0042] 이때 APG(200)에서, 신호는 퍼(per)-DUT(203) 핀 레벨로 분리된다. 핀 스크램бл러(240)는 스위치될 수 있으나, DUT 태스크 레지스터(280)는 시간 발생기 및 포맷기(250)가 액티브 DUT 상에서만 클록화되고 점화되도록 명령한다. 인액티브 DUT(203)상의 시간 발생기 및 포맷기(250)는 새로운 데이터를 래치할 수 있는 인에이블을 수신할 수 없어, 이들은 진행되는 동작을 지속할 수 있다.

[0043] 에러 포착 RAM(260)은 에러 로깅(logging)에 대해 사용할 수 있도록 에러 포착 메모리의 일부에 알려 DUT 태스크 레지스터(280) 신호를 수신한다. 에러 포착 RAM(260)은 포인터와 같이 DUT 태스크 레지스터(280)를 사용하여 DUT(203) 당 서브분할될 수 있는 대형 RAM을 단순화시킨다.

[0044] 멀티태스킹 APG(201)는 단일 패턴 발생기상에서 다수의 프로그램이 동시에 수행될 수 있도록 테스트기(200)를 인에이블 시킨다. 동시에 프로그래밍을 수행하는 동안, 멀티태스킹 동작 시스템은 멀티태스킹 APG(201) 동작을 시간-구획되어, 각각의 프로그래밍은 프로그램이 완료될 때까지 연속적인 루프에서 시간의 소량 증가에 대한 멀티태스킹 APG 리소스를 제공한다. 프로그램을 위한 프로세싱이 적정 시간에 삽입된다.

[0045] 일 실시예에서, 멀티태스킹 APG(201) 하드웨어 또는 리소스는 8개 방식으로 시간 분할되어, 8개의 테스트 프로그램이 단일 APG 상에서 독립적으로 동시에 동작할 수 있다. 예를 들어, 멀티태스킹 APG(201)를 갖는 테스트기(200)의 128개 핀 테스트 지점은 8개 방식으로 분할되어, 8개의 독립적인 16개-핀 DUT 테스트 지점을 산출한다. 각각 16개-핀 DUT 테스트 지점에 대한 시간 및 포맷은 T/F(250)를 통해 독립적으로 분포된다.

[0046] 멀티태스킹 APG(201)가 DUT(203)에 테스트 신호 또는 패턴을 미리 제공하는 경우, DUT만이 관련된 테스트 지점 상에서 타이밍 시스템이 로드된다(및 다른 DUT가 로드되지 않는다). 테스트 지점의 타이밍 시스템 또는 T/F(250)가 로드 후 DUT 사이클을 수행하는 동안, 멀티태스킹 APG(201)는 동일한 것을 수행하도록 다른 DUT 지점상에서 연속된다.

[0047] 멀티태스킹 능력은 패턴 수행시 임의의 정지 사이클을 야기시키지 않는다. 패턴은 종래의 APG 상에서 수행된다. 사용자는 종래의 APG를 사용함에 따라 호스트 컴퓨터(미도시)로부터 멀티태스킹 APG(201)에 모든 테스트 패턴을 기록하여 임의의 멀티태스킹 하드웨어를 관리할 필요가 없다. 사용자에게 단지 요구되는 것은 테스트되는 DUT(203)의 수 또는 멀티태스킹 APG(201) 리소스가 분할되는 시간 영역, 및 멀티태스킹 모드에서 이용

가능한 최대 사이클 시간을 인식하는 것이다.

[0048] 병렬로 테스트되는 DUT(203)의 수 또는 멀티태스킹 모드에서의 시간 영역이 증가함에 따라, 특정 DUT 또는 테스트 지점에서의 최대 사이클 속도는 감소된다. 이는 대부분의 테스트 지점은 멀티태스킹 APG(201)로부터 보다 많은 시간 구획을 요구하기 때문이며, 이는 모든 프로그램을 프로세스하기 위해 보다 많은 전체 시간이 소요된다는 것을 의미한다. 이는 DUT 프로그래밍 대 DUT 어레이 판독을 위해 요구되는 사이클 시간 및 독립적인 지점의 특성으로 인한 플래시 메모리 테스트에 바람직하다.

[0049] 일 실시예에서, 멀티태스킹 APG(201)는 20 나노초 주기로 50MHz의 최대 사이클 속도를 가진다. 이하 표 1은 DUT 지점상에서 이용가능한 최대 예시적인 사이클 속도 대 멀티태스킹되는 DUT의 수를 나타낸다.

표 1

멀티스테킹 DUT	최대 DUT 지점 주파수(주기)
1	50MHz(20ns)
2	25MHz(40ns)
4	12.5MHz(80ns)
8	6.25MHz(160ns)
n	최대 주파수/n

[0052] 느린 사이클 속도에서의 플래시 메모리 프로그래밍을 위해, 멀티태스킹은 독립적인 DUT 위치로 최대 처리량을 달성하는데 사용될 수 있다. 고속 DUT 어레이 판독을 위해(고속으로 인해 처리량이 많다는 것을 의미), DUT 지점은 50MHz에서 록 스텝으로 동작할 수 있다. 따라서, 이러한 멀티태스킹 APG는 하드웨어의 한 캠포넌트로부터 모든 종래의 병렬 테스트 모드에서 6.25MHz 내지 50MHz 동작에 이르는 독립적인 16-핀 DUT 지점으로 전달된다.

[0053] 제 1 및 제 2 DUT(203)를 테스트하는 실시예 또는 프로세스 또는 방법은 도 3을 참조로 설명된다. 도 3은 멀티태스킹 모드에서 병렬로 다수의 DUT(203)을 기록 또는 프로그래밍하기 위해 멀티태스킹 APG(201)를 갖는 테스트 기기를 동작시키는 프로세스의 실시예를 나타낸다.

[0054] 도 3을 참조로, 프로세스는 멀티태스킹 APG(201)에서 DUT(203)를 테스트하기 위한 다수의 비트를 포함하는 테스트 신호 또는 패턴을 로딩함으로써 시작된다(단계 300). 이는 호스트 컴퓨터로부터 각각 컴퓨터 버스(282)와 컴퓨터 버스(281)를 통해 마이크로RAM 어드레스 레지스터와 DUT 태스크 레지스터(280)에 로딩함으로써 달성된다. 일반적으로, 이는 마이크로 RAM 어드레스 레지스터(202)로의 테스트 패턴 및 멀티태스킹 APG(201)로 분할되는 시간 영역의 수, DUT 태스크 레지스터(280)에서 각각의 시간 영역에 제공되는 DUT의 PE 채널의 수 및 식별을 포함하는 정보의 로딩을 수반한다. 다음, 제 1 테스트 패턴은 다수의 시간 영역중 제 1 시간 영역에서 DUT(203) 중 적어도 하나의 제 1 세트에 연결 또는 제공된다. 테스트 패턴은 1비트로부터 DUT(203) 상의 핀(231) 또는 PE 채널(251)의 수와 동일한 폭을 갖는다. 제 1 테스트 패턴이 관련 T/F(250)을 통해 제 1 세트의 DUT(203)에 완전히 제공된 후에, 제 1 테스트 패턴은 제 1 세트의 DUT로부터 해체 또는 제거되고(단계 310), 제 2 테스트 패턴은 제 2 시간 영역의 제 2 세트의 DUT에 연결되거나 제공된다(단계 315). 다시, 제 2 테스트 패턴이 관련 T/F(250)를 통해 제 1 세트의 DUT(203)에 완전히 제공된 후에, 제 2 테스트 패턴은 제 1 세트의 DUT로부터 분리 또는 제거되고(단계 320), 전체 제 1 및 제 2 테스트 패턴이 제 1 및 제 2 세트의 DUT에 인가 또는 제공될 때까지 단계(305-320)는 반복된다(단계 325). 이는 모든 DUT(203)가 완벽하게 프로그램될 때까지 이루어진다.

[0055] 제 1 및 제 2 DUT(203)를 테스트하는 실시예 또는 프로세스 또는 방법은 도 4를 참조로 개시된다. 도 5는 병렬로 멀티태스킹 모드에서 다수의 DUT(203)를 기록 또는 프로그래밍하기 위한 멀티태스킹 APG(201)을 갖는 테스트 기기를 동작시키는 프로세스의 실시예를 나타내는 흐름도이다.

[0056] 도 4를 참조로, 프로세스는 제 1 시간 영역(DUT 1)에서 하나 이상의 DUT(203) 및 제 2 시간 영역(DUT 2)에서 하나 이상의 DUT로 시작되며 이를 모두는 제 1 사이클을 시작한다(단계 401). 현재의 DUT 1/2 사이클의 제 1 시간 구획은 다음 DUT 1 사이클 동안 데이터를 전송하는데 사용된다(단계 402). 모든 시간 구획은 20nS 지속된다. 현재의 DUT 1/2 사이클의 제 2 시간 구획은 다음 DUT 2 사이클 동안 데이터를 전송하는데 사용된다(단계 403). 다음 DUT 1 (또는 DUT 1 및 DUT 2)는 새로운 사이클을 시작한다(단계 404). 새로운 사이클의 제 1 시간 구획은 다음 DUT 1 사이클 동안 데이터를 전달하는데 사용된다(단계 405). DUT 2가 DUT 1과 동시에 새로운 사이클을 개시한다면, 제 2 시간 구획은 다음 DUT 2 사이클 동안 데이터를 전달하는데 사용된다(단계

406). 패턴이 완료되지 않았다면 단계(404-406)가 반복된다. 그밖에 DUT 1 및 DUT 2 사이를 길이는 매치되지 않으며, 구획 할당은 DUT 수와 상반되게 우선순위에 기초한다- 즉, 제어기, DUT 태스크 레지스터(280)는 본 실시예에서 카운터로 간주되지 않는다. DUT 2가 DUT 1 이전에 새로운 사이클을 시작한다면, 제 1 이용가능한 구획(본 실시예에서는 이전의 구획의 개시 이후 적어도 20nS로서 정의됨) 다음 DUT 2 사이클 동안 데이터를 전송하는데 사용된다(단계 406). 패턴이 완벽하지 않다면 단계(407)가 반복되고, 완벽하다면 단계(404)로 간다.

[0057] DUT 태스크 레지스터(280)는 특정 시간 영역에서 DUT(203)와 연결될 수 있도록, 임의의 저장 엘리먼트(272, 273, 274)를 선택하고, 시간 영역에서 개별적으로 각각의 DUT가 가능하기 때문에, 상이한 시간 영역에서 DUT에 기록된 테스트 패턴은 동일할 필요가 없으며, 각각의 시간 영역의 시간 주기는 동일할 필요가 없다. 예를 들어, 일 실시예에서, 멀티태스킹 APG(201)은 특정 시간 영역에서 모든 DUT(203)가 프로그램되는 경우를 인식할 수 있고 테스트 패턴이 나머지 시간 영역에서 DUT에 연결되는 주기 또는 주파수를 조절할 수 있어, 테스트기(200)의 효율이 최대화된다. 또한, DUT(203) 또는 시간 영역은 규칙적으로, 또는 순차적으로 뒤바뀐 순서로 제공될 필요가 없으나, 우선순위에 따라 요구되는 임의의 순서로 DUT 또는 시간 영역을 제공하도록, 임의의 저장 엘리먼트(272, 273, 274)를 선택할 수 있다. 예를 들어, 다수의 DUT가 다가오는 사이클을 갖거나 또는 요구하는 4개의 시간 영역에서 테스트되는 경우, DUT 태스크 레지스터(280)는 제 1 시간 영역에서, 다음 제 3 시간 영역, 제 2 시간 영역 및 마지막 제 4 시간 영역에서 DUT를 제공하기 위해 저장 엘리먼트(272, 273, 274)를 선택할 수 있다. 또한, 테스트 순서는 다음 다가오는 사이클에 따라 변할 수 있다.

[0058] 선택적으로, 동일한 테스트 패턴이 상이한 시간 영역에서 모든 DUT에 기록 또는 프로그램될 경우, 상기 방법은 멀티태스킹 APG의 최대 주파수 또는 속도에서 테스트 패턴을 재판독하기 위해 모든 DUT에 연결되도록 멀티태스킹 APG(201) 록 스텝을 동작시키는 추가의 단계를 더 포함한다(단계 330).

[0059] 본 발명의 특정 실시예에 대한 상세한 설명은 도시 및 설명을 위한 것이다. 이들은 개시된 정확한 형태로 본 발명을 제한하고자 하는 것은 아니며, 상기 설명을 참조로 다양한 변형 및 변조가 이루어질 수 있다. 상기 실시예는 본 발명 및 특정 분야의 원리를 가장 바람직하게 설명하기 위해 선택 및 개시되었으며, 당업자는 본 발명을 이용하여 용도에 적합한 다양한 변형을 이룰 수 있을 것이다. 본 발명의 범주는 이하 첨부되는 청구항으로 제한된다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 실시예에 따른 멀티태스킹 APG를 갖는 집접회로를 테스트하는 테스트기의 레지스터 레벨 블록도이다;

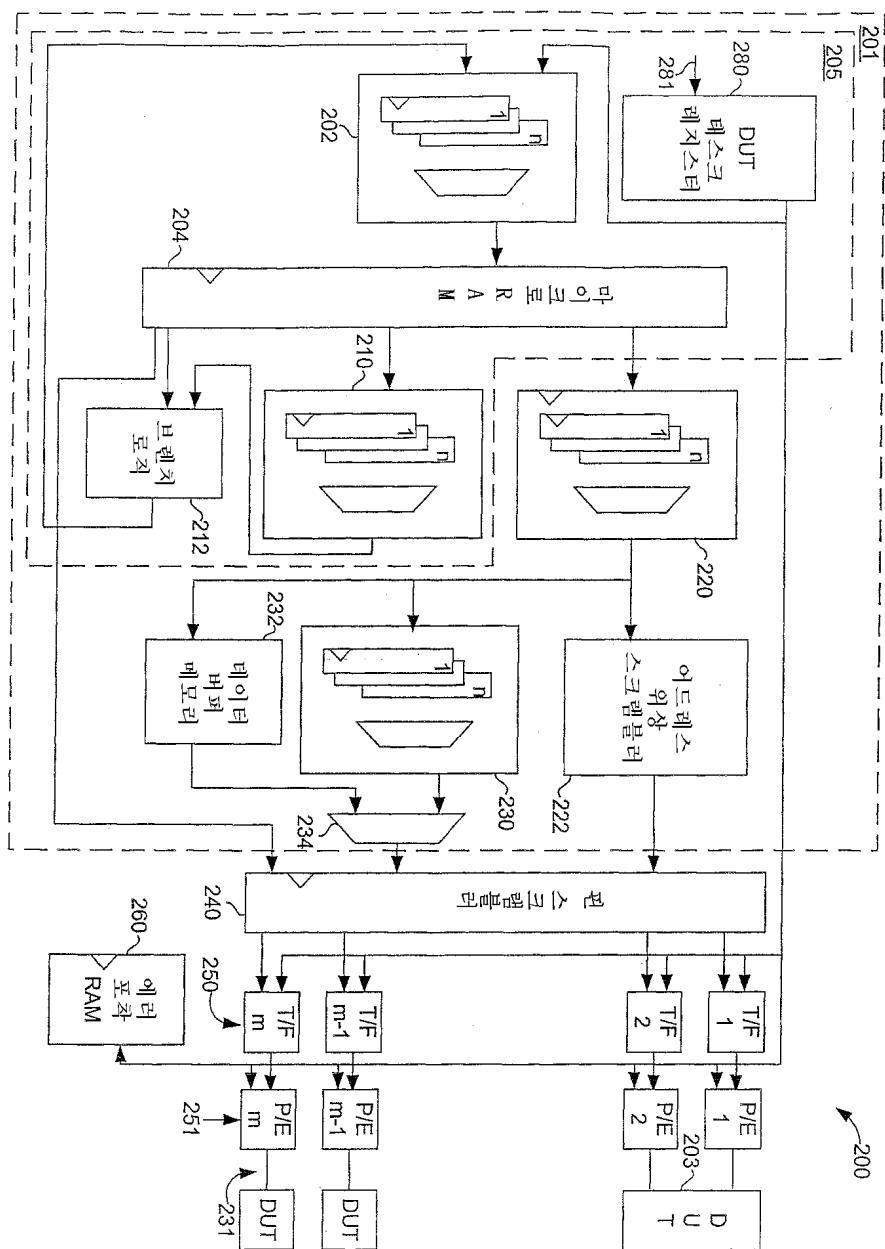
[0017] 도 2는 본 발명의 실시예에 따른 멀티태스킹 APG를 갖는 집적회로를 테스트하는 테스트기의 사용을 위한 멀티태스킹 APG 레지스터의 블록도이다;

[0018] 도 3은 본 발명의 실시예에 따른 멀티태스킹 APG를 갖는 테스트기를 동작시키는 방법의 흐름도이다;

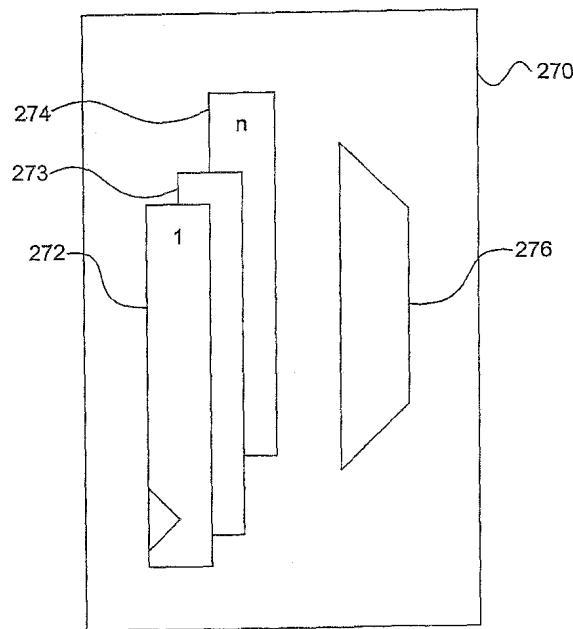
[0019] 도 4는 본 발명의 실시예에 따른 멀티태스킹 APG를 갖는 테스트기를 동작시키는 또 다른 방법의 흐름도이다.

도면

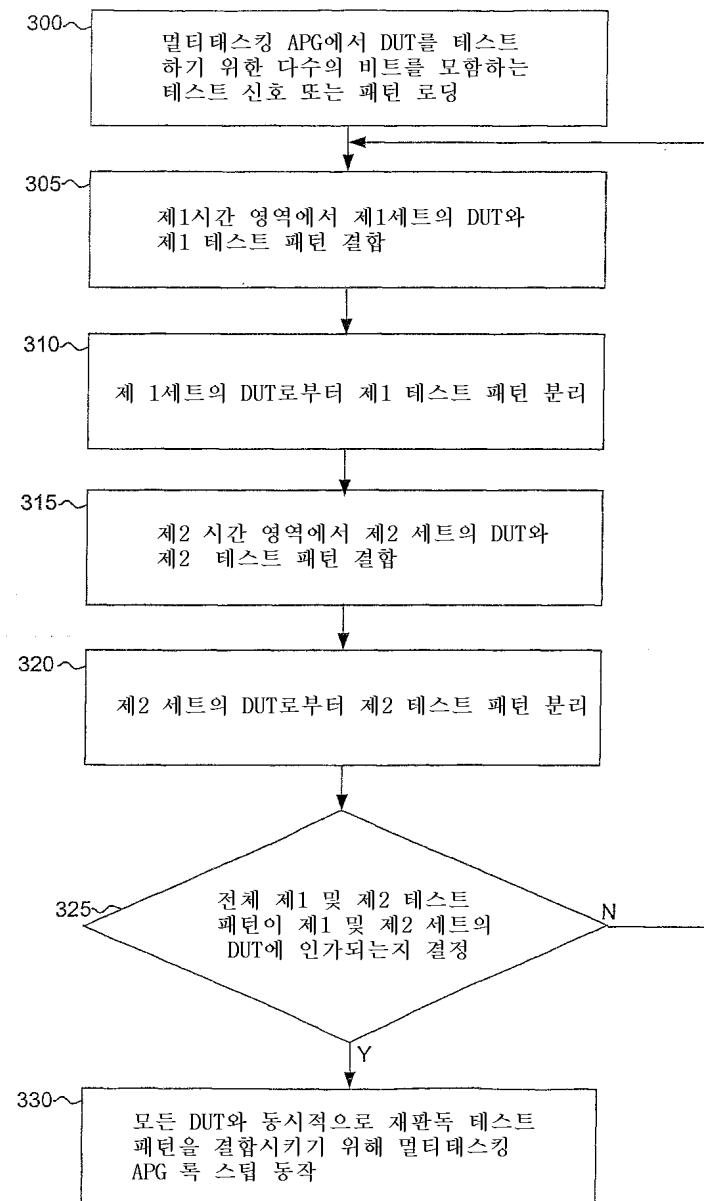
도면1



도면2



도면3



도면4

