

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年7月25日(25.07.2013)



(10) 国際公開番号

WO 2013/108911 A1

- (51) 国際特許分類:
H01L 29/739 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2013/051010
- (22) 国際出願日: 2013年1月18日(18.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-009337 2012年1月19日(19.01.2012) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 宮崎 正行(MIYAZAKI, Masayuki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 吉村 尚(YOSHIMURA, Takashi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社

内 Kanagawa (JP). 瀧下 博(TAKISHITA, Hiroshi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 栗林 秀直(KURIBAYASHI, Hidenao); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

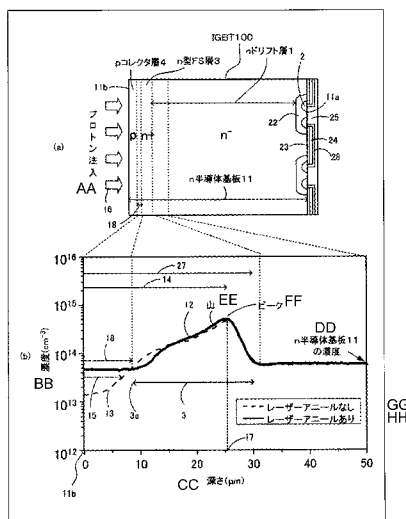
(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関3丁目2番5号 霞が関ビルディング20階 酒井総合特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: In the present invention, after proton injection (16), an n-type field stop layer (3) is formed by forming a hydrogen-induced donor by means of furnace annealing processing, and furthermore the disorder generated in a proton transmitting region (14) is reduced by means of laser annealing processing, forming an n-type reduced-disorder region (18). In such a manner, it is possible to provide: a stable, low-cost semiconductor device that can have improved electrical characteristics such as low conduction resistance and no leakage current by forming an n-type reduced-disorder region (18) and an n-type field stop layer (3) resulting from proton injection (16); and a method for producing the semiconductor device.

(57) 要約: プロトン注入(16)した後、炉アニール処理により水素誘起ドナーを形成してn型フィールドストップ層(3)を形成し、さらにレーザーアニール処理によりプロトン通過領域(14)に生成したディスオーダーを低減してn型ディスオーダー低減領域(18)を形成する。このように、プロトン注入(16)によるn型フィールドストップ層(3)とn型ディスオーダー低減領域(18)を形成して、導通抵抗が低く漏れ電流などの電気的特性を改善できる安定で安価な半導体装置およびその製造方法を提供することができる。

- 1 n-type drift layer
3 n-type FS layer
4 p-type collector layer
11 n-type semiconductor substrate (11)
AA Proton injection
BB Concentration (cm⁻³)
CC Depth (μm)
DD Concentration of n-type semiconductor substrate (11)
EE Mountain
FF Peak
GG Without laser annealing
HH With laser annealing

WO 2013/108911 A1



SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッ
パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] この発明は、F S（フィールドストップ）層を有するダイオードおよび I G B T（絶縁ゲート型バイポーラトランジスタ）などの半導体装置およびその製造方法に関する。

背景技術

[0002] 電力用半導体装置として、400V、600V、1200V、1700V、3300Vあるいはそれ以上の耐圧を有するダイオードや I G B T 等がある。これらはコンバーターやインバーター等の電力変換装置に用いられている。電力用半導体装置は、低損失、高効率および高破壊耐量という良好な電気的特性および低コストが求められている。

[0003] この電力用半導体装置の製造方法としては、次のような方法が提案されている。まず、半導体基板のおもて面側に拡散領域や M O S 構造などを形成する。続いて、裏面側を研削して半導体基板を薄くした後に、その研削面側からプロトン注入及び熱処理することで、注入された水素原子とその周辺の複数の点欠陥などからなる複合欠陥によってドナーを形成し、高濃度の n 型フィールドストップ層を形成するという方法である。この水素を含む複合欠陥によるドナーは、水素誘起ドナーと呼ばれる。

[0004] 特許文献 1 には、プロトン注入によって照射位置に電子/正孔移動度の低下が発生することについての技術が記載されている。特許文献 2 は、プロトン注入後の熱処理条件を記載したものである。特許文献 3 には、I G B T 作製において、プロトン注入およびアニール後、コンタクト層形成時にレーザーアニールを使うことについて記載されている。プロトンは照射後にアニールすることでキャリア濃度が回復する。特許文献 4 には、プロトンアニールを行う前に欠陥層を回復させることでプロトンのキャリア濃度を上げる方法が示されている。特許文献 5 には、あらかじめ酸素をシリコン基板に導入し、

プロトンをおもて面から照射後にアニールをして裏面研削し、研削面にリンをイオン注入しYAGレーザーにてアニールする方法が記載されている。また、特許文献5には、酸素の導入によりプロトン注入領域のキャリア移動度の低下を抑えるということが記載されている。特許文献6には、裏面からプロトン注入後にYAGレーザーとCWレーザーにてアニールして、プロトンフィールドストップ層（プロトンのドナー生成層）を形成する方法が記載されている。

先行技術文献

特許文献

- [0005] 特許文献1：米国特許出願公開第2005/0116249号明細書
特許文献2：米国特許出願公開第2006/0286753号明細書
特許文献3：特開2001-160559号公報
特許文献4：特開2009-099705号公報
特許文献5：特再公表2007-055352号公報
特許文献6：特開2009-176892号公報

発明の概要

発明が解決しようとする課題

- [0006] プロトン注入により導入される欠陥は、プロトンの飛程 R_p （イオン注入によって注入されたイオンが最も高濃度に存在する位置の注入面からの距離）だけでなく、注入面から飛程 R_p までのプロトンの通過領域や、注入面近傍に多く残留する。この残留した欠陥は残留欠陥と呼ばれ、格子位置からの原子（この場合シリコン）のずれが大きく、また結晶格子自体の強い乱れにより、アモルファスに近い状態である。そのため、電子および正孔といったキャリアの散乱中心となってキャリア移動度を低下させて導通抵抗を増加させるほか、キャリアの発生中心となって漏れ電流を増加させる等、素子の特性不良をもたらす。
- [0007] このように、プロトンの注入により、プロトンの注入面から飛程 R_p まで

のプロトン通過領域に残留し、キャリア移動度の低下や漏れ電流の増加の原因となるような、結晶状態から強く乱れた欠陥を、特にディスオーダーと呼ぶ。プロトン注入時に生成した結晶欠陥を電気炉による熱処理で回復させて水素誘起ドナーを形成する方法もあるが、プロトン注入時に生成した結晶欠陥がディスオーダーを形成している場合、電気炉による熱処理だけでは、水素誘起ドナーを形成するだけでなく、プロトン通過領域のディスオーダーも残留する。そのため、キャリア移動度が低下し、漏れ電流や導通損失の増加等の特性不良をもたらす。

[0008] 特許文献3に記載されているように、プロトン注入後に、プロトン注入面とは反対のMOSゲート形成面側を冷却しながらプロトン注入面をレーザーでアニールする方法もあるが、残留するディスオーダーとその素子特性への影響についての議論はされていない。

[0009] 特許文献4に記載されているように、プロトン注入後、アニールをおこなう前にプロトンの外方拡散を抑制する為に、注入面に対して電子線加熱あるいはレーザー加熱をもちいて結晶欠陥を回復させる方法もあるが、残留したディスオーダーとその素子特性への影響については議論されていない。

[0010] 特許文献5のように、あらかじめシリコン基板に高濃度の酸素を導入する場合、高温（1000℃以上）による酸素の拡散工程が必要になる。そのため、工程数が増加するほか、酸素誘起欠陥（OSF）の発生などの課題も生じ得る。

[0011] 特許文献6では、2種類の波長によるレーザー照射により、プロトン注入面から30μmまで欠陥を回復させてキャリアライフタイムを高く維持させているが、プロトン通過領域のディスオーダーの残留については議論がなされていない。また、異なる波長のレーザーを組み合わせても、深さ方向には必ず温度分布が生じるので、任意の深さで安定的に水素誘起ドナーを形成することと、注入面近傍および通過領域のディスオーダーを低減することを両立させるのは難しい。さらに、異なる2つの波長のレーザーを照射するには、それぞれ別個にレーザー光源とレーザー照射設備が必要となり、コスト増

が避けられない。

[0012] 特に、注入するプロトンの注入面からの飛程 R_p が $15\ \mu\text{m}$ を超える場合において、特許文献6の方法では、注入面近傍および通過領域のディスオーダー低減が十分ではないことが分かった。図6は、従来の方法で製作した半導体装置のキャリア濃度分布を飛程ごとに比較した特性図である。具体的には、図6において、プロトン注入の飛程 R_p が $15\ \mu\text{m}$ 前後のキャリア濃度分布について、特許文献6に記載の方法で試料を形成し、飛程 R_p ごとに比較した。(a)は飛程 R_p が $50\ \mu\text{m}$ 、(b)は飛程 R_p が $20\ \mu\text{m}$ 、(c)は飛程 R_p が $10\ \mu\text{m}$ である。(c)の飛程 $R_p = 10\ \mu\text{m}$ の場合は、注入面近傍(深さが $0\sim 5\ \mu\text{m}$) および通過領域のキャリア濃度が、シリコン基板の濃度 $1 \times 10^{14}\ (\text{／cm}^3)$ よりも高くなっており、ディスオーダーは十分低減されている。一方、(b)の飛程 $R_p = 20\ \mu\text{m}$ と(a)の飛程 $R_p = 50\ \mu\text{m}$ では、注入面近傍および通過領域のキャリア濃度が大きく低下しており、ディスオーダーが低減されていないことがわかる。このようにディスオーダーが残留すると、素子の漏れ電流や導通損失が高くなってしまう。このため、プロトン注入の飛程 R_p が $15\ \mu\text{m}$ を超える場合、ディスオーダーを低減する新たな方法の検討が必要である。

[0013] この発明の目的は、前記の課題を解決して、所定の深さに n 型フィールドストップ層を形成し、プロトン注入により生成されるディスオーダーを低減し、キャリア移動度の低下、損失の増加や発生中心による漏れ電流の増加といった電気的特性の不良を改善できる、安定で安価な半導体装置およびその製造方法を提供することである。

課題を解決するための手段

[0014] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。 n 導電型のドリフト層となる半導体基板の第1の主面の表面層に、当該ドリフト層よりも高濃度の p 導電型のベース層が設けられている。また、前記ベース層の内部に、当該ベース層よりも高濃度の n 導電型のエミッタ層が設けられている。前記ベース層、前記エミッ

タ層および前記ドリフト層に接するようにゲート絶縁膜が設けられている。前記ゲート絶縁膜の表面に、前記ベース層、前記エミッタ層および前記ドリフト層に対向するようにゲート電極が設けられている。前記エミッタ層および前記ベース層の表面に、層間絶縁膜によって前記ゲート電極と絶縁されたエミッタ電極が設けられている。前記半導体基板の第2の主面の表面に、p導電型のコレクタ層が設けられている。また、前記ドリフト層と前記コレクタ層との間に、前記ドリフト層よりも高濃度のn導電型のフィールドストップ層と、当該フィールドストップ層よりも低濃度で前記ドリフト層の濃度以上のn導電型のディスオーダー低減領域と、の2層を対とするn導電型の中間層を、少なくとも1つ有している。

[0015] また、この発明にかかる半導体装置は、上述した発明において、前記ベース層に最も近い前記フィールドストップ層のキャリア濃度が最大濃度となる位置の前記第2の主面からの深さが、 $15\mu\text{m}$ よりも深いことを特徴とする。

[0016] また、この発明にかかる半導体装置は、上述した発明において、 q を電荷素量、 N_d を前記ドリフト層の平均濃度、 ϵ_s を前記半導体基板の誘電率、 V_{rate} を定格電圧、 J_F を定格電流密度、 v_{sat} をキャリアの速度が所定の電界強度で飽和した飽和速度として、距離指標 L が下記式(1)で表わされる。ここで、前記ベース層に最も近い前記フィールドストップ層のキャリア濃度が最大濃度となる位置の前記第2の主面からの深さを X とし、前記半導体基板の厚さを W_0 として、 $X = W_0 - \gamma L$ であり、 γ は0.2以上1.5以下であることを特徴とする。

[0017] [数1]

$$L = \sqrt{\frac{\epsilon_s V_{\text{rate}}}{\left(\frac{J_F}{qv_{\text{sat}}} + N_d \right)}} \quad \dots(1)$$

- [0018] また、この発明にかかる半導体装置は、上述した発明において、前記ドリフト層に接する前記中間層において前記フィールドストップ層が前記ドリフト層に接しており、前記コレクタ層に接する前記中間層において前記ディスオーダー低減領域が前記コレクタ層に接していることを特徴とする。
- [0019] また、この発明にかかる半導体装置は、上述した発明において、前記中間層が2つ以上形成されていることを特徴とする。
- [0020] また、この発明にかかる半導体装置は、上述した発明において、前記ディスオーダー低減領域におけるキャリア移動度の最小値が、結晶状態の当該キャリア移動度の20%以上であることを特徴とする。
- [0021] また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。半導体基板の一方の主面からプロトン注入を行う。つぎに、前記半導体基板の全体を高温にすることでプロトン注入による水素誘起ドナーを形成し前記半導体基板内にn導電型のフィールドストップ層を形成する。そして、前記一方の主面から前記プロトン注入による飛程内を加熱して、プロトン通過領域に生成されたディスオーダーを低減しn導電型のディスオーダー低減領域を形成する。
- [0022] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記半導体基板の全体を高温にする処理が炉アニール処理であり、この炉アニール処理によって前記フィールドストップ層を形成する。また、前記一方の主面から前記プロトン注入による飛程内を加熱する処理が、当該一方の主面からレーザー光を照射するレーザーアニール処理であり、このレーザーアニール処理によって前記ディスオーダー低減領域を形成することを特徴とする。
- [0023] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記フィールドストップ層を形成することと前記ディスオーダー低減領域を形成することが、前記半導体基板の裏面を研削するよりも後であり裏面電極を形成するよりも前であることを特徴とする。
- [0024] また、この発明にかかる半導体装置の製造方法は、上述した発明において

、前記フィールドストップ層を形成することが、前記プロトン注入を行うことよりも後であり、前記ディスオーダー低減領域を形成することよりも前であることを特徴とする。

[0025] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記ディスオーダー低減領域を形成することが、前記プロトン注入を行うことよりも後であり、前記フィールドストップ層を形成することよりも前であることを特徴とする。

[0026] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記炉アニール処理の温度が、350℃以上で550℃以下であり、前記炉アニール処理の処理時間が1時間以上で10時間以下であることを特徴とする。

[0027] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記レーザーアニール処理に用いるレーザーが、YAGレーザーまたは半導体レーザーであることを特徴とする。

[0028] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記プロトン注入した後で前記レーザーアニール処理の前に、前記一方の主面から前記プロトン注入による飛程より浅い表面層に不純物をイオン注入し、当該不純物を前記レーザーアニール処理で活性化することを特徴とする。

[0029] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記プロトン注入による飛程 R_p の前記フィールドストップ層を形成するときのプロトンの加速エネルギー E は、下記式(2)を満たすことを特徴とする。

$$[0030] \quad y = -0.0047x^4 + 0.0528x^3 - 0.2211x^2 + 0.9923x + 5.0474 \quad \dots (2)$$

[0031] また、この発明にかかる半導体装置は、前記フィールドストップ層を有するIGBTであることを特徴とする。

[0032] また、この発明にかかる半導体装置は、前記フィールドストップ層を有す

るFWDであることを特徴とする。

発明の効果

[0033] この発明によれば、プロトン注入した後、炉アニール処理により水素誘起ドナーを形成してn型フィールドストップ層を形成することができる。また、レーザーアニール処理によりプロトン通過領域に生成したディスオーダーを低減させ、ディスオーダー低減領域を形成することができる。このディスオーダー低減領域を形成することで半導体装置の導通抵抗の増加や漏れ電流の増加などの電気的特性不良を改善できる。その結果、安定で安価な半導体装置およびその製造方法を提供することができる。

図面の簡単な説明

[0034] [図1]図1は、この発明の実施例1にかかる半導体装置（IGBT100）の製造方法を示すプロセスフロー図である。

[図2]図2は、レーザーアニール処理がありとなしの場合のn型フィールドストップ層3付近のキャリア濃度プロファイル12、13である。

[図3]図3は、図1のプロセスフローで製作したIGBT100の要部断面図（a）とn型フィールドストップ層3付近のキャリア濃度プロファイル（b）の図である。

[図4]図4は、この発明の実施例2にかかる半導体装置の製造方法を示すプロセスフロー図である。

[図5]図5は、この発明の実施例3にかかる半導体装置（IGBT100）の要部断面図（a）とn型フィールドストップ層3付近のキャリア濃度プロファイル（b）の図である。

[図6]図6は、従来の方法で製作した半導体装置のキャリア濃度分布を飛程ごとに比較した特性図である。

[図7]図7は、電圧波形が振動を始める閾値電圧について示す特性図である。

[図8]図8は、一般的なIGBTのターンオフ発振波形である。

[図9]図9は、本発明にかかる半導体装置のプロトンの飛程とプロトンの加速エネルギーとの関係を示す特性図である。

[図10]図10は、本発明にかかる半導体装置において空乏層が最初に達するFS（フィールドストップ）層の位置条件を示す図表である。

[図11]図11は、プロトン注入の飛程が15 μ m前後のキャリア濃度分布について、炉アニールのみで試料を形成し、飛程ごとに比較したグラフである。

[図12]図12は、本発明にかかるIGBTの断面図である。

[図13]図13は、本発明にかかるダイオードの断面図である。

発明を実施するための形態

[0035] 以下に添付図面を参照して、この発明にかかる半導体装置およびその製造方法の好適な実施例を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。すなわち、nは導電型がn型、pは導電型がp型を示す。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0036] <実施例1>

図1は、この発明の実施例1にかかる半導体装置（IGBT100）の製造方法を示すプロセスフロー図である。図3は、図1のプロセスフローで製作したIGBT100の要部断面図（a）とn型フィールドストップ層3付近のキャリア濃度プロファイル（b）の図である。図1のプロセスフローおよび図3（a）の要部断面図を参照して、この発明の実施例1にかかる半導体装置の製造方法について説明する。

[0037] まず、図1（a）のおもて面形成工程において、n半導体基板（ウェハ）11の一方の主面（おもて面11a）にpベース層22、nエミッタ層2、ゲート絶縁膜23、ゲート電極24、層間絶縁膜28などからなるMOSゲート構造を形成する。但し、nエミッタ層2はpベース層22内に形成される。MOSゲート構造の構成については後述する。

[0038] つぎに、図1（b）のおもて面電極工程において、pベース層22とnエミッタ層2の両表面に共通に導電接触する金属膜でおもて面電極となるエミ

ツタ電極 25 を形成する。エミッタ電極 25 を構成する金属は、例えば Al (アルミニウム)、Al-Si (シリコン)、Al-Cu (銅) などの Al 合金や Cu、Au (金)、Ni (ニッケル) などである。

[0039] つぎに、図 1 (c) の表面保護膜形成工程において、おもて面 11a を保護する表面保護膜を形成する。表面保護膜は保護テープやフォトレジスト、ポリイミドで形成される。つぎに、図 1 (d) の裏面研削工程において、n 半導体基板 11 (n ドリフト層 1) を、耐圧との関係で決まる所要の厚さに減ずるために、裏面 11b 側を研削 (バックグラインド) する。

[0040] つぎに、図 1 (e) のプロトン注入工程において、裏面 11b 側からプロトン注入 16 を行う。このプロトン注入 16 の照射エネルギーを選択することで所定の深さに n 型フィールドストップ層 3 を形成することができる。注入するプロトンの裏面 11b (研削面) からの飛程 R_p は、 $15\text{ }\mu\text{m}$ よりも深く、素子の定格電圧に応じてさらに深い場合 ($20\sim 400\text{ }\mu\text{m}$) もある。注入するプロトンの裏面 11b (研削面) からの飛程 R_p は、具体的には、例えば $20\sim 60\text{ }\mu\text{m}$ である。裏面 11b から最も深く形成する FS 層の定格電圧に応じた深さについては、後述する。

[0041] つぎに、図 1 (f) の炉アニール処理工程において、炉アニール処理を行って、プロトンのドナー化により n 型フィールドストップ層 3 を形成する。この炉アニール処理とは、一定の温度の電気炉などの恒温炉にウェハを入れて熱処理することであり、ウェハ全体が加熱される。炉アニール処理の処理温度は $350^{\circ}\text{C}\sim 550^{\circ}\text{C}$ の範囲で、時間は 1 時間～10 時間の範囲で行う。この温度範囲では、プロトンの飛程 R_p およびプロトン通過領域 14 には結晶欠陥が残留し、プロトン注入 16 による水素誘起ドナーの形成が促進される。この炉アニールのほかに、ランプアニールなどを用いてウェハ全体を加熱しても構わない。一方、この温度範囲では、プロトン通過領域 14 (プロトンの注入面から飛程 R_p までの間の領域) には、プロトン注入 16 によって導入されたディスオーダーも残留し、ディスオーダー領域 15 が形成される。この残留したディスオーダーが、キャリアの移動度の低下、あるいは

漏れ電流の原因となるキャリアの発生中心となる。

[0042] つぎに、図1 (g) のボロン注入工程において、裏面11b側にボロンのイオン注入を行う。このボロンのイオン注入はプロトンの飛程 (R_p) より浅くなるように裏面11bの表面層に行く。

[0043] つぎに、図1 (h) のレーザーアニール工程において、プロトン注入16した裏面11b側からレーザー光を照射して、前記の炉アニールで残留したディスオーダーを低減させてn型ディスオーダー低減領域18を形成するとともに、裏面11bの浅い箇所注入されたボロンを活性化させてpコレクタ層4を形成する。このレーザーアニール処理は、例えば、YAGレーザーを使用して、裏面11bから照射されたプロトンの飛程 R_p 以内を加熱して行う。レーザー光のパルス幅 (半値幅) は、例えば、300 ns ~ 800 ns の範囲であり、同一箇所に、例えば、数回程度のレーザー照射を行う。この照射箇所のシリコンの温度は3000℃程度になるが昇温時間および降温時間は極めて短時間 (10 ns ~ 1 μ s のオーダー) である。

[0044] レーザー光の浸透深さはプロトンの浸透深さ (飛程 R_p) 以内にする。具体的にはプロトンによるドナー生成濃度 (キャリア濃度) のピークを持つ山 (凸部) の裏面11b側の裾 (n型フィールドストップ層3の裏面11b側の端部3a) の位置からプロトン注入面 (裏面11b) までの間 (プロトン通過領域14の一部) になるようにレーザー光の波長を選定する。レーザー光の波長は、10 μ m ~ 1000 μ m の範囲が好ましい。こうすることでn型ディスオーダー低減領域18の形成とボロンの活性化とを同時に効率よく行うことができる。また、レーザー光の照射箇所の温度を1000℃以上にすることで、n型ディスオーダー低減領域18を効率的に形成することができる。好ましくは、この温度を2000℃以上でありかつSiの沸点 (3266℃) 以下に抑えるとよい。特に、シリコンの融点を超えないようにすることで、レーザー照射後の照射面のアブレーション (面荒れ) を抑えることができる。また、レーザーアニール処理の代わりにランプアニール処理を行ってもよい。以上の工程により、プロトン注入面と飛程 (R_p) の間に、n

型ディスオーダー低減領域 18 を形成することが可能となる。

[0045] つぎに、図 1 (i) の裏面電極形成工程において、p コレクタ層 4 の表面に導電接触するコレクタ電極（不図示）を真空スパッタなどで形成する。これで本発明に係る IGBT 100 が完成する。このスパッタを行った後、必要に応じてメタルアニール処理を行う場合もある。このように、本実施例の製造方法のポイントは、炉アニール処理と、レーザーアニール処理のいずれも行うことである。この方法の効果について、以下に説明する。

[0046] 図 11 は、プロトン注入の飛程 R_p が $15\ \mu\text{m}$ 前後のキャリア濃度分布について、炉アニールのみで試料を形成し、飛程 R_p ごとに比較したグラフである。(a) は飛程 R_p が $50\ \mu\text{m}$ 、(b) は飛程 R_p が $20\ \mu\text{m}$ 、(c) は飛程 R_p が $10\ \mu\text{m}$ である。炉アニール温度は、 400°C である。図 11 のように、いずれの飛程 R_p においても、炉アニールのみの場合は、注入面から $5\ \mu\text{m}$ 程度のキャリア濃度が大きく低下している。すなわち、炉アニールのみの場合は注入面から $5\ \mu\text{m}$ 程度のディスオーダーが残留しており、炉アニールだけの場合でも、注入面近傍領域のキャリア移動度の回復は難しいことが分かった。

[0047] 前記したように、プロトンのドナー化のための炉アニール処理を行った後、レーザーアニール処理を行うと、水素誘起ドナーの効率的な形成とともに、炉アニールで残留したディスオーダーが低減し、n 型ディスオーダー低減領域 18 を形成することができる。一方、前記の炉アニール処理のみではディスオーダーの低減は不十分となり、また、レーザーアニール処理のみでは水素誘起ドナーの形成が不十分となる。レーザーアニール処理がありとなしの場合の n 型フィールドストップ層 3 付近のキャリア濃度プロファイルについて検証した結果を図 2 に示す。

[0048] 図 2 は、レーザーアニール処理がありとなしの場合の n 型フィールドストップ層 3 付近のキャリア濃度プロファイル 12、13 である。シリコン基板にプロトン注入した後、炉アニール処理（ここでは 400°C ）をする。その後、炉アニールで残留したディスオーダーをレーザーアニール処理により低

減し、 n 型ディスオーダー低減領域 18 を形成する。図 2 のキャリア濃度プロファイル 12 は、 n 型ディスオーダー低減領域 18 を形成した後のプロファイルである。比較のために、レーザーアニール処理をしないでディスオーダーが残留した場合のキャリア濃度プロファイル 13 も点線で示した。プロトンの飛程 R_p は $25\ \mu\text{m}$ で、対応するプロトンの加速エネルギーは $1.35\ \text{MeV}$ である。レーザーアニール処理のエネルギー密度は $2.8\ \text{J}/\text{cm}^2$ である。

[0049] レーザーアニール処理をしない場合のキャリア濃度プロファイル 13 では、プロトンの飛程 17 (R_p) となるピーク (山) の裏面 11b 側の裾 (すなわち n 型フィールドストップ層 3 の裏面 11b 側の端部 3a) からプロトン注入面 (裏面 11b) までの間 (プロトン通過領域 14 の一部) に相当する領域に、ディスオーダー領域 15 が広がっている。ピーク (山) の裏面 11b 側の裾の端部 3a は、注入面から約 $5\ \mu\text{m}$ の深さである。このディスオーダー領域 15 があると、その領域では電子と正孔との移動度が低下するため、ディスオーダー領域 15 のキャリア濃度が、見かけ上低下 (高抵抗層化) しているように見える。また、ディスオーダーがキャリアの発生中心となり、電圧印加時の漏れ電流が増加する。

[0050] 一方、レーザーアニール処理ありの場合のキャリア濃度プロファイル 12 では、プロトン通過領域 14 のうち、注入面 (裏面 11b) から n 型フィールドストップ層 3 の裏面 11b 側の端部 3a までの間のキャリア濃度が、飛程 17 より深いシリコン基板の濃度と概ね一致している。すなわち、炉アニール処理だけではプロトン通過領域 14 に残留していたディスオーダーが、レーザーアニール処理と炉アニール処理の両方を行うことによって低減されたことを示す。このようにディスオーダーが低減された領域を、 n 型ディスオーダー低減領域 18 と呼ぶ。また、1 つの n 型フィールドストップ層 3 と注入面側に隣接する 1 つの n 型ディスオーダー低減領域 18 の対を n 型中間層 27 と呼ぶ。

[0051] 次に、レーザーアニール処理ありの場合のキャリア濃度プロファイル 12

におけるn型ディスオーダー低減領域18と、レーザーアニール処理無しの場合のキャリア濃度プロファイル13におけるディスオーダー領域15との相違について、説明する。図2では、前述のように、ディスオーダー領域15は見かけ上キャリア濃度が低下した状態として表されている。すなわち、図2の点線で示すレーザーアニール処理なしの場合のキャリア濃度プロファイル13では、n型フィールドストップ層3が形成されている手前（裏面側からn型フィールドストップ層3よりも浅い）のディスオーダー領域15で、キャリア濃度が見かけ上低く見えている。この見かけ上のキャリア濃度の低下は、周知の広がり抵抗測定法（SR法）によって測定した広がり抵抗から比抵抗を算出し、さらにキャリア濃度に換算するときの換算方法に起因する。すなわち、結晶格子が乱れたディスオーダー領域15では、電子や正孔が強い乱れにより散乱されるため、これらキャリアの移動度が低下する。

[0052] 一般には、測定装置ではキャリア移動度の値には結晶状態での理論値が設定されているため、キャリア濃度の算出が、次のようにディスオーダー領域15によるキャリアの移動度の低下に影響される。例えば室温（300K程度）におけるシリコンの電子の移動度は1360（ $\text{cm}^2/\text{V} \cdot \text{s}$ ）であり、正孔の移動度は495（ $\text{cm}^2/\text{V} \cdot \text{s}$ ）である。広がり抵抗から比抵抗への換算にはキャリアの移動度は寄与しないが、比抵抗からキャリア濃度への換算式は、キャリア濃度を N （ cm^{-3} ）、比抵抗を ρ （ $\Omega \cdot \text{cm}$ ）として、 $\rho = 1 / (\mu \cdot q \cdot N)$ で表される。但し、 μ は電子もしくは正孔の移動度（ $\text{cm}^2/\text{V} \cdot \text{s}$ ）、 q は素電荷（ $1.6 \times 10^{-19} \text{C}$ ）である。この換算式において、比抵抗 ρ がある一定値 ρ_0 のとき、本来は低下した移動度を代入するべきところにそれより値の大きな結晶状態の理想移動度の値を代入すると、比抵抗 ρ_0 は一定値であるから、キャリア濃度 N は小さく算出される。これが、見かけ上のキャリア濃度の低下として図2のレーザーアニール処理なしの場合のキャリア濃度プロファイル13に現れているのである。したがって、本発明のように、裏面11b側のプロトン通過領域14に存在するディスオーダー領域15のディスオーダーをレーザーアニール処理で低減し、n型ディス

オーダー低減領域 18 を形成することで、漏れ電流などの電気的特性が改善される。

[0053] 以上より、水素誘起ドナーのドナー生成率を高めるためには炉アニール処理が必要となり、一方プロトン通過領域 14 に残留したディスオーダーを低減して n 型ディスオーダー低減領域 18 を形成するためには炉アニール処理に加えレーザーアニール処理が必要となるのである。なお、炉アニール処理の温度が高すぎると、プロトン注入で生成したディスオーダー低減は早まるが、プロトンによる水素誘起ドナーの形成で必要となる結晶欠陥量が不足するようになり、その結果、ドナー生成率が低下してしまう。そのため、炉アニール処理は前記した温度範囲と処理時間範囲で行うのがよい。

[0054] また、レーザーアニール処理におけるエネルギー密度についても、高すぎるとアブレーションが生じて、裏面に荒れが生じる。p コレクタ層の p n 接合面は平坦が好ましく、荒れが生じると荒れの形状に応じた p n 接合面となる。一方、低すぎれば注入面近傍（注入面～深さ $5\ \mu\text{m}$ ）のディスオーダーが十分除去できず、残留してキャリア移動度が低い状態となる。発明者らが鋭意研究を重ねた結果、レーザーアニールにおけるレーザー照射面のエネルギー密度の合計は、 $1\ \text{J}/\text{cm}^2$ 以上 $4\ \text{J}/\text{cm}^2$ 以下が好ましいことを見出した。

[0055] n 型ディスオーダー低減領域 18 におけるキャリア移動度が少なくともどの程度まで回復すべきか、については、図 2 より検討できる。図 2 の場合、n 半導体基板 11 のキャリア濃度は約 $6 \times 10^{13}\ (\text{cm}^{-3})$ である。これに対して、レーザーアニール処理ありの場合は、注入面から $5\ \mu\text{m}$ の間（プロトン通過領域の一部）のキャリア濃度が約 $5 \times 10^{13}\ (\text{cm}^{-3})$ であり、基板濃度の 83% まで回復している。これは、すなわちキャリア移動度が結晶理論値の約 83% まで回復していることを示す。一方、レーザーアニール処理なし（炉アニール処理のみ）の場合は、最もキャリア濃度が低い注入面で、約 $1.2 \times 10^{13}\ (\text{cm}^{-3})$ であり、およそ 20% まで低下している。導通損失（IGBT の飽和電圧 $V_{\text{CE}}(\text{s a t})$ ）の低下具合によるが、n 型ディスオー

ダー低減領域 18 におけるキャリア移動度の最小値が結晶状態の理論値に対して 20%以上、好ましくは 50%以上であれば、キャリア移動度が低下しない場合の導通損失に比べてその影響は十分無視できる程度となる。なお、n 型ディスオーダー低減領域 18 におけるキャリア移動度の最小値の上限が、結晶状態の理論値に対して 100%となることが好ましいのは、言うまでもない。

[0056] 炉アニール処理の温度は、350℃以上550℃以下が好ましい。350℃より低い温度の場合は、注入面から飛程 R_pまでのプロトン注入領域全体でディスオーダーが残留し、キャリア移動度の最小値は10%を下回るようになる。一方、550℃以上の温度では、水素誘起ドナーそのものが消失する。より好ましくは、380℃以上450℃以下、さらに好ましくは400℃以上420℃以下であれば、水素誘起ドナーの形成とキャリア移動度低下の抑制とを両方達成することができる。

[0057] また、n 型ディスオーダー低減領域 18 のキャリア濃度は、n 型フィールドストップ層 3 の濃度よりも低い範囲で n 半導体基板 11 の濃度よりも高濃度となることがある。これは、プロトン通過領域 14 に残留する水素イオンが、周辺の点欠陥と複合欠陥を形成するためである。この場合も、プロトン通過領域 14 の濃度が n 半導体基板 11 の濃度と同じかそれよりも高濃度であれば、ディスオーダーが低減された n 型ディスオーダー低減領域 18 ということができる。

[0058] 図 1 のプロセスフローで製作した IGBT 100 について、図 3 を参照して詳細に説明する。前記したように、n 半導体基板 11 のおもて面 11a に p ベース層 22 を形成し、p ベース層 22 の表面層に n エミッタ層 2 を形成する。n エミッタ層 2 と n 半導体基板 11 に挟まれた p ベース層 22 上にゲート絶縁膜 23 を介してゲート電極 24 を形成する。このゲート電極 24、ゲート絶縁膜 23、n 半導体基板 11 および n エミッタ層 2 で MOS ゲート構造が構成される。ゲート電極 24 上に層間絶縁膜 28 を形成し、この層間絶縁膜 28 上に n エミッタ層 2 および p ベース層 22 に導電接触するエミッ

タ電極 2 5 が形成される。

[0059] n 半導体基板 1 1 の裏面 1 1 b に n 半導体基板 1 1 より高いキャリア濃度の n 型フィールドストップ層 3 をプロトン注入と炉アニールにより形成する。この n 型フィールドストップ層 3 より浅い箇所にボロンのイオン注入とディスオーダー低減のためのレーザーアニール処理により、p コレクタ層 4 と n 型ディスオーダー低減領域 1 8 を形成する。この p コレクタ層 4 上にコレクタ電極（不図示）を形成して I G B T 1 0 0 が完成する。尚、n 型フィールドストップ層 3 から p ベース層 2 2 までの間の n 半導体基板 1 1 が、主電流が流れ主耐圧を維持する n ドリフト層 1 である。このように形成した I G B T 1 0 0 の断面図は、図 1 2 に示すようになる。図 1 2 は、本発明にかかる I G B T の断面図である。なお、p コレクタ層 4 と n 型ディスオーダー低減領域 1 8 との間に、n 型フィールドストップ層 3 より高濃度で p コレクタ層 4 より低濃度のリークストップ層 3 2 を形成しておいてもよい。このリークストップ層 3 2 は、例えばリンのイオン注入で形成する。

[0060] この I G B T 1 0 0 の n 型フィールドストップ層 3 は、前記したように、裏面 1 1 b からプロトン注入 1 6 し、炉アニール処理によって適度に結晶欠陥を残すことでプロトンのドナー化を行って形成される。また、プロトン通過領域 1 4 に形成されたディスオーダーの低減による n 型ディスオーダー低減領域 1 8 の形成は、裏面 1 1 b からレーザー光を照射するレーザーアニール処理により効率的に行われる。図 3 に示す I G B T 1 0 0 と図 1 2 に示す I G B T 1 0 0 とでは M O S ゲート構造の構成が異なって図示されているが（図 3 ではプレーナゲート構造、図 1 2 ではトレンチゲート構造）、裏面 1 1 b 側に n 型フィールドストップ層 3 および n 型ディスオーダー低減領域 1 8 との対である n 型中間層 2 7 が形成されていれば同様の効果を奏する。図 1 2 に示すように 2 つ以上の n 型中間層 2 7 を有することについては後述する。なお、図 1 2 においても、図 3 と同様に符号 2 2 を p ベース層とし、符号 2 3 をゲート絶縁膜とし、符号 2 4 をゲート電極とし、符号 2 5 をエミッタ電極とし、符号 2 8 を層間絶縁膜としている。また、符号 3 3 はコレクタ

電極である。

[0061] <実施例 2>

実施例 2 にかかる半導体装置について説明する。図 4 は、この発明の実施例 2 にかかる半導体装置の製造方法を示すプロセスフロー図である。

[0062] 実施例 1 との違いは、プロトン注入に続いてボロン注入し（図 4（e）の工程）、その後でレーザーアニール処理（図 4（f）の工程）とそれに続く炉アニール処理（図 4（g）の工程）を行う点である。この場合、先に行うレーザーアニール処理では、プロトン注入 16 で生成したプロトン通過領域 14 に n 型ディスオーダー低減領域 18 を形成すると同時に、ボロンを活性化して p コレクタ層 4 を形成する。また、後工程で行う炉アニール処理では、プロトンのドナー化を行い n 型フィールドストップ層 3 を形成する。この場合も実施例 1 と同様にレーザーアニール処理と炉アニール処理とを組み合わせることで、n 型ディスオーダー低減領域 18 を形成し、ドナー生成率を高めて n 型フィールドストップ層 3 を形成することができる。n 型ディスオーダー低減領域を形成することで半導体装置の漏れ電流などの電気的特性を改善できる。

[0063] また、図 1 のプロセスフローでは、図 3 に示すプロトン注入面（裏面 11b）に対して反対側のおもて面 11a を保護膜で被覆し、プロトン注入 16 後にこの保護膜を除去して炉アニールを行う。続いて、再度ボロンのイオン注入のための保護膜として 2 度目の保護膜を被覆してレーザーアニールを行う。すなわち保護膜の被覆が 2 回必要になる。それに対して、図 4 のプロセスフローでは、レーザーアニール処理後に 1 回の保護膜除去でよいため、製造コストを図 1 のプロセスフローの場合より低減できる。

[0064] 尚、図 4 のプロセスフローで製作した半導体装置（IGBT100）も図 3 と同じ構成となる。

[0065] <実施例 3>

実施例 3 にかかる半導体装置について説明する。実施例 3 は、n 型フィールドストップ層 3 と n 型ディスオーダー低減領域 18 との対である n 型中間

層 27 を 1 つ以上、例えば本実施例のように 3 つ形成した場合の IGBT である。図 5 は、この発明の実施例 3 にかかる半導体装置 (IGBT 100) の要部断面図 (a) と n 型フィールドストップ層 3 付近のキャリア濃度プロファイル (b) の図である。このように複数の n 型中間層 27 を形成することで、ターンオフにおける空乏層の広がりを緩和することができるので、スイッチング時 (ターンオフ時) の発振現象を抑制することができる。

[0066] <実施例 4>

次に、実施例 4 として、本発明の半導体装置の製造方法において複数回のプロトン照射における 1 段目のプロトンピーク位置の好ましい位置について説明する。

[0067] 図 8 は、一般的な IGBT のターンオフ発振波形である。コレクタ電流が定格電流の $1/10$ 以下の場合、蓄積キャリアが少ないために、ターンオフが終わる手前で発振することがある。コレクタ電流をある値に固定して、異なる電源電圧 V_{cc} にて IGBT をターンオフさせる。このとき、電源電圧 V_{cc} がある所定の値を超えると、コレクタ・エミッタ間電圧波形において、通常のオーバーシュート電圧のピーク値を超えた後に、付加的なオーバーシュートが発生するようになる。そして、この付加的なオーバーシュート (電圧) がトリガーとなり、以降の波形が振動する。電源電圧 V_{cc} がこの所定の値をさらに超えると、付加的なオーバーシュート電圧がさらに増加し、以降の振動の振幅も増加する。このように、電圧波形が振動を始める閾値電圧を発振開始閾値 V_{RR0} と呼ぶ。この V_{RR0} が高ければ高いほど、IGBT はターンオフ時に発振しないことを示すので好ましい。

[0068] 発振開始閾値 V_{RR0} は、IGBT の p ベース層と n ドリフト層との間の p n 接合から n ドリフト層を広がる空乏層 (厳密には、正孔が存在するので空間電荷領域) が、複数のプロトンピークのうち最初に達する 1 段目 (最も p ベース層側) のプロトンピークの位置に依存する。その理由は、次のとおりである。ターンオフ時に空乏層が p ベース層と n ドリフト層との間の p n 接合から n ドリフト層を広がるときに、空乏層端が 1 つ目 (最も p ベース層側) の

F S 層（フィールドストップ層）に達することでその広がりが抑えられ、蓄積キャリアの掃き出しが弱まる。その結果、キャリアの枯渇が抑制され、発振が抑えられる。

[0069] ターンオフ時の空乏層は、p ベース層と n ドリフト層との間の p n 接合（以下、単に p n 接合とする）からコレクタ電極に向かって深さ方向に沿って広がる。このため、空乏層端が最初に達する F S 層のピーク位置は、p n 接合に最も近い F S 層となる。そこで、n 半導体基板 11 の厚さ（エミッタ電極とコレクタ電極とに挟まれた部分の厚さ）を W_0 、空乏層端が最初に達する F S 層のピーク位置の、コレクタ電極と n 半導体基板 11 の裏面との界面からの深さ（以下、裏面からの距離とする）を X とする。ここで、距離指標 L を導入する。距離指標 L は、下記の（１）式であらわされる。

[0070] [数1]

$$L = \sqrt{\frac{\varepsilon_s V_{\text{rate}}}{\left(\frac{J_F}{qv_{\text{sat}}} + N_d \right)}} \quad \dots (1)$$

[0071] 上記（１）式に示す距離指標 L は、ターンオフ時に、増加するコレクタ・エミッタ間電圧 V_{ce} が電源電圧 V_{cc} に一致するときに、p n 接合から n ドリフト層 1 に広がる空乏層（正しくは空間電荷領域）の端部（空乏層端）の、p n 接合からの距離を示す指標である。平方根の内部の分数の中で、分母はターンオフ時の空間電荷領域（空乏層）の空間電荷密度を示している。周知のポアソンの式は、 $\text{div } E = \rho / \varepsilon$ で表され、 E は電界強度、 ρ は空間電荷密度で $\rho = q (p - n + N_d - N_a)$ である。 q は電荷素量、 p は正孔濃度、 n は電子濃度、 N_d はドナー濃度、 N_a はアクセプタ濃度、 ε_s は半導体の誘電率である。特にドナー濃度 N_d は、n ドリフト層を深さ方向に積分し、積分した区間の距離で割った平均濃度とする。図 13（b）のネットドーピング濃度と

は、 $N_d - N_a$ の正味のドーピング濃度のことであり、軸は $N_d - N_a$ の絶対値で示している。

[0072] この空間電荷密度 ρ は、ターンオフ時に空間電荷領域（空乏層）を駆け抜ける正孔の濃度 p と n ドリフト層の平均的なドナー濃度 N_d で記述され、電子濃度はこれらよりも無視できるほど低く、アクセプタが存在しないため、 $\rho \doteq q (p + N_d)$ と表すことができる。このときの正孔濃度 p は、IGBTの遮断電流によって決まり、特に素子の定格電流密度が通電している状況を想定するため、 $p = J_F / (q v_{sat})$ で表され、 J_F は素子の定格電流密度、 v_{sat} はキャリアの速度が所定の電界強度で飽和した飽和速度である。

[0073] 上記ポアソンの式を距離 x で2回積分し、電圧 V として $E = -g r a d V$ （周知の電界 E と電圧 V との関係）であるため、境界条件を適当にとれば、 $V = (1/2) (\rho / \epsilon) x^2$ となる。この電圧 V が、定格電圧 V_{rate} の $1/2$ としたときに得られる空間電荷領域の長さ x を、上記の距離指標 L としているのである。その理由は、インバーター等の実機では、電圧 V となる動作電圧（電源電圧）を、定格電圧の半値程度とするためである。FS層は、ドーピング濃度を n ドリフト層よりも高濃度とすることで、ターンオフ時に広がる空間電荷領域の伸びを、FS層において広がり難くする機能を有する。IGBTのコレクタ電流がMOSゲートのオフにより遮断電流から減少を始めるときに、空乏層が最初に達するFS層のピーク位置が、ちょうどこの空間電荷領域の長さになれば、蓄積キャリアが n ドリフト層に残存した状態で、空間電荷領域の伸びを抑えることができるので、残存キャリアの掃出しが抑えられる。

[0074] 実際のターンオフ動作は、例えばIGBTモジュールを周知のPWMインバーターでモーター駆動するときには、電源電圧や遮断電流が固定ではなく可変であることが多い。このため、このような場合では、空乏層が最初に達するFS層のピーク位置の好ましい位置に、ある程度の幅を持たせる必要がある。発明者らの検討の結果、空乏層が最初に達するFS層のピーク位置の裏面からの距離 X は、図10に示す表のようになる。図10は、本発明にか

かる半導体装置において空乏層が最初に達するFS（フィールドストップ）層の位置条件を示す図表である。図10には、定格電圧が600V～6500Vのそれぞれにおいて、最初に空乏層端が達するFS層のピーク位置の裏面からの距離Xを示している。ここで、 $X = W_0 - \gamma L$ とおき、 γ は係数である。この γ を、0.7～1.6まで変化させたときのXを示している。

[0075] 図10に示すように、各定格電圧では、素子（IGBT）が定格電圧よりも10%程度高い耐圧を持つように、安全設計をする。そして、オン電圧やターンオフ損失がそれぞれ十分低くなるように、図10に示すようなn半導体基板11の総厚（研削等によって薄くした後の仕上がり時の厚さ）とし、nドリフト層1を平均的な比抵抗とする。平均的とは、FS層を含めたnドリフト層1全体の平均濃度および比抵抗である。定格電圧によって、定格電流密度も図10に示したような典型値となる。定格電流密度は、定格電圧と定格電流密度との積によって決まるエネルギー密度が、およそ一定の値となるように設定され、ほぼ図10に示す値のようになる。これらの値を用いて上記（1）式に従い距離指標Lを計算すると、図10に記載した値となる。最初に空乏層端が達するFS層のピーク位置の裏面からの距離Xは、この距離指標Lに対して γ を0.7～1.6とした値をn半導体基板11の厚さ W_0 から引いた値となる。

[0076] これら距離指標Lおよびn半導体基板11の厚さ W_0 の値に対して、ターンオフ発振が十分抑えられるような、最初に空乏層端が達するFS層のピーク位置の裏面からの距離Xを定める係数 γ は、次のようになる。図7は、電圧波形が振動を始める閾値電圧について示す特性図である。具体的には、 γ に対する V_{RR0} の依存性を、典型的ないくつかの定格電圧 V_{rate} （600V、1200V、3300V）について示したグラフである。ここで、縦軸は、 V_{RR0} を定格電圧 V_{rate} で規格化している。3つの定格電圧ともに、 γ が1.6以下で V_{RR0} を急激に高くできることが分かる。

[0077] 前述のように、インバーター等の実機では、電圧Vとなる動作電圧（電源電圧 V_{CC} ）を定格電圧 V_{rate} の半値程度とするため、 V_{CC} を V_{rate} の半値とすると

きには、少なくとも IGBT のターンオフ発振は生じないようにしなければならない。つまり、 V_{RR0}/V_{rate} の値は 0.5 以上とする必要がある。図 7 から、 V_{RR0}/V_{rate} の値が 0.5 以上となるのは、 γ が 0.2 ~ 1.5 であるので、少なくとも γ を 0.2 ~ 1.5 とすることが好ましい。

[0078] また、図示しない 600V ~ 1200V の間 (800V や 1000V など)、1200V ~ 3300V の間 (1400V, 1700V, 2500V など)、および 3300V 以上 (4500V、6500V など) のいずれにおいても、この 3 つの曲線からは大きく逸脱せず、同様の依存性 (γ に対する V_{RR0} の値) を示す。図 7 から、 γ が 0.7 ~ 1.4 の範囲で、いずれの定格電圧も V_{RR0} を十分高くできる領域であると分かる。

[0079] γ が 0.7 より小さくなると、 V_{RR0} は定格電圧のおよそ 80% 以上であるものの、FS 層が p ベース層に近くなるため、素子のアバランシェ耐圧が定格電圧より小さくなる場合が生じる。そのため、 γ は 0.7 以上が好ましい。また、 γ が 1.4 より大きくなると、 V_{RR0} は約 70% から急速に減少し、ターンオフ発振が発生し易くなる。したがって、 γ は 1.4 以下であるのが好ましい。より好ましくは、 γ が 0.8 ~ 1.3 の範囲、さらに好ましくは γ が 0.9 ~ 1.2 であれば、素子のアバランシェ耐圧を定格電圧よりも十分高くしつつ、 V_{RR0} を最も高くすることができる。

[0080] この図 7 に示す本願発明の効果で重要な点は、いずれの定格電圧においても、 V_{RR0} を十分高くできる γ の範囲は、ほぼ同じ (例えば 0.7 ~ 1.4) ことである。これは、空乏層が最初に到達する FS 層のピーク位置の裏面からの距離 X の範囲を、 $W0-L$ (つまり $\gamma = 1.0$) を略中心に含むようにすることが最も効果的なためである。 $\gamma = 1.0$ を含むことが最も効果的なのは、パワー密度 (定格電圧と定格電流密度との積) が略一定 (例えば $1.8 \times 10^5 \sim 2.6 \times 10^5 \text{ VA/cm}^2$) となることに起因する。つまり、ターンオフ等のスイッチング時に、素子の電圧が定格電圧相当になったときに、空間電荷領域端の距離 (深さ) は上記 (1) 式で示す距離指標 L 程度となり、この L の位置に裏面から最も深い FS 層のピーク位置があれば (すなわち

γ が約1.0)、スイッチング時の発振は抑制できる。そして、パワー密度が略一定なので、距離指標 L は定格電圧 V_{rate} に比例するようになる。これにより、どの定格電圧 V_{rate} においても、 γ を1.0を略中心に含む範囲とすれば V_{RR0} を十分高くでき、スイッチング時の発振抑制効果を最も大きくできる。

[0081] 以上より、最初に空乏層端が達するF S層のピーク位置の裏面からの距離 X を上記範囲とすることで、ターンオフ時にIGBTは蓄積キャリアを十分残存させることができ、ターンオフ時の発振現象を抑えることができる。したがって、いずれの定格電圧においても、最初に空乏層端が達するF S層のピーク位置の裏面からの距離 X は、距離指標 L の係数 γ を上述の範囲とすることがよい。これにより、ターンオフ時の発振現象を効果的に抑制することができる。

[0082] また、図10では、定格電圧が600V以上において、上述のように裏面から最も深い1つ目のF S層の裏面からの深さを $\gamma = 1$ 程度とする場合、距離指標 L はいずれの定格電圧も $20\mu m$ より深いことがわかる。すなわち1段目のプロトンピークを形成するためのプロトンの飛程 R_p1 を基板裏面から $15\mu m$ よりも深く、 $20\mu m$ 以上とする理由は、まさにこの発振抑制効果を最も高くするためである。

[0083] <実施例5>

実施例5として、本発明にかかる半導体装置の製造方法におけるプロトンの加速エネルギーについて説明する。上記の γ の範囲を満たすように、空乏層が最初に達するF S層のピーク位置の裏面からの距離 X を有するF S層を実際にプロトン照射で形成するには、プロトンの加速エネルギーを、以下に示す図9の特性グラフから決めればよい。図9は、本発明にかかる半導体装置のプロトンの飛程とプロトンの加速エネルギーとの関係を示す特性図である。

[0084] 発明者らは鋭意研究を重ねた結果、プロトンの飛程 R_p （F S層のピーク位置）と、プロトンの加速エネルギー E について、プロトンの飛程 R_p の対数 $\log(R_p)$ を x 、プロトンの加速エネルギー E の対数 $\log(E)$ を

yとすると、下記（２）式の関係があることを見出した。

$$[0085] \quad y = -0.0047x^4 + 0.0528x^3 - 0.2211x^2 + 0.9923x + 5.0474 \quad \dots (2)$$

[0086] 上記（２）式を示す特性グラフを図９に示す。図９は、プロトンの所望の飛程を得るためのプロトンの加速エネルギーを示している。図９の横軸はプロトンの飛程 R_p の対数 $\log(R_p)$ であり、 $\log(R_p)$ の軸数値の下側の括弧内に対応する飛程 R_p (μm)を示す。また、縦軸はプロトンの加速エネルギー E の対数 $\log(E)$ であり、 $\log(E)$ の軸数値の左側の括弧内に対応するプロトンの加速エネルギー E を示す。上記（２）式は、実験等によって得られた、プロトンの飛程 R_p の対数 $\log(R_p)$ と加速エネルギーの対数 $\log(E)$ との各値を、 $x (= \log(R_p))$ の４次の多項式でフィッティングさせた式である。

[0087] なお、上記のフィッティング式を用いて所望のプロトンの平均飛程 R_p からプロトン照射の加速エネルギー E を算出（以下、算出値 E とする）して、この加速エネルギーの算出値 E でプロトンをシリコン基板に注入した場合における、実際の加速エネルギー E' と実際に広がり抵抗（ SR ）測定法等によって得られた平均飛程 R_p' （プロトンピーク位置）との関係は、以下のようによい。

[0088] 加速エネルギーの算出値 E に対して、実際の加速エネルギー E' が $E \pm 10\%$ 程度の範囲にあれば、実際の平均飛程 R_p' も所望の平均飛程 R_p に対して $\pm 10\%$ 程度の範囲に収まり、測定誤差の範囲内となる。そのため、実際の平均飛程 R_p' の所望の平均飛程 R_p からのバラつきが、IGBTの電気的特性へ与える影響は、無視できる程度に十分小さい。したがって、実際の加速エネルギー E' が算出値 $E \pm 10\%$ の範囲にあれば、実際の平均飛程 R_p' は実質的に設定どおりの平均飛程 R_p であると判断することができる。あるいは、実際の加速エネルギー E' を上記（２）式に当てはめて算出した平均飛程 R_p に対して、実際の平均飛程 R_p' が $\pm 10\%$ 以内に収まれば、問題ない。

[0089] 実際の加速器では、加速エネルギー E と平均飛程 R_p はいずれも上記の範囲（ $\pm 10\%$ ）に収まり得るので、実際の加速エネルギー E' および実際の平均飛程 R_p' は、所望の平均飛程 R_p と算出値 E で表される上述のフィッティング式に従っていると考えて、全く差支えない。さらに、バラつきや誤差の範囲が、平均飛程 R_p に対して $\pm 10\%$ 以下であればよく、好適には $\pm 5\%$ に収まれば、申し分なく上記（２）式に従っていると考えることができる。

[0090] 上記（２）式を用いることにより、所望のプロトンの飛程 R_p を得るのに必要なプロトンの加速エネルギー E を求めることができる。上述した FS 層を形成するためのプロトンの各加速エネルギー E も、上記（２）式を用いており、実際に上記の加速エネルギー E' でプロトンを照射した試料を周知の広がり抵抗測定法（ SR 法）にて測定した実測値ともよく一致する。したがって、上記（２）式を用いることで、極めて精度よく、プロトンの飛程 R_p に基づいて必要なプロトンの加速エネルギー E を予測することが可能となった。

[0091] ＜実施例６＞

実施例６にかかる半導体装置について説明する。図１のプロセスフローは $IGBT100$ の例を挙げたが、ダイオードに適応することもできる。その場合は、図１（ a ）の工程はアノード層を形成する工程になる。また図１（ e ）の工程のボロンはリンまたは砒素に代わり、図１（ f ）の工程でカソード層が形成される。このようにして形成したダイオードの断面図を、図１３に示す。図１３は、本発明にかかるダイオードの断面図である。 n ドリフト層１となる半導体基板のおもて面に p アノード層５２を形成し、裏面には n カソード層５３を形成している。符号５１はアノード電極であり、符号５４はカソード電極である。フィールドストップ層３、 n 型ディスオーダー低減領域１８、これらの対である n 型中間層２７は、 $IGBT$ の場合と同様であり、その位置や濃度等は適宜調整される。また、実施例６で述べた、複数回のプロトン照射における１段目のプロトンピーク位置の好ましい位置につい

ても、ダイオードの場合ではターンオフ発振を逆回復発振に読み替えて、発振開始閾値 V_{RR0} をダイオードの電圧波形が振動を始める電源電圧 V_{cc} の閾値電圧とすれば、同様に成り立つ。

[0092] なお、以上の各実施例では、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、半導体基板に注入する水素イオンをプロトンとして記載しているが、二重水素イオン、三重水素イオンでも構わない。二重水素イオンおよび三重水素イオンは、中性子による質量の増加でプロトンよりも飛程が短くなるので、半導体基板の表面から深いところに n 型中間層 27 を形成するには、プロトンが好ましい。

産業上の利用可能性

[0093] 以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、コンバーター、インバーターなどの電力変換装置などに使用されるパワー半導体装置に有用である。

符号の説明

- [0094]
- 1 n ドリフト層
 - 2 n エミッタ層
 - 3 n 型フィールドストップ層
 - 3 a 端部
 - 4 p コレクタ層
 - 11 n 半導体基板
 - 11 a おもて面
 - 11 b 裏面
 - 12 レーザーアニール処理ありの場合のキャリア濃度プロファイル
 - 13 レーザーアニール処理なしの場合のキャリア濃度プロファイル
 - 14 プロトン通過領域
 - 15 ディスオーダー領域
 - 16 プロトン注入
 - 17 飛程

1 8	n 型ディスオーダー低減領域
2 2	p ベース層
2 3	ゲート絶縁膜
2 4	ゲート電極
2 5	エミッタ電極
2 7	n 型中間層
2 8	層間絶縁膜
3 3	コレクタ電極
1 0 0	I G B T

請求の範囲

- [請求項1] n 導電型のドリフト層となる半導体基板の第 1 の主面の表面層に設けられた、当該ドリフト層よりも高濃度の p 導電型のベース層と、
前記ベース層の内部に設けられた、当該ベース層よりも高濃度の n 導電型のエミッタ層と、
前記ベース層、前記エミッタ層および前記ドリフト層に接するように設けられたゲート絶縁膜と、
前記ゲート絶縁膜の表面に、前記ベース層、前記エミッタ層および前記ドリフト層に対向するように設けられたゲート電極と、
前記エミッタ層および前記ベース層の表面に設けられ、層間絶縁膜によって前記ゲート電極と絶縁されたエミッタ電極と、
前記半導体基板の第 2 の主面の表面に設けられた p 導電型のコレクタ層と、を有する半導体装置において、
前記ドリフト層と前記コレクタ層との間に、前記ドリフト層よりも高濃度の n 導電型のフィールドストップ層と、当該フィールドストップ層よりも低濃度で前記ドリフト層の濃度以上の n 導電型のディスオーダー低減領域と、の 2 層を対とする n 導電型の間層を、少なくとも 1 つ有することを特徴とする半導体装置。
- [請求項2] 前記ベース層に最も近い前記フィールドストップ層のキャリア濃度が最大濃度となる位置の前記第 2 の主面からの深さが、 $15\ \mu\text{m}$ よりも深いことを特徴とする請求項 1 に記載の半導体装置。
- [請求項3] q を電荷素量、 N_d を前記ドリフト層の平均濃度、 ϵ_s を前記半導体基板の誘電率、 V_{rate} を定格電圧、 J_F を定格電流密度、 v_{sat} をキャリアの速度が所定の電界強度で飽和した飽和速度として、距離指標 L が下記式 (1) で表わされ、
前記ベース層に最も近い前記フィールドストップ層のキャリア濃度が最大濃度となる位置の前記第 2 の主面からの深さを X とし、
前記半導体基板の厚さを W_0 として、

$X = W_0 - \gamma L$ であり、 γ は 0.2 以上 1.5 以下であることを特徴とする請求項 1 に記載の半導体装置。

[数1]

$$L = \sqrt{\frac{\epsilon_s V_{\text{rate}}}{\left(\frac{J_F}{qv_{\text{sat}}} + N_d \right)}} \quad \dots (1)$$

[請求項4] 前記ドリフト層に接する前記中間層において前記フィールドストップ層が前記ドリフト層に接しており、前記コレクタ層に接する前記中間層において前記ディスオーダー低減領域が前記コレクタ層に接していることを特徴とする請求項 1 に記載の半導体装置。

[請求項5] 前記中間層が 2 つ以上形成されていることを特徴とする請求項 1 に記載の半導体装置。

[請求項6] 前記ディスオーダー低減領域におけるキャリア移動度の最小値が、結晶状態の当該キャリア移動度の 20% 以上であることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の半導体装置。

[請求項7] 半導体基板の一方の主面からプロトン注入を行う工程と、
前記半導体基板の全体を高温にすることでプロトン注入による水素誘起ドナーを形成し前記半導体基板内に n 導電型のフィールドストップ層を形成する工程と、
前記一方の主面から前記プロトン注入による飛程内を加熱して、プロトン通過領域に生成されたディスオーダーを低減し n 導電型のディスオーダー低減領域を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

[請求項8] 前記フィールドストップ層を形成する工程において、前記半導体基板の全体を高温にする処理が炉アニール処理であり、
前記ディスオーダー低減領域を形成する工程において、前記一方の

主面から前記プロトン注入による飛程内を加熱する処理が、当該一方の主面からレーザー光を照射するレーザーアニール処理であることを特徴とする請求項 7 に記載の半導体装置の製造方法。

[請求項9] 前記フィールドストップ層を形成する工程と前記ディスオーダー低減領域を形成する工程が、前記半導体基板の裏面を研削するよりも後であり裏面電極を形成するよりも前であることを特徴とする請求項 7 に記載の半導体装置の製造方法。

[請求項10] 前記フィールドストップ層を形成する工程が、前記プロトン注入を行う工程よりも後であり、前記ディスオーダー低減領域を形成する工程よりも前であることを特徴とする請求項 7 に記載の半導体装置の製造方法。

[請求項11] 前記ディスオーダー低減領域を形成する工程が、前記プロトン注入を行う工程よりも後であり、前記フィールドストップ層を形成する工程よりも前であることを特徴とする請求項 7 に記載の半導体装置の製造方法。

[請求項12] 前記炉アニール処理の温度が、350℃以上で550℃以下であり、

前記炉アニール処理の処理時間が1時間以上で10時間以下であることを特徴とする請求項 8 に記載の半導体装置の製造方法。

[請求項13] 前記レーザーアニール処理に用いるレーザーが、YAGレーザーまたは半導体レーザーであることを特徴とする請求項 8 に記載の半導体装置の製造方法。

[請求項14] 前記プロトン注入した後で前記レーザーアニール処理の前に、前記一方の主面から前記プロトン注入による飛程より浅い表面層に不純物をイオン注入し、当該不純物を前記レーザーアニール処理で活性化する工程を含むことを特徴とする請求項 8 に記載の半導体装置の製造方法。

[請求項15] 前記プロトン注入による飛程 R_p の前記フィールドストップ層を形

成するときのプロトンの加速エネルギーEは、下記式(2)を満たすことを特徴とする請求項7に記載の半導体装置の製造方法。

$$y = -0.0047x^4 + 0.0528x^3 - 0.2211x^2 + 0.9923x + 5.0474 \dots (2)$$

[請求項16] 請求項7乃至15のいずれか一項に記載の半導体装置の製造方法を用いて作製される半導体装置が、前記フィールドストップ層を有するIGBTであることを特徴とする半導体装置。

[請求項17] 前記請求項7乃至15のいずれか一項に記載の半導体装置の製造方法を用いて作製される半導体装置が、前記フィールドストップ層を有するFWDであることを特徴とする半導体装置。

補正された請求の範囲
[2013年5月17日(17.05.2013)国際事務局受理]

〔請求項1〕（補正後） n 導電型のドリフト層となる半導体基板の第1の主面の表面層に設けられた、当該ドリフト層よりも高濃度の p 導電型のベース層と、

前記ベース層の内部に設けられた、当該ベース層よりも高濃度の n 導電型のエミッタ層と、

前記ベース層、前記エミッタ層および前記ドリフト層に接するように設けられたゲート絶縁膜と、

前記ゲート絶縁膜の表面に、前記ベース層、前記エミッタ層および前記ドリフト層に対向するように設けられたゲート電極と、

前記エミッタ層および前記ベース層の表面に設けられ、層間絶縁膜によって前記ゲート電極と絶縁されたエミッタ電極と、

前記半導体基板の第2の主面の表面に設けられた p 導電型のコレクタ層と、を有する半導体装置において、

前記ドリフト層と前記コレクタ層との間に、前記ドリフト層よりも高濃度の n 導電型のフィールドストップ層と、当該フィールドストップ層よりも低濃度の n 導電型のディスオーダー低減領域と、の2層を対とする n 導電型の間層を、少なくとも1つ有することを特徴とする半導体装置。

〔請求項2〕（補正後） 前記フィールドストップ層が水素誘起ドナーを有することを特徴とする請求項1に記載の半導体装置。

〔請求項3〕（補正後） 前記ディスオーダー低減領域のキャリア移動度が、前記ドリフト層のキャリア移動度よりも低いことを特徴とする請求項1に記載の半導体装置。

〔請求項4〕（補正後） 前記ディスオーダー低減領域におけるキャリア移動度の最小値が、結晶状態の当該キャリア移動度の20%以上であることを特徴とする請求項3に記載の半導体装置。

〔請求項5〕（補正後） 前記ディスオーダー低減領域のドーピング濃度は前記ドリフト層の濃度以上であることを特徴とする請求項1に記載の半導体装置。

〔請求項6〕（補正後） 前記ディスオーダー低減領域は、水素のイオン注入によっ

て導入されたディスオーダーが残留した残留ディスオーダーを有することを特徴とする請求項 1 に記載の半導体装置。

〔請求項 7〕（補正後） 前記残留ディスオーダーは、前記水素のイオン注入によって導入されたディスオーダーが熱処理により低減されてなることを特徴とする請求項 6 に記載の半導体装置。

〔請求項 8〕（補正後） 前記ドリフト層を挟んで前記ベース層に隣接する前記フィールドストップ層のキャリア濃度が最大濃度となる位置の前記第 2 の主面からの深さが、 $15\ \mu\text{m}$ よりも深いことを特徴とする請求項 1 に記載の半導体装置。

〔請求項 9〕（補正後） q を電荷素量、 N_d を前記ドリフト層の平均濃度、 ϵ_s を前記半導体基板の誘電率、 V_{rate} を定格電圧、 J_F を定格電流密度、 v_{sat} をキャリアの速度が所定の電界強度で飽和した飽和速度として、距離指標 L が下記式（1）で表わされ、

前記ドリフト層を挟んで前記ベース層に隣接する前記フィールドストップ層のキャリア濃度が最大濃度となる位置の前記第 2 の主面からの深さを X とし、

前記半導体基板の厚さを W_0 として、

$X = W_0 - \gamma L$ であり、 γ は 0.2 以上 1.5 以下であることを特徴とする請求項 1 に記載の半導体装置。

〔数 1〕

$$L = \sqrt{\frac{\epsilon_s V_{\text{rate}}}{\left(\frac{J_F}{qv_{\text{sat}}} + N_d \right)}} \quad \cdots (1)$$

〔請求項 10〕（補正後） 前記ドリフト層に接する前記中間層において前記フィールドストップ層が前記ドリフト層に接しており、前記コレクタ層に接する前記中間層

において前記ディスオーダー低減領域が前記コレクタ層に接していることを特徴とする請求項1に記載の半導体装置。

〔請求項11〕（補正後） 前記中間層が2つ以上形成されていることを特徴とする請求項1に記載の半導体装置。

〔請求項12〕（補正後） 半導体基板の一方の主面からプロトン注入を行う工程と、

前記半導体基板の全体を高温にすることで前記プロトン注入による水素誘起ドナーを形成し前記半導体基板内にn導電型のフィールドストップ層を形成する工程と、

前記一方の主面から前記プロトン注入による飛程内を加熱して、プロトン通過領域に生成されたディスオーダーを低減しn導電型のディスオーダー低減領域を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

〔請求項13〕（補正後） 前記フィールドストップ層を形成する工程において、前記半導体基板の全体を高温にする処理が炉アニール処理であり、

前記ディスオーダー低減領域を形成する工程において、前記一方の主面から前記プロトン注入による飛程内を加熱する処理が、当該一方の主面からレーザー光を照射するレーザーアニール処理であることを特徴とする請求項12に記載の半導体装置の製造方法。

〔請求項14〕（補正後） 前記プロトン注入による飛程が $15\mu\text{m}$ 以上であることを特徴とする請求項12に記載の半導体装置の製造方法。

〔請求項15〕（補正後） 前記レーザーアニール処理により前記一方の主面から少なくとも $5\mu\text{m}$ 深さまでの前記ディスオーダーを低減することを特徴とする請求項13に記載の半導体装置の製造方法。

〔請求項16〕（補正後） 前記ディスオーダーにより前記プロトン通過領域のキャリア移動度が、前記半導体基板のうち前記プロトン通過領域以外の領域よりも低くなることを特徴とする請求項12に記載の半導体装置の製造方法。

〔請求項17〕（補正後） 前記炉アニール処理および前記レーザーアニール処理により、前記プロトン通過領域のキャリア移動度が増加することを特徴とする請求項1

3に記載の半導体装置の製造方法。

〔請求項18〕（追加） 前記フィールドストップ層を形成する工程と前記ディスオーダー低減領域を形成する工程が、前記半導体基板の裏面を研削するよりも後であり裏面電極を形成するよりも前であることを特徴とする請求項12に記載の半導体装置の製造方法。

〔請求項19〕（追加） 前記フィールドストップ層を形成する工程が、前記プロトン注入を行う工程よりも後であり、前記ディスオーダー低減領域を形成する工程よりも前であることを特徴とする請求項12に記載の半導体装置の製造方法。

〔請求項20〕（追加） 前記ディスオーダー低減領域を形成する工程が、前記プロトン注入を行う工程よりも後であり、前記フィールドストップ層を形成する工程よりも前であることを特徴とする請求項12に記載の半導体装置の製造方法。

〔請求項21〕（追加） 前記炉アニール処理の温度が、 350°C 以上で 550°C 以下であり、

前記炉アニール処理の処理時間が1時間以上で10時間以下であることを特徴とする請求項13に記載の半導体装置の製造方法。

〔請求項22〕（追加） 前記レーザーアニール処理に用いるレーザーが、YAGレーザーまたは半導体レーザーであることを特徴とする請求項13に記載の半導体装置の製造方法。

〔請求項23〕（追加） 前記プロトン注入した後で前記レーザーアニール処理の前に、前記一方の主面から前記プロトン注入による飛程より浅い表面層に不純物をイオン注入し、当該不純物を前記レーザーアニール処理で活性化する工程を含むことを特徴とする請求項13に記載の半導体装置の製造方法。

〔請求項24〕（追加） 前記プロトン注入による飛程 R_p の前記フィールドストップ層を形成するときのプロトンの加速エネルギー E は、前記プロトン注入による飛程 R_p の対数 $\log(R_p)$ を x 、前記プロトン注入の加速エネルギー E の対数 $\log(E)$ を y として、下記式(2)を満たすことを特徴とする請求項12～23のいずれか一つに記載の半導体装置の製造方法。

$$y = -0.0047x^4 + 0.0528x^3 - 0.2211x^2 + 0.9923x + 5.0474 \quad \dots (2)$$

〔請求項 25〕（追加） 請求項 12～23 のいずれか一つに記載の半導体装置の製造方法を用いて作製される半導体装置が、前記フィールドストップ層を有する IGBT であることを特徴とする半導体装置。

〔請求項 26〕（追加） 請求項 12～23 のいずれか一つに記載の半導体装置の製造方法を用いて作製される半導体装置が、前記フィールドストップ層を有する FWD であることを特徴とする半導体装置。

条約第19条(1)に基づく説明書

請求の範囲第1項は、出願時の請求の範囲第1項、明細書の段落0050、図2の記載に基づくものです。

また、請求の範囲第2, 3, 16項は、出願時の明細書の段落0041の記載に基づくものです。

また、請求の範囲第4, 8～11, 12, 13, 18～26項は、補正前の請求の範囲第6, 2～5, 7, 8, 9～17項です。

また、請求の範囲第5項は、出願時の請求の範囲第1項、明細書の段落0040の記載に基づくものです。

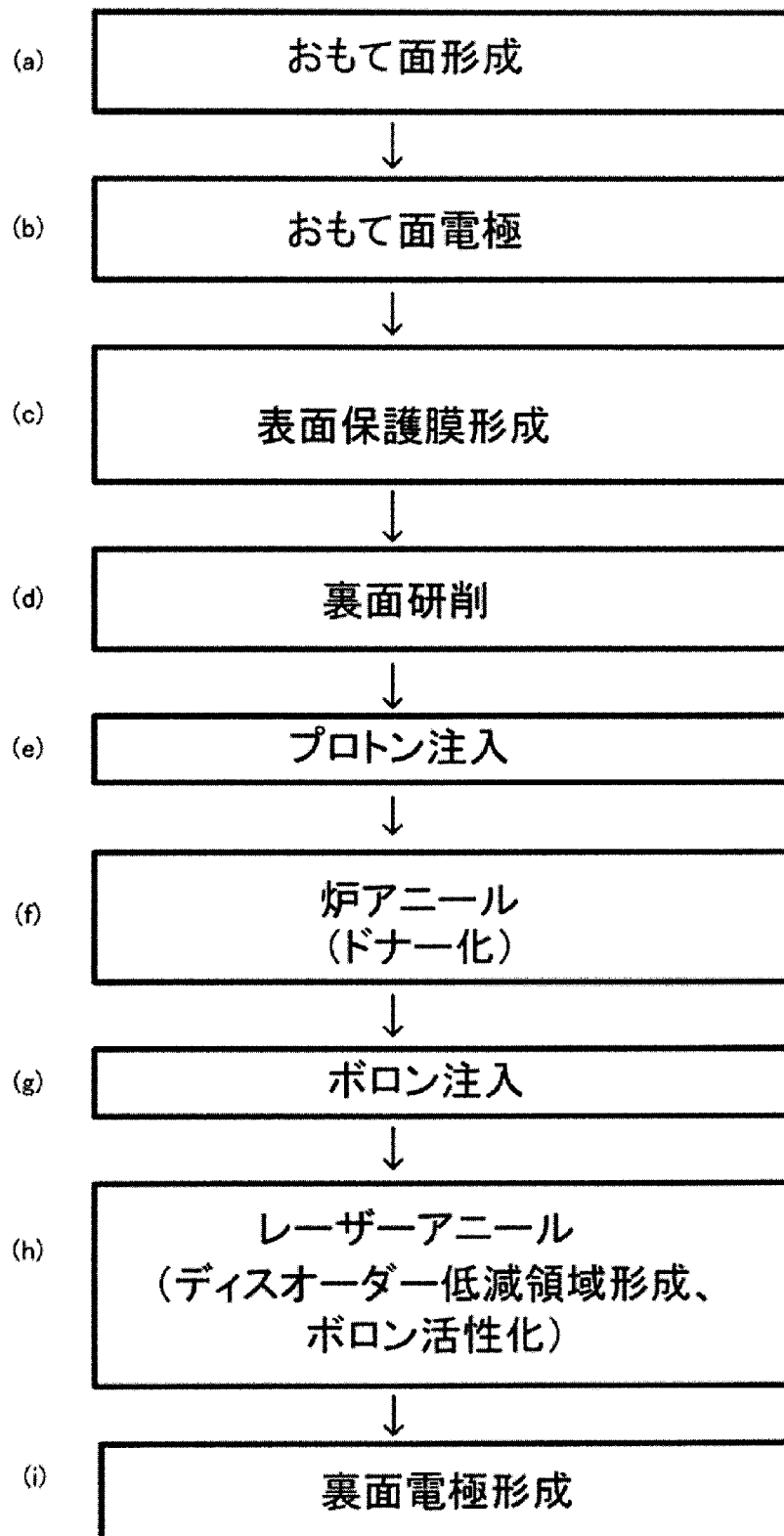
また、請求の範囲第6, 7項は、出願時の明細書の段落0043の記載に基づくものです。

また、請求の範囲第14項は、出願時の明細書の段落0040の記載に基づくものです。

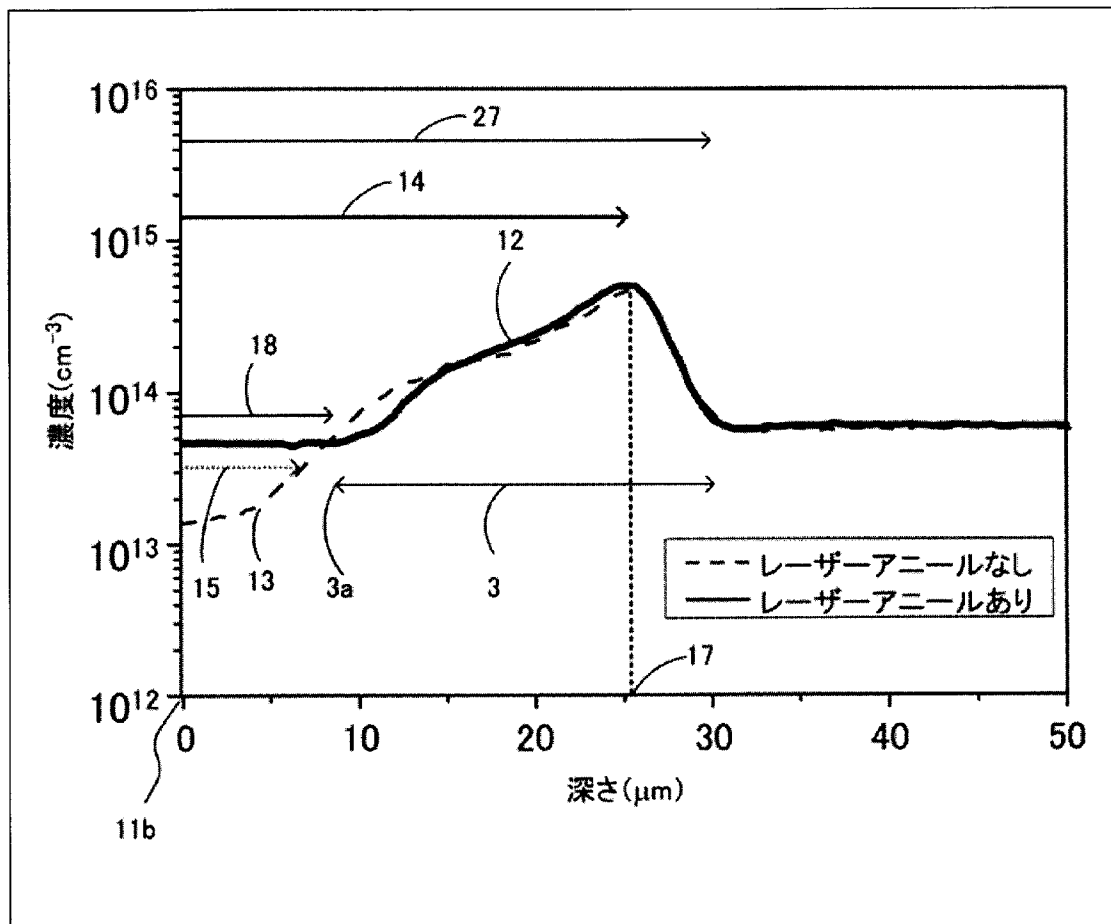
また、請求の範囲第15項は、出願時の明細書の段落0050, 0055、図2の記載に基づくものです。

また、請求の範囲第17項は、出願時の明細書の段落0050の記載に基づくものです。

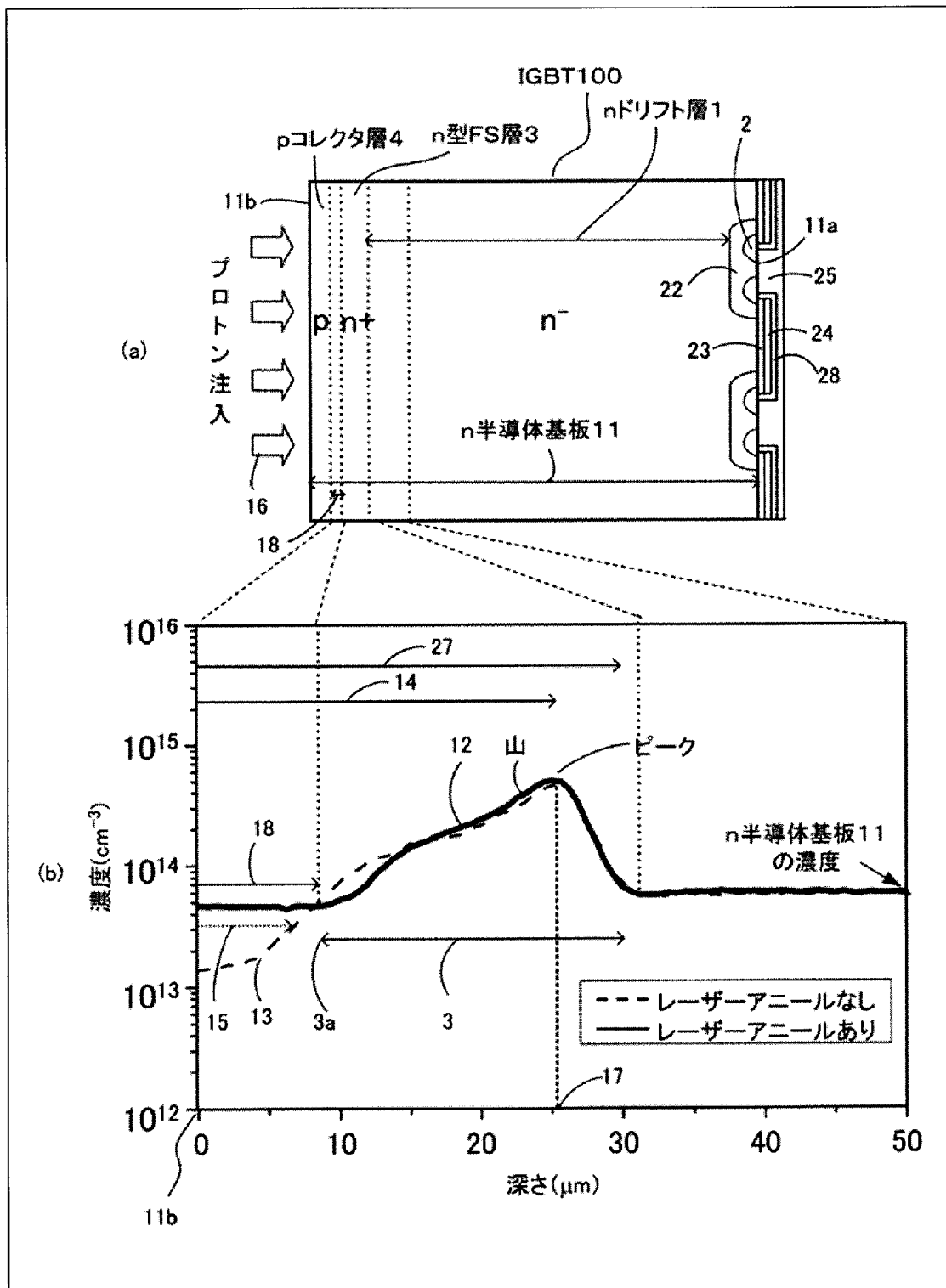
[図1]



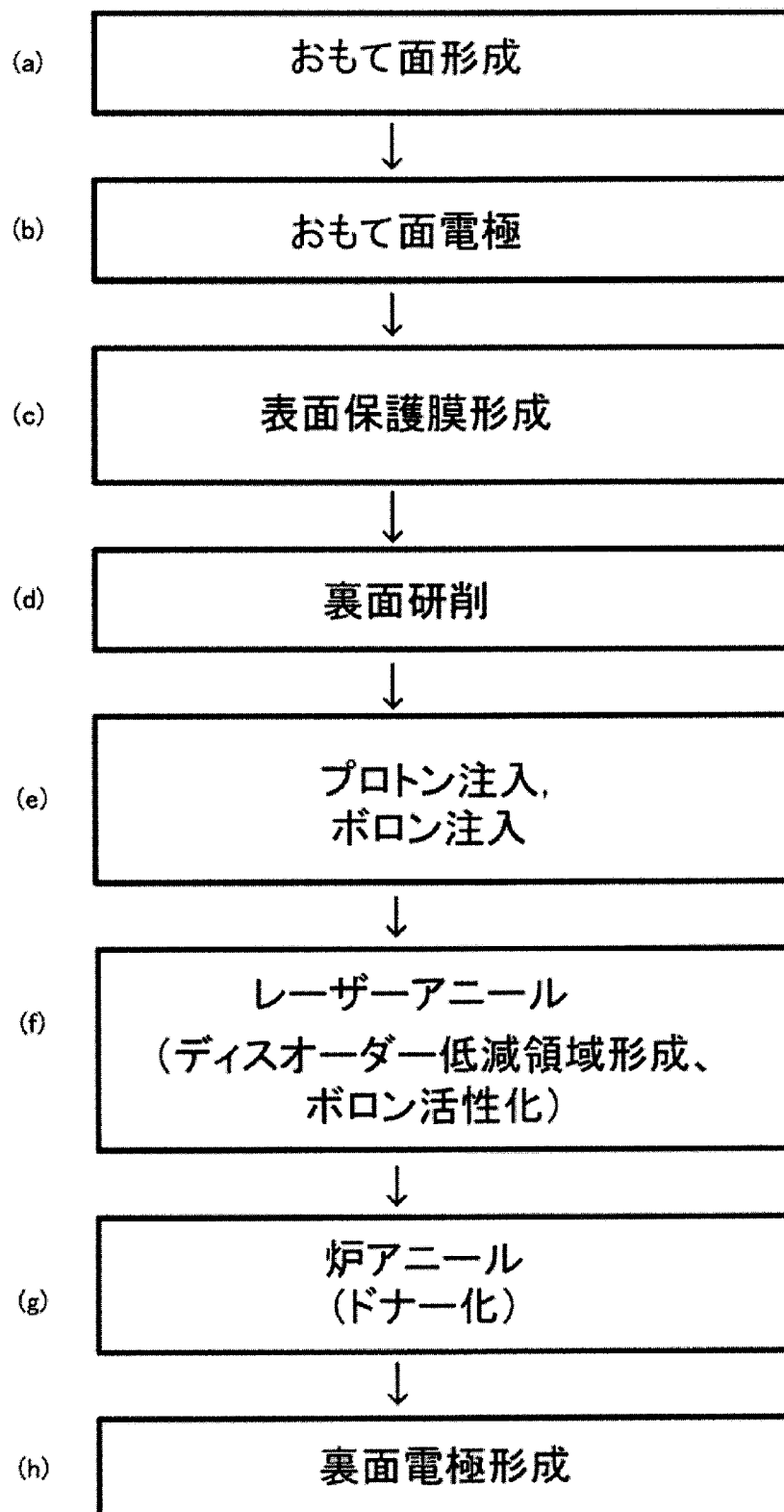
[図2]

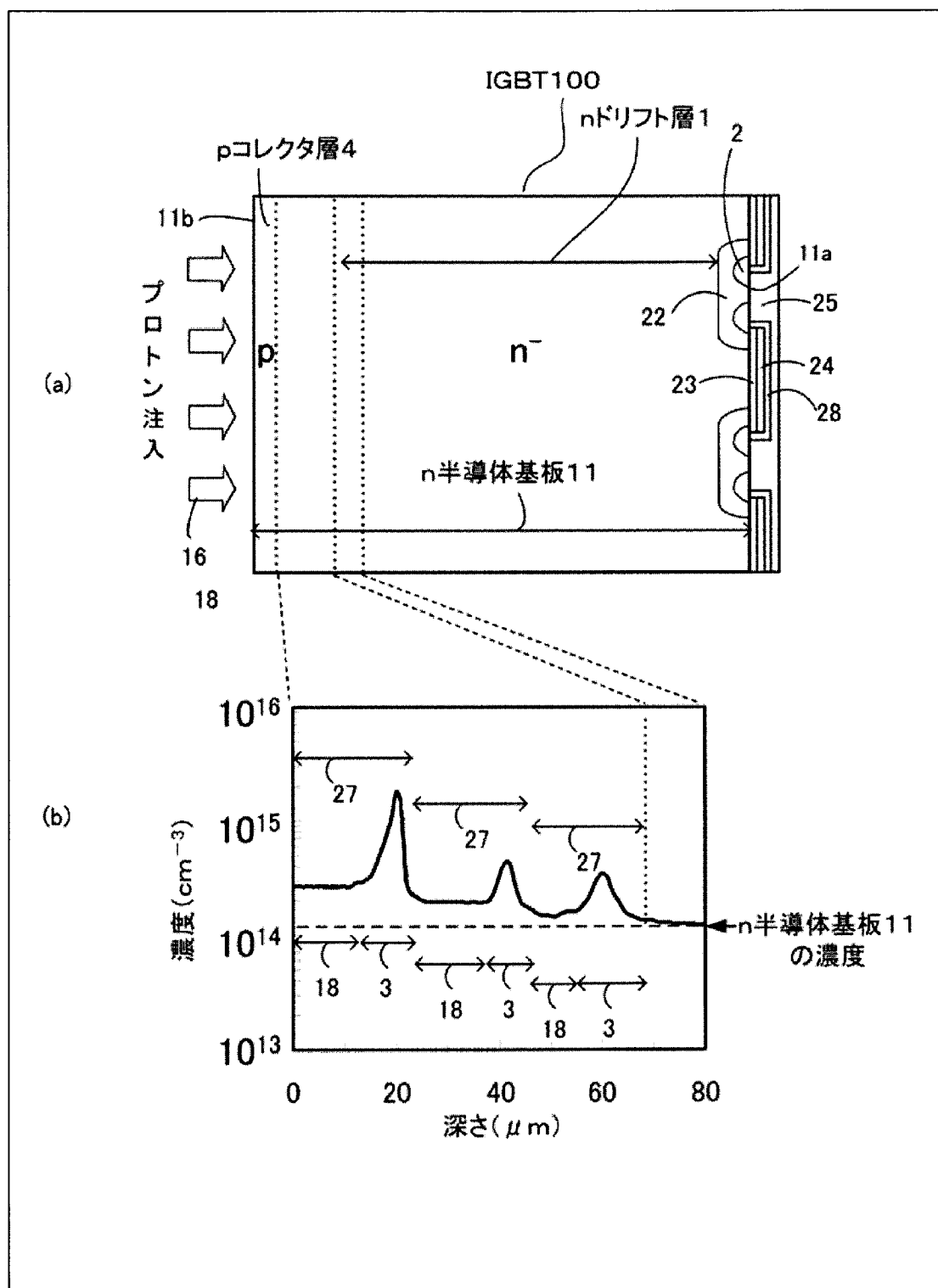


[図3]

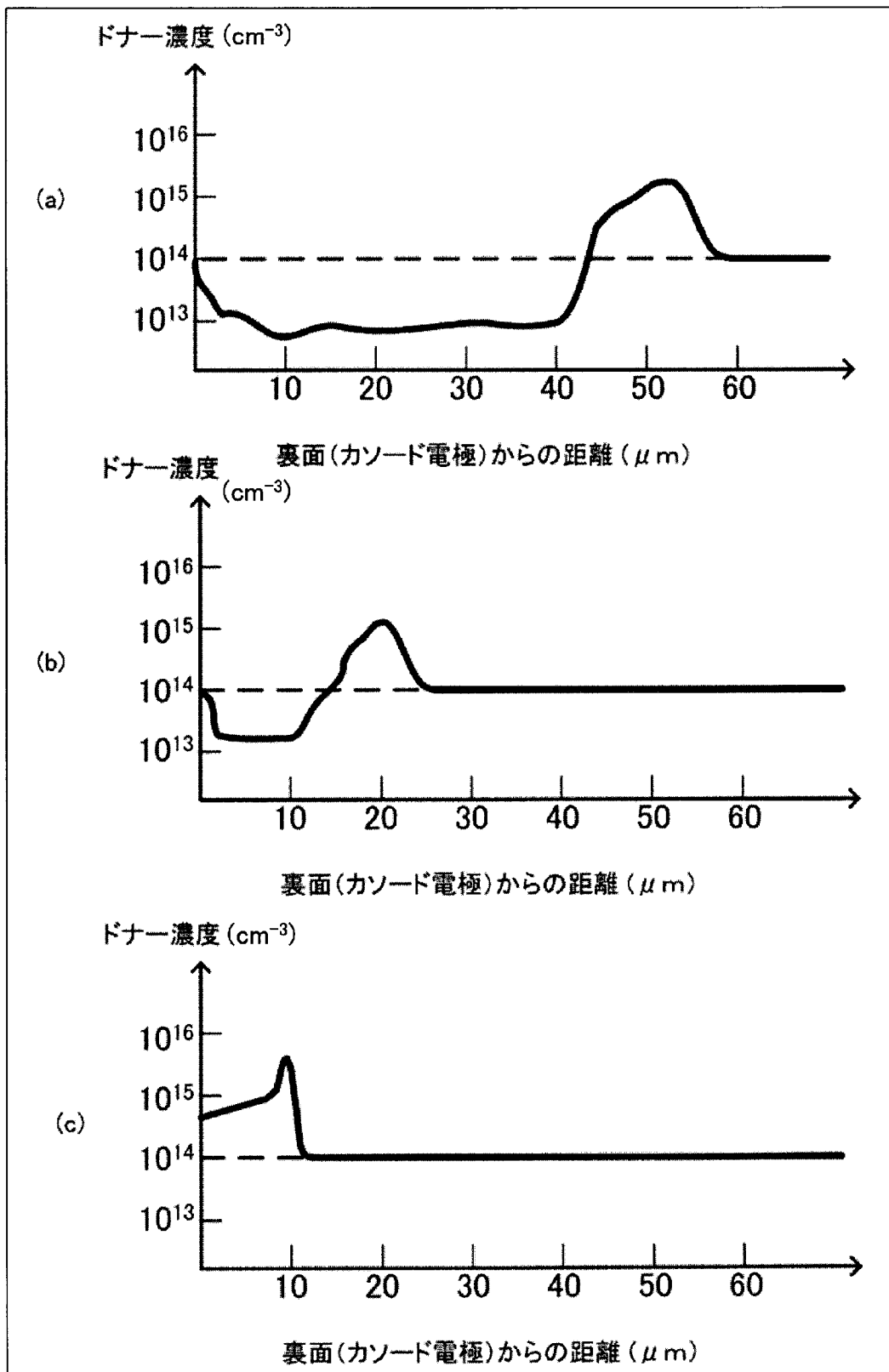


[図4]

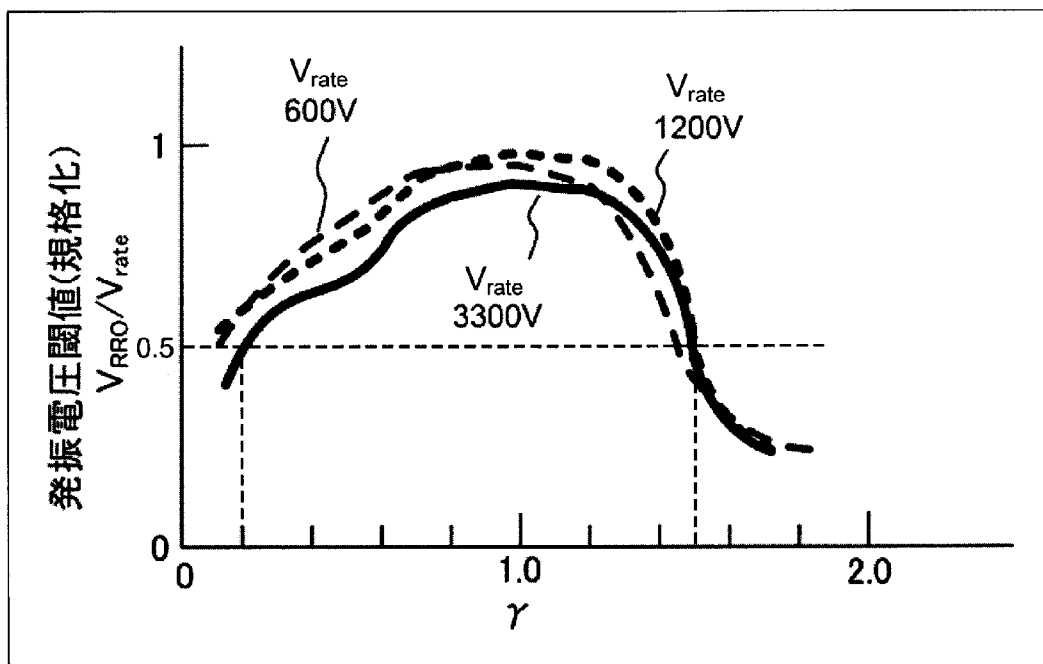




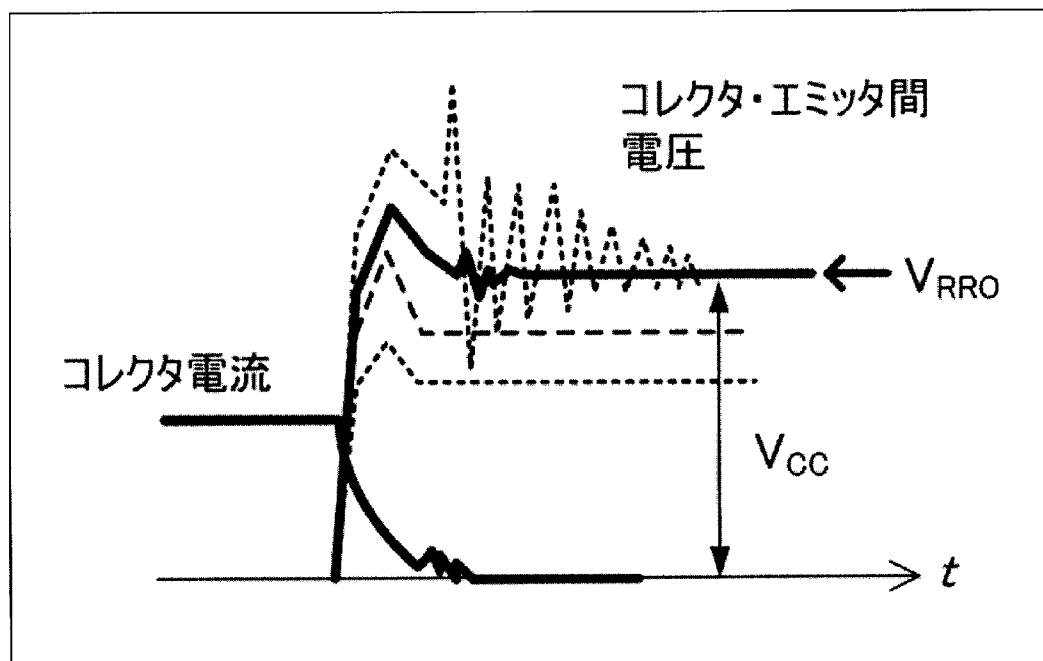
[図6]



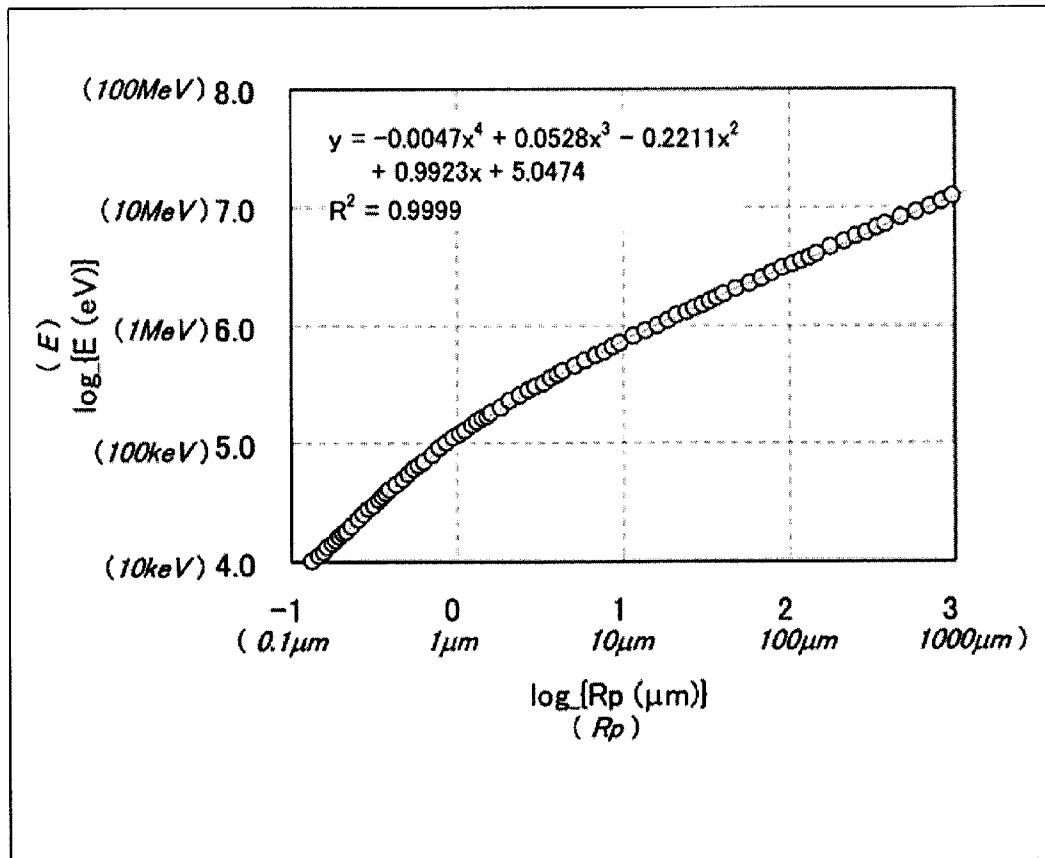
[図7]



[図8]



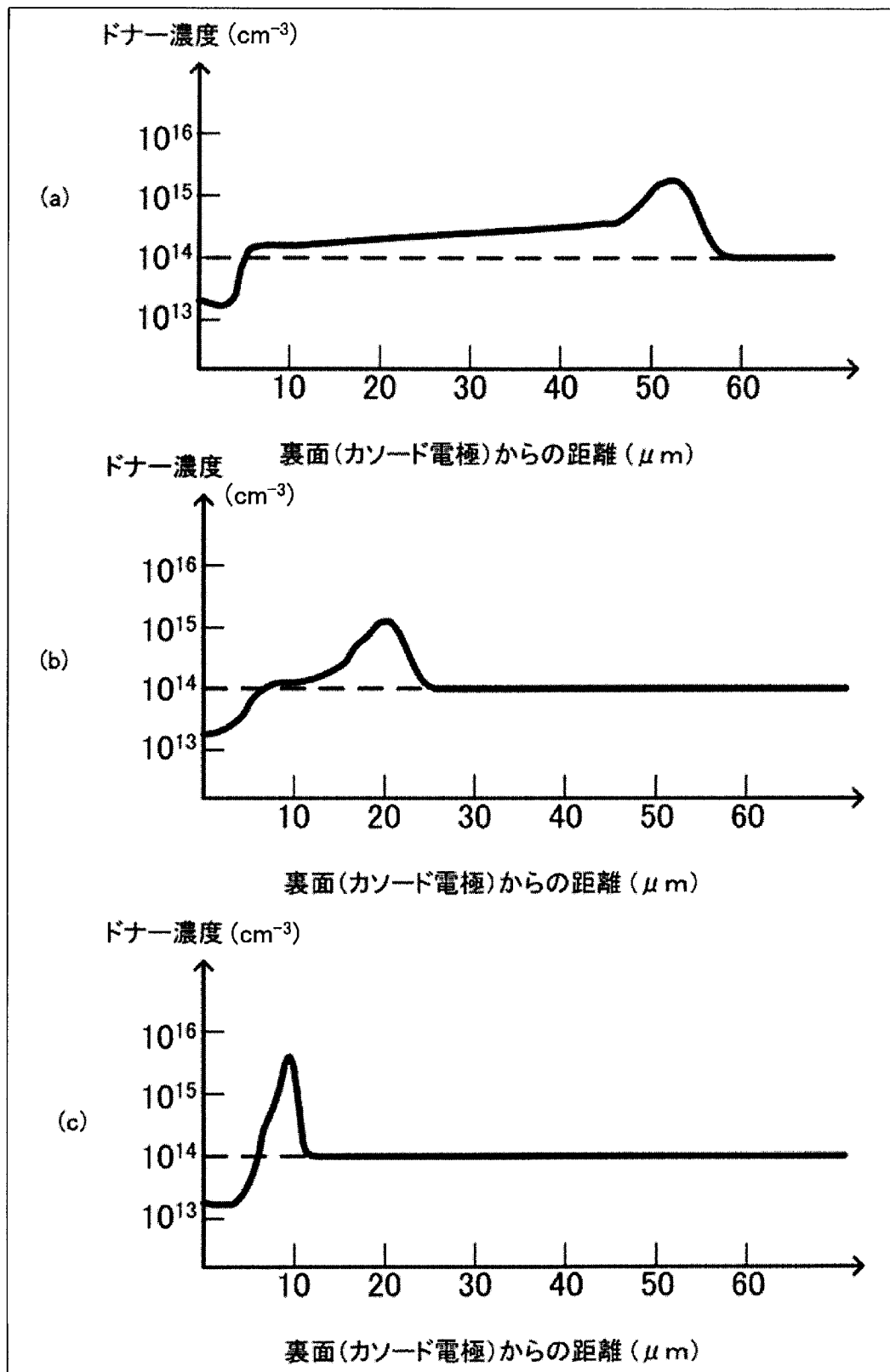
[図9]



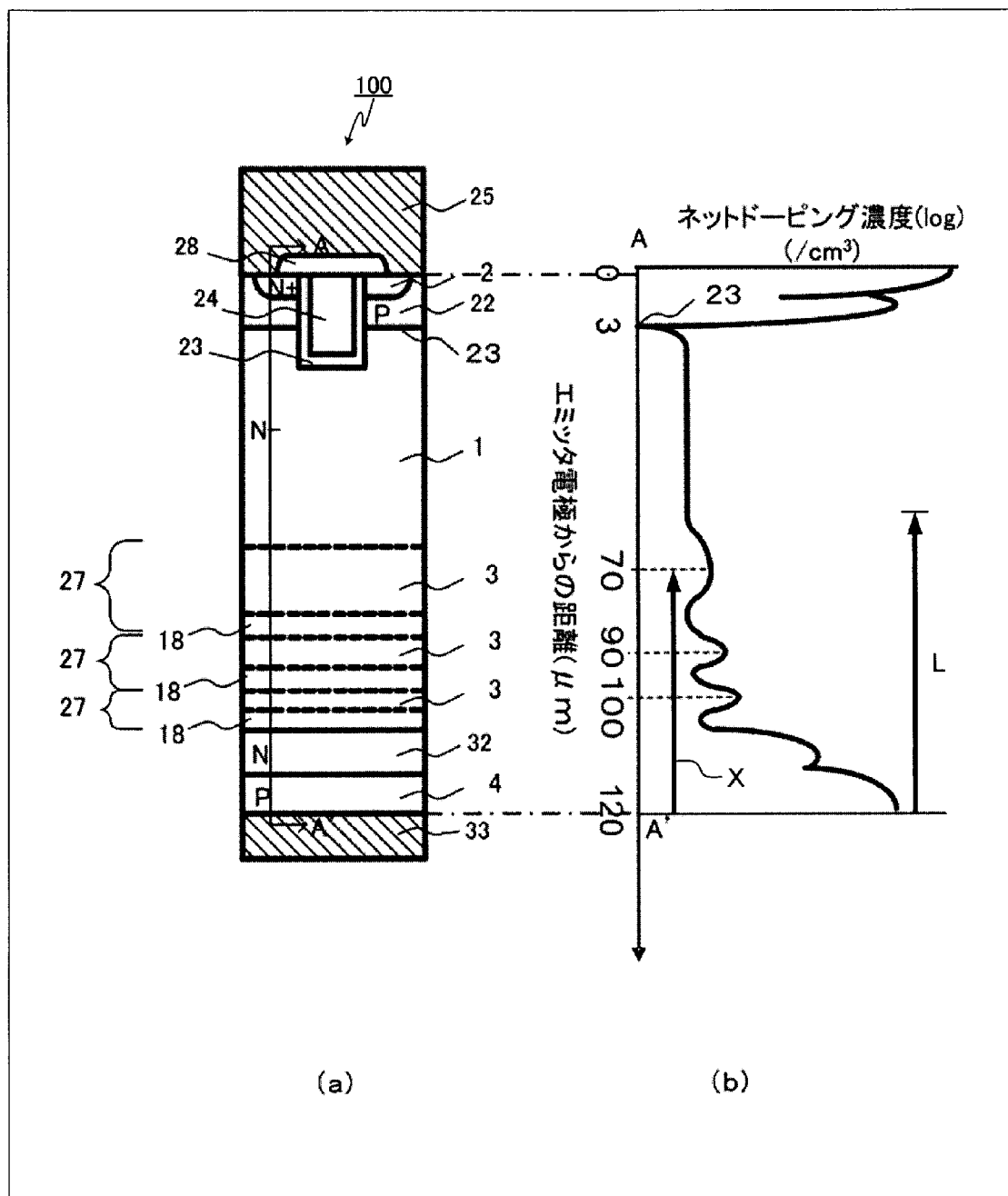
[図10]

定格 電圧 (V)	耐圧 (V)	基板 総厚 WO (μm)	比抵抗 ($\Omega\text{ cm}$)	ドリフト層 平均濃度 ($/\text{cm}^3$)	定格 電流 密度 (A/cm^2)	距離 指標 L (μm)	最初に空乏層端が達するFS層:裏面からの距離 X (μm)											
							WO-0.7L	WO-0.8L	WO-0.9L	WO-1.0L	WO-1.1L	WO-1.2L	WO-1.3L	WO-1.4L	WO-1.5L	WO-1.6L		
600	700	60	30	1.5E+14	300	31.9	37.7	34.5	31.3	28.1	24.9	21.7	18.5	15.3	12.1	8.9		
1200	1400	120	60	7.7E+13	200	58.2	79.2	73.4	67.6	61.8	55.9	50.1	44.3	38.5	32.7	26.8		
1700	1900	170	85	5.4E+13	150	80.8	113.4	105.3	97.3	89.2	81.1	73.0	64.9	56.9	48.8	40.7		
3300	3500	330	165	2.8E+13	80	155.0	221.5	206.0	190.5	175.0	159.5	144.0	128.5	113.0	97.5	82.0		
4500	4700	450	225	2.0E+13	50	223.1	293.8	271.5	249.2	226.9	204.6	182.3	160.0	137.7	115.4	93.1		
6500	6700	650	325	1.4E+13	30	337.3	413.9	380.1	346.4	312.7	278.9	245.2	211.5	177.7	144.0	110.3		

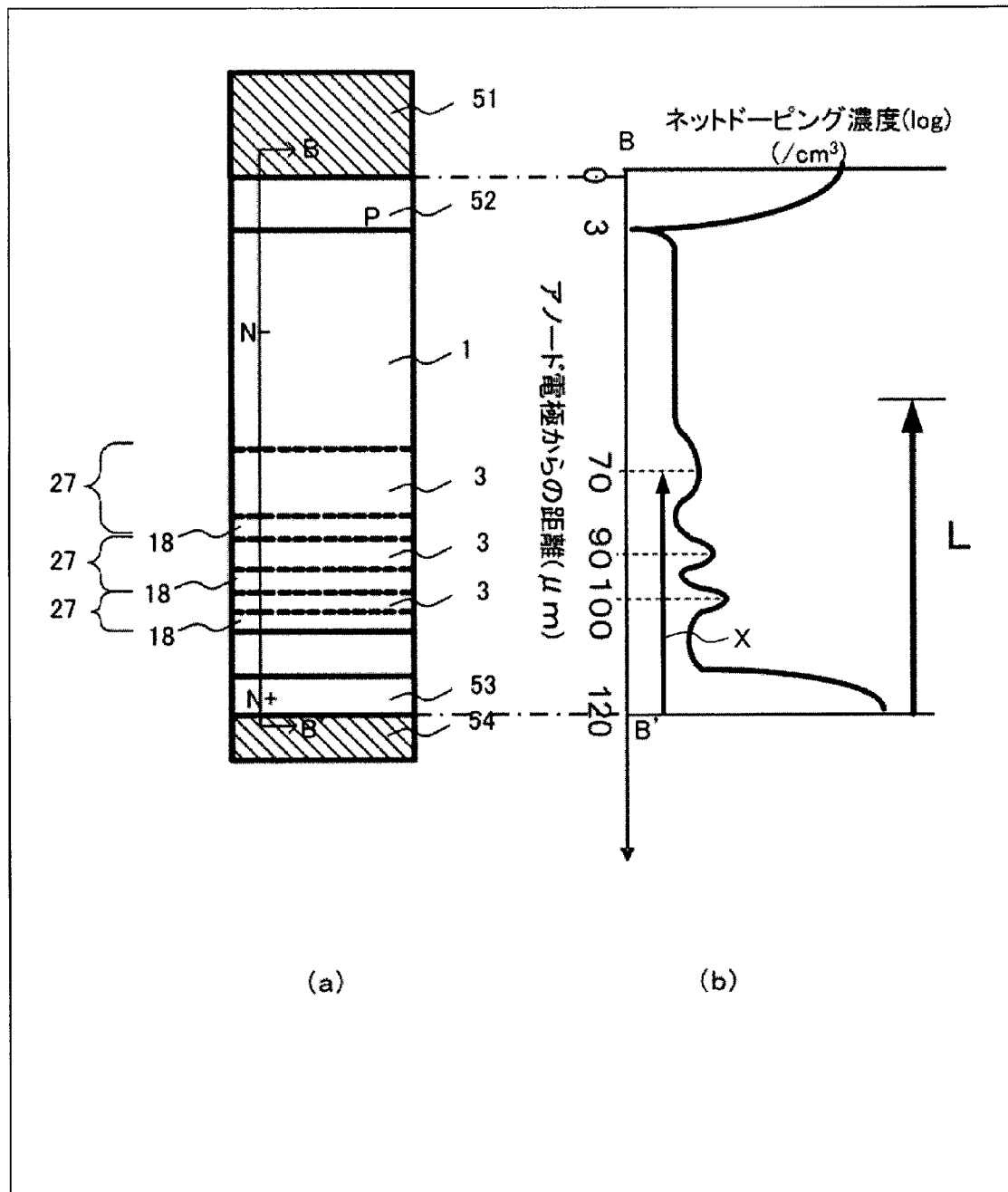
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/051010

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/739(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/739, H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-77357 A (Toshiba Corp.), 23 March 2001 (23.03.2001), fig. 2; paragraphs [0030], [0040] (Family: none)	1-6 7-17
Y	JP 2007-59550 A (Fuji Electric Holdings Co., Ltd.), 08 March 2007 (08.03.2007), fig. 4; paragraphs [0022], [0025] (Family: none)	7-17
Y	JP 4-27706 B2 (Semiconductor Research Foundation), 12 May 1992 (12.05.1992), fig. 4 & JP 59-2346 A	15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

08 March, 2013 (08.03.13)

Date of mailing of the international search report

19 March, 2013 (19.03.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/051010

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 00/16408 A1 (Mitsubishi Electric Corp.), 23 March 2000 (23.03.2000), fig. 1, 3, 6 & EP 1030375 A1	17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/739(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/739, H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2013年
日本国実用新案登録公報	1996-2013年
日本国登録実用新案公報	1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2001-77357 A (株式会社東芝) 2001.03.23, 図2、段落0030, 0040 (ファミリーなし)	1-6 7-17
Y	JP 2007-59550 A (富士電機ホールディングス株式会社) 2007.03.08, 図4、段落0022, 0025 (ファミリーなし)	7-17
Y	JP 4-27706 B2 (財団法人 半導体研究振興会) 1992.05.12, 第4図 & JP 59-2346 A	15

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

08.03.2013

国際調査報告の発送日

19.03.2013

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

儀同 孝信

電話番号 03-3581-1101 内線 3559

50

3566

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 00/16408 A1 (三菱電機株式会社) 2000.03.23, 第 1, 3, 6 図 & EP 1030375 A1	17