

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4746770号
(P4746770)

(45) 発行日 平成23年8月10日(2011.8.10)

(24) 登録日 平成23年5月20日(2011.5.20)

(51) Int.Cl. F I
 HO 1 L 21/60 (2006.01) HO 1 L 21/92 6 O 2 N
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 B

請求項の数 13 (全 19 頁)

| | |
|---|---|
| <p>(21) 出願番号 特願2001-184899 (P2001-184899)</p> <p>(22) 出願日 平成13年6月19日(2001.6.19)</p> <p>(65) 公開番号 特開2003-7750 (P2003-7750A)</p> <p>(43) 公開日 平成15年1月10日(2003.1.10)</p> <p>審査請求日 平成20年4月15日(2008.4.15)</p> <p>前置審査</p> | <p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地</p> <p>(74) 代理人 100110928 弁理士 速水 進治</p> <p>(74) 代理人 100118544 弁理士 野本 可奈</p> <p>(74) 代理人 100127236 弁理士 天城 聡</p> <p>(72) 発明者 仮屋崎 修一 東京都港区芝五丁目7番1号 日本電気株式会社内</p> <p>審査官 石野 忠志</p> <p style="text-align: right;">最終頁に続く</p> |
|---|---|

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

所望の素子及び配線が形成され且つ外形形状が矩形又は正方形である半導体チップの表面に2次元的に配列された複数の外部接続用パンプ電極を有し、前記チップの互いに直交する2辺の方向をX方向及びY方向としたとき、前記パンプ電極は全て、前記X方向の格子間距離 $Sx1$ 、前記Y方向の格子間距離 $Sy1$ の格子で定まる格子点のいずれかに配置され、且つ前記パンプ電極が第1のパンプ電極群、この第1のパンプ電極群の外周部に配列された第2のパンプ電極群、及びこの第2のパンプ電極群の外周部に配列された第3のパンプ電極群を含み、前記第1のパンプ電極群及び前記第2のパンプ電極群は前記X方向には配列間隔距離 $Sx1$ で、又前記Y方向には配列間隔距離 $Sy1$ で格子状に配列され、前記第3のパンプ電極群は、前記チップの対角線及び前記X方向に平行な辺に囲まれる第1領域に配置された前記第3のパンプ電極群の前記X方向の配列間隔距離を $Sx2$ 、前記チップの対角線及び前記Y方向に平行な辺に囲まれる第2領域に配置された前記第3のパンプ電極群のY方向の配列間隔距離を $Sy2$ としたとき、 $Sx2 = 2 \times Sx1$ 且つ $Sy2 = 2 \times Sy1$ を満足する構成であることを特徴とする半導体装置。

【請求項2】

所望の素子及び配線が形成され且つ外形形状が矩形又は正方形である半導体チップの表面にこのチップを動作させる第1の電源供給用パンプ電極のみを含む第1のパンプ電極群、この第1のパンプ電極群の外周部に配列された第2のパンプ電極群、及びこの第2のパンプ電極群の外周部に配列された第3のパンプ電極群を含む2次元的に配列された複数の

外部接続用パンプ電極を有し、前記チップの互いに直交する2辺の方向をX方向及びY方向としたとき、前記第1のパンプ電極群及び前記第2のパンプ電極群は前記X方向には配列間隔距離 S_{x1} で、又前記Y方向には配列間隔距離 S_{y1} で格子状に配列し、前記チップの対角線及び前記X方向に平行な辺に囲まれる第1領域に配置された前記第3のパンプ電極群の前記X方向の配列間隔距離を S_{x2} 、前記チップの対角線及び前記Y方向に平行な辺に囲まれる第2領域に配置された前記第3のパンプ電極群のY方向の配列間隔距離を S_{y2} としたとき、 $S_{x2} = 2 \times S_{x1}$ 且つ $S_{y2} = 2 \times S_{y1}$ を満足する構成であることを特徴とする半導体装置。

【請求項3】

前記第1のパンプ電極群は、前記チップを動作させる第1の電源供給用パンプ電極のみを含む請求項1に記載の半導体装置。

10

【請求項4】

前記第1領域に配置された前記第3のパンプ電極群は前記Y方向に配列間隔距離 S_{y1} で格子状に配列し、前記第2領域に配置された前記第3のパンプ電極群は前記X方向に配列間隔距離 S_{x1} で格子状に配列した請求項2に記載の半導体装置。

【請求項5】

前記チップに信号を入/出力する信号用パンプ電極は、全て前記第2のパンプ電極群又は前記第3のパンプ電極群のいずれかに含まれる請求項1乃至4いずれか1項に記載の半導体装置。

【請求項6】

20

前記第3のパンプ電極群の最内周列一列が、全て前記チップの入/出力バッファ回路部を動作させる第2の電源供給用パンプ電極である請求項1又は2に記載の半導体装置。

【請求項7】

前記第3のパンプ電極群の最外周列二列が、全て前記チップの入/出力バッファ回路部を動作させる第2の電源供給用パンプ電極である請求項1又は2に記載の半導体装置。

【請求項8】

半導体チップを搭載し且つ外形形状が矩形又は正方形であるパッケージの一主面に2次元的に配列された複数の外部接続端子を有し、前記一主面の互いに直交する2辺の方向をX方向及びY方向としたとき、前記外部接続端子は全て、前記X方向の格子間距離 S_{x1} 、前記Y方向の格子間距離 S_{y1} の格子で定まる格子点のいずれかに配置し、且つ前記外部接続端子が第1の外部接続端子群、この第1の外部接続端子群の外周部に配列された第2の外部接続端子群、及びこの第2の外部接続端子群の外周部に配列された第3の外部接続端子群を含み、前記第1の外部接続端子群及び前記第2の外部接続端子群は前記X方向には配列間隔距離 S_{x1} で、又前記Y方向には配列間隔距離 S_{y1} で格子状に配列し、前記第3の外部接続端子群は、前記一主面の対角線及び前記X方向に平行な辺に囲まれる第1領域に配置された前記第3の外部接続端子群の前記X方向の配列間隔距離を S_{x2} 、前記一主面の対角線及び前記Y方向に平行な辺に囲まれる第2領域に配置された前記第3の外部接続端子群のY方向の配列間隔距離を S_{y2} としたとき、 $S_{x2} = 2 \times S_{x1}$ 且つ $S_{y2} = 2 \times S_{y1}$ を満足する構成であることを特徴とする半導体装置。

30

【請求項9】

40

前記第1の外部接続端子群は、前記チップを動作させる電源供給用外部接続端子群のみを含む請求項8に記載の半導体装置。

【請求項10】

半導体チップを搭載し且つ外形形状が矩形又は正方形であるパッケージの一主面に前記チップを動作させる第1の電源供給用外部接続端子のみを含む第1の外部接続端子群、この第1の外部接続端子群の外周部に配列された第2の外部接続端子群、及びこの第2の外部接続端子群の外周部に配列された第3の外部接続端子群を含むいずれもパンプ形状の外部接続用の端子群を有し、この外部接続用の端子群が形成された前記一主面の互いに直交する2辺の方向をX方向及びY方向としたとき、前記第1の外部接続端子群及び前記第2の外部接続端子群は前記X方向には配列間隔距離 S_{x1} で、又前記Y方向には配列間隔距離

50

Sy1で格子状に配列し、前記一主面の対角線及び前記X方向に平行な辺に囲まれる第1領域に配置された前記第3の外部接続端子群の前記X方向の配列間隔距離をSx2、前記外部端子形成面の対角線及び前記Y方向に平行な辺に囲まれる第2領域に配置された前記第3の外部接続端子群のY方向の配列間隔距離をSy2としたとき、 $Sx2 = 2 \times Sx1$ 且つ $Sy2 = 2 \times Sy1$ を満足する構成であることを特徴とする半導体装置。

【請求項11】

前記第1領域に配置された前記第3の外部接続端子群は前記X方向には配列間隔距離Sx2で、又前記Y方向には配列間隔距離Sy1で格子状に配列し、前記第2領域に配置された前記第3の外部接続端子群は前記X方向には配列間隔距離Sx1で、又前記Y方向には配列間隔距離Sy2で格子状に配列した請求項10記載の半導体装置。

10

【請求項12】

前記第1領域に配置された前記第3の外部接続端子群は前記X方向には配列間隔距離Sx2で、又前記Y方向には配列間隔距離Sy1で千鳥状に配列し、前記第2領域に配置された前記第2の外部接続端子群は前記X方向には配列間隔距離Sx1で、又前記Y方向には配列間隔距離Sy2で千鳥状に配列した請求項10記載の半導体装置。

【請求項13】

前記チップに信号を入/出力する信号用外部接続端子群は、全て前記第2の外部接続端子群又は前記第3の外部接続端子群のいずれかに含まれる請求項8乃至12いずれか1項に記載の半導体装置。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、多端子で高密度実装に好適な半導体装置（以下、LSIとする）に関し、特に半導体チップの表面に外部接続バンプ電極群を有するフリップチップ型LSI（以下、FCLSIとする）の外部接続用バンプ電極群の配列構成、或いはパッケージの一表面上にバンプ形状の外部接続端子群を備えたボール・グリッド・アレイ型LSI（以下、BGAとする）の外部接続端子群の配列構成に関する。

【0002】

【従来の技術】

LSIの大規模化、高密度化に伴い、従来複数のLSIで構成されていたようなシステムを1つの半導体チップに組み込むことができるようになった。特に通信系のシステムに用いられるLSIでは、1つのチップで複数のチャネルの信号処理が可能となったため、1つのチップから引き出される信号線の数、従って外部接続電極の数が飛躍的に増加している。一方、特に携帯電話を初めとするモバイル機器に適用するLSI等には一層の小型化が求められており、多端子と小型化を両立させるため外部接続端子を2次元的に配列したFCLSIやBGAが提案され、端子数の一層の増加に伴ってその端子配列ピッチを小さくすると共に、配置方法の工夫が成されている。

30

【0003】

例えば、特開平5-62978号公報（以下、公知例とする）には、バンプを等ピッチの千鳥格子状に配置することで、バンプ間距離を保ちながら配置密度を向上させたフリップチップが記載されている。

40

【0004】

【発明が解決しようとする課題】

しかし、例えば従来のFCLSIやBGAでは、全ての外部接続端子を単純格子状配列或いは公知例のような千鳥格子状配列にしており、その配列ピッチが小さくなってくると、LSIは実現できてもLSIの実用の際の実装で新たな問題が生じてきた。すなわち、外部接続端子を単純格子状であれ千鳥格子状であれ2次元的に配列したLSIをプリント配線基板（以下、PWBとする）に実装した場合、内周側の信号端子との接続が困難になってきた。図20は、この問題を説明するための図で、(a)は従来のLSI900を含む電子部品を実装したPWB930の実装面の模式的な平面図、(b)は(a)のP部を拡

50

大した模式的な平面図である。例えば F C L S I やバンブ配列ピッチの最も小さい B G A 等では、実装用 P W B に形成された L S I の各外部接続端子に対応する接続電極の間を通過できる配線本数は限られて（通常 1 本）いる。従って、例えば図 20 に示すように接続電極間を通過可能な配線本数が 1 本の場合、最外周側 2 列に収容されている信号端子を接続する接続電極 9 5 7 については、L S I 搭載部 9 0 0 p の領域外への引出配線 9 3 5 を全て単一配線層で形成できるが、それより内周側の信号端子を L S I 領域外へ引き出すには、そのためだけでも P W B を多層化する必要があり P W B のコストアップにつながる。

【 0 0 0 5 】

又、F C L S I の場合、外部と信号を授受するための入 / 出力バッファ回路部（以下、I / O 回路部とする）をチップ縁端に沿って配置し、そこから外部接続端子までの間をチップ上で再配線することが一般的である。しかし、チップ上の配線は、チップを実装する P W B の配線に比べ、その断面積が極端に小さいため、I / O 回路部と当該回路部に電源を供給する電源端子との間で配線による電圧降下が発生し、その量は配線長に比例して大きくなるという問題がある。

【 0 0 0 6 】

本発明は、上記の問題点に鑑みて成されたもので、同一面上に 2 次元的に配列されたバンブ電極等の外部接続端子を有する L S I で、信号端子数を増加させても当該 L S I を実装する P W B において、L S I の信号用外部接続端子を接続する信号用接続電極から L S I 搭載部領域外への引出配線を単一配線層で容易に形成できる外部接続端子配置を備えた L S I を提供する。

【 0 0 0 7 】

又、F C L S I においては、チップ上での I / O 回路部の配置位置に関わらず電源配線による I / O 回路部の電圧降下を抑制することができる L S I を提供する。

【 0 0 0 8 】

【課題を解決するための手段】

そのため、本発明による半導体装置は、所望の素子及び配線が形成され且つ外形形状が矩形又は正方形である半導体チップの表面に 2 次元的に配列された複数の外部接続用バンブ電極を有し、

前記チップの互いに直交する 2 辺の方向を X 方向及び Y 方向としたとき、

前記バンブ電極は全て、前記 X 方向の格子間距離 S_x1 、前記 Y 方向の格子間距離 S_y1 の格子で定まる格子点のいずれかに配置され、

且つ前記バンブ電極が第 1 のバンブ電極群、この第 1 のバンブ電極群の外周部に配列された第 2 のバンブ電極群、及びこの第 2 のバンブ電極群の外周部に配列された第 3 のバンブ電極群を含み、

前記第 1 のバンブ電極群及び前記第 2 のバンブ電極群は前記 X 方向には配列間隔距離 S_x1 で、又前記 Y 方向には配列間隔距離 S_y1 で格子状に配列され、

前記第 3 のバンブ電極群は、

前記チップの対角線及び前記 X 方向に平行な辺に囲まれる第 1 領域に配置された前記第 3 のバンブ電極群の前記 X 方向の配列間隔距離を S_x2 、前記チップの対角線及び前記 Y 方向に平行な辺に囲まれる第 2 領域に配置された前記第 3 のバンブ電極群の Y 方向の配列間隔距離を S_y2 としたとき、 $S_x2 > S_x1$ 且つ $S_y2 > S_y1$ を満足する構成であることを特徴とする。

【 0 0 0 9 】

又、本発明の他の半導体装置は、所望の素子及び配線が形成され且つ外形形状が矩形又は正方形である半導体チップの表面に第 1 のバンブ電極群、この第 1 のバンブ電極群の外周部に配列された第 2 のバンブ電極群、この第 2 のバンブ電極群の外周部に配列された第 3 のバンブ電極群、及びこの第 3 のバンブ電極群の外周部に配列された第 4 のバンブ電極群を含む 2 次元的に配列された複数の外部接続用バンブ電極を有し、

前記チップの互いに直交する 2 辺の方向を X 方向及び Y 方向としたとき、

前記第 1 のバンブ電極群及び前記第 2 のバンブ電極群は前記 X 方向には配列間隔距離 S_x1

10

20

30

40

50

で、又前記 Y 方向には配列間隔距離 S_{y1} で格子状に配列され、前記チップの対角線及び前記 X 方向に平行な辺に囲まれる第 1 領域に配置された前記第 3 のパンプ電極群の前記 X 方向の配列間隔距離を S_{x2} 、前記チップの対角線及び前記 Y 方向に平行な辺に囲まれる第 2 領域に配置された前記第 3 のパンプ電極群の Y 方向の配列間隔距離を S_{y2} としたとき、 $S_{x2} > S_{x1}$ 且つ $S_{y2} > S_{y1}$ を満足し、前記第 1 領域に配置された前記第 4 のパンプ電極群は前記 X 方向に配列間隔距離 S_{x1} で、又前記第 2 領域に配置された前記第 4 のパンプ電極群は前記 Y 方向に配列間隔距離 S_{y1} でいずれも単列で構成されていることを特徴とする。

【 0 0 1 0 】

このとき、前記第 1 のパンプ電極群は、前記チップを動作させる第 1 の電源供給用パンプ電極のみを含むようにすることができる。又、前記第 1 領域に配置された前記第 3 のパンプ電極群は前記 Y 方向に配列間隔距離 S_{y1} で格子状に配列し、前記第 2 領域に配置された前記第 3 のパンプ電極群は前記 X 方向に配列間隔距離 S_{x1} で格子状に配列することができる。或いは、前記第 1 領域に配置された前記第 3 のパンプ電極群は前記 X 方向には配列間隔距離 S_{x2} で、又前記 Y 方向には配列間隔距離 S_{y1} で千鳥状に配列し、前記第 2 領域に配置された前記第 3 のパンプ電極群は前記 X 方向には配列間隔距離 S_{x1} で、又前記 Y 方向には配列間隔距離 S_{y2} で千鳥状に配列してもよい。又、前記チップに信号を入/出力する信号用パンプ電極は、全て前記第 2 のパンプ電極群又は前記第 3 のパンプ電極群のいずれかに含まれるようにすることもできる。又、前記第 4 のパンプ電極群は、全て前記チップの入/出力バッファ回路部を動作させる第 2 の電源供給用パンプ電極とすることができる。又、前記第 3 のパンプ電極群の最内周列一列が、全て前記チップの入/出力バッファ回路部を動作させる第 2 の電源供給用パンプ電極としてもよい。更に、前記第 3 のパンプ電極群の最外周列二列を、全て前記チップの入/出力バッファ回路部を動作させる第 2 の電源供給用パンプ電極とすることもできる。

【 0 0 1 1 】

又、本発明の他の半導体装置は、半導体チップを搭載し且つ外形形状が矩形又は正方形であるパッケージの一主面に 2 次的に配列された複数の外部接続端子を有し、前記一主面の互いに直交する 2 辺の方向を X 方向及び Y 方向としたとき、前記外部接続端子は全て、前記 X 方向の格子間距離 S_{x1} 、前記 Y 方向の格子間距離 S_{y1} の格子で定まる格子点のいずれかに配置され、且つ前記外部接続端子が第 1 の外部接続端子群、この第 1 の外部接続端子群の外周部に配列された第 2 の外部接続端子群、及びこの第 2 の外部接続端子群の外周部に配列された第 3 の外部接続端子群を含み、前記第 1 の外部接続端子群及び前記第 2 の外部接続端子群は前記 X 方向には配列間隔距離 S_{x1} で、又前記 Y 方向には配列間隔距離 S_{y1} で格子状に配列され、前記第 3 の外部接続端子群は、前記一主面の対角線及び前記 X 方向に平行な辺に囲まれる第 1 領域に配置された前記第 3 の外部接続端子群の前記 X 方向の配列間隔距離を S_{x2} 、前記一主面の対角線及び前記 Y 方向に平行な辺に囲まれる第 2 領域に配置された前記第 3 の外部接続端子群の Y 方向の配列間隔距離を S_{y2} としたとき、 $S_{x2} > S_{x1}$ 且つ $S_{y2} > S_{y1}$ を満足する構成であることを特徴とする。

【 0 0 1 2 】

このとき、前記第 1 の外部接続端子群は、前記チップを動作させる電源供給用外部接続端子群のみを含むようにすることができる。

【 0 0 1 3 】

又、本発明の更に他の半導体装置は、半導体チップを搭載し且つ外形形状が矩形又は正方形であるパッケージの一主面に前記チップを動作させる第 1 の電源供給用外部接続端子のみを含む第 1 の外部接続端子群、この第 1 の外部接続端子群の外周部に配列された第 2 の外部接続端子群、及びこの第 2 の外部接続端子群の外周部に配列された第 3 の外部接続端子群を含むいずれもパンプ形状の外部接続用の端子群を有し、この外部接続用の端子群が

形成された前記一主面の互いに直交する２辺の方向をX方向及びY方向としたとき、前記第１の外部接続端子群及び前記第２の外部接続端子群は前記X方向には配列間隔距離 $Sx1$ で、又前記Y方向には配列間隔距離 $Sy1$ で格子状に配列され、前記一主面の対角線及び前記X方向に平行な辺に囲まれる第１領域に配置された前記第３の外部接続端子群の前記X方向の配列間隔距離を $Sx2$ 、前記外部端子形成面の対角線及び前記Y方向に平行な辺に囲まれる第２領域に配置された前記第３の外部接続端子群のY方向の配列間隔距離を $Sy2$ としたとき、 $Sx2 > Sx1$ 且つ $Sy2 > Sy1$ を満足する構成であることを特徴とする。

【００１４】

このとき、前記第１領域に配置された前記第３の外部接続端子群は前記X方向には配列間隔距離 $Sx2$ で、又前記Y方向には配列間隔距離 $Sy1$ で格子状に配列し、前記第２領域に配置された前記第３の外部接続端子群は前記X方向には配列間隔距離 $Sx1$ で、又前記Y方向には配列間隔距離 $Sy2$ で格子状に配列することができる。又、前記第１領域に配置された前記第３の外部接続端子群は前記X方向には配列間隔距離 $Sx2$ で、又前記Y方向には配列間隔距離 $Sy1$ で千鳥状に配列し、前記第２領域に配置された前記第２の外部接続端子群は前記X方向には配列間隔距離 $Sx1$ で、又前記Y方向には配列間隔距離 $Sy2$ で千鳥状に配列してもよい。

10

【００１５】

又、前記チップに信号を入／出力する信号用外部接続端子群は、全て前記第２の外部接続端子群又は前記第３の外部接続端子群のいずれかに含まれるようにすることができる。

20

【００１６】

【発明の実施の形態】

次に、本発明について図面を参照して説明する。

【００１７】

先ず、後の説明を分かり易くするため、図４を参照して、以下の各実施形態の説明で共通的に用いるチップの辺、辺の方向、領域等の定義を説明する。チップ１００の表面に仮想的な線として対角線１２１、１２３と、第１境界線１６１、第２境界線１６３、第３境界線１６５線及びエッジ境界線１７１を設定する。又、第１境界線１６１の外周に第２境界線１６３があり、その外周に第３境界線１６５線があり、更にその外周にエッジ境界線１７１がある。エッジ境界線１７１はチップ１００の縁端部と略一致する。又、X方向の辺である第１の辺１１１と対角線１２１、１２３で囲まれる領域及び第１の辺１１２と対角線１２１、１２３で囲まれる領域をそれぞれ第１領域１３１、１３３とし、Y方向の辺である第２の辺１１６と対角線１２１、１２３で囲まれる領域及び第２の辺１１７と対角線１２１、１２３で囲まれる領域をそれぞれ第２領域１４１、１４３とする。

30

【００１８】

続いて、本発明の第１の実施形態について説明する。

【００１９】

図１は、本発明のLSIの第１の実施形態を説明するための図で、外部接続用パンプ電極の配置を模式的に示す平面図である。又、図２(a)、(b)はそれぞれ図１のA1-A1'線及びA2-A2'線に沿った断面を模式的に示す断面図である。図３は、本実施形態に好適なLSIのチップ構成概要を模式的に示す平面図である。

40

【００２０】

図１、２及び３を参照すると、本実施形態のLSI１は、チップ１００内に所望の機能を実現する内部回路部８０及び外部と信号の入／出力を行うI/O回路部８５を含み、I/O回路部８５は内部回路部８０を略取り囲むように配置される。又、I/O回路部８５は、複数の入／出力バッファセル(以下、I/Oセルとする)８２を含み構成される。尚、チップ１００のI/O回路部８５はエッジ境界線１７１から離間してチップ１００の中央寄りに配置され、I/O回路部８５とエッジ境界線１７１との間に必要に応じて例えばボンディングパッド(図示せず)等を配置できる周辺領域８８を備えている。

【００２１】

50

所望の素子及び配線を形成したチップ100の表面(素子及び配線形成面側)に、例えばポリイミド樹脂等の絶縁膜110を介して2次元的に配列した外部接続用の端子(図示せず)を備え、更にこの端子の上に半田ボール等の外部接続用バンプ電極160を有している。尚、バンプ電極160を搭載する各端子は、再配置配線によりチップ100のI/Oセル82を含む対応する各電極と接続されているが、本発明の構成には直接関係しないので図示は省略する。

【0022】

先ず、このバンプ電極160の配置構成の概要を説明する。本実施形態のLSI1のバンプ電極160は、チップ100の表面全面にX方向の格子間距離 $Sx1$ 、Y方向の格子間距離 $Sy1$ で設定される仮想的なマトリクス状格子のいずれかの格子点に配置され、チップ100の中央部に配置した第1のバンプ電極群162と、この第1のバンプ電極群162の外周部に配列した第2のバンプ電極群164と、更にこの第2のバンプ電極群164の外周部に配列した第3のバンプ電極群166とを含んでいる。より具体的には、第1のバンプ電極群162は例えば仮想的な第1境界線161で囲まれる領域内に配置し、第2のバンプ電極群164は第1境界線161と第2境界線163とで挟まれた環状領域内に配置し、第3のバンプ電極群166は第2境界線163とエッジ境界線171とで挟まれた環状領域内に配置する。又、第1のバンプ電極群162及び第2のバンプ電極群164は、いずれもそれぞれの配置領域の領域内全面に、X方向の配列間隔距離 $Sx1$ 、Y方向の配列間隔距離 $Sy1$ でマトリクス状に配列する。第3のバンプ電極群166は、例えば第1領域131、133では、X方向の配列間隔距離 $Sx2$ 、Y方向の配列間隔距離 $Sy1$ でマトリクス状に配列し、第2領域141、143ではX方向の配列間隔距離 $Sx1$ 、Y方向の配列間隔距離 $Sy2$ でマトリクス状に配列する。尚、本実施形態では $Sx2 = 2 \times Sx1$ 、 $Sy2 = 2 \times Sy1$ となる。

【0023】

次に、各バンプ電極群の機能概略を説明する。第1のバンプ電極群162は、LSI1の内部回路部80を動作させる例えば高電位側電源を供給する第1の電源供給用バンプ電極151Vと低電位側電源を供給する第1の電源供給用バンプ電極151Gとを交互に配置して構成される。第2のバンプ電極群164は、最内周列にLSI1のI/O回路部85を動作させる例えば高電位側電源を供給する第2の電源供給用バンプ電極153Vと低電位側電源を供給する第2の電源供給用バンプ電極153Gとを交互に単列で配置すると共に、第2の電源供給用バンプ電極153V、153Gの外周にチップ100の信号を入出力する信号用バンプ電極157を配置して構成される。更に、第3のバンプ電極群166は、LSI1の信号を入出力する信号用バンプ電極157のみを配置して構成される。

【0024】

次に、このLSI1を実装するPWBについて説明する。図5はPWBを説明するための図で、(a)はLSI10を含む各種電子部品を搭載したPWB30の模式的な平面図、(b)は(a)のZ1-Z1'線での模式的な断面図である。又、図6はPWB30上の接続電極32及び引出配線35のパターンを説明するための図で、図5(a)のQ部の模式的な拡大平面図である。このPWB30にLSI1を搭載するとき、LSI搭載部100pに形成される接続電極32は、LSI1の第1の電源供給用バンプ電極151V、151G、第2の電源供給用バンプ電極153V、153G、及び信号用バンプ電極157にそれぞれ対応する第1の電源供給用接続電極251V、251G、第2の電源供給用接続電極253V、253G、及び信号用接続電極257を含み構成されている。尚、このPWB30では、電源は異なる配線層から供給され、第1の電源供給用接続電極251V、251G及び第2の電源供給用接続電極253V、253Gはいずれもスルーホール37により対応する配線層(図示せず)に接続されている。又、これらの各接続電極の配置間隔はそれぞれ対応するバンプ電極の配置間隔と同じになっていることは言うまでもない。尚、以下の説明を簡単にするため、PWB30のLSI搭載部100p内部に、LSI1のバンプ電極配置の説明に用いた仮想的な第1境界線161、第2境界線163、及び

エッジ境界線 171 に対応する位置にそれぞれ PWB 側仮想第 1 境界線 161p, PWB 側仮想第 2 境界線 163p, 及び PWB 側仮想エッジ境界線 171p を設定する。又、LSI 搭載部 100p の対角線と端部で区画される各領域において、LSI 搭載部 100p の端部に平行する方向、すなわちチップ 100 の第 1 領域 131, 133 では X 方向を、又第 2 領域 141, 143 では Y 方向を横方向とし、LSI 搭載部 100p の端部から中心部に向かう方向、すなわちチップ 100 の第 1 領域 131, 133 では Y 方向を、又第 2 領域 141, 143 では X 方向を縦方向としてもよいことにする。

【0025】

この PWB 30 における接続電極を含む配線パターンの設計基準を、例えば

| | | | |
|----------------|---|---------------|----|
| 接続電極の大きさ | : | 100 μ m | 10 |
| 引出配線幅 | : | 30 μ m | |
| 接続電極 ~ 配線間絶縁間隔 | : | 60 μ m 以上 | |
| 配線 ~ 配線間絶縁間隔 | : | 30 μ m 以上 | |

としたとき、接続電極の間を通過できる配線本数は、接続電極配置間隔が 250 μ m の場所では 1 本であり、500 μ m の場所では 5 本となる。従って、LSI 1 の各パンプ電極の配置間隔を、例えば $Sx1 = Sy1 = 250 \mu\text{m}$, $Sx2 = Sy2 = 500 \mu\text{m}$ とすると、PWB 側仮想エッジ境界線 171p と PWB 側仮想第 2 境界線 163p で挟まれる領域の最外周 2 列の横方向配置間隔は 500 μ m に、縦方向配置間隔は 250 μ m になる。又、PWB 側仮想第 2 境界線 163p で囲まれる領域内の接続電極配置間隔は横方向、縦方向いずれも 250 μ m となる。従って、PWB 側仮想第 2 境界線 163p で囲まれる領域内の最外周側 2 列に配置された接続電極までは、図 6 に示すように配線パターンの設計基準に従いながら一層の配線層のみで LSI 搭載部 100p の外へ引き出す引出配線 35 を設けることができる。すなわち、PWB 30 における配線パターンの設計基準に従いながら一層の配線層のみで LSI 1 の信号用パンプ電極 157 を接続する全ての信号用接続電極 257 に引出配線 35 を設けることができる。

【0026】

ここで、本実施形態による信号端子数の増加について検証する。但し、接続電極間隔が S 及び 2S のときの通過可能配線数が、それぞれ 1 本及び 5 本と仮定する。先ず、従来のように通過可能配線数が 1 本の間隔 S でマトリクス状に接続電極を配置し、最外周側 2 列を信号用接続電極として、最外周 1 列の接続電極数を m とすると、従来の単純マトリクス配置で得られる信号用接続電極数従って信号用パンプ電極数は、 $(2m - 8)$ 個となる。一方、本実施形態の図 1 の配置では、 $(3m - 44)$ となる。従って、 $m > 36$ であれば本実施形態のパンプ電極配置により実装基板上の配線基準を変更することなく信号端子数を増加させることができる。

【0027】

更に、本実施形態の例では、角部において最外周 2 列のパンプ電極及び PWB 30 の対応する接続電極の横方向配置間隔を 250 μ m にして、例えば図 7 に示すように接続電極 280 を追加しても PWB 30 の内周側からの引出配線には影響を及ぼさないことが分かる。尚、図 7 は図 5 (a) の R 部に相当する部分の拡大平面図である。この配置を用いた場合に使用できる信号用信号用接続電極数、従って信号用パンプ電極数は、 $(3m - 24)$ 個となり、 $m > 16$ で実装基板上の配線基準を変更することなく信号端子数を更に増加させることができる。

【0028】

次に本実施形態の変形例について説明する。図 8 はこの変形例の LSI 2 における外部接続用パンプ電極配置を模式的に示す平面図、図 9 は図 5 (a) の Q 部に相当する部分の拡大平面図でこの LSI 2 を PWB 30 に搭載する場合の LSI 搭載部の接続電極及び引出配線の配置を模式的に示す。更に図 10 は LSI 2 の角部のパンプ電極を増加させたときの図 5 (a) R 部に相当する部分の拡大平面図である。この変形例の LSI 2 では、図 8 に示すように第 3 のパンプ電極群 166 を第 2 境界線 163 とエッジ境界線 171 とで挟まれた環状領域内で千鳥状に配置する。この場合も、第 1 領域 131, 133 では、X 方

向及びY方向の配列間隔距離はそれぞれ S_{x2} 及び S_{y1} であり、第2領域141, 143ではX方向及びY方向の配列間隔距離はそれぞれ S_{x1} 及び S_{y2} である。又、第3の bumps 電極群166を千鳥状に配列したLSI2を搭載する場合のPWB30の信号用接続電極からの引出配線も図8のように配置すれば、PWB30における配線パターンの設計基準に従いながら一層の配線層のみでLSI2の信号用 bumps 電極157を接続する全ての信号用接続電極257に引出配線35を設けることができ、信号端子数を増加させることができる。又、この変形例の場合の角部も本実施形態と同様であり、 bumps 電極の配置間隔及び対応するPWBの接続電極の配置間隔並びに接続電極間の通過配線数等に上記と同じ数値を仮定すると、図10に示すようにPWBの内周側接続電極からの引出配線に影響を及ぼすことなく最外周2列に接続電極280を追加して横方向配置間隔を $250\mu\text{m}$ にでき、この場合に使用できる信号用 bumps 電極数、従って信号用 bumps 電極数は、 $(3m - 24)$ 個となり、 $m > 16$ で実装基板上の配線基準を変更することなく信号端子数を更に増加させることができる。

10

【0029】

又、特に図3に示すようなI/O回路部85がチップの中央寄りに設けられたLSIにおいては、本実施形態の bumps 電極配置を行うことにより、I/O回路部85に電源を供給するための第2の電源供給用 bumps 電極153V, 153GをI/O回路部85の近傍に配置できるので、第2の電源供給用 bumps 電極153V, 153GとI/O回路部85を接続する配線による電圧降下を緩和できるという効果もある。

【0030】

20

次に、本発明の第2の実施形態について説明する。

【0031】

図11は、本実施形態に好適なチップの概略構成を模式的に示す平面図であり、図12は本実施形態のLSIを説明するための図で、外部接続用 bumps 電極の配置を模式的に示す平面図である。又、図13(a), (b), (c)はそれぞれ図12のC1-C1'線, C2-C2'線及びC3-C3'線に沿った断面を模式的に示す断面図である。

【0032】

図11, 12及び13を参照すると、本実施形態のLSI3は、チップ102内に所望の機能を実現する内部回路部80及びI/O回路部85を含み、I/O回路部85は内部回路部80を略取り囲むように配置され、I/O回路部85は、複数のI/Oセル82を含み構成される。本実施形態のチップ102は、I/O回路部85とエッジ境界線171との間にデッドスペースとなる周辺領域88を設けず、エッジ境界線171の近傍にI/O回路部85を配置しているので、第1の実施形態のチップ100とチップサイズが同一でも内部回路部80の面積を大きく取ることができる。但し、チップ100の場合、例えば周辺領域88に予めボンディングパッドを作り込んでおけば、ワイヤボンディング接続用のチップとしてもそのまま用いることができるという利点を有している。

30

【0033】

以下、第1の実施形態と同様の構成部分については同じ参照符号を用いて説明を省略し、主な相違点である bumps 電極配置について説明する。

【0034】

40

本実施形態のLSI3の bumps 電極160も、チップ102の表面全面にX方向の格子間距離 S_{x1} 、Y方向の格子間距離 S_{y1} で設定される仮想的なマトリクス状格子のいずれかの格子点に配置され、チップ102の中央部に配置した第1の bumps 電極群162と、この第1の bumps 電極群162の外周部に配列した第2の bumps 電極群164と、この第2の bumps 電極群164の外周部に配列した第3の bumps 電極群166と、更にこの第3の bumps 電極群164の外周部に配列した第4の bumps 電極群168とを含んでいる。より具体的には、第1の bumps 電極群162は第1境界線161で囲まれる領域内に配置し、第2の bumps 電極群164は第1境界線161と第2境界線163とで挟まれた環状領域内に配置し、第3 bumps 電極群166は第2境界線163と第3境界線165とで挟まれた環状領域内に配置し、第4 bumps 電極群168は第3境界線165とエッジ境界線17

50

1とで挟まれた環状領域内に配置する。又、第1のバンク電極群162及び第2のバンク電極群164は、いずれもそれぞれの配置領域の領域内全面に、X方向の配列間隔距離 S_{x1} 、Y方向の配列間隔距離 S_{y1} でマトリックス状に配列する。第3のバンク電極群166は、例えば第1領域131、133では、X方向の配列間隔距離 S_{x2} の単列で配置し、第2領域141、143ではY方向の配列間隔距離 S_{y2} の単列で配置する。第4のバンク電極群168は、例えば第1領域131、133では、X方向の配列間隔距離 S_{x2} 、Y方向の配列間隔距離 S_{y1} でマトリックス状に配列し、第2領域141、143ではX方向の配列間隔距離 S_{x1} 、Y方向の配列間隔距離 S_{y2} でマトリックス状に配列する。尚、本実施形態においても、 $S_{x2} = 2 \times S_{x1}$ 、 $S_{y2} = 2 \times S_{y1}$ となる。

【0035】

次に、各バンク電極群の機能概略を説明する。本実施形態においても第1のバンク電極群162は、LSI3の内部回路部80を動作させる第1の電源供給用バンク電極151V、151Gを交互に配置して構成される。本実施形態の第2のバンク電極群164及び第3のバンク電極群166は、チップ102の信号を入/出力する信号用バンク電極157のみを配置して構成される。第4のバンク電極群168は、LSI3のI/O回路部85を動作させる第2の電源供給用バンク電極153V、153Gを、例えば第1領域131、133ではY方向に組にして並べて、又第2領域141、143ではX方向に組にして並べてそれぞれ配置する。

【0036】

本実施形態のLSI3では、I/O回路部85をエッジ境界線171に近接して配置したチップ102に対応して、第2の電源供給用バンク電極153V、153Gを最外周2列に配置し、且つこれらの横方向配置間隔を広くしておくことで、第2の電源供給用バンク電極153V、153GとI/O回路部85を接続する配線による電圧降下を緩和しながらこのLSI3を実装するPWBにおいては、第2の電源供給用バンク電極153V、153Gを接続する第2の電源供給用接続電極253V、253Gよりも内周側に設けられたLSI3の信号用バンク電極157を接続する全ての信号用接続電極257の引出配線を、PWBにおける配線パターンの設計基準に従いながら一層の配線層のみで設けることができる。図14に、図5(a)のR部に相当する部分を拡大したこの引出配線パターンの一例の模式的な平面図を示す。図14において、信号用接続電極258は、角部の特性で追加できる接続電極である。

【0037】

第1の実施形態において信号用接続電極数の増加について検証した際の接続電極間隔及び通過可能配線数等の前提条件用いたときの本実施形態のLSI3に設けることができる信号用バンク電極の数は、 $(2.5m - 64)$ となる。これに対し、第2の電源供給用バンク電極153V、153Gの内周側2列に信号用バンク電極157を設けたときの信号用バンク電極の数は $(2m - 40)$ となるので、 $m > 48$ であれば本実施形態のLSI3のほうがより多くの信号用バンク電極を設けることができる。

【0038】

次に第2の実施形態の変形例について説明する。

【0039】

図15はこの変形例のLSIを説明するための図で、外部接続用バンク電極の配置を模式的に示す平面図である。又、図16(a)、(b)、(c)はそれぞれ図15のD1-D1'線、D2-D2'線及びD3-D3'線に沿った断面を模式的に示す断面図である。本変形例は、LSIを実装するPWBが、例えば外部からの電磁ノイズの影響を極力抑制するために少なくとも当該LSI搭載領域の周囲領域全面に例えば低電位側電源電位(通常接地電位)に接続した金属等の導電性パターンを備えているような場合に好適な構成となっている。

【0040】

図15及び16を参照すると、本変形例のLSI4も第2の実施形態と同じ構成のチップ102を含み構成される。本変形例のLSI4が第2の実施形態のLSI3と異なってい

10

20

30

40

50

るのは、第4のバンク電極群168の配置方法のみであるのでこの点を中心に説明する。本変形例の第4のバンク電極群168は、第3境界線165とエッジ境界線171とで挟まれた環状領域内に、第1領域131, 133ではX方向の配列間隔距離 S_x1 の単列で配置し、第2領域141, 143ではY方向の配列間隔距離 S_y1 の単列で配置する。又、この第4のバンク電極群168は、第2の電源供給用バンク電極153V, 153Gのみを含み、これらを交互に配置する。

【0041】

次にこのLSI4を実装するPWBについて説明する。図17は、LSI4を実装するPWBの一例を説明するための図で、(a)は部品実装面の模式的な概略平面図、(b)は(a)のZ1-Z2'線での概略断面をLSI4を実装した状態で示す断面図、(c)は(a)のH部の模式的な拡大平面図である。図17を参照すると、このPWB40は、例えばLSI4を含む各種電子部品を搭載する部品実装面側の部品搭載領域を除く全面に例えば銅からなる金属膜41を備えている。又、この金属膜41は例えば低電位側電源電位に接続してある。従って、(c)に示すように低電位側電源に接続する第2の電源供給用接続電極2573GもPWB40の表面で金属膜41と直接接続する。金属膜41と信号用接続電極42を含む各接続電極とは同一配線層且つ同一材料で形成するのが通常である。このPWB40では、他の接続電極は全て他の配線層を介して他と接続するようになっており、LSI4の各信号用バンク電極157を接続する信号用接続電極42からLSI搭載部102pの外へ引き出す引出配線45は下層の配線層50を一層だけ用いて形成される。又、信号用接続電極42と引出配線45はスルーホール47を介して接続する。

【0042】

従って、PWB40にLSI4を実装したときの信号用バンク電極157を接続する信号用接続電極257からの引出配線は配線層50で構成され、この配線層50での配線パターンは、第1の実施形態の変形例に対応する図9と実質的に同様のパターンとなり、全ての信号線を引き出すことができる。

【0043】

又、第2の実施形態の場合と同じ前提条件のときの本変形例のLSI4に設けることができる信号用バンク電極の数は、 $(2.5m - 44)$ となり、第2の電源供給用バンク電極153V, 153Gの内周側2列に信号用バンク電極157を設けたときの信号用バンク電極の数は $(2m - 24)$ となるので、 $m > 40$ であれば本変形例のLSI4のほうがより多くの信号用バンク電極を設けることができる。

【0044】

以上説明したように、本発明のLSIは、チップ全面に最小格子ピッチ (S_x1, S_y1) で仮想的に作る格子点のいずれかに全てのバンク電極が配置され、且つI/O回路部85のチップ内での位置に応じてこのI/O回路部85に電源を供給する第2の電源供給用バンク電極153V, 153GをI/O回路部85の近傍に配置することで第2の電源供給用バンク電極とI/O回路部との配線距離を短くして配線による電圧降下を抑制しながら、外周側バンク電極の横方向配置間隔を広くしておくことにより、このLSIを実装するPWBにおいて、PWBの配線パターンの設計基準に従いながら一層の配線層のみで内周側に設けた信号用バンク電極を接続するPWBの信号用接続電極からLSI搭載部領域外への引出配線を設けることができるので信号端子の数も増加させることができるという効果が得られる。

【0045】

尚、本発明は上記実施形態の説明に限定されるものでなく、その要旨の範囲内において種々変更が可能であることは言うまでもない。

【0046】

例えば、上記実施形態はチップ表面に2次元的に配置されたバンク電極を有するFCLSIを例として説明したが、BGAの外部接続端子についても同様に適用できることは言うまでもない。具体的には、図18に示すBGAの一例の模式的な断面図を参照すると、外部接続用端子であるバンク電極260に対して、特に第1の実施形態及びその変形例をそ

のまま応用できる。尚、このBGA20は、チップ100或いはチップ102を搭載基板22に搭載した例を示しているが、これに限定されるものでなく、チップを搭載基板22にフェイスアップで搭載しワイヤボンディングで接続するようにしてもよい。又、FCLSIを搭載基板22に搭載する場合は、搭載基板22を上記実施形態の説明におけるPWBとすることもできる。

【0047】

又、第1の bumps 電極群162は、第1境界線161で囲まれる領域内全面に配置した例で説明したが、例えば図19に一例を示すように必要に応じて一部の格子点の bumps 電極を除いた配置方法としてもよい。

【0048】

更に、上記実施形態及びそれらの変形例を、必要に応じて同一チップ内で混在させることもできる。

【0049】

【発明の効果】

以上説明したとおり、本発明のLSIは、同一面上に2次元的に配列された bumps 電極等の外部接続端子を有するLSIで、信号端子数を増加させても当該LSIを実装するPWBにおいて、LSIの信号用外部接続端子を接続する信号用接続電極からLSI搭載部領域外への引出配線を単一配線層で容易に形成できるという効果が得られる。

【0050】

又、FCLSIにおいては、チップ上でのI/O回路部の配置位置に関わらず電源配線によるI/O回路部の電圧降下を抑制することができるという効果も得られる。

【図面の簡単な説明】

【図1】本発明のLSIの第1の実施形態を説明するための図で、外部接続用 bumps 電極の配置を模式的に示す平面図である。

【図2】(a)、(b)はそれぞれ図1のA1-A1'線及びA2-A2'線に沿った断面を模式的に示す断面図である。

【図3】本実施形態に好適なLSIのチップ構成概要を模式的に示す平面図である。

【図4】チップの辺、辺の方向、領域等の定義を説明するための平面図である。

【図5】PWBを説明するための図で、(a)はLSIを含む各種電子部品を搭載したPWBの模式的な平面図、(b)は(a)のZ1-Z1'線での模式的な断面図である。

【図6】図5(a)のQ部の模式的な拡大平面図である。

【図7】図5(a)のR部に相当する部分の拡大平面図である。

【図8】第1の実施形態の変形例のLSIにおける外部接続用 bumps 電極配置を模式的に示す平面図である。

【図9】図5(a)のQ部に相当する部分の拡大平面図である。

【図10】図5(a)R部に相当する部分の拡大平面図である。

【図11】本発明の第2の実施形態のLSIのチップの概略構成を模式的に示す平面図である。

【図12】本発明の第2の実施形態のLSIを説明するための図で、外部接続用 bumps 電極の配置を模式的に示す平面図である。

【図13】(a)、(b)、(c)はそれぞれ図12のC1-C1'線、C2-C2'線及びC3-C3'線に沿った断面を模式的に示す断面図である。

【図14】図5(a)のR部に相当する部分を拡大した模式的な平面図である。

【図15】第2の実施形態の変形例のLSIを説明するための図で、外部接続用 bumps 電極の配置を模式的に示す平面図である。

【図16】16(a)、(b)、(c)はそれぞれ図15のD1-D1'線、D2-D2'線及びD3-D3'線に沿った断面を模式的に示す断面図である。

【図17】第2の実施形態の変形例のLSIを実装するPWBの一例を説明するための図で、(a)は部品実装面の模式的な概略平面図、(b)は(a)のZ1-Z2'線での概略断面をLSI4を実装した状態で示す断面図、(c)は(a)のH部の模式的な拡大平

10

20

30

40

50

面図である。

【図18】BGAの一例の模式的な断面図である。

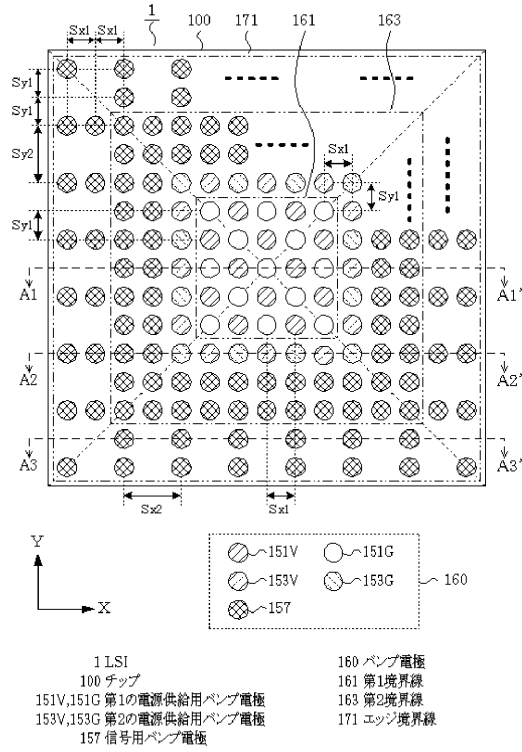
【図19】第1のバンク電極群の配置方法の一例を示す平面図である。

【図20】(a)は従来のLSIを含む電子部品を実装したPWBの実装面の模式的な平面図、(b)は(a)のP部を拡大した模式的な平面図である。

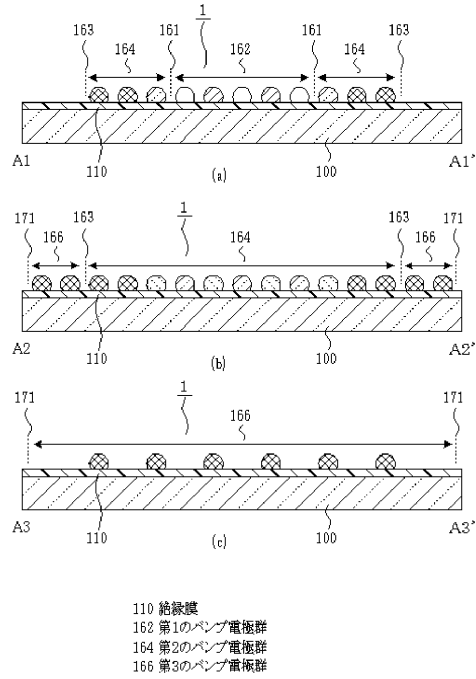
【符号の説明】

| | | |
|----------------|---------------|----|
| 1, 2, 3, 4, 10 | LSI | |
| 20 | BGA | |
| 22 | 搭載基板 | |
| 30, 40 | PWB | 10 |
| 32, 42 | 接続電極 | |
| 35, 45 | 引出配線 | |
| 37, 47 | スルーホール | |
| 50 | 下層の配線層 | |
| 80 | 内部回路部 | |
| 82 | I/Oセル | |
| 85 | I/O回路部 | |
| 88 | 周辺領域 | |
| 100, 102 | チップ | |
| 110 | 絶縁膜 | 20 |
| 111, 112 | 第1の辺 | |
| 116, 117 | 第2の辺 | |
| 121, 123 | 対角線 | |
| 131, 133 | 第1領域 | |
| 141, 143 | 第2領域 | |
| 151V, 151G | 第1の電源供給用バンク電極 | |
| 153V, 153G | 第2の電源供給用バンク電極 | |
| 157 | 信号用バンク電極 | |
| 160, 260 | バンク電極 | |
| 161 | 第1境界線 | 30 |
| 161p | PWB側仮想第1境界線 | |
| 162 | 第1のバンク電極群 | |
| 163 | 第2境界線 | |
| 163p | PWB側仮想第2境界線 | |
| 164 | 第2のバンク電極群 | |
| 165 | 第3境界線 | |
| 166 | 第3のバンク電極群 | |
| 168 | 第4のバンク電極群 | |
| 171 | エッジ境界線 | |
| 171p | PWB側仮想エッジ境界線 | 40 |
| 251V, 251G | 第1の電源供給用接続電極 | |
| 253V, 253G | 第2の電源供給用接続電極 | |
| 257, 258 | 信号用接続電極 | |

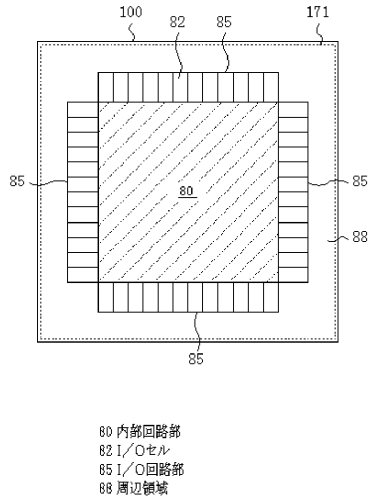
【図1】



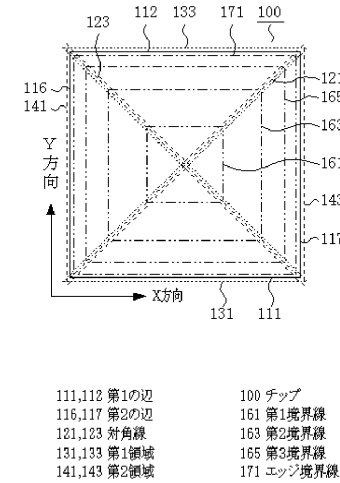
【図2】



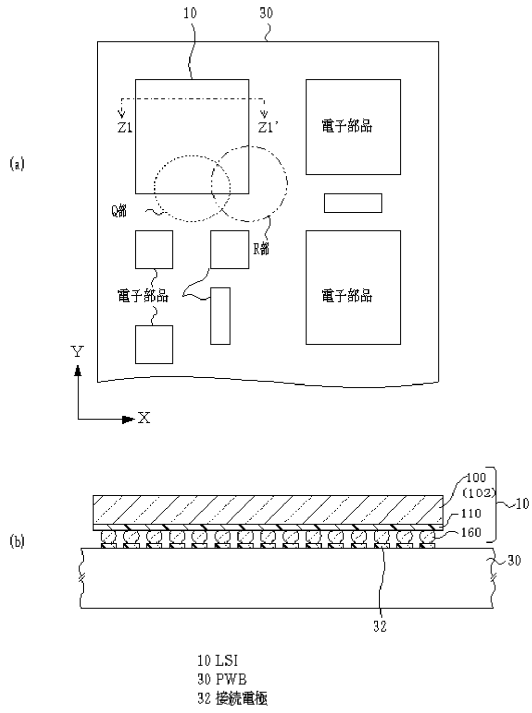
【図3】



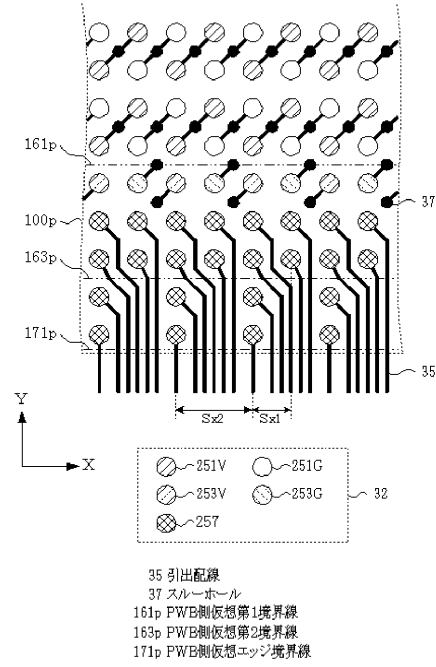
【図4】



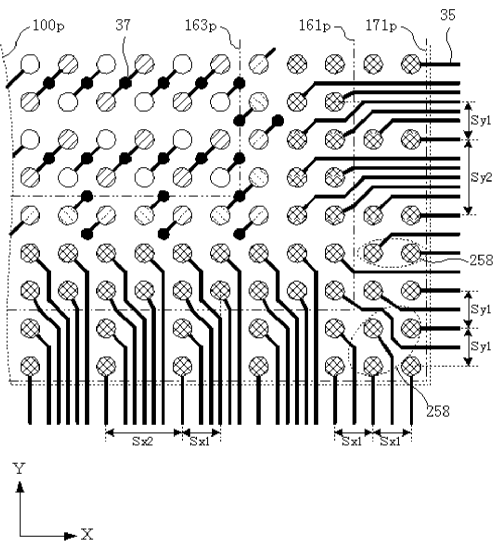
【図5】



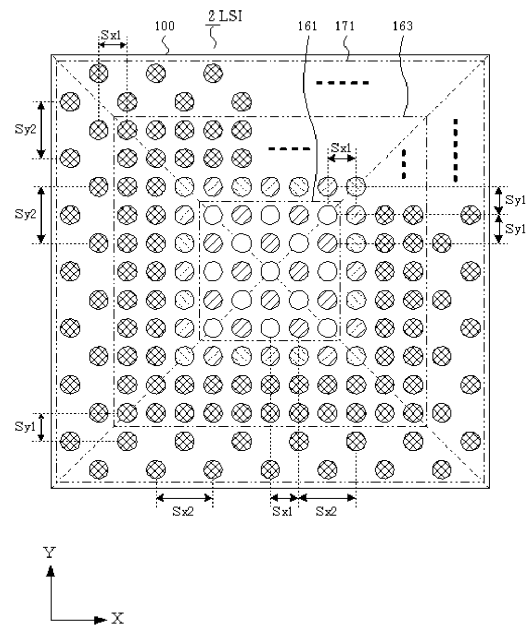
【図6】



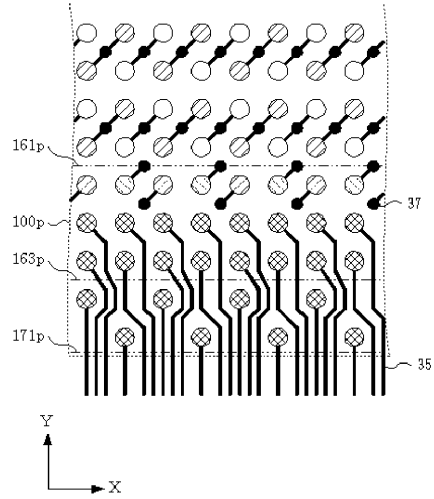
【図7】



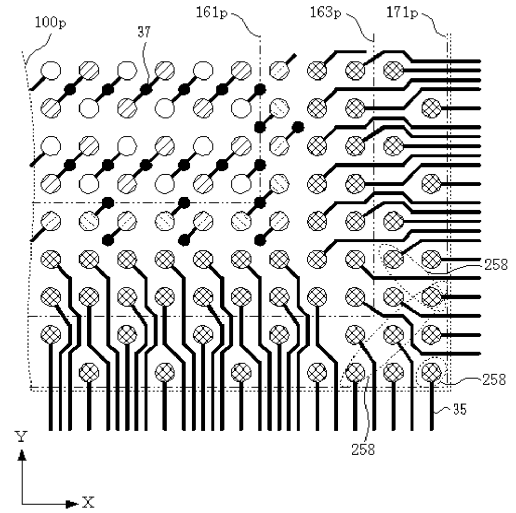
【図8】



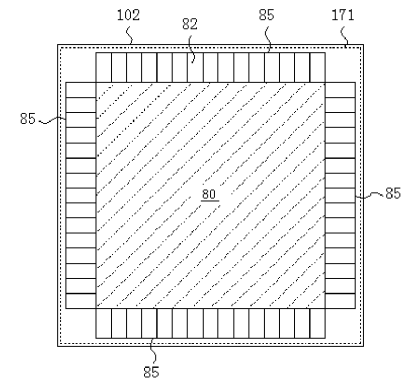
【図 9】



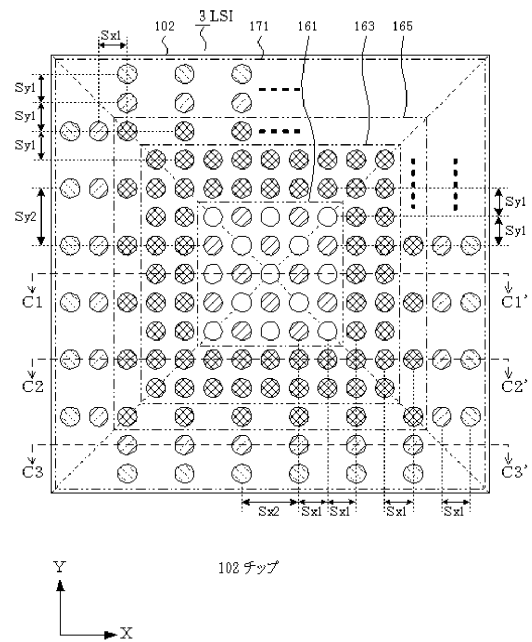
【図 10】



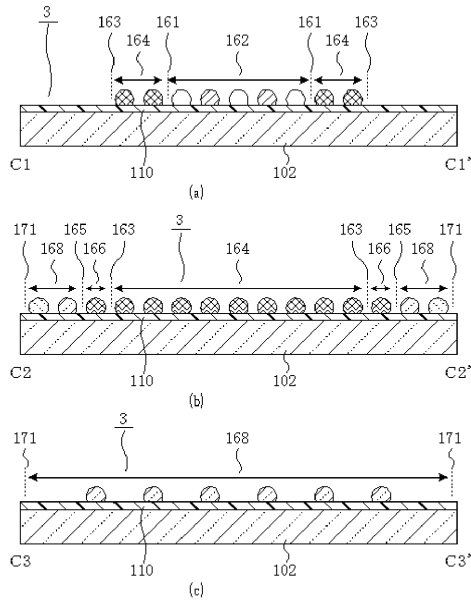
【図 11】



【図 12】

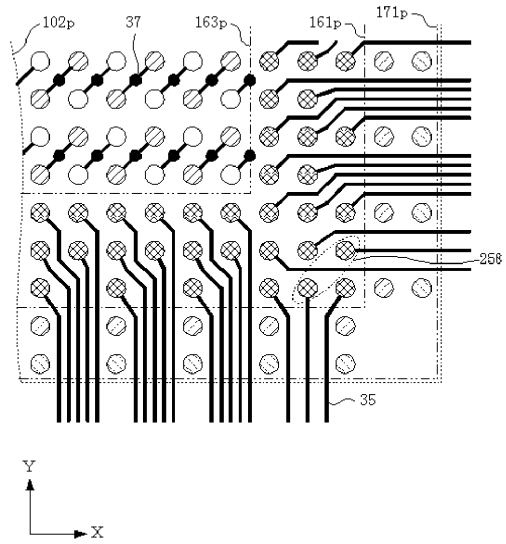


【図13】

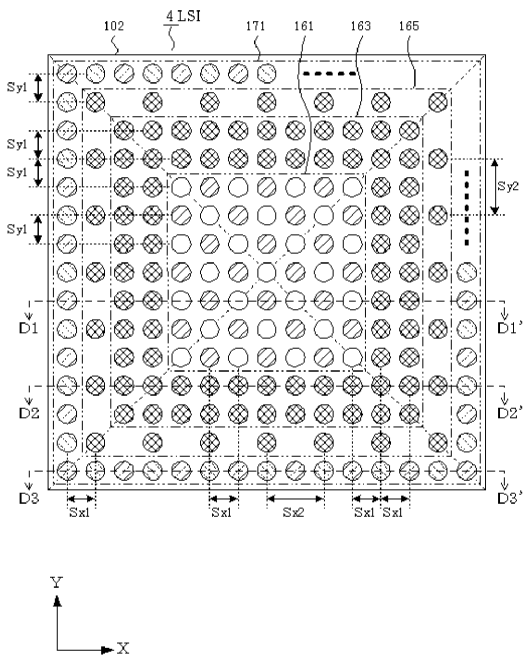


166 第4のポンプ電極群

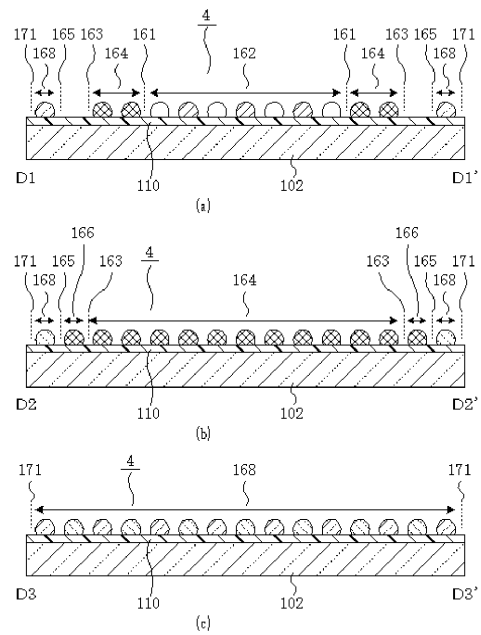
【図14】



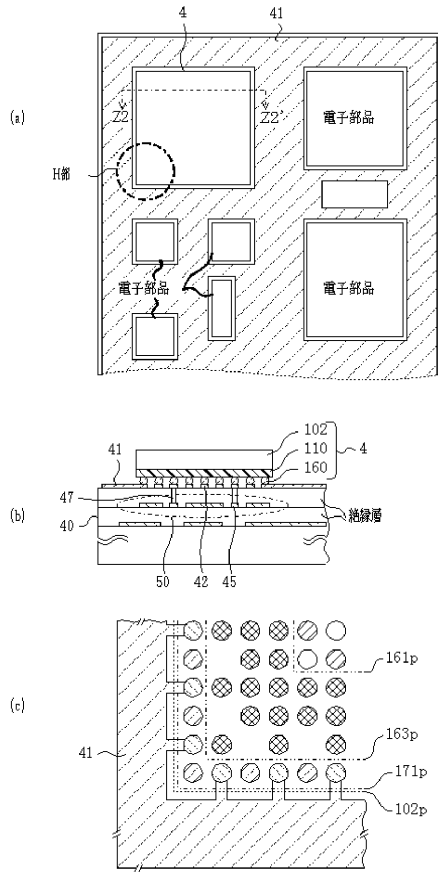
【図15】



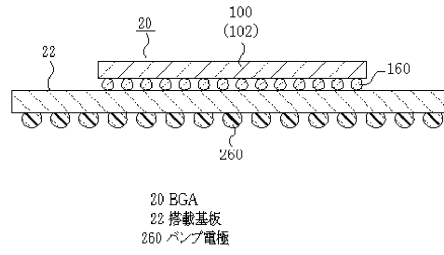
【図16】



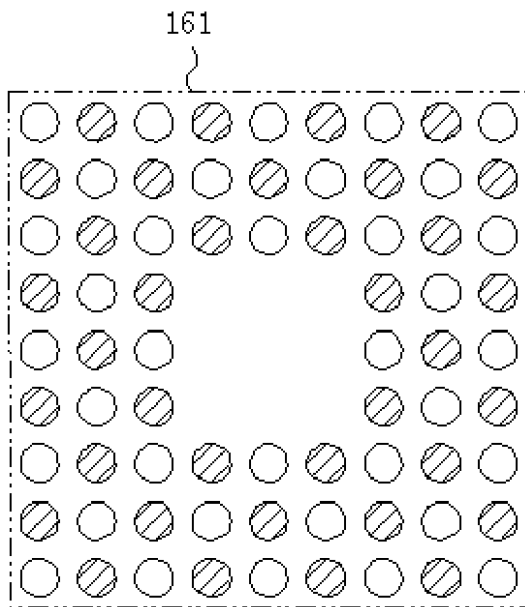
【図17】



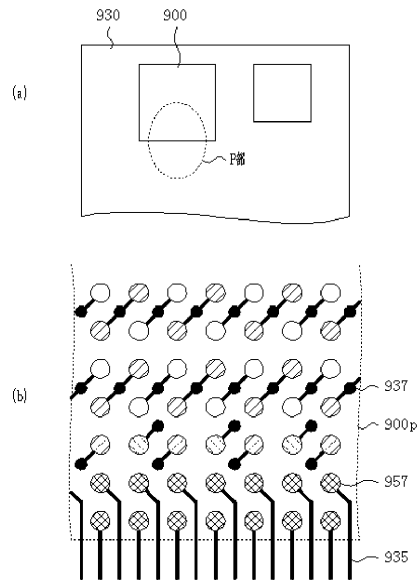
【図18】



【図19】



【図20】



フロントページの続き

- (56)参考文献 特開2000-100851(JP,A)
特開2000-100986(JP,A)
特開平09-172105(JP,A)
特開平11-186332(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60

H01L 23/12