



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201812836 A

(43) 公開日：中華民國 107 (2018) 年 04 月 01 日

(21) 申請案號：106121797

(22) 申請日：中華民國 106 (2017) 年 06 月 29 日

(51) Int. Cl. : H01L21/02 (2006.01)

H01L21/768 (2006.01)

(30) 優先權：2016/07/08 美國

15/205,890

(71) 申請人：A S M智慧財產控股公司 (荷蘭) ASM IP HOLDING B. V. (NL)
荷蘭

(72) 發明人：朱馳宇 ZHU, CHIYU (CN)

(74) 代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：5 共 32 頁

(54) 名稱

用以形成氣隙的選擇性沉積

SELECTIVE DEPOSITION TO FORM AIR GAPS

(57) 摘要

揭示的是沉積膜以在半導體裝置裡形成氣隙的方法。範例性方法包括將金屬鹵化物前驅物脈衝化到基板上，並且將氧前驅物脈衝化到選擇性沉積表面上。本方法可以用來形成氣隙，舉例而言以減少半導體裝置的寄生電阻。

A method for depositing a film to form an air gap within a semiconductor device is disclosed. An exemplary method comprises pulsing a metal halide precursor onto the substrate and pulsing an oxygen precursor onto a selective deposition surface. The method can be used to form an air gap to, for example, reduce a parasitic resistance of the semiconductor device.

指定代表圖：

符號簡單說明：

10 . . . 半導體裝置

20 . . . 第一金屬化線

30 . . . 第二金屬化線

40 . . . 長度

50 . . . 高度

60 . . . 寬度

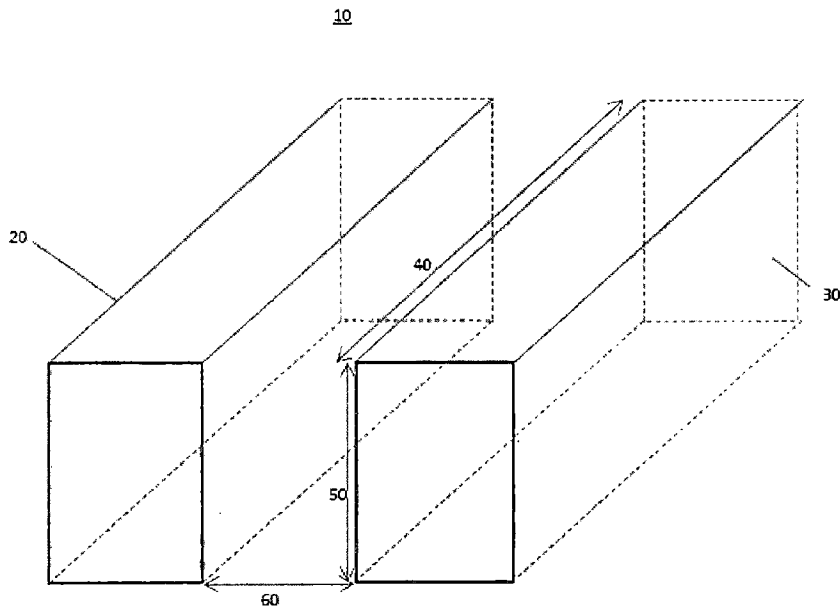


圖1

※ 申請案號 : 106121797

※ 申請日 : 106/06/29

※IPC 分類 :

【發明名稱】(中文/英文)

用以形成氣隙的選擇性沉積

Selective Deposition to Form Air Gaps

【中文】

揭示的是沉積膜以在半導體裝置裡形成氣隙的方法。範例性方法包括將金屬鹵化物前驅物脈衝化到基板上，並且將氧前驅物脈衝化到選擇性沉積表面上。本方法可以用來形成氣隙，舉例而言以減少半導體裝置的寄生電阻。

【英文】

A method for depositing a film to form an air gap within a semiconductor device is disclosed. An exemplary method comprises pulsing a metal halide precursor onto the substrate and pulsing an oxygen precursor onto a selective deposition surface. The method can be used to form an air gap to, for example, reduce a parasitic resistance of the semiconductor device.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 10 半導體裝置
- 20 第一金屬化線
- 30 第二金屬化線
- 40 長度
- 50 高度
- 60 寬度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用以形成氣隙的選擇性沉積

Selective Deposition to Form Air Gaps

【技術領域】

【0001】 本揭示一般而言關於製造電子裝置的過程。更特別而言，本揭示關於透過原子層沉積(atomic layer deposition, ALD)或化學氣相沉積(chemical vapor deposition, CVD)而選擇性形成膜。特定而言，本揭示揭示了形成 ALD 或 CVD 膜的方法，該膜可以用來形成氣隙。

【先前技術】

【0002】 一般而言，膜沉積是以讓諸層從底部往上方向來生長的方式而發生。舉例而言，生長在晶圓上的膜通常生長在垂直於晶圓表面的方向。其他的膜可以垂直生長在微結構表面上。舉例而言，以這方式所生成之特色的某些範例包括溝槽填充、階梯形成、或鰭式場效電晶體(FinFET)特色。

【0003】 氣隙是可應用於膜沉積的特色。頒給 Dubin 等人之美國專利第 7,304,388 號所揭示的氣隙乃藉由首先形成犧牲性中間層介電質並且分解之而生成。該形成可以涉及蝕刻步驟，這可以引起問題並且減少裝置的效能。該形成也可以涉及沉積步驟以保護襯墊、金屬或金屬表面，因此減少了氣隙的尺寸和裝置的效能。舉例而言，頒給 Fischer 的世界專利公告案第 2013/101096 號揭示以罩蓋層來形成氣隙。氣隙的形成也可以包括蝕刻步驟。氣隙可以同時用於產線後端(back end of line, BEOL)處理或產線前端處理。氣隙的二個應用範例包括在金屬化(例如 Cu 金屬化)中的氣隙或在反及

(NAND)記憶體中的氣隙。

【0004】 結果，想要有透過 ALD 或 CVD 過程來選擇性形成氣隙而導致增加效能的方法。

【發明內容】

【0005】 依據本發明的至少一實施例，揭示的是透過選擇性沉積而形成用於半導體裝置之氣隙的方法。該方法包括：提供在反應腔室中處理的基板；提供用於選擇性沉積膜的第一表面，其中至少部分的第一表面是實質垂直的；以及透過沉積方法而至少在水平方向來選擇性沉積膜在第一表面上，該膜不沉積在第二表面上，其中第二表面異於第一表面；其中選擇性沉積膜乃部分界定了氣隙。

【0006】 為了綜述本發明和相較於先前技藝所達成的優點，上文已經描述了本發明的特定目的和優點。當然，要了解未必所有此種目的或優點可以依據本發明的任何特殊實施例來達成。因此，舉例而言，熟於此技藝者將體認本發明可以用達成或優化如在此教導或建議之某一優點或一群優點的方式來實施或執行，而不需要達成可以如在此教導或建議的其他目的或優點。

【0007】 所有這些實施例打算是位於在此揭示之發明的範圍裡。熟於此技藝者從以下參考附圖之特定實施例的詳細敘述將輕易明白這些和其他實施例，但本發明不限於揭示的任何(多個)特殊實施例。

【圖式簡單說明】

【0008】 以下參考特定實施例的的圖式來描述在此揭示之發明的這些和其他特色、方面、優點，其打算示範而非限制本發明。

【0009】 圖 1 是依據本發明的至少一實施例之半導體裝置的立體圖。

【0010】 圖 2A~2B 是依據本發明的至少一實施例之半導體裝置的截面圖。

【0011】 圖 3A~3D 是依據本發明的至少一實施例之半導體裝置的截面圖。

【0012】 圖 4A~4D 是依據本發明之至少一實施例的截面圖。

【0013】 圖 5 是依據本發明之至少一實施例的截面圖。

【0014】 將體認乃為了簡單和清楚而示範圖中的元件，其未必按照比例。舉例而言，圖中某些元件的尺度可以相對於其他元件而有所誇大，以幫助改善對本揭示所示範之實施例的理解。

【實施方式】

【0015】 雖然以下揭示特定的實施例和範例，但是此技藝的人士將了解本發明延伸超越本發明之特定揭示的實施例和 / 或用途以及其明顯的修改和等同者。因此，揭示的發明範圍打算是不應受限於下述所揭示的特殊實施例。

【0016】 想要有選擇性沉積以便生長用於各式各樣應用的特殊特色。一種特殊的特色(氣隙)已經用於 14 奈米節點，其是目前所製造的最小節點尺寸。在 14 奈米節點所生成的氣隙舉例而言可以具有近似 140 奈米的高度和近似 50 奈米的寬度。這間隙可以形成在高度近似 180 奈米的溝槽中，溝槽在此意謂在金屬化線之間的空間。氣隙的面積可以近似 6,500 平方奈米，而溝槽可以具有 19,700 平方奈米的面積。氣隙的體積範圍或可在 1,625,000~32,500,000 立方奈米，而溝槽或可具有 4,925,000~98,500,000 立方奈

米的體積。氣隙可以近似溝槽之尺寸的 33%。

【0017】 根據本發明的實施例可以導致較大的氣隙，因為它可以佔去溝槽的較大百分率，舉例而言例如 50~60%。氣隙的尺寸可以是溝槽或金屬化線之間的空間之尺寸的大於約 35%、大於約 45%、大於約 50%、大於約 60%、大於約 70%、或大於約 80%。

【0018】 此技藝中的通常技術者會了解氣隙可能可以有不同的尺寸。舉例而言，氣隙的高度範圍可以在約 10 到約 500 奈米之間、在約 20 到約 300 奈米之間、在約 30 到約 200 奈米之間。而且，氣隙的寬度範圍可以在約 5 到約 250 奈米之間、較佳而言在約 10 到約 200 奈米之間、或更佳而言在約 20 到約 100 奈米之間。而且，氣隙的寬度可以小於約 50 奈米、小於約 30 奈米、小於約 20 奈米、或於某些例子小到約 10 奈米。寬度可以視為在特色之間的較小尺度方向來測量，舉例而言，在金屬化線之間的寬度，而金屬化線的最長尺度則橫截於寬度(亦即較小尺度)。

【0019】 由此，則氣隙的截面積範圍可以在 50~125,000 平方奈米之間、較佳而言在約 100 到約 50,000 平方奈米之間、或更佳而言在約 200 到約 20,000 平方奈米之間。在此的氣隙截面積可以視為在裝置特色之間的氣隙之截面積。面積可以視為在特色之間的最小尺度方向來測量，舉例而言，在金屬化線之間的面積，而金屬化線的最長尺度則橫截於面積。進一步而言，相對於溝槽尺寸的氣隙尺寸範圍可以在約 30~80%之間。而且，氣隙的體積範圍或可從約 2,500 到約 5,000,000,000 立方奈米、較佳而言從約 10,000 到約 500,000,000 立方奈米、或更佳而言從約 50,000 到約 50,000,000 立方奈米。

【0020】 圖 1 為了示範範例性尺度而做示意性簡化。圖 1 示範依據本發明之至少一實施例的半導體裝置 10。半導體裝置 10 包括第一金屬化線 20 和第二金屬化線 30。第一金屬化線 20 和第二金屬化線 30 可以包括例如銅或其他適當金屬的材料。間隙可以存在於第一金屬化線 20 和第二金屬化線 30 之間。間隙可以具有長度 40、高度 50、寬度 60。於某些實施例，氣隙可以形成在間隙裡，並且可以具有小於圖 1 所示範之長度 40、高度 50、寬度 60 的長度、高度、寬度。於某些實施例，氣隙的截面積可以使用高度和寬度來測量或計算，其方向相同於間隙裡所形成的氣隙高度 50 和寬度 60。於某些實施例，寬度 60 可以視為在特色之間的最小或較小尺度。於某些實施例，高度 50 可以視為在特色之間的最小或較小尺度。

【0021】 較大氣隙所獲得的優點可以包括改善效能以及減少在線之間的材料之有效 k 值。舉例而言，雖然低 k 材料的介電常數可以近似 2.52，但是空氣的介電常數是 1。以空氣來取代低 k 材料而減少介電常數則減少了電阻 - 電容(resistive-capacitive, RC)延遲。附帶而言，該取代可以導致增加處理速度、使用較少電流、減少操作溫度和寄生電阻。於某些實施例，具有氣隙的結構可以具有類似於 k 值小於約 3.9、小於約 3.6、小於約 3.3、小於約 3、小於約 2.7、或小於約 2.5 之材料的效能；而於某些例子，當材料會視為取代氣隙時，k 值或可小於約 2.3 或甚至小於約 2.0。

【0022】 在此呈現的圖形有所簡化，並且未必示範範例性積體電路或可以部分形成在積體電路上之結構的所有層、結構或特色。

【0023】 圖 2A 示範依據本發明之至少一實施例的半導體裝置 100。半導體裝置 100 可以包括晶圓 110、第一層 120、第二層 130、蓋層 140。晶

圖 110 可以包括半導體材料，例如矽、矽鍺或例如 III - V 族或 II - VI 族材料的化合物半導體。第一層 120 可以是在晶圓 110 之頂部上的金屬層，並且可以包括金屬或金屬性材料，例如銅或絕緣或介電材料，例如基於二氧化矽的材料或低 k 材料。於某些實施例，第一層 120 可以包括矽和氧，舉例而言為二氧化矽。於某些實施例，第一層 120 可以不包括金屬。於某些實施例，第一層 120 可以包括半金屬材料。額外層可以存在於第一層 120 和基板 110 之間；舉例而言，可以有多個金屬化層、電晶體層或接觸層而配置在第一層 120 和基板 110 之間。第二層 130 可以形成在第一層 120 上，並且可以包括的材料包括金屬，例如氮化鋁、鎢、氧化鎢或其他金屬性、金屬或絕緣材料。於某些例子，第二層 130 的材料可以異於第一層 120。於某些實施例，第二層 130 可以包括金屬或金屬性表面。於某些實施例，第二層 130 可以不包括半金屬。於某些實施例，第二層 130 可以包括金屬和氧，例如金屬氧化物。

【0024】 蓋層 140 可以形成在第二層 130 上，並且可以包括矽基材料，例如二氧化矽、氮化矽或其混合物。蓋層 140 可以覆蓋部分的第二層 130，而留下第二層 130 的特殊部分暴露出來。蓋層 140 可以由相同於第一層 120 的材料所做成。於某些實施例，蓋層 140 可以包括矽和氧，舉例而言為二氧化矽。於某些實施例，蓋層 140 可以不包括金屬。於某些實施例，蓋層 140 可以包括半金屬。就是在第二層 130 的暴露部分(譬如表面或垂直部分 135)上，此處上面可以發生選擇性沉積。

【0025】 圖 2B 示範依據本發明之至少一實施例的半導體裝置 100。在第二層 130 的暴露部分(譬如表面 135)上，經由沉積方法，例如 ALD、CVD

(譬如循環或依序 CVD)或任何其他適合之基於化學和氣相的沉積方法而導致選擇性沉積，則膜 150 沿著方向 160 而實質水平的沉積。沉積的膜 150 可以包括絕緣或介電材料(舉例而言為氧化矽(SiO_2))、金屬氧化物材料、過渡金屬氧化物(舉例而言為氧化鈮(Nb_2O_5))或別的低 k 材料。

【0026】 對於由金屬氧化物所形成的膜 150 來說，可以使用以下過程。首先可以提供上面要沉積膜 150 的表面(譬如表面 135)。其次，可以發生金屬前驅物(例如金屬鹵化物)的脈衝化步驟。金屬鹵化物的範例可以是過渡金屬鹵化物，例如氟化鈮、氯化鈮、氟化鉭、氯化鉭、氟化鉬、氯化鉬、氟化鎢、氯化鎢、氟化鈮、氯化鈮、氟化鉻或氯化鉻。於某些實施例，金屬鹵化物可以是 NbCl_5 或 TaCl_5 。脈衝化步驟所具有的溫度範圍可以在 20 和 600°C 之間、較佳而言在 100 和 500°C 之間、較佳而言在 150 和 400°C 之間、以及較佳而言在 175 和 375°C 之間。脈衝化步驟所具有的持續時間範圍可以在 0.01 和 120 秒之間、較佳而言在 0.025 和 20 秒之間、較佳而言在 0.05 和 10 秒之間、以及較佳而言在 0.1 和 5 秒之間。

【0027】 其次，舉例而言可以發生氧來源(例如水)的脈衝化步驟。其他氧來源尤其可以包括氧(O_2)、臭氧(O_3)、過氧化氫(H_2O_2)、原子氧(O)、氧自由基或氧電漿。脈衝化步驟所具有的溫度範圍可以在 20 和 600°C 之間、較佳而言在 100 和 500°C 之間、較佳而言在 150 和 400°C 之間、以及較佳而言在 175 和 375°C 之間。脈衝化步驟所具有的持續時間範圍可以在 0.01 和 120 秒之間、較佳而言在 0.025 和 20 秒之間、較佳而言在 0.05 和 10 秒之間、以及較佳而言在 0.1 和 5 秒之間。

【0028】 在脈衝化步驟之後，可以發生清洩步驟以除去任何多餘的前

驅物。附帶而言，脈衝化步驟可以重複以形成想要厚度的膜。

【0029】 圖 3A 示範依據本發明之至少一實施例的半導體裝置 200。半導體裝置 200 包括晶圓 210 和第一柱，該第一柱包括第一層 220 (其包括第一表面 225)、第二層 230 (其包括第二表面 235)、蓋層 240 (其包括第三表面 245)。半導體裝置 200 也可以包括第二柱，其包括第一層 220' (其包括第四表面 225')、第二層 230' (其包括第五表面 235')、蓋層 240' (其包括第六表面 245')。表面 225、235、245、225'、235'、245' 可以是垂直部分或包括垂直部分。晶圓 210 可以包括矽、矽鍺或別的 III-V 族材料。第一層 220 和第一層 220' 可以是在晶圓 210 之頂部上的金屬層，並且舉例而言可以包括銅或鎢。額外層可以存在於第一層 220、220' 和基板 210 之間；舉例而言，可以有多個金屬化層而配置在第一層 220、220' 和基板 210 之間。第二層 230 和第二層 230' 可以形成在第一層 220 和第一層 220' 上，並且可以包括氮化鋁、氮化矽(SiN)或碳氮化矽(SiCN)。

【0030】 蓋層 240 和蓋層 240' 可以形成在第二層 230 和第二層 230' 上。蓋層 240 和蓋層 240' 可以包括氧化矽、氧化鈮(Nb_2O_5)或別的低 k 材料。蓋層 240 和蓋層 230' 可以覆蓋部分的第二層 230 和第二層 230'，而留下特殊部分(譬如表面 235、235')暴露出來。就是在第二層 230 和第二層 230' 的暴露部分(譬如表面 235、235')上，此處可以發生選擇性沉積。

【0031】 圖 3B 示範依據本發明之至少一實施例的半導體裝置 200A，其包括結構 200。在第二層 230 和第二層 230' 的暴露部分(譬如表面 235、235')上，經由沉積方法(例如 ALD、CVD 或任何其他適合的沉積方法)而導致選擇性沉積，實質水平的沉積了膜 250 和膜 250'。沉積的膜 250 可

以包括氧化矽(SiO_2)、氧化鈮(Nb_2O_5)或別的低 k 材料。形成膜 250、250' 的步驟可以類似於有關圖 2B 所述者。

【0032】 圖 3C 示範依據本發明之至少一實施例的半導體裝置 200B，其由結構 200A 所形成。隨著發生實質水平的沉積，則可以形成膜 250 (其與膜 250' 合併)以橋接第一柱與第二柱。由於結晶對齊或由於沉積過程本身的緣故，膜 250 的形狀可以在中間較窄。舉例而言，在關閉間隙 250 之前，從氣隙到外面環境可以僅有窄路徑，這可以在次一前驅物脈衝之前難以在合理的時間內清洩。不受限於任何理論，這可以使某些 CVD 反應發生在窄路徑上和其周圍，並且可以引起間隙關閉以及影響膜 250 的形狀。然而，膜 250 可能有其他形狀，包括球形或半球形。

【0033】 圖 3D 示範依據本發明之至少一實施例的半導體裝置 200C。第一層 220 可以具有襯墊 225，而第一層 220' 可以具有襯墊 225'。襯墊 225 和襯墊 225' 可以包括氮化鈦(TiN)、氮化鉭(TaN)、氮化鎢(WN)、鎢(W)、鉭(Ta)、鈦(Ti)或其他適合的金屬性材料。襯墊 225 和襯墊 225' 一般而言可以具有以下特色：良好的導電率、有效的阻障性質、良好的附著性。表面 225、225' 可以包括襯墊材料。由於水平沉積的結果，可以形成氣隙 260。氣隙 260 用來取代否則會已經就位的低 k 介電材料。

【0034】 圖 4A 示範依據本發明之至少一實施例的半導體裝置 300。半導體裝置 300 包括晶圓 310。晶圓 310 可以包括矽、矽鍺或其他 III - V 族材料。配置在晶圓 310 上的是多個第一層 320、320'、320''。第一層 320、320'、320'' 舉例而言可以包括銅、鎢、鉭或鈦，並且可以是積體電路中的金屬化線。覆蓋部分之第一層 320、320'、320'' 的是多個襯墊 325、325'、

325” 。襯墊 325、325’、325” 可以包括氮化鈦(TiN)、氮化鉭(TaN)、氮化鎢(WN)、鎢(W)、鉭(Ta)、鈦(Ti)或其他適當的金屬材料。

【0035】 多個第二層 330、330’、330” 可以形成在第一層 320、320’、330” 上。第二層 330、330’、330” 舉例而言可以包括氮化鋁、氮化矽(SiN)或碳氮化矽(SiCN)。

【0036】 圖 4B 示範依據本發明之至少一實施例的半導體裝置 300A。第一層 320、320’、320” 的一部分(譬如表面 335、335’、335’，其可以包括垂直部分)未被襯墊 325、325’、325” 和第二層 330、330’、330” 所覆蓋。就是在第一層 320、320’、320” 的這暴露部分上可以形成多個膜 340。多個膜 340 可以透過 ALD、CVD 或任何其他適合的沉積方法而導致選擇性沉積來形成。

【0037】 膜 340 可以包括氧化矽(SiO₂)、氧化鈮(Nb₂O₅)或別的低 k 材料。形成膜 340 的步驟可以類似於有關圖 1B 和 2B 所述者。發生選擇性沉積，使得膜 340 形成在第一層 320、320’、320” 的暴露部分上。膜 340 不會形成在襯墊 325、325’、325” 或第二層 330、330’、330” 上。

【0038】 圖 4C 示範依據本發明之至少一實施例的半導體裝置 300B。膜 340 可以生長到它覆蓋第一層 320、320’、320” 之所有暴露部分的程度。膜 340 可以首先以保形的方式來生長，但然後以非保形的方式生長而靠近在柱堆疊之間的溝槽或空間的開口表面。溝槽可以由膜 340 關閉了變化的程度。舉例而言，膜 340 對溝槽的關閉百分率可以大於約 20%、大於約 40%、大於約 60%或大於約 80%。此者也可以由膜 340 的沉積量所反映。舉例而言，膜 340 可以包括大於約 1 奈米的沉積、大於約 3 奈米的沉積、大於約 5 奈米

的沉積、大於約 10 奈米的沉積、或大於約 20 奈米的沉積。

【0039】 圖 4D 示範依據本發明之至少一實施例的半導體裝置 300C。在膜 340 形成之後，可以透過參數乃導致非保形之膜生長的 CVD 過程，舉例而言例如基於氧化矽的材料之非保形的電漿增進式化學氣相沉積 (plasma enhanced chemical vapor deposition, PECVD)，而形成第一介電層 350 和第二介電層 350'。第一介電層 350 和第二介電層 350' 可以包括矽基材料，舉例而言例如二氧化矽(SiO₂)、碳氮化矽(SiCN)或低 k 材料。可以形成第一介電層 350 和第二介電層 350' 以生成第一氣隙 360 和第二氣隙 360'。附帶而言，介電層 350 和 350' 可以形成在第二層 330、330'、330'' 的頂部上。

【0040】 如圖 4D 所示，多個氣隙可以形成在所形成的堆疊層之間。間隙可以小於 200 奈米、較佳而言小於 100 奈米、更佳而言小於 75 奈米、並且更佳而言小於 50 奈米。可以偏好較小的間隙，因為對於 ALD 處理來說較好。於某些實施例，也可以應用 CVD 處理。藉由增加氣隙空出來的空間，則可以改善裝置的效能。

【0041】 如上所言，選擇性(selectivity)可以表示成第一表面上所形成的材料份量(A)減去第二表面上所形成的材料份量(B)之後對於第一表面上所形成的材料份量(A)之比例；亦即選擇性可以給定為如下所計算的百分率： $[(\text{第一表面上的沉積}) - (\text{第二表面上的沉積})] / (\text{第一表面上的沉積})$ 或是 $[(A - B) / A]$ 。較佳而言，選擇性可以高於約 50%、高於約 70%、高於約 80%、高於約 90%、高於約 95%、高於約 98%、高於約 99%或約 100%。於某些情形，高於 80%的選擇性對於特定應用來說可以是可接受的。於某些情形，

高於 50%的選擇性對於特定應用來說可以是可接受的。於某些實施例，可以選擇沉積溫度，致使選擇性高於約 95%。於某些實施例，可以選擇沉積溫度，以致達成約 100%的選擇性。

【0042】 於某些實施例，選擇性沉積的膜厚度小於約 500 奈米、小於約 250 奈米、小於約 100 奈米、小於約 50 奈米、或小於約 25 奈米。於某些實施例，選擇性沉積的膜厚度範圍可以從約 3 奈米到約 200 奈米或是從約 5 奈米到約 50 奈米。然而，於某些情形，想要程度的選擇性(舉例而言大於 80%或大於 90%)是以超過約 5 奈米、超過約 10 奈米、超過約 15 奈米、或超過約 20 奈米之選擇性沉積的膜厚度來達成。

【0043】 於上述某些實施例，在選擇性沉積膜之前，可以進行基板之一或更多個表面之一或更多個前處理和 / 或鈍化過程或處理。鈍化或前處理可以增進在所想要之表面上的選擇性和生長，並且可以減少或阻擋(某些例子是幾乎完全阻擋)在別的表面上的生長。圖 5 示範依據本發明之至少一實施例的此種結構。結構可以包括基板 410，上面形成了：第一柱，其包括第一層 420 (其包括第一表面，它包括第一垂直部分 425)、第二層 430 (其包括第二表面，它包括第二垂直部分 430);以及第二柱，其包括第一層 420' (其包括第三表面，它包括第三垂直部分)、第二層 430' (其包括第四表面，它包括第四垂直部分)。在形成水平選擇性膜 440 之前，第一層 420 和第一層 420' 可以接受前處理或鈍化步驟。一旦完成了水平選擇性膜 440 的形成，則就可以形成氣隙 450。

【0044】 所示和所述的特殊實施例乃在示範本發明及其最佳模式，而不打算另外以任何方式來限制諸方面和實施例的範圍。事實上，為了簡潔

起見，可以不詳述系統的習用製造、連接、製備和其他功能方面。進一步而言，多樣圖中所示的連接線打算代表在多樣元件之間的範例性功能關係和 / 或實體耦合。許多替代選擇或額外的功能關係或實體連接可以出現在實際的系統中，以及 / 或者可以不出現在某些實施例中。

【0045】 要了解在此所述的組態和 / 或做法在本質上是範例性的，並且這些特定的實施例或範例不是要視為有限制意味，因為可能有許多的變化。在此所述的特定常規或方法可以代表一或更多個任何數目的處理策略。因此，示範的多樣動作可以照示範的順序來進行、以其他順序來進行、或者於某些情形下有所省略。

【0046】 本揭示的主題包括在此揭示之多樣過程、系統、組態、其他特色、功能、動作和 / 或性質的所有新穎和非顯而易知的組合與次組合，以及其任何和所有的等同者。

【符號說明】

【0047】

10	半導體裝置
20	第一金屬化線
30	第二金屬化線
40	長度
50	高度
60	寬度
100	半導體裝置
110	晶圓

120	第一層
130	第二層
135	表面或垂直部分
140	蓋層
150	膜
160	水平方向
200、200A、200B、200C	半導體裝置
210	晶圓
220、220'	第一層
225	第一表面、襯墊
225'	第四表面、襯墊
230、230'	第二層
235	第二表面
235'	第五表面
240、240'	蓋層
245	第三表面
245'	第六表面
250、250'	膜
260	氣隙
300、300A、300B、300C	半導體裝置
310	晶圓
320、320'、320''	第一層

325、325'、325''	襯墊
330、330'、330''	第二層
335、335'、335''	表面
340	膜
350	第一介電層
350'	第二介電層
360	第一氣隙
360'	第二氣隙
400	結構
410	基板
420、420'	第一層
425	第一垂直部分
425'	第三垂直部分
430、430'	第二層
435	第二垂直部分
435'	第四垂直部分
440	水平選擇性膜
450	氣隙

申請專利範圍

1. 一種透過選擇性沉積而形成用於半導體裝置之氣隙的方法，其包含：
 - 提供在反應腔室中處理的基板；
 - 提供用於選擇性沉積膜的第一表面，其中該第一表面包括第一垂直部分；
 - 提供第二表面，其中該第二表面包括第二垂直部分；以及
 - 至少在該第一表面的該第一垂直部分上選擇性沉積膜；其中該第二表面異於該第一表面，並且其中該膜在第一表面上的沉積相對於該膜在該第二表面上的沉積而言是有選擇性的；以及其中選擇性沉積該膜部分界定了氣隙。
2. 如申請專利範圍第 1 項的方法，其進一步包括第三表面和第四表面，其中該第三表面包括相同於該第一表面的材料，其中該第四表面包括相同於該第二表面的材料，並且其中在該第三表面上的該沉積相對於在該第四表面上的該沉積而言是有選擇性的。
3. 如申請專利範圍第 2 項的方法，其中該第三和該第四表面都包括垂直部分，並且選擇性沉積該膜包括在該等第一和第三垂直表面上的沉積。
4. 如申請專利範圍第 1 項的方法，其中選擇性沉積該膜實質關閉該氣隙。
5. 如申請專利範圍第 1 項的方法，其進一步包括：
 - 至少在該選擇性沉積之膜的頂部上形成介電層。
6. 如申請專利範圍第 1 項的方法，其中該選擇性沉積包括原子層沉積

(ALD)過程。

7. 如申請專利範圍第 1 項的方法，其中該選擇性沉積包括化學氣相沉積(CVD)過程。

8. 如申請專利範圍第 1 項的方法，其中該選擇性沉積之膜的厚度超過 10 奈米。

9. 如申請專利範圍第 1 項的方法，其中該選擇性超過 80%。

10. 如申請專利範圍第 1 項的方法，其中該氣隙是部分的積體電路，並且具有類似於 k 值小於約 3.6 之介電材料的效能。

11. 如申請專利範圍第 1 項的方法，其中該氣隙是積體電路之部分的金屬化，並且該氣隙的尺寸大於在金屬化線之間的空間之 35%。

12. 如申請專利範圍第 5 項的方法，其中該介電層沉積過程是非保形的，並且包括以下至少一者：二氧化矽(SiO₂)、碳氮化矽(SiCN)、低 k 材料。

13. 如申請專利範圍第 1 項的方法，其中該膜包括以下至少一者：氧化矽(SiO₂)、過渡金屬氧化物、低 k 材料。

14. 如申請專利範圍第 1 項的方法，其中該膜包括銱和氧。

15. 如申請專利範圍第 1 項的方法，其中該第一表面包括金屬，而該第二表面包括矽，並且其中該第二表面不包括金屬。

16. 如申請專利範圍第 1 項的方法，其中選擇性沉積該膜的步驟包括：

將金屬鹵化物前驅物脈衝化在該第一實質垂直的表面上；

將氧前驅物脈衝化在該第一實質垂直的表面上；以及

重複該等脈衝化步驟，直到該膜生長到想要的厚度為止。

17. 如申請專利範圍第 16 項的方法，其中該金屬鹵化物前驅物包括

NbCl₅ 或 TaCl₅，並且其中該氧前驅物包括 H₂O。

18. 如申請專利範圍第 16 項的方法，其中該氧前驅物包括以下至少一者：水(H₂O)、氧(O₂)、臭氧(O₃)、過氧化氫(H₂O₂)、原子氧(O)、氧自由基、氧電漿。

19. 如申請專利範圍第 16 項的方法，其中該反應腔室的溫度範圍在 20 和 600°C 之間、在 100 和 500°C 之間、在 150 和 400°C 之間、或在 175 和 375 °C 之間。

20. 如申請專利範圍第 16 項的方法，其中將該金屬鹵化物前驅物脈衝化和將該氧前驅物脈衝化所具有的持續時間範圍在 0.01 和 120 秒之間、在 0.025 和 20 秒之間、在 0.05 和 10 秒之間、或較佳而言在 0.1 和 5 秒之間。

圖式

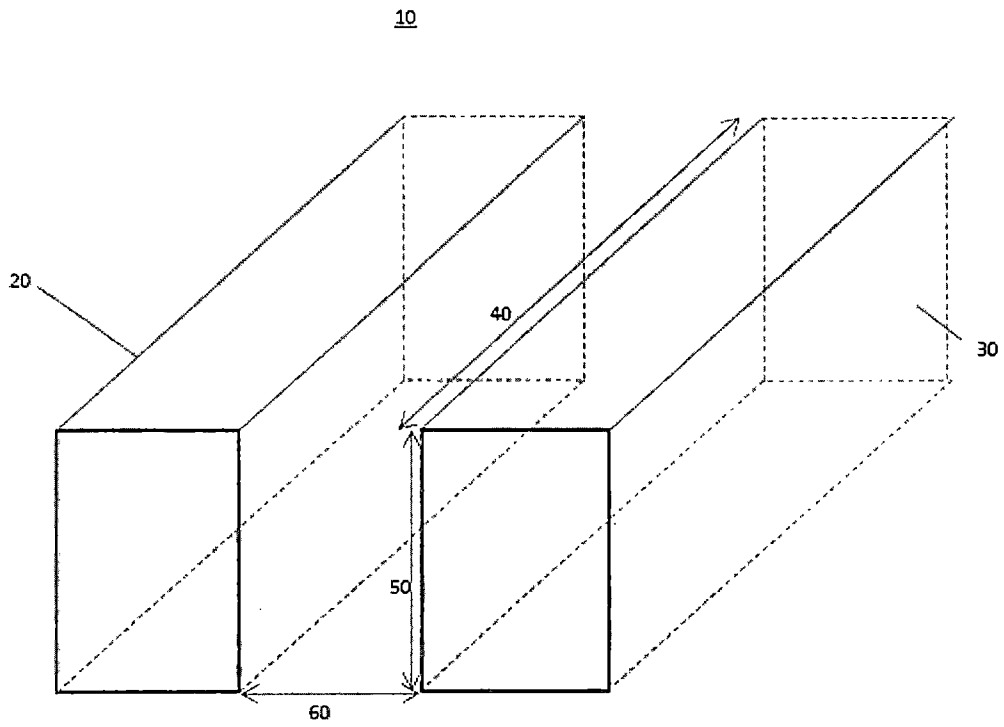


圖1

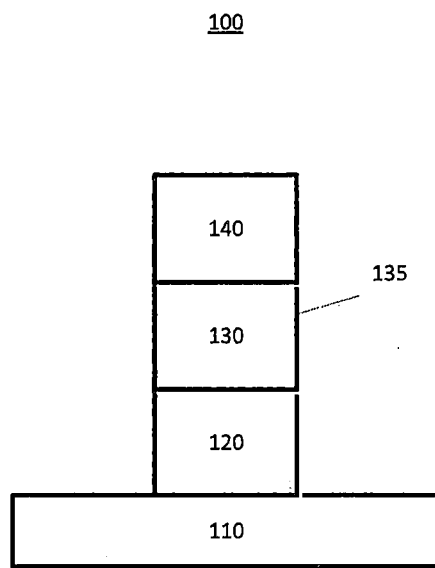


圖2A

100

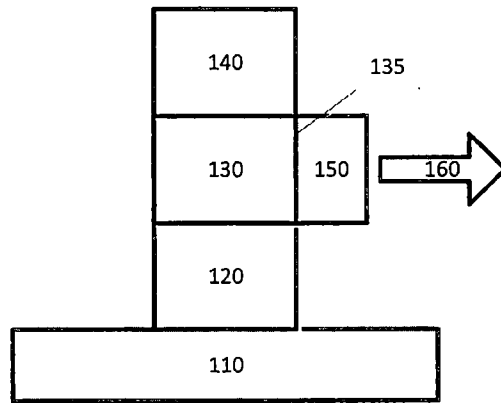


圖2B

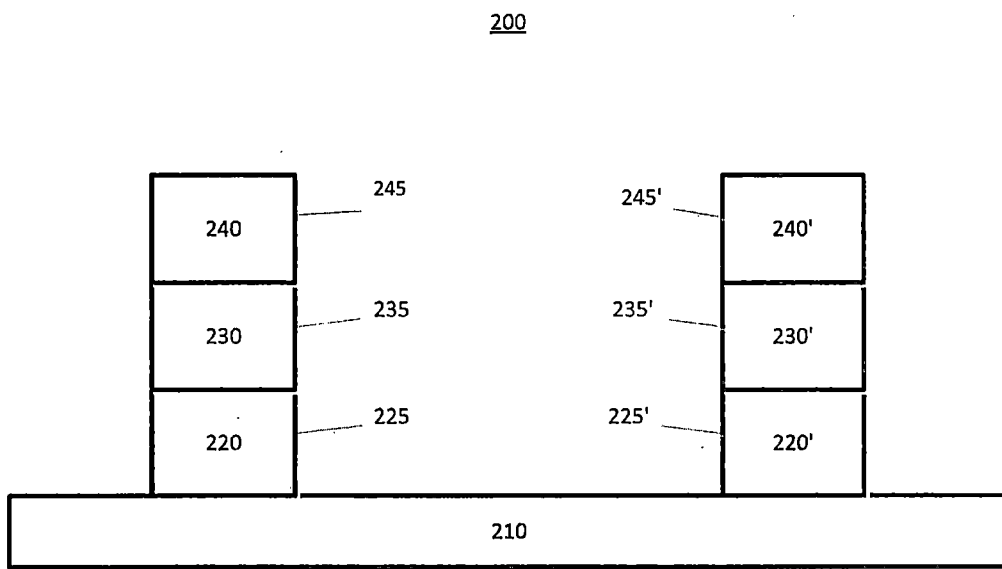


圖3A

200A

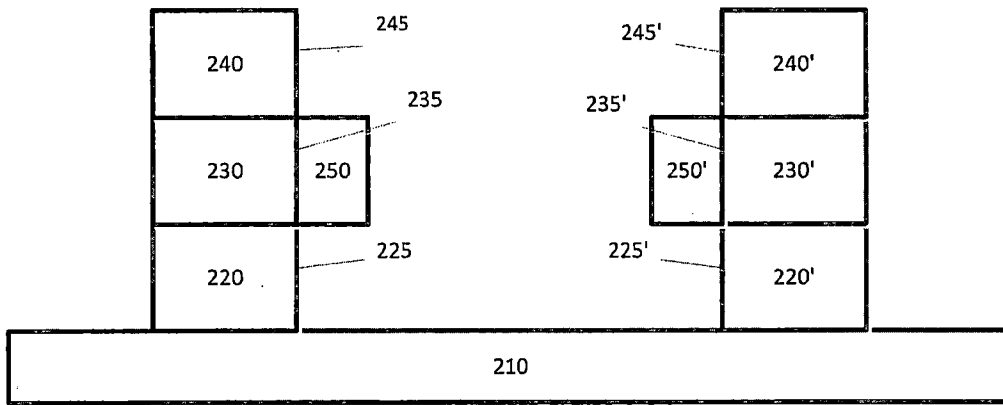


圖3B

200B

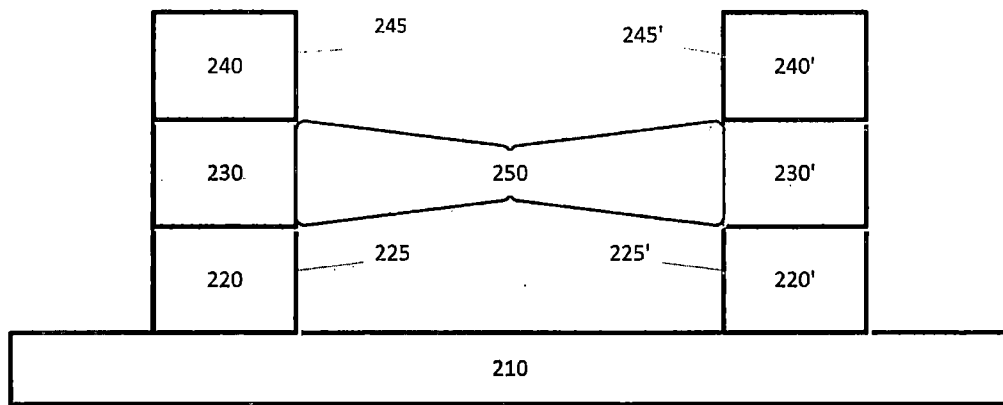


圖3C

200C

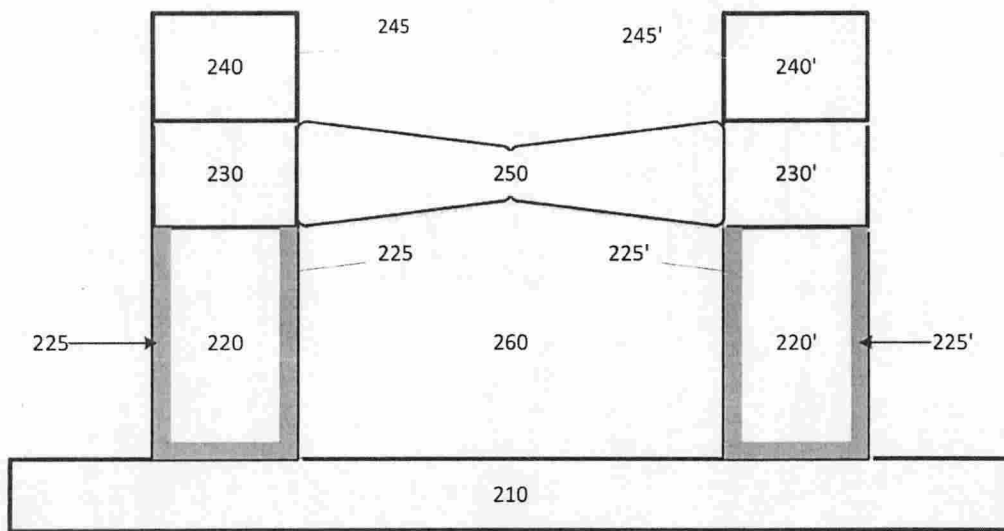


圖3D

300

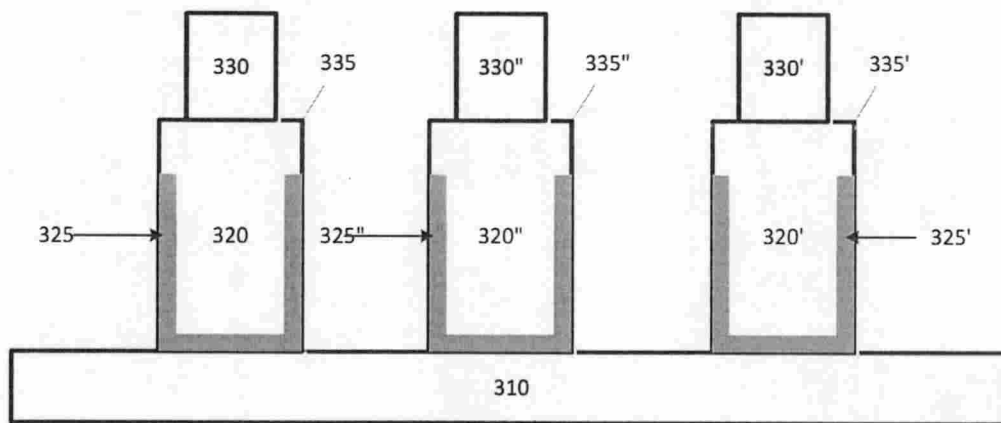


圖4A

300A

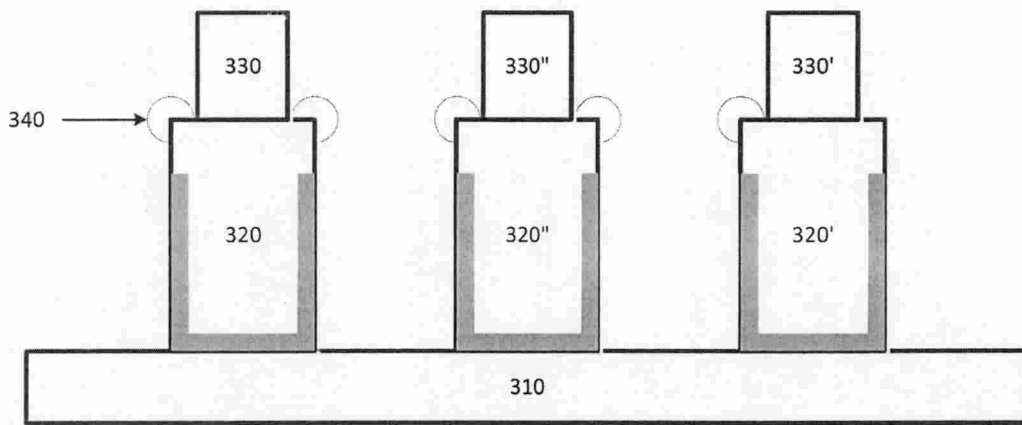


圖4B

300B

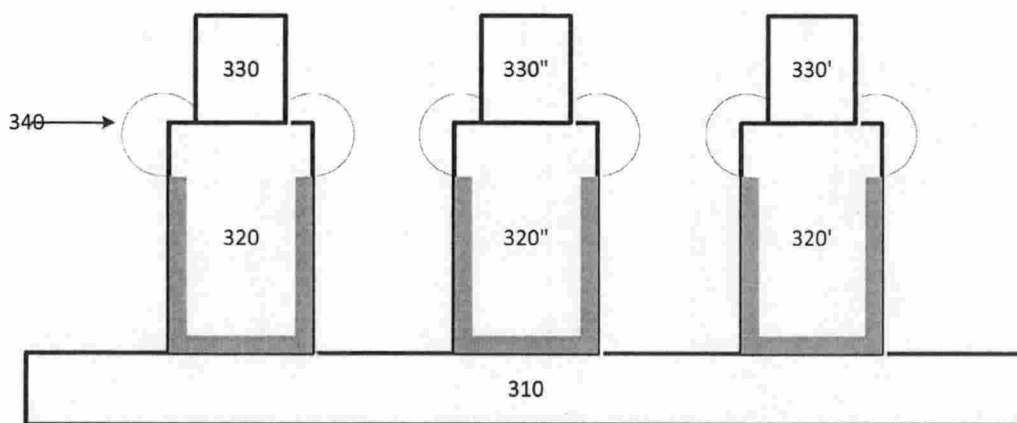


圖4C

300C

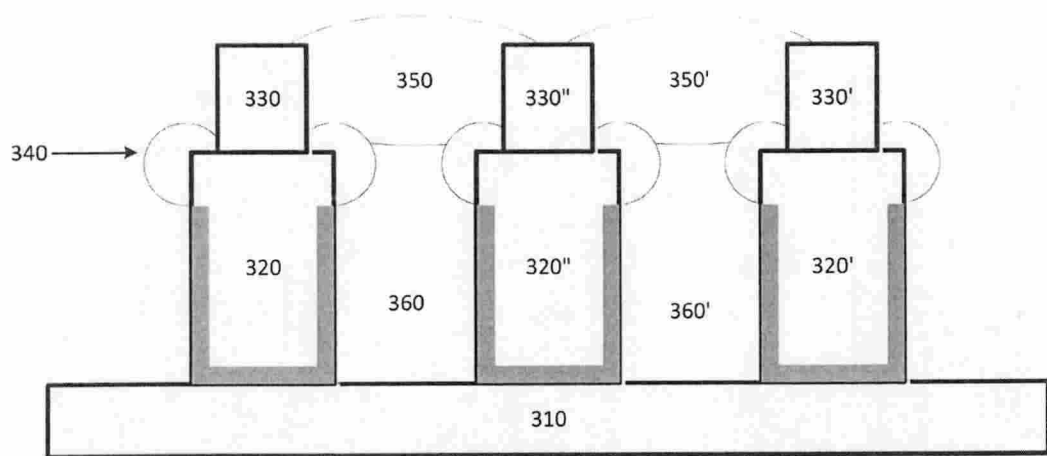


圖4D

400

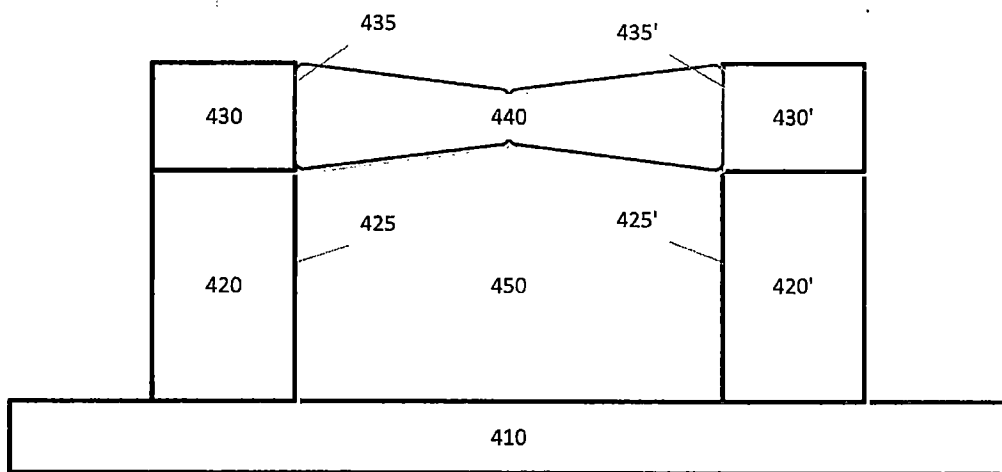


圖5