

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 767751

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 22.07.77 (21) 2510219/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 30.09.80. Бюллетень № 36

Дата опубликования описания 02.10.80

(51) М. Кл.³

G 06 F 5/04

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

В. А. Коломенский, В. Н. Свириг и Р. А. Чувильчикова

(71) Заявитель

(54) ПРЕОБРАЗОВАТЕЛЬ ПАРАЛЛЕЛЬНОГО КОДА
В ПОСЛЕДОВАТЕЛЬНЫЙ

1

Изобретение относится к области автоматики и вычислительной техники и может быть использовано при построении преобразователей последовательности параллельных кодов в последовательный код.

Известен преобразователь параллельного кода в последовательный, содержащий сдвиговый регистр, выходной элемент И, входные элементы И и блок управления [1].

Недостатки этого преобразователя состоят в низкой достоверности результатов преобразования, связанной с отсутствием блоков контроля, и невозможности преобразования последовательности входных чисел.

Наиболее близким к изобретению по технической сущности и схемному построению является преобразователь параллельного кода в последовательный, содержащий n -разрядный регистр сдвига, где n — число разрядов выходного кода, выходной элемент И, первый вход кото-

2

рого соединен с выходом старшего разряда n -разрядного регистра сдвига, блок контроля, триггер неисправности, входы которого соединены с выходами блока контроля, а выход триггера неисправности связан со вторым входом выходного элемента И [2].

Недостаток этого преобразователя заключается в относительно низкой надежности преобразования.

Цель изобретения — увеличение надежности преобразования.

Для этого преобразователь параллельного кода в последовательный, содержащий n -разрядный регистр сдвига, где n — число разрядов выходного кода, выходной элемент И, первый вход которого соединен с выходом старшего разряда n -разрядного регистра сдвига, блок контроля, триггер неисправности, входы которого соединены с выходами блока контроля, а единственный выход триггера неисправности связан со вторым входом выходного элемента И, дополнительно содержит

5

10

15

20

группу входных элементов И, первый и второй элементы И синхронизации, первый и второй элементы задержки, первый, второй и третий элементы И управления, первый, второй и третий триггеры управления, делитель частоты, вход которого соединен с выходами первого и второго элементов И синхронизации и с тактовым входом n -разрядного регистра сдвига, m информационных входов которого соединены с соответствующими выходами группы входных элементов И, где m число разрядов входного кода, вход $(m+1)$ -го разряда n -разрядного регистра сдвига подключен к входу предустановки преобразователя. Выход делителя частоты через первый элемент задержки соединен с первым входом первого элемента И управления, выход которого связан с управляющим входом блока контроля, информационные входы которого соединены соответственно с m старшими разрядами n -разрядного регистра сдвига, выход переполнения которого подключен к входу первого триггера управления. Единичный и нулевой выходы первого триггера управления соединены соответственно с первыми входами второго и третьего элементов И управления, выходами связанных соответственно со входами второго и третьего управляющих триггеров, выходы которых соответственно соединены с первыми входами второго и первого элементов И синхронизации, вторые входы которых связаны с тактовыми входами преобразователя. Третий вход второго элемента И синхронизации соединен с выходом триггера неисправности, вход синхронизации преобразователя — с тактовым входом группы входных элементов И и через второй элемент задержки со вторыми входами второго и третьего элементов И управления. Единичный выход первого триггера управления соединен с вторым входом первого элемента И управления, выход первого элемента задержки — с нулевым входом третьего триггера управления, нулевой выход которого подключен к управляющему входу группы входных элементов И.

На чертеже изображена блок-схема предлагаемого преобразователя параллельного кода в последовательный.

Преобразователь содержит n -разрядный регистр 1 сдвига, группу входных элементов И 2, выходной элемент И 3. Выходы группы входных элементов И подключены ко входам первых m разрядов регистра 1 сдвига, вход следующе-

го разряда регистра 1 сдвига — к входу 4 предустановки преобразователя. Выходы последних m разрядов регистра 1 сдвига соединены со входами блока 5 контроля, выходы которого связаны со входами триггера 6 неисправности, выходом подключенного ко входу выходного элемента И 3 и ко второму входу первого элемента И 7 синхронизации, выход которого через делитель 8 частоты, первый элемент 9 задержки и первый элемент И 10 управления соединен с управляющим входом блока 5 контроля. Выход переполнения старшего разряда регистра 1 сдвига связан с триггером 11 управления, выход которого подключен ко второму входу элемента И 10 управления и через второй 12 и третий 13 элементы И управления, вторые входы которого соединены между собой и с выходами второго элемента 14 задержки, связан с вторым 15 и третьим 16 триггерами управления, выходы которых подключены ко входам элементов И 7 и 17 синхронизации. Выход элемента 9 дополнительно связан через триггер 16 с управляющим входом группы входных элементов И 2.

Преобразователь работает следующим образом.

Перед началом работы проводится обнуление всех элементов памяти и запись "единицы" в $(m+1)$ -й разряд регистра 1 сдвига. Вместе с m разрядной информации на входе группы входных элементов И 2 из ее источника выдается сигнал, стробирующий эту информацию.

Сигнал с выхода триггера 16, находящегося в нулевом состоянии, разрешает введение информации через элементы И 2 на вход первых m разрядов регистра 1 сдвига. Задний фронт стробирующего сигнала выделяется элементом 14 задержки и поступает на входы элементов И 12 и 13. Однако импульс от заднего фронта стробирующего сигнала проходит только через элемент И 13, так как сигнал с триггера 11, поступающий на другие входы элементов И 12 и 13, разрешает прохождение указанного импульса через элемент И 13 и запрещает через элемент И 12. Сигнал с выхода элемента И 13 устанавливает триггер 16 в единичное состояние, что приводит к поступлению тактовой частоты через элемент И 17 синхронизации на вход регистра 1 сдвига и делителя частоты.

В том случае, если поступление параллельного кода на входы группы входных элементов И 2 производится с частотой $f_1, 7mf_2$, где f_2 — частота передачи последовательной кодограммы, или если пауза между поступлением последнего блока информации на входы элементов И 2 и выдачей всей кодограммы в последовательном виде должна быть минимальной, то на вход элемента И 17 должна подаваться соответственно более высокая частота тактовых импульсов, чем на вход элемента И 7. Если же ограничения отсутствуют, то частота тактовых импульсов на входах элементов И 7 и 17 может быть одна и та же. После поступления m импульсов информация, записанная в m первых разрядах, и "единица", записанная в $(m+1)$ -й разряд регистра 1 сдвига, оказываются продвинутыми на m разрядов. Импульс же переполнения с выхода делителя 8 частоты поступает через элемент 9 задержки на нулевой вход триггера 16.

Изменение состояния триггера 16 прекратит поступление тактовой частоты через элемент И 17, и преобразователь будет подготовлен к приему следующего блока информации из m разрядов. Более раннее введение этой информации будет запрещено отсутствием разрешающего сигнала с выхода триггера 16 на вход группы входных элементов И 2. Следующий цикл приема m разрядов информации аналогичен описанному.

Поступление предпоследнего m -разрядного блока информации и сдвиг его на m разрядов регистра 1 приводит к появлению на выходе переполнения старшего разряда регистра 1 "единицы", записанной во время предустановки в $(m+1)$ -й разряд регистра 1. Этот сигнал изменяет состояние триггера 11, сигнал с выхода которого разрешает поступление импульсов переполнения с выхода делителя 8 через элемент И 10 на вход блока 5 контроля, разрешает поступление последнего строба через элемент И 12 на вход триггера 15 и запрещает поступление этого строба через элемент И 13. Сигнал с выхода элемента 9 задержки проходит через элемент И 10 на управляющий вход блока 5 контроля, на выход которого поступают сигналы результатов контроля ("Норма", "Ненорма"). Триггер 6, который меняет свое состояние при положительных результатах контроля, открывает элемент И 3 и подготавливает элемент И 7.

В случае, если результаты контроля отрицательные, то сигнал об этом с выхода блока 5 контроля может быть использован для индикации необходимости повторной выдачи информации или для изменения порога восстановления органа, установленного на выходе устройства.

Последний m -разрядный блок информации записывается в регистр 1, а сигнал от заднего фронта импульса строба через элемент И 12 меняет состояние триггера 15, сигнал с выхода которого открывает элемент И 7, через который тактовая частота начинает поступать на делитель 8 частоты и регистр 1.

С этого момента начинается этап выдачи последовательной кодограммы на выход устройства. При сдвиге кода на m разрядов сигнал с выхода делителя 8 через элемент 9 задержки поступает на управляющий вход блока 5 контроля. Триггер 6 в зависимости от результатов контроля либо разрешает выдачу очередных m разрядов на выход устройства, либо закрывает элемент И 3. Передача оканчивается выдачей последних m разрядов кодограммы на выход устройства, что соответствует нулевой информации в последних m разрядах регистра 1. Блок 5 контроля формирует сигнал "Ненорма", и элементы И 3 и 7 закрываются.

Преобразователь готов к передаче следующего n -разрядного кода.

Таким образом, проведение контроля информации после сдвига позволяет обнаружить возможное искажение этой информации на окончательном этапе преобразования — после прохождения информации почти через все цепи и элементы преобразователя, участвующие в выдаче последовательной кодограммы. Операции ввода информации в регистр 1 сдвига и контроля ее осуществляются не на всех n разрядах, а только на m разрядах ($m = \frac{n}{k}$, где k — целое число). Введением контроля и уменьшением количества входных элементов И достигается повышение достоверности передаваемой кодограммы, т. е. повышение надежности преобразования.

Ф о р м у л а и з о б р е т е н и я

Преобразователь параллельного кода в последовательный содержащий n -раз-

рядный регистр сдвига, где n — число разрядов выходного кода, выходной элемент И, первый вход которого соединен с выходом старшего разряда n — разрядного регистра сдвига, блок контроля, триггер неисправности, входы которого соединены с выходами блока контроля, а единичный выход триггера неисправности соединен со вторым входом выходного элемента И, отличающийся тем, что, с целью увеличения надежности преобразования, он содержит группу входных элементов И, первый и второй элементы И синхронизации, первый и второй элементы задержки, первый, второй и третий элементы И управления, первый, второй и третий триггеры управления, делитель частоты, вход которого соединен с выходами первого и второго элементов И синхронизации и с тактовым входом n — разрядного регистра сдвига, m информационных входов которого соединены с соответствующими выходами группы входных элементов И, где m — число разрядов входного кода, вход $(m+1)$ -го разряда n — разрядного регистра сдвига соединен с входом предустановки преобразователя, выход делителя частоты через первый элемент задержки соединен с первым входом первого элемента И управления, выход которого соединен с управляющим входом блока контроля, информационные входы которого соединены соответственно с m старшими разрядами n — разрядного регистра

сдвига, выход переполнения которого соединен со входом первого триггера управления, единичный и нулевой выходы которого соединены соответственно с первыми входами второго и третьего элементов И управления, выходы которых соединены соответственно со входами второго и третьего управляющих триггеров, выходы которых соответственно соединены с первыми входами второго и первого элементов И синхронизации, вторые входы которых соединены с тактовыми входами преобразователя, третий вход второго элемента И синхронизации соединен с выходом триггера неисправности, вход синхронизации преобразователя соединен с тактовым входом группы входных элементов И и через второй элемент задержки со вторыми входами второго и третьего элементов И управления. Единичный выход первого триггера управления соединен со вторым входом первого элемента И управления, выход первого элемента задержки соединен с нулевым входом третьего триггера управления, нулевой выход которого соединен с управляющим входом группы входных элементов И.

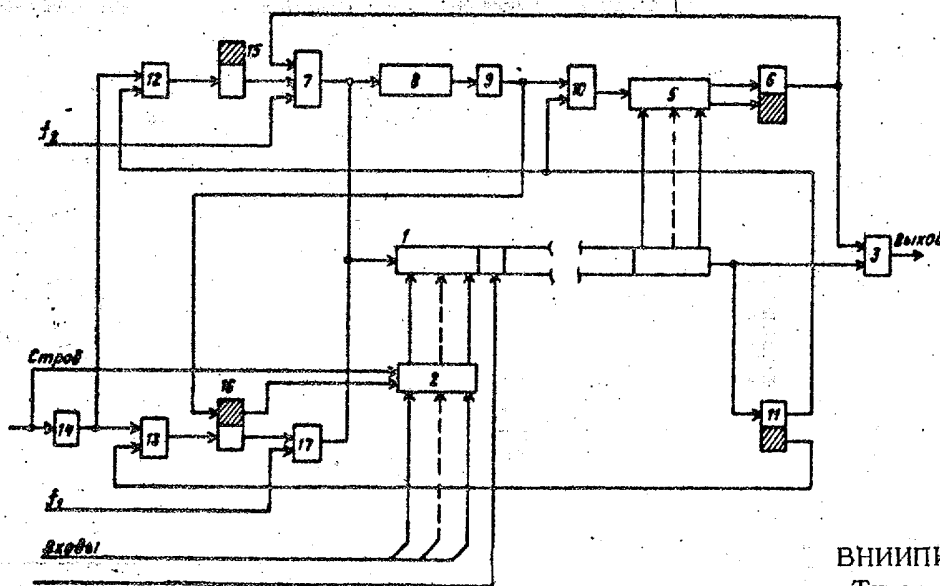
Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР, № 217712, кл. G 06 F 5/04, 1967.

2. Авторское свидетельство СССР № 553617, кл. G 06 F 11/00,

1975 (прототип).



ВНИИПИ Заказ 7196/45

Тираж 751 Подписное

Филиал ППП 4 "Патент",
г. Ужгород, ул. Проектная, 4