

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 27 年 4 月 9 日 (2015.4.9)

【公表番号】特表 2014-518458 (P2014-518458A)
 【公表日】平成 26 年 7 月 28 日 (2014.7.28)
 【年通号数】公開・登録公報 2014-040
 【出願番号】特願 2014-519066 (P2014-519066)
 【国際特許分類】

H 0 1 L 31/107 (2006.01)

【F I】

H 0 1 L 31/10 B

【手続補正書】

【提出日】平成 27 年 2 月 20 日 (2015.2.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アバランシェフォトダイオード (A D P) であって、
 第 1 のドーピング型を有する第 1 の半導体基板と、
 前記第 1 の半導体基板の上部の第 1 の半導体層であって、前記第 1 のドーピング型をドーピングされる、第 1 の半導体層と、
 前記第 1 の半導体層の上部の第 2 のエピタキシャル層であって、前記第 1 の半導体層内の前記第 1 のドーピング型の濃度より高い濃度で、前記第 1 のドーピング型を原位置で (in-situ) ドープされる、第 2 のエピタキシャル層と、

前記第 2 のエピタキシャル層の上部の第 3 のエピタキシャル層であって、第 2 のドーピング型を原位置でドーピングされ、第 3 のエピタキシャル層のドーピングは、第 2 のエピタキシャル層のドーピングと共に、第 1 の p - n 接合を形成し、キャリア増倍領域は前記第 1 の p - n 接合を含み、第 3 のエピタキシャル層は、光子のための吸収領域を形成する、第 3 のエピタキシャル層と、

前記第 3 のエピタキシャル層内の第 1 の埋設領域であって、前記第 2 のドーピング型をドーピングされる、第 1 の埋設領域とを備える A P D。

【請求項 2】

前記第 1 の半導体層は、第 1 のエピタキシャル層であり、前記第 1 のドーピング型を原位置でドーピングされる請求項 1 に記載の A P D。

【請求項 3】

前記第 1 の半導体層は、前記第 1 の半導体基板に接合される第 2 の半導体基板である請求項 1 に記載の A P D。

【請求項 4】

前記第 1 のドーピング型は n 型であり、前記第 2 のドーピング型は p 型であり、前記半導体基板はシリコンで作られる請求項 1 に記載の A P D。

【請求項 5】

前記第 2 のエピタキシャル層および前記第 3 のエピタキシャル層の部分にオーバーラップする前記第 1 のドーピング型の第 2 の埋設領域をさらに備え、前記第 2 の埋設領域は、前記第 1 の埋設領域と共に第 2 の p - n 接合を形成する請求項 1 に記載の A P D。

【請求項 6】

前記第 1 または第 2 の半導体基板は、表面上に絶縁層を有し、前記絶縁層は、前記第 2 および第 1 の半導体基板にそれぞれ接合される請求項 3 に記載の A P D。

【請求項 7】

前記第 2 の半導体基板内に埋め込みインプラント領域をさらに備え、前記埋め込みインプラント領域は、前記第 2 の半導体基板の前記接合表面に隣接し、前記埋め込みインプラント領域は、前記第 1 のドーピング型をドーブされる請求項 6 に記載の A P D。

【請求項 8】

前記第 3 のエピタキシャル層の上部表面上で前記第 1 の埋設領域に電氣的に接続するアノード電極と、

前記半導体基板の下部表面上で前記半導体基板に電氣的に接続するカソード電極とをさらに備える請求項 4 に記載の A P D。

【請求項 9】

前記カソード電極は、前記アノード電極より高くバイアスされる請求項 8 に記載の A P D。

【請求項 10】

アバランシェフォトダイオードを作製するためのプロセスであって、

第 1 のドーピング型を有する半導体ウェハを準備すること、

第 1 のエピタキシャル層であって、前記第 1 のドーピング型を原位置でドーブされる、第 1 のエピタキシャル層を前記半導体ウェハの上部で成長させること、

第 2 のエピタキシャル層であって、前記第 1 のエピタキシャル層内の前記第 1 のドーピング型の濃度より高い濃度で、前記第 1 のドーピング型を原位置でドーブされる、第 2 のエピタキシャル層を前記第 1 のエピタキシャル層の上部で成長させること、

第 3 のエピタキシャル層であって、第 2 のドーピング型を原位置でドーブされ、第 3 のエピタキシャル層は、第 2 のエピタキシャル層と共に、第 1 の p - n 接合を形成し、キャリア増倍領域は前記第 1 の p - n 接合を含み、第 3 のエピタキシャル層は吸収領域を形成する、第 3 のエピタキシャル層を前記第 2 のエピタキシャル層の上部で成長させること、および、

前記第 3 のエピタキシャル層内の第 1 の領域に、前記第 2 のドーピング型のイオンを注入することを含むプロセス。

【請求項 11】

エピタキシチャンバは、前記第 1、第 2、および第 3 のエピタキシャル層を成長させ、前記第 1、第 2、および第 3 のエピタキシャル層は、前記エピタキシチャンバ内で同時に成長される請求項 10 に記載のプロセス。

【請求項 12】

前記第 2 のエピタキシャル層内の第 2 の領域に、前記第 1 のドーピング型のイオンを注入することをさらに含み、前記第 2 の領域は、前記第 3 のエピタキシャル層を成長させる前に注入され、前記第 2 の領域は、前記第 1 の領域と共に第 2 の p - n 接合を形成する請求項 10 に記載のプロセス。

【請求項 13】

前記第 1 のドーピング型は n 型であり、前記第 2 のドーピング型は p 型であり、前記半導体ウェハはシリコンで作られる請求項 10 に記載のプロセス。

【請求項 14】

アノード電極であって、前記第 1 の領域に電氣的に接続する、アノード電極を前記第 3 のエピタキシャル層の上部に形成すること、および、

カソード電極を前記半導体ウェハの下部に形成することをさらに含む請求項 13 に記載のプロセス。

【請求項 15】

アバランシェフォトダイオードを作製するためのプロセスであって、

第 1 のウェハを準備すること、

第 1 のドーピング型を有する第 2 の半導体ウェハを準備すること、

前記第 1 のウェハを前記第 2 の半導体ウェハに接合すること、

前記第 2 の半導体ウェハを薄化すること、

第 1 のエピタキシャル層であって、前記第 2 の半導体ウェハ内の前記第 1 のドーピング型の濃度より高い濃度で、前記第 1 のドーピング型を原位置でドーピングされる、第 1 のエピタキシャル層を前記第 2 の半導体ウェハの上部で成長させること、

第 2 のエピタキシャル層であって、第 2 のドーピング型を原位置でドーピングされ、第 2 のエピタキシャル層は、第 1 のエピタキシャル層と共に、第 1 の p - n 接合を形成し、キャリア増倍領域は前記第 1 の p - n 接合を含み、第 2 のエピタキシャル層は吸収領域を形成する、第 2 のエピタキシャル層を前記第 1 のエピタキシャル層の上部で成長させること、および、

前記第 2 のエピタキシャル層内の第 1 の領域に、前記第 2 のドーピング型のイオンを注入することを含むプロセス。

【請求項 16】

エピタキシチャンバは、前記第 1 および第 2 のエピタキシャル層を成長させ、前記第 1 および第 2 のエピタキシャル層は、前記エピタキシチャンバ内で同時に成長される請求項 15 に記載のプロセス。

【請求項 17】

前記第 1 のエピタキシャル層内の第 2 の領域に、前記第 1 のドーピング型のイオンを注入することをさらに含み、前記第 2 の領域は、前記第 2 のエピタキシャル層を成長させる前に注入され、前記第 2 の領域は、前記第 1 の領域と共に第 2 の p - n 接合を形成する請求項 15 に記載のプロセス。

【請求項 18】

前記第 1 のドーピング型は n 型であり、前記第 2 のドーピング型は p 型であり、前記第 2 の半導体ウェハはシリコンで作られる請求項 15 に記載のプロセス。

【請求項 19】

前記第 1 のウェハは、絶縁層を通して前記第 2 の半導体ウェハに接合され、前記絶縁層は、接合するステップの前に、前記第 1 のウェハが前記第 2 の半導体ウェハのいずれか一部であった請求項 15 に記載のプロセス。

【請求項 20】

アノード電極であって、前記第 1 の領域に電氣的に接続する、アノード電極を前記第 2 のエピタキシャル層の上部に形成すること、および、

カソード電極を前記第 1 のウェハの下部に形成することをさらに含む請求項 18 に記載のプロセス。

【請求項 21】

アバランシェフォトダイオードのアレイであって、

第 1 のドーピング型、第 1 の表面、および第 2 の表面を有する第 1 の半導体基板と、

第 1 の表面および第 2 の表面を有する第 2 の基板であって、第 2 の基板の第 1 の表面は、前記第 1 の半導体基板の第 2 の表面に接合される、第 2 の基板と、

前記第 1 の半導体基板と前記第 2 の基板との間の接合部における電気絶縁性界面であって、接合する前に、前記絶縁層は、前記第 1 の半導体基板か前記第 2 の基板のいずれか一部であった、電気絶縁性界面と、

前記第 1 の基板の第 2 の面における複数の離散的埋め込みインプラント領域であって、第 1 のドーピング型である、複数の離散的埋め込みインプラント領域と、

前記第 1 の基板内で複数のキャリア増倍領域を形成する複数の離散的 p - n 接合であって、p - n 接合のそれぞれは、前記複数の離散的埋め込みインプラント領域の異なるインプラント領域に垂直にオーバーラップし、p - n 接合のそれぞれは、吸収領域に隣接する、複数の離散的 p - n 接合と、

前記第 2 の基板を貫通する複数の第 1 のビアであって、第 1 のビアのそれぞれは、前記複数の離散的埋め込みインプラント領域の異なるインプラント領域に接触する、複数の第 1 のビアとを備えるアレイ。

【請求項 2 2】

前記複数の第 1 のビアは金属を含む請求項 2 1 に記載のアレイ。

【請求項 2 3】

前記第 2 の基板を貫通する複数の第 2 のビアをさらに備え、前記第 2 のビアのそれぞれは、前記複数の離散的埋め込みインプラント領域の異なるインプラント領域に接触し、前記第 2 のビアのそれぞれは、高抵抗材料を含み、それにより、受動クエンチとして働く請求項 2 1 に記載のアレイ。

【請求項 2 4】

さらに、前記 p - n 接合のそれぞれは、逆バイアスされる請求項 2 1 に記載のアレイ。

【請求項 2 5】

前記第 1 のドーピング型は n 型であり、前記第 2 のドーピング型は p 型であり、前記半導体基板はシリコンで作られる請求項 2 1 に記載のアレイ。

【請求項 2 6】

アバランシェフォトダイオードのアレイを作製するためのプロセスであって、

第 1 のドーピング型をドーブされ、第 1 の表面および前記第 1 の表面に対向する第 2 の表面を有する第 1 の半導体ウェハを準備すること、

複数の離散的インプラント領域を形成するために、第 1 のドーピング型のイオンを、前記第 1 の半導体ウェハの第 2 の表面に注入すること、

第 1 の表面および前記第 1 の表面に対向する第 2 の表面を有する第 2 のウェハを準備すること、

絶縁層を、前記第 1 の半導体ウェハの第 2 の表面または前記第 2 のウェハの第 1 の表面に形成すること、

前記第 1 の半導体ウェハの第 2 の表面を前記第 2 のウェハの第 1 の表面に接合することであって、前記絶縁層が、前記第 1 の半導体ウェハと前記第 2 のウェハとの間にある、接合すること、

前記第 1 の半導体ウェハ内に複数のキャリア増倍領域を形成するために複数の離散的 p - n 接合を形成することであって、前記 p - n 接合のそれぞれは、前記複数の離散的インプラント領域の異なるインプラント領域に垂直にオーバーラップし、前記 p - n 接合のそれぞれは、吸収領域に隣接する、形成すること、

前記第 2 のウェハを貫通して複数の第 1 のビアをエッチングすることであって、前記第 1 のビアのそれぞれは、前記複数の離散的インプラント領域の異なるインプラント領域で終端する、エッチングすること、および、

前記複数の第 1 のビア内にフィル材料を堆積させることを含むプロセス。

【請求項 2 7】

前記フィル材料は金属である請求項 2 6 に記載のプロセス。

【請求項 2 8】

前記第 2 のウェハを貫通して複数の第 2 のビアをエッチングすることであって、前記第 2 のビアのそれぞれは、前記複数の離散的インプラント領域の異なるインプラント領域で終端する、エッチングすることをさらに含む請求項 2 6 に記載のプロセス。

【請求項 2 9】

前記第 1 のドーピング型は n 型であり、前記第 2 のドーピング型は p 型であり、前記半導体ウェハはシリコンで作られる請求項 2 6 に記載のプロセス。

【請求項 3 0】

アバランシェフォトダイオードのアレイであって、

第 1 のドーピング型を有する半導体基板と、

前記半導体基板内に複数のキャリア増倍領域を形成する複数の離散的 p - n 接合であって、各 p - n 接合は、前記半導体基板の上部表面に隣接して配置される前記 p - n 接合の一方の面を形成する上部領域を有し、前記上部領域は第 2 の型のドーピングを有する、複数の離散的 p - n 接合と、

前記半導体基板を貫通する複数のビアであって、前記ビアのそれぞれは、前記複数の離

散的 p - n 接合の異なる p - n 接合の異なる上部領域に電氣的に接続し、各ビアは、絶縁層で部分的に内張りされる、複数のビアと、

前記半導体基板の下部表面に形成された電極であって、前記半導体基板に電氣的に接続する、電極とを備えるアレイ。

【請求項 3 1】

前記 p - n 接合は、逆バイアスされる請求項 3 0 に記載のアレイ。

【請求項 3 2】

前記第 1 のドーピング型は n 型であり、前記第 2 のドーピング型は p 型であり、前記半導体基板はシリコンで作られる請求項 3 0 に記載のアレイ。

【請求項 3 3】

アバランシェフォトダイオードのアレイを作製するためのプロセスであって、

第 1 のドーピング型を有する半導体ウェハを準備すること、

前記半導体基板内に複数のキャリア増倍領域を形成するために複数の離散的 p - n 接合を形成することであって、各 p - n 接合は、前記半導体基板の上部表面に隣接して配置される前記 p - n 接合の一方の面を形成する上部領域を有し、前記上部領域は第 2 の型のドーピングを有する、形成すること、

半導体ウェハを貫通する複数の第 1 のビアをエッチングすることであって、前記ビアのそれぞれは、前記複数の離散的 p - n 接合の異なる p - n 接合の異なる上部領域に電氣的に接続し、各ビアは、絶縁層で部分的に内張りされる、エッチングすること、および、

前記複数の第 1 のビア内に金属を堆積させることを含むプロセス。

【請求項 3 4】

前記第 1 のドーピング型は n 型であり、前記第 2 のドーピング型は p 型であり、前記半導体ウェハはシリコンで作られる請求項 3 3 に記載のプロセス。