



(10) **DE 11 2005 002 397 B4** 2014.03.27

(12)

Patentschrift

(21) Deutsches Aktenzeichen: **11 2005 002 397.4**
(86) PCT-Aktenzeichen: **PCT/US2005/037169**
(87) PCT-Veröffentlichungs-Nr.: **WO 2006/047116**
(86) PCT-Anmeldetag: **13.10.2005**
(87) PCT-Veröffentlichungstag: **04.05.2006**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **20.09.2007**
(45) Veröffentlichungstag
der Patenterteilung: **27.03.2014**

(51) Int Cl.: **H01L 29/78 (2006.01)**
H01L 21/336 (2006.01)
H01L 29/423 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10/973,228 **25.10.2004** **US**

(73) Patentinhaber:
Intel Corporation, Santa Clara, Calif., US

(74) Vertreter:
BOEHMERT & BOEHMERT, 28209, Bremen, DE

(72) Erfinder:
Shah, Uday, Portland, Oreg., US; Doyle, Brian, Portland, Oreg., US; Brask, Justin, Portland, Oreg., US; Chau, Robert, Beaverton, Oreg., US; Letson, Thomas, Beaverton, Oreg., US

(56) Ermittelter Stand der Technik:

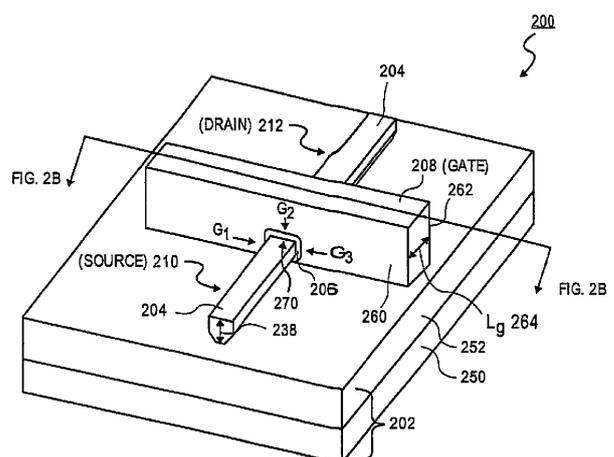
US	6 787 854	B1
US	2004 / 0 036 127	A1
US	2004 / 0 166 642	A1
US	2004 / 0 198 003	A1

(54) Bezeichnung: **Nicht-planare Halbleitereinrichtung mit verjüngtem unteren Körperabschnitt und Verfahren zur Herstellung**

(57) Hauptanspruch: Eine Halbleitereinrichtung, umfassend:

- einen Halbleiterkörper (204), der auf einer isolierenden Schicht (252) eines Substrats (202) gebildet ist, wobei der Halbleiterkörper (204) eine Oberseite (234) gegenüberliegend einer Unterseite (236), die auf der isolierenden Schicht (252) ausgebildet ist, und ein Paar seitlich gegenüberliegender Seitenwände (230, 232), die sich zwischen der Oberseite (234) und der Unterseite (236) erstrecken, aufweist, wobei die seitlich gegenüberliegenden Seitenwände (230, 232) kontinuierlich nach innen von der Oberseite (234) zur Unterseite (236) des Halbleiterkörpers (204) zulaufen, so dass ein Abstand zwischen den seitlich gegenüberliegenden Seitenwänden (230, 232) an der Oberseite (234) größer als ein Abstand zwischen den seitlich gegenüberliegenden Seitenwänden (230, 232) an der Unterseite (236) ist;
- eine gatedielektrische Schicht (206), die auf der Oberseite (234) und an den Seitenwänden (230, 232) des Halbleiterkörpers (204) von der Oberseite (234) zur Unterseite (236) gebildet ist und damit in direktem Kontakt steht,
- eine Gate-Elektrode (208), die auf der gatedielektrischen Schicht (206) an der Oberseite (234) und den Seitenwänden (230, 232) des Halbleiterkörpers (204) gebildet ist, und

– ein Paar einer Source/Drain-Zone (210, 212), die in dem Halbleiterkörper (204) an den gegenüberliegenden Seiten (230, 232) der Gate-Elektrode (208) gebildet ist.



Beschreibung

[0001] Die vorliegende Erfindung betrifft das Gebiet der Halbleitereinrichtungen und insbesondere einen nicht-planaren Trigate-Transistor, der einen unteren verjüngten Körperabschnitt aufweist, und ein Verfahren zur Herstellung.

[0002] Um die Leistungsfähigkeit von modernen integrierten Schaltkreisen, wie Mikroprozessoren, zu erhöhen, sind Silizium-auf-Isolator-(SOI, engl.: silicon on insulator) Transistoren vorgeschlagen worden. Silizium-auf-Isolator-(SOI) Transistoren haben den Vorteil, daß sie in völlig verarmter Weise betrieben werden können. Völlig verarmte Transistoren haben den Vorteil von idealen unteren Grenzspannungsgradienten für optimierte AN-Strom/AUS-Strom Verhältnisse.

[0003] Ein Beispiel eines herkömmlichen SOI-Transistors, der in völlig verarmter Weise betrieben werden kann, ist ein Trigate-Transistor **100**, wie er in **Fig. 1** dargestellt ist.

[0004] Der herkömmliche Trigate-Transistor umfaßt einen Siliziumkörper **104**, der auf einem isolierenden Substrat **102** gebildet ist, das eine vergrabene Oxidschicht **103** aufweist, die auf einem monokristallinen Siliziumsubstrat **105** gebildet ist. Die gatedielektrische Schicht **106** ist auf der Oberseite und an den Seitenwänden des Siliziumkörpers **104** gebildet, wie dies in **Fig. 1** dargestellt ist. Eine Gate-Elektrode **108** ist auf der dielektrischen Schicht gebildet und umgibt den Körper **104** an drei Seiten und schafft damit im wesentlichen einen Transistor **100**, der drei Gate-Elektroden (G_1 , G_2 , G_3) besitzt, eine auf jeder der Seitenwände des Siliziumkörpers **104** und an der Oberseite des Siliziumkörpers **104**. Eine Source-Zone **110** und eine Drain-Zone **112** sind in dem Siliziumkörper **104** an den gegenüberliegenden Seiten der Gate-Elektrode **108** gebildet, wie in der **Fig. 1** dargestellt.

[0005] Ein Vorteil des herkömmlichen Trigate-Transistors **100** ist es, daß er gute Kurzkanaleffekte (SCE, engl.: short channel effects) aufweist. Ein Grund, daß der Trigate-Transistor **100** gute Kurzkanaleffekte aufweist, ist, dass die nicht-ebene Ausbildung der Einrichtung die Gate-Elektrode **108** in einer Weise platziert, dass sie die aktive Kanalregion umgibt. Das bedeutet, dass in der Trigate-Einrichtung die Gate-Elektrode **108** in Kontakt mit drei Seiten der Kanalregion steht. Unglücklicherweise ist die vierte Seite, der Bodenabschnitt des Kanals, isoliert von der Gate-Elektrode durch die vergrabene Oxidschicht **103** und ist daher nicht unter enger Gate-Steuerung.

[0006] Die US 2004/0 198 003 A1 offenbart eine Halbleitereinrichtung, umfassend einen Halbleiterkörper, der auf einer isolierenden Schicht eines Substrats gebildet ist, wobei der Halbleiterkörper ei-

ne Oberseite gegenüberliegend einer Unterseite aufweist, die auf der isolierenden Schicht und auf einem Paar seitlich gegenüberliegenden Seitenwänden ausgebildet ist, eine dielektrische Schicht, die auf der Oberseite des Halbleiterkörpers und an den Seitenwänden des Halbleiterkörpers gebildet ist, eine Gate-Elektrode, die auf der dielektrischen Schicht an der Oberseite und den Seitenwänden des Halbleiterkörpers gebildet ist, und ein Paar einer Source/Drain-Zone, die in dem Halbleiterkörper an den gegenüberliegenden Seiten der Gate-Elektrode gebildet ist. Die US 6 787 854 B1 zeigt einen ebensolchen Gegenstand.

[0007] Der vorliegenden Erfindung liegt die Aufgabe zugrunde, einen Trigate-Transistor mit verbesserten Schalteigenschaften bereitzustellen. Erfindungsgemäß wird die Aufgabe gelöst durch die Vorrichtung und das Verfahren der unabhängigen Patentansprüche 1, 7 und 10.

[0008] **Fig. 1** ist eine Darstellung einer herkömmlichen nicht-planaren oder Trigate-Einrichtung.

[0009] **Fig. 2A** und **Fig. 2B** demonstrieren Trigate- oder nicht-planare Einrichtungen mit einem verjüngten unteren Volumenabschnitt nach der vorliegenden Erfindung.

[0010] **Fig. 3A** zeigt eine nicht-planare Einrichtung mit einer Vielzahl verjüngter unterer Körperabschnitte.

[0011] **Fig. 3B** ist eine Darstellung einer nicht-planaren Einrichtung, die einen verjüngten unteren Körperabschnitt besitzt und Seitenwandabstandhalter, Source-/Drain-Ausläufer und silizidierte Source-/Drain-Zonen aufweist.

[0012] **Fig. 4A–Fig. 4H** illustrieren ein Verfahren zum Bilden einer nicht-planaren Einrichtung mit einem verjüngten unteren Körperabschnitt nach einem Ausbildungsbeispiel der vorliegenden Erfindung.

[0013] **Fig. 5A–Fig. 5D** illustrieren Ausführungsbeispiele der vorliegenden Erfindung, wobei die Profilätzung den unteren Körperabschnitt verjüngen kann.

[0014] Die vorliegende Erfindung ist eine neuartige nicht-planare Einrichtung mit einem verjüngten unteren Körperabschnitt und ein Verfahren zur Herstellung. In der nachfolgenden Beschreibung werden eine Vielzahl spezifischer Details dargelegt, um ein genaues Verständnis der vorliegenden Erfindung zu schaffen. Andererseits werden wohlbekannte Halbleiterprozesse und Herstellungstechniken nicht im besonderen Detail beschrieben, um nicht die vorliegende Erfindung unnötig zu verunklaren.

[0015] Ausführungsbeispiele der vorliegenden Erfindung umfassen einen nicht-ebenen oder Trigate-Transistor, der einen Halbleiterkörper aufweist, der an drei Seiten durch eine dielektrische Schicht und eine Gate-Elektrode umschlossen ist. In Ausführungsbeispielen der vorliegenden Erfindung wird der Bodenabschnitt des Halbleiterkörpers dünner als der obere Abschnitt des Halbleiterkörpers ausgeführt. Durch Verjüngen des Bodenabschnittes des Halbleiterkörpers gegenüber dem oberen Abschnitt wird die Gate-Steuerung über den Bodenabschnitt des Körpers in besseren Kurzkanaleffekten resultieren. In einem Ausführungsbeispiel der vorliegenden Erfindung wird ein Halbleiterfilm auf einen Halbleiterkörper geätzt unter Nutzung eines Trockenätzprozesses, der ein erstes Prozessgas und eine erste RF-Vorspannung nutzt. Nach Bilden des Halbleiterkörpers wird der untere Abschnitt des Körpers unter Benutzung der gleichen Ätzchemikalie und Vorrichtung verjüngt, aber unter Nutzung einer geringeren RF-Vorspannung, um den unteren Körperabschnitt spitz zulaufen zu lassen oder mit einer Facette zu versehen.

[0016] Fig. 2A und Fig. 2B stellen nicht-planare oder Trigate-Einrichtung **200** dar, die einen Halbleiterkörper mit einem verjüngten Bodenabschnitt aufweist. Fig. 2A ist eine von-oben/Seitenansicht des Transistors **200**, während Fig. 2B eine Darstellung eines Querschnittes ist, der durch die Gate-Elektrode genommen wurde. Transistor **200** ist auf einem Substrat **202** gebildet und umfaßt einen Halbleiterkörper oder Finne **204**. Eine gatedielektrische Schicht **206** ist auf der Oberseite **234** und Seitenwänden **230** und **232** eines Halbleiterkörpers **204** gebildet. Eine Gate-Elektrode **208** ist auf der gatedielektrischen Schicht **206** gebildet und umgibt den Halbleiterkörper oder die Finne auf drei Seiten. Eine Source-Zone **210** und eine Drain-Zone **212** sind in dem Halbleiterkörper an gegenüberliegenden Seiten der Gate-Elektrode **208** gebildet, wie dies in Fig. 2A dargestellt ist.

[0017] Wie es leicht aus den Fig. 2A und Fig. 2B ersichtlich ist, hat der Halbleiterkörper **204** einen Bodenabschnitt **222**, der dünner als der obere Abschnitt **224** ist. Das bedeutet, daß der Abstand zwischen den Seitenwänden **230** und **232** an der Oberseite **234** größer ist als an der Unterseite **236**. In einem Ausführungsbeispiel der vorliegenden Erfindung sind die Seitenwände **230** und **232** des oberen Abschnittes **224** im wesentlichen vertikal und mit gleichförmiger Entfernung voneinander beabstandet, während die Seitenwände **230** und **232** des Bodenabschnittes **222** nach innen zugespitzt oder facettiert sind, um den Abstand zwischen den Seitenwänden **230** und **232** im Bodenabschnitt zu verringern. In einem Ausführungsbeispiel der vorliegenden Erfindung ist der Abstand zwischen den Seitenwänden **230** und **232** nahe der Unterseite zwischen 1/2 bis 2/3 des Abstands zwischen den Seitenwänden **230** und **232** na-

he der Oberseite **234**. In einem Ausführungsbeispiel der vorliegenden Erfindung beginnen die Seitenwände **230** und **232** nach innen zuzulaufen, bei ungefähr der Mitte der Höhe **238** des Halbleiterkörpers **204** (im Beispiel beginnen die Seitenwände nach innen bei der Mitte zwischen der Oberseite **234** und der Unterseite **236** nach innen zuzulaufen). In einem Ausführungsbeispiel der vorliegenden Erfindung beträgt der Abstand zwischen den Seitenwänden **230** und **232** an der Oberseite **234** zwischen 20–30 Nanometer, während der Abstand zwischen den Seitenwänden **230** und **232** nahe der Unterseite **236** zwischen 10–15 Nanometern beträgt. In einem Ausführungsbeispiel der vorliegenden Erfindung ist der Bodenabschnitt **222** des Halbleiterkörpers **204** genügend dünn ausgeführt, um die Gate-Steuerung des Bodenabschnittes der Gate-Steuerung des oberen Abschnittes gleichartig zu gestalten. In einem Ausführungsbeispiel der vorliegenden Erfindung ist der Bodenabschnitt **222** des Halbleiterkörpers **204** genügend dünn relativ zum oberen Abschnitt, um die Kurzkanaleffekte des Transistors **200** zu verbessern.

[0018] Zusätzlich können, wie in den Fig. 5A–Fig. 5D dargestellt wird, andere Halbleiterkörperprofile oder -formen genutzt werden, um die Kurzkanaleffekte (SCE) des Trigate- oder nicht-planaren Transistors **200** zu verbessern. Zum Beispiel kann, wie in Fig. 5A dargestellt ist, der Halbleiterkörper **204** ein paar Seitenwände **230** und **232** aufweisen, die kontinuierlich nach innen von der Oberseite **234** zur Unterseite **236** zulaufen. Zusätzlich kann in einem Ausführungsbeispiel der vorliegenden Erfindung wie in Fig. 5B dargestellt, der Halbleiterkörper **204** Seitenwände **230** und **232** aufweisen, die kontinuierlich nach innen von der Oberseite zur Unterseite zulaufen und die Unterseite **236** an einem Punkt oder im wesentlichen an einem Punkt **502** treffen. In wieder einem anderen Ausführungsbeispiel der vorliegenden Erfindung, wie es im Fig. 5C dargestellt ist, kann der Halbleiterkörper **204** ein Paar Seitenwände **230** und **232** aufweisen, die einen oberen vertikalen Abschnitt **510** aufweisen, in dem sie durch einen gleichen Abstand voneinander getrennt sind, einen mittleren nach innen zulaufenden Abschnitt **512** und einen unteren Abschnitt **514** mit vertikalen Seitenwänden, die durch einen zweiten Abstand voneinander getrennt sind, der geringer ist als der Abstand, der die oberen Seitenwände **510** trennt. In wieder einem anderen Ausführungsbeispiel der vorliegenden Erfindung kann der Halbleiterkörper einen oberen Abschnitt **224** besitzen, wobei die Seitenwände **230** und **232** facettiert oder nach innen zulaufend sind, und einen Bodenabschnitt **222**, wo die Seitenwände **230** und **232** vertikal oder im wesentlichen vertikal sind. In jedem der Beispiele, die in den Fig. 5A–Fig. 5D beschrieben sind, ist der Abstand zwischen den Seitenwänden **230** und **232** des Halbleiterkörpers **204** an der Oberseite größer als der Abstand zwischen dem Halbleiterkörper und der Unterseite. Auf diese

Weise kann die Gate-Elektrode **207** bessere Steuerung des Halbleiterkörpers an der Unterseite aufweisen und dadurch die Kurzkanaleffekte der Einrichtung verbessern.

[0019] In einem Ausführungsbeispiel der vorliegenden Erfindung ist der Trigate-Transistor **200** auf einem isolierenden Substrat **202** gebildet, das ein unteres monokristallines Siliziumsubstrat **250** umfaßt, das auf einer isolierenden Schicht **252** gebildet ist, wie zum Beispiel einer Siliziumdioxidschicht. In einem Ausführungsbeispiel der vorliegenden Erfindung ist die isolierende Schicht **252** eine vergrabene Oxidschicht eines SOI Substrats. Der Trigate-Transistor **200** kann jedoch auf jedem wohl bekannten isolierenden Substrat gebildet werden, wie zum Beispiel auf Substraten, die aus Siliziumdioxid, Nitriden, Oxiden und Saphiren gebildet sind.

[0020] Der Halbleiterkörper **204** ist auf einer isolierenden Schicht **252** eines isolierenden Substrats **202** gebildet. Der Halbleiterkörper **204** kann auf jedem wohlbekanntem Material gebildet werden, so dass er nicht nur auf Silizium (Si), Germanium (Ge), Siliziumgermanium (Si_xGe_y), Galliumarsenid (GaAs), InSb, GaP und GaSb begrenzt ist. Der Halbleiterkörper **204** kann aus jedem wohlbekanntem Material gebildet werden, das wiederkehrend von einem isolierenden Zustand zu einem leitfähigen Zustand durch Anlegen externer elektrischer Steuerung verändert werden kann. Der Halbleiterkörper **204** ist idealerweise ein monokristalliner Film, wenn beste elektrische Leistungseigenschaften des Transistors **200** gewünscht werden. Zum Beispiel ist der Halbleiterkörper **204** ein monokristalliner Film, wenn der Transistor in Hochleistungsanwendung, wie zum Beispiel hochdichten Schaltkreisen, wie einem Mikroprozessor, genutzt wird. Der Halbleiterkörper **204** kann jedoch ein polykristalliner Film sein, wenn der Transistor **200** in Anwendungen benutzt wird, die weniger strenge Leistungsanforderungen aufweisen, wie zum Beispiel Flüssigkristallanzeigen. Der Isolator **252** isoliert den Halbleiterkörper **204** von dem monokristallinen Siliziumsubstrat **250**. In einem Ausführungsbeispiel der vorliegenden Erfindung ist der Halbleiterkörper **204** eine monokristalline Siliziumschicht.

[0021] Die gatedielektrische Schicht **206** ist auf und um die drei Seiten des Halbleiterkörpers **204** gebildet, wie in den **Fig. 2A** und **Fig. 2B** dargestellt. Die gatedielektrische Schicht **206** ist auf oder benachbart der Seitenwand **230**, auf der Oberseite **234** des Körpers **204** und auf oder benachbart der Seitenwand **232** des Körpers **204** gebildet, wie in den **Fig. 2A** und **Fig. 2B** dargestellt. Die gatedielektrische Schicht **206** kann jede wohlbekannte gatedielektrische Schicht sein. In einem Ausführungsbeispiel der vorliegenden Erfindung ist die gatedielektrische Schicht ein Siliziumdioxid (SiO_2)-, Siliziumoxinitrit (SiO_xN_y)- oder eine Siliziumnitrit (Si_3N_4)-dielektrische Schicht. In einem Aus-

führungsbeispiel der vorliegenden Erfindung ist die gatedielektrische Schicht **206** eine Siliziumoxinitritschicht, die mit einer Dicke zwischen 5–20 Ångström gebildet ist. In einem Ausführungsbeispiel der vorliegenden Erfindung ist die gatedielektrische Schicht eine hoch-k-gatedielektrische Schicht, wie ein Metalloxiddielektrikum, aber ist nicht beschränkt auf Tantalpantaoxid (TaO_5), Titan-Oxid (TiO_2) und Hafnium-Oxid (HfO). Die gatedielektrische Schicht **206** kann andere Typen hoch-k-dielektrischer Schichten annehmen, ist aber nicht beschränkt auf PZT (Blei-Zirkonat-Titanat) und BST (Barium-Strontium-Titanat).

[0022] Die Gate-Elektrode **207** wird auf und um die gatedielektrische Schicht **206**, wie in den **Fig. 2A** und **Fig. 2B** gezeigt, gebildet. Die Gate-Elektrode **208** wird auf oder benachbart der gatedielektrischen Schicht **206** auf der Seitenwand **230** des Halbleiterkörpers **204** auf der gatedielektrischen Schicht **206** gebildet, die auf der Oberseite **234** des Halbleiterkörpers **204** gebildet wird und wird benachbart zu oder an der gatedielektrischen Schicht **206** gebildet, die auf der Seitenwand **232** des Halbleiterkörpers **204** gebildet ist. Die Gate-Elektrode **208** hat ein Paar von lateral gegenüberliegenden Seitenwänden **260** und **262**, die eine Entfernung auseinanderliegen, die die Gate-Länge (L_g) **264** des Transistors **200** definiert. In einem Ausführungsbeispiel der vorliegenden Erfindung werden seitlich gegenüberliegende Seitenwände **260** und **262** der Gate-Elektrode **208** in einer Richtung rechtwinklig zu den Seitenwänden **230** und **232** des Halbleiterkörpers **204** verlaufen.

[0023] Die Gate-Elektrode **208** kann durch jedes geeignete Gate-Elektrodenmaterial gebildet werden. In einem Ausführungsbeispiel der vorliegenden Erfindung umfaßt die Gate-Elektrode **208** einen polykristallinen Siliziumfilm, der auf eine Konzentrationsdichte zwischen 1×10^{19} Atome/ cm^3 bis 1×10^{20} Atome/ cm^3 dotiert ist. In einem Ausführungsbeispiel der vorliegenden Erfindung kann die Gate-Elektrode eine Metall-Gate-Elektrode sein, zum Beispiel, aber nicht darauf beschränkt, eine aus Wolfram, Tantal, Titan oder deren Nitriden. In einem Ausführungsbeispiel der vorliegenden Erfindung wird die Gate-Elektrode aus einem Material mit einer Gap-Arbeitsfunktion (midgap work function) zwischen 4,5–4,8 eV gebildet. Es wird darauf hingewiesen, daß die Gate-Elektrode **208** nicht notwendigerweise ein einziges Material sein muss, sondern auch aus einem Kompositstapel dünner Filme bestehen kann, wie zum Beispiel, aber nicht beschränkt, auf eine polykristalline Silizium/Metall-Elektrode oder eine Metall/polykristalline Silizium-Elektrode.

[0024] Der Transistor **200** hat eine Source-Zone **210** und eine Drain-Zone **212**. Die Source-Zone **210** und die Drain-Zone **212** werden in dem Halbleiter **204** an den gegenüberliegenden Seiten der Gate-Elektrode **208** gebildet, so wie in **Fig. 2A** dargestellt. Die

Source-Zone **210** und die Drain-Zone **212** werden auf einem n-Typ Leitungsmaterial gebildet, wenn ein NMOS-Transistor gebildet wird, und werden aus einem p-Typleitermaterial gebildet, wenn eine PMOS-Einrichtung gebildet wird. In einem Ausführungsbeispiel der vorliegenden Erfindung ist die Source-Zone **210** und die Drain-Zone **212** mit einer Dotierkonzentration zwischen 1×10^{19} Atome/cm³ bis 1×10^{21} Atome/cm³ versehen. Die Source-Zone **210** und die Drain-Zone **212** können mit gleichbleibender Konzentration gebildet werden oder können Unter-Zonen verschiedener Konzentrationen oder Dotierungsprofile umfassen, wie zum Beispiel Spitzenzonen (zum Beispiel die Source/Drain-Ausleger) und Kontaktzonen. In einem Ausführungsbeispiel der vorliegenden Erfindung, haben, wenn der Transistor **200** ein symmetrischer Transistor ist, die Source-Zone **210** und die Drain-Zone **212** die gleiche Dotierkonzentration und das gleiche Profil. In einem Ausführungsbeispiel der vorliegenden Erfindung, wenn der Transistor **200** als asymmetrischer Transistor gebildet ist, kann das Dotierkonzentrationsprofil der Source-Zone **210** und der Drain-Zone **212** variieren, um beliebige bestimmte elektrische Charakteristika zu erzielen, die im Stand der Technik wohlbekannt sind. Die Source-Zone **210** und die Drain-Zone **212** können zusammen als Paar von Source/Drain-Zonen bezeichnet werden.

[0025] Der Abschnitt des Halbleiterkörpers **204**, der zwischen der Source-Zone **210** und der Drain-Zone **212** beherbergt ist, definiert die Kanalregion **270** des Transistors **200**. Die Kanalregion **270** kann auch als die Fläche des Halbleiterkörpers **204** definiert werden, der durch die Gate-Elektrode **207** umgeben ist. Zu Zeiten jedoch mag die Source/Drain-Zone sich leicht unterhalb der Gate-Elektrode durch zum Beispiel Diffusion erstrecken, um eine Kanalzone zu definieren, die ein wenig kleiner als die Gate-Elektrodenlänge (L_g) ist. In einem Ausführungsbeispiel der vorliegenden Erfindung ist die Kanalzone **270** intrinsisches oder undotiertes monokristallines Silizium. In einem Ausführungsbeispiel der vorliegenden Erfindung ist die Kanalzone **370** dotiertes monokristallines Silizium. Wenn die Kanalzone **270** dotiert ist, ist sie typischerweise bis zu einem Leitungsniveau zwischen 1×10^{16} bis 1×10^{19} Atome/cm³ dotiert. In einem Ausführungsbeispiel der vorliegenden Erfindung ist es, wenn die Kanalzone dotiert ist, typischerweise auf den entgegengesetzten Leitungstyp zu Source-Zone **210** und Drain-Zone **212** dotiert. Zum Beispiel würde, wenn die Source und Drain-Zonen n-Typleitfähigkeit aufweisen, die Kanalzone zur p-Typleitfähigkeit dotiert werden. Gleichzeitig werden, wenn die Source und Drain-Zonen p-Typleitfähigkeit aufweisen, die Kanalzone n-Typfähigkeit besitzen. Auf diese Weise kann ein Trigate-Transistor **200** in entweder einem NMOS-Transistor oder einem PMOS-Transistor jeweils umgeformt werden. Die Kanalzone **270** kann gleichförmig dotiert oder nichtgleichförmig

dotiert werden oder mit verschiedenen Konzentrationen, um bestimmte elektrische und Leistungscharakteristika zu erzeugen. Zum Beispiel können die Kanalzonen **270** wohl bekannte "Halo"-Zonen umfassen, wenn dies gewünscht ist.

[0026] Durch Schaffen einer gatedielektrischen Elektrode und einer Gate-Elektrode, die den Halbleiterkörper an drei Seiten umgeben, wird der Trigate-Transistor als mit drei Kanälen und drei Gates, einem Gate und dem Kanal (G_1) versehen charakterisiert werden, der sich zwischen den Source und Drain-Zonen auf der Seite **230** des Siliziumkörpers **204** erstreckt, einem zweiten Gate und Kanal (G_2), die sich zwischen den Source- und Drain-Zonen auf der Oberseite des Siliziumkörpers **204** erstrecken, und einem dritten Gate und Kanal (G_3), die sich zwischen den Source- und Drain-Zonen an der Seitenwand des Siliziumkörpers **204** erstrecken. Die Gate-Breite (G_w , Gate-width) des Transistors **200** ist die Summe der Breiten der drei Kanalzonen. Daher ist die Gate-Breite des Transistors **200** gleich der Länge der Seitenwand **230** des Siliziumkörpers **204** plus der Länge der Oberseite **234** des Siliziumkörpers **204**, plus der Länge der Seitenwand **232** des Siliziumkörpers **204**. Transistoren mit größeren "Breiten" können erzeugt werden unter der Benutzung einer Vielzahl von Einrichtungen, die miteinander verbunden sind (zum Beispiel Vielfach-Siliziumkörpern **204**, die durch eine einzige Gate-Elektrode **208** umgeben sind), wie in der Fig. 3A dargestellt.

[0027] Da die Kanalzone **270** an drei Seiten durch die Gate-Elektrode **208** und das Gate-Dielektrikum **206** umgeben ist, kann der Transistor **200** in völlig verarmter Weise betrieben werden, wobei, wenn der Transistor **200** "AN"-geschaltet wird, sich die Kanalzone **270** vollständig entleert und damit die vorteilhaften elektrischen Charakteristika und Leistung eines vollständig entleerten Transistors schafft. Das bedeutet, dass, wenn der Transistor **200** "AN"-geschaltet wird, eine Verarmungszone in der Kanalzone **270** entlang einer Inversionsschicht an den Oberflächen der Zone **270** gebildet wird (das heißt, eine Inversionsschicht wird an den Seitenflächen und an der Oberseite des Halbleiterkörpers erzeugt). Die Inversionsschicht hat den gleichen Leitungstyp wie die Source- und Drain-Zonen und bildet einen leitfähigen Kanal zwischen den Source und Drain-Zonen, um dem Strom zu erlauben, zwischen ihnen zu fließen. Die Verarmungszone zieht freie Träger von unterhalb der Inversionsschicht ab. Die Verarmungszone erstreckt sich zwischen dem Boden der Kanalzone, so daß der Transistor als "völlig verarmter" Transistor bezeichnet werden kann. In Ausführungsbeispielen der vorliegenden Erfindung ist der untere Abschnitt **222** des Halbleiterkörpers **204** relativ zu dem oberen Abschnitt ausgedünnt, so daß die Gate-Elektrode leichter den unteren Abschnitt des Halbleiterkörpers steuern kann. Durch Ausdünnen des unteren

Abschnittes können die beiden Seitenwand-Gates G_1 und G_3 leichter freie Träger von unterhalb der Inversionsschicht abziehen, die an den Seitenwänden des unteren Abschnittes des Halbleiterkörpers **204** gebildet ist. Durch Ausdünnen des unteren Abschnittes **222** des Halbleiterkörpers **204** können die beiden Gates G_1 und G_3 von der Seitenwand die Kanalzone in einer Weise kontrollieren ähnlich derjenigen, in der die Trigates G_1 , G_2 und G_3 den Kanal in dem oberen Abschnitt **224** des Halbleiterkörpers **204** steuern. Ausdünnen des Bodenabschnittes des Körpers oder der Finne vermindert nicht nur die Dicke des Halbleiters zwischen den beiden Gattern, sondern verringert auch die Breite des Abschnittes des Körpers, der in Kontakt mit dem vergrabenen Oxid ist. Diese Effekte in Kombination miteinander vermindern die Kurzkanaleffekte in der Trigate-Einrichtung, die einen verjüngten unteren Körperabschnitt besitzt.

[0028] Der Transistor **200** der vorliegenden Erfindung kann als nicht-planarer Transistor bezeichnet werden, da die Inversionsschicht des Kanals **270** in sowohl horizontaler wie vertikaler Richtung im Halbleiterkörper **204** gebildet ist. Die Halbleitereinrichtung der vorliegenden Erfindung kann auch als nicht-planare Einrichtung betrachtet werden, da das elektrische Feld von der Gate-Elektrode **208** sowohl von horizontaler Seite (G_2) wie vertikalen Seiten (G_1 und G_3) angelegt wird.

[0029] Wie oben aufgeführt, ist die Gate-Breite des Transistors **200** gleich der Summe der drei Gate-Breiten, die vom Halbleiterkörper **204** des Transistors **200** erzeugt werden. Um Transistoren mit größeren Gate-Breiten zu erzeugen, kann der Transistor **200** zusätzliche oder vielfache Halbleiterkörper oder Furchen **204** aufweisen, wie in **Fig. 3A** dargestellt. Jeder Halbleiterkörper oder Grat **204** besitzt eine gatedielektrische Schicht **206** an ihrer Oberseite und den Seitenwänden, wie in **Fig. 3A** dargestellt. Die Gate-Elektrode **208** ist auf oder benachbart jeder gatedielektrischen Schicht **206** auf jedem Halbleiterkörper **204** gebildet. Jeder Halbleiterkörper **204** umfaßt eine Source-Zone **210** und eine Drain-Zone **212**, die in dem Halbleiterkörper **204** an gegenüberliegenden Seiten der Gate-Elektrode **208** gebildet sind, wie in **Fig. 3A** dargestellt. In einem Ausführungsbeispiel der vorliegenden Erfindung ist jeder Halbleiterkörper **208** mit der gleichen Breite und Höhe (Dicke) wie die anderen Halbleiterkörper **204** gebildet. In einem Ausführungsbeispiel der vorliegenden Erfindung werden jede Source-Zone **210** und Drain-Zone **212** des Halbleiterkörpers **204** elektrisch miteinander durch Halbleitermaterial verbunden, das dazu genutzt wird, den Halbleiterkörper **204** derart auszubilden, daß er eine Source-Anschluss-Zone **310** und eine Drain-Anschluss-Zone **312** ausbildet, wie in **Fig. 3A** dargestellt. Alternativ können die Source-Zone **210** und die Drain-Zone **212** miteinander durch höhere Niveaus der Metallisierung (zum Beispiel Metall 1, Metall 2 oder Metall 3) ver-

bunden werden, die dazu genutzt werden, verschiedene Transistoren **200** miteinander in den funktionellen Schaltkreisen zu verbinden. Die Gate-Breite des Transistors **200**, wie in **Fig. 3A** dargestellt ist, würde gleich der Summe der Gate-Breiten, die durch jeden Halbleiterkörper **204** erzeugt werden, sein. Auf diese Weise kann ein nicht-planarer Trigate-Transistor **20** mit beliebiger Gate-Breite erzeugt werden können. In einem Ausführungsbeispiel der Erfindung umfaßt jeder der Halbleiterkörper **204** einen Bodenabschnitt **222**, der dünner als der obere Abschnitt **224** ist, der im obigen beschrieben wurde.

[0030] In einem Ausführungsbeispiel der vorliegenden Erfindung können die Source **210** und die Drain **212** einen Silizium- oder anderen Halbleiterfilm **350** umfassen, der auf und um den Halbleiterkörper **204**, wie in **Fig. 3B** dargestellt, gebildet ist. Zum Beispiel kann der Halbleiterfilm **350** ein Siliziumfilm oder eine Siliziumlegierung, wie Silizium-Germanium (Si_xGe_y), sein. In einem Ausführungsbeispiel der Erfindung ist der Halbleiterfilm **350** ein monokristalliner Siliziumfilm des gleichen Leitungstypes wie die Source-Zone **210** und die Drain-Zone **212**. In einem Ausführungsbeispiel der vorliegenden Erfindung kann der Halbleiterfilm eine Siliziumlegierung, wie Silizium-Germanium, sein, wobei Silizium ungefähr 1 bis 99 Atomprozent der Legierung umfassen kann. Der Halbleiterfilm **350** muß nicht notwendigerweise ein monokristalliner Halbleiterfilm sein und kann in dem Ausführungsbeispiel ein polykristalliner Film sein. In einem Ausführungsbeispiel der vorliegenden Erfindung wird der Halbleiterfilm **350** auf der Source-Zone **210** und der Drain-Zone **212** des Halbleiterkörpers **214** gebildet, um "angehobene" Source- und Drain-Zonen zu bilden. Der Halbleiterfilm **250** kann von einer Gate-Elektrode **208** durch ein Paar von dielektrischen Seitenwandabstandshaltern **360** elektrisch isoliert werden, wie zum Beispiel Siliziumnitrid oder Siliziumoxid oder Komposite hieraus. Die Seitenwandabstandshalter **360** laufen entlang gegenüberliegender Seitenwände **260** und **262** der Gate-Elektrode **208**, die in der **Fig. 3B** dargestellt ist, um dadurch den Halbleiterfilm **350** von der Gate-Elektrode **208** zu isolieren. In einem Ausführungsbeispiel der vorliegenden Erfindung haben die Seitenwandabstandshalter **360** eine Dicke zwischen 20 und 200 Ångstrom (zwischen 2000 und 20000 pm). Durch Hinzufügen eines Silizium- oder Halbleiterfilms der Source- und Drain-Zone **210** und **212** des Halbleiterkörpers und "angehobener" Source und Drain-Zonen kann die Dicke der Source und Drain-Zonen vergrößert werden und dabei der Kontaktwiderstand Source/Drain zum Transistor **200** reduziert werden, was dessen elektrische Charakteristika und Leistung erhöht.

[0031] In einem Ausführungsbeispiel der Erfindung wird ein Silizidfilm **370** auf der Source-Zone **210** und der Drain-Zone **212** gebildet, wie zum Beispiel, aber nicht beschränkt auf: Titansilizid, Nickelsilizid, Kobalt-

silizid. In einem Ausführungsbeispiel der vorliegenden Erfindung wird das Silizid **370** auf dem Siliziumfilm **350** auf dem Halbleiterkörper **204** gebildet, wie in **Fig. 3B** dargestellt. Der Silizidfilm **370** kann jedoch direkt auf dem Siliziumkörper **204** gebildet werden, wenn gewünscht. Dielektrische Abstandhalter **360** erlauben es dem Silizid **370**, auf dem Halbleiterkörper **204** oder dem Siliziumfilm **250** in einem sich selbstausrichtenden Prozess (z. B., einem Salizidprozess) gebildet zu werden.

[0032] In einem Ausführungsbeispiel der vorliegenden Erfindung kann, wenn gewünscht, der Siliziumfilm **350** und/oder der Silizidfilm **370** auch auf der Oberseite der Gate-Elektrode **208** gebildet werden, wenn die Gate-Elektrode **208** ein Silizium- oder Germaniumfilm ist. Die Bildung des Siliziumfilms **350** und des Silizidfilms **370** auf der Gate-Elektrode **208** reduziert den Kontaktwiderstand der Gate-Elektrode, wodurch die elektrische Leistung des Transistors **200** verbessert ist.

[0033] **Fig. 4A–Fig. 4H** illustrieren ein Verfahren des Bildens eines nicht-planaren Transistors, der einen verjüngten unteren Körperabschnitt aufweist. Die Herstellung des Transistors beginnt mit dem Substrat **402**. Ein Silizium- oder Halbleiterfilm **408** wird auf dem Substrat **402**, wie in **Fig. 4A** dargestellt, gebildet. In einem Ausführungsbeispiel der vorliegenden Erfindung ist das Substrat **402** ein isolierendes Substrat, wie z. B. in **Fig. 4A** beschrieben. In einem Ausführungsbeispiel der vorliegenden Erfindung umfasst das isolierende Substrat **402** ein unteres monokristallines Siliziumsubstrat **404** und eine obere isolierende Schicht **406**, wie z. B. einen Siliziumdioxid oder einen Siliziumnitridfilm. Die isolierende Schicht **406** isoliert den Halbleiterfilm **408** von dem Substrat **404** und wird in dem Ausführungsbeispiel in einer Dicke zwischen 200–2000 Angström (2000–200000 pm) gebildet. Die isolierende Schicht **406** wird zum Teil als „vergrabenes Oxid“-Schicht bezeichnet. Wenn ein Silizium- oder Halbleiterfilm **408** auf einem isolierenden Substrat **402** gebildet wird, wird ein „Silizium-“ oder „Halbleiter-auf-Isolator“(SOI)-Substrat erzeugt.

[0034] Obwohl der Halbleiterfilm **408** idealerweise eine Siliziumschicht ist, wird er in anderen Ausführungsbeispielen eine andere Art einer Halbleiterschicht sein, wie z. B., aber nicht beschränkt auf, Germanium (Ge), eine Siliziumgermaniumlegierung (Si_xGe_y), Galliumarsenid (GaAs), InSb, GaP und GaSb. Bei einem Ausführungsbeispiel der vorliegenden Erfindung ist der Halbleiterfilm **408** ein intrinsischer (d. h., undotierter) Siliziumfilm. In anderen Ausführungsbeispielen ist der Halbleiterfilm **408** auf p-Typ- oder n-Typ-Leitfähigkeit dotiert, mit einem Konzentrationsniveau zwischen 1×10^{16} – 1×10^{19} Atome/cm³. Der Halbleiterfilm **408** kann insitu dotiert werden (d. h., dotiert werden, während er abgelagert wird) oder dotiert werden, nachdem er auf dem Substrat **402** ab-

gelagert ist, z. B. durch Ionen-Implantation. Das Dotieren nach der Bildung erlaubt, sowohl PMOS- und NMOS-Trigate-Einrichtungen einfach aus dem gleichen isolierenden Substrat herzustellen. Das Dotierungsniveau des Halbleiterkörpers an diesem Punkt kann dazu benutzt werden, das Dotierungsniveau der Kanalzone der Einrichtung zu bestimmen.

[0035] Der Halbleiterfilm **408** wird mit einer Dicke gebildet, die ungefähr gleich der Höhe ist, die für den nachfolgenden Halbleiterkörper benötigt wird oder für Körper des herzustellenden Trigate-Transistors. In einem Ausführungsbeispiel der vorliegenden Erfindung hat der Halbleiterfilm **408** eine Dicke oder Höhe **409** von weniger als 30 Nanometern und idealerweise weniger als 20 Nanometern. In einem Ausführungsbeispiel der Erfindung wird der Halbleiterfilm **408** mit einer Dicke gebildet, die gleich der Gate“-Länge“ ist, die für die Herstellung des Trigate-Transistors gewünscht ist. In einem Ausführungsbeispiel der vorliegenden Erfindung wird der Halbleiterfilm **408** dicker als die gewünschte Gate-Länge der Einrichtung gebildet. In einem Ausführungsbeispiel der vorliegenden Erfindung wird der Halbleiterfilm **408** mit einer Dicke gebildet, die es erlaubt, den hergestellten Trigate-Transistor in vollständig verarmter Weise über seine vorgesehene Gate-Länge (Lg) zu betreiben.

[0036] Der Halbleiterfilm **408** kann auf dem isolierenden Substrat **402** in jeder bekannten Weise hergestellt werden. In einem Verfahren des Herstellens eines „Silizium-auf-Isolator-Substrats“, die als SIMOX-Technik bekannt ist, werden Sauerstoffatome hoher Dosis in ein monokristallines Siliziumsubstrat implantiert und dann ausgeheilt, um das vergrabene Oxid **406** innerhalb des Substrats zu bilden. Der Abschnitt des monokristallinen Siliziumsubstrats oberhalb des vergrabenen Oxids wird dann der Siliziumfilm **408**. Eine andere Technik, die zur Zeit genutzt wird, ist das SOI-Substrat mit einer epitaxialen Siliziumschichttransfertechnik zu erstellen, die im Allgemeinen als „bonded SOI“ bezeichnet wird. Bei dieser Technik wird ein erster Siliziumwafer eine dünne Oxidschicht aufweisen, die auf seiner Oberseite gewachsen ist, und wird später als vergrabenes Oxid **406** in der SOI Struktur dienen. Als Nächstes wird ein Wasserstoffimplantat mit hoher Dosis in dem ersten Siliziumwafer erzeugt, um eine unter Spannung stehende Zone unterhalb der Siliziumoberfläche des ersten Wafers zu erzeugen. Dieser erste Wafer wird dann umgedreht und an die Oberfläche eines zweiten Siliziumwafers gebondet. Der erste Wafer wird dann entlang der unter hoher Spannung stehenden Zone, die durch das Wasserstoffimplantat gebildet ist, gespalten. Dies ergibt eine SOI Struktur mit einer dünnen Siliziumschicht an der Oberseite und einem vergrabenen Oxid darunter, wobei alles oberhalb eines monokristallinen Siliziumsubstrats angeordnet ist. Wohlbekannte Glättungstechniken wie z. B. HCl-Glätten oder chemisch-mechanisches Polieren (CMP) können be-

nutzt werden, um die Oberfläche des Halbleiterfilms **408** auf eine gewünschte Dicke zu glätten.

[0037] Zu diesem Zeitpunkt können Isolatorzonen (nicht dargestellt) in das SOI-Substrat eingeformt werden, falls erwünscht, um die verschiedenen Transistoren voneinander zu isolieren, die darin gebildet werden sollen. Die Isolationszonen können durch Wegätzen von Abschnitten des Substratfilms **408** erzeugt werden, die einen Trigate-Transistor bilden, z. B. durch wohlbekanntes photolithographische und Ätz-Techniken und nachfolgendes Wiederauffüllen der geätzten Regionen mit einem isolierenden Film, z. B. SiO₂.

[0038] In einem Ausführungsbeispiel der vorliegenden Erfindung wird ein hartes Maskenmaterial **410** auf dem Halbleiterfilm **408** gebildet, wie dies in **Fig. 4A** dargestellt ist. Ein hartes Maskenmaterial **410** ist ein Material, das eine harte Maske für das Ätzen des Halbleiterfilms **408** schaffen kann. Ein Hartmaskenmaterial ist ein Material, das sein Profil während des Ätzens des Halbleiterfilms **408** beibehält. Ein Hartmaskenmaterial **410** ist ein Material, das nicht fortgeätzt werden wird und nur ein wenig während des Ätzens des Halbleiterfilms **408** angeätzt wird. In einem Ausführungsbeispiel der vorliegenden Erfindung wird das Hartmaskenmaterial aus einem Material derart gebildet, dass die Ätzflüssigkeit, die benutzt wird, den Halbleiterfilm **408** zu ätzen, den dünnen Film **407** wenigstens fünfmal schneller als das Hartmaskenmaterial ätzt und idealerweise wenigstens zehnmal schneller. In einem Ausführungsbeispiel der vorliegenden Erfindung, wenn der Halbleiterfilm **408** ein Siliziumfilm ist, kann das Hartmaskenmaterial **410** ein Siliziumnitrid oder Siliziumoxinitridfilm sein. Das Hartmaskenmaterial **410** wird mit einer Dicke gebildet, die ausreicht, sein Profil während des gesamten Ätzens des Halbleiterfilms **408** beizubehalten, aber nicht zu dick, um Schwierigkeiten in der Musterbildung zu erzeugen. In einem Ausführungsbeispiel der vorliegenden Erfindung ist das Hartmaskenmaterial **410** mit einer Dicke zwischen 3 Nanometern bis 20 Nanometern gebildet und hat idealerweise eine Dicke von weniger als 10 Nanometern.

[0039] Als nächstes wird, wie auch in der **Fig. 4A** dargestellt, eine Photolackmaske **412** auf der Hartschichtmaske **410** gebildet. Die Photolackmaske **412** umfasst ein Muster, das in den Halbleiterfilm **408** übertragen wird. Die Photolackmaske **412** kann durch jede wohlbekanntes Technik wie z. B. das Ablagern in einer Decke eines Photolackmaterials durch Maskieren, Belichten und Entwickeln des Photolackfilms in eine Photolack-Maske **412**, die das gewünschte Muster für den Halbleiterfilm **408** aufweist, der mit einem Muster versehen werden soll. Die Photolackmaske **412** ist typischerweise aus einer organischen Verbindung gebildet. Die Photolackmaske **412**

ist mit einer Dicke ausreichend zum Beibehalten des Profils während des Musterbildens der harten Maske **410** gebildet, aber ist bis jetzt noch nicht mit einer derartigen Dicke gebildet, dass man nicht eine lithographische Musterbildung bis in die kleinsten Dimensionen (d. h., kritische Dimensionen) die mit photographischen Systemen und Verfahren möglich sind, machen könnte.

[0040] Als Nächstes wird, wie in **Fig. 4B** dargestellt, das Hartmaskenmaterial **410** entsprechend der Ausrichtung der Photolackmaske **412** geätzt, um eine Hartmaske **414** zu bilden, wie dies in **Fig. 4B** dargestellt ist. Die Photolackmaske **412** hindert die darunter liegenden Abschnitte des Hartmaskenmaterials **410** daran, geätzt zu werden. In einem Ausführungsbeispiel der vorliegenden Erfindung wird die Hartmaske mit einer Ätzflüssigkeit geätzt, die das Hartmaskenmaterial, aber nicht den darunter liegenden Halbleiterfilm **208** ätzen kann. Das Hartmaskenmaterial wird mit einer Ätzflüssigkeit geätzt, die eine fast perfekte Selektivität auf den darunter liegenden Halbleiterfilm **208** besitzt. Das heißt, in einem Ausführungsbeispiel der vorliegenden Erfindung wird die hartmaskenätzende Substanz das Hartmaskenmaterial wenigstens hundertmal schneller als den darunter liegenden Halbleiterfilm **208** ätzen (d. h., ein Ätzmaterial hat ein Hartmasken zu Halbleiterfilm Selektivitätsverhältnis von wenigstens 50:1). Wenn das Hartmaskenmaterial **414** ein Siliziumnitrid- oder ein Siliziumoxinitridfilm ist, kann das Hartmaskenmaterial **410** in der Hartmaske **414** unter Benutzung eines Trockenätzprozesses, wie z. B. eines reaktiven Ionenätzens/ECR Plasmaätzens geätzt werden. In einem Ausführungsbeispiel der vorliegenden Erfindung kann eine Siliziumnitrid- oder Siliziumoxinitrid-Hartmaske reaktiv zu dem Ionenätzen sein unter Benutzung von Chemikalien umfassend CHF₃ und O₂ und Ar/CH₂F₂ und C₄F₈ und Ar und O₂.

[0041] Als Nächstes wird, wie in **Fig. 4C** dargestellt, nachdem der Hartmaskenfilm **410** mit einem Muster versehen wurde und die Hartmaske **414** gebildet wurde, die Photolackmaske **412** mittels wohlbekannter Techniken entfernt werden. Zum Beispiel kann die Photolackmaske **412** unter Benutzung einer „Piranha“ Reinigungslösung entfernt werden, die Schwefelsäure und Wasserstoffperoxid umfasst. Zusätzlich kann der Rückstand von der Photolackmaske **412** mit einer O₂-Veraschung entfernt werden.

[0042] Obwohl es nicht notwendig ist, ist es erwünscht, die Photolackmaske **412** vor dem Ätzen des Halbleiters **408** zu entfernen, so dass ein Polymerfilm aus Photolack sich nicht an den Seitenwänden des mit dem Muster versehenen Halbleiterfilms **408** bildet. Es wird erwünscht sein, erst die Photolackmaske **412** zu entfernen, bevor der Halbleiterfilm **408** geätzt wird, da Trockenätzprozesse die Photolackmaske erodieren können und den Polymerfilm da-

zu veranlassen können, sich an den Seitenwänden des Halbleiterkörpers zu entwickeln, wo er schwer zu entfernen ist und Nachteile auf die Geräteleistung ausüben kann. Durch Entfernen der Photolackschicht **412** vor dem Musterbilden des Halbleiterfilms **408** kann der Halbleiterdünnfilm **408** mit einem Muster und mit unverschmutzten Seitenwänden erhalten bleiben.

[0043] Als Nächstes wird, wie in **Fig. 4D** dargestellt, der Halbleiterfilm **408** in Ausrichtung mit der Hartmaske **414** geätzt, um einen Halbleiterkörper **416** zu bilden, der ein Paar von seitlich einander gegenüberliegenden Seitenwänden **418** und **420** aufweist. Die Hartmaske **414** verhindert, dass der darunter liegende Abschnitt des Halbleiterfilms **208** während des Ätzprozesses geätzt wird. Dieser Ätzprozess wird weiter durchgeführt, bis das darunter liegende isolierende Substrat erreicht ist. In einem Ausführungsbeispiel der Erfindung endet der Ätzprozess am „Endpunkt“ der vergrabenen Oxidschicht **406**. Der Halbleiterfilm **208** wird mit einer Ätzflüssigkeit geätzt, die den Halbleiter **208** ätzt, ohne die Hartmaske **414** wesentlich zu ätzen. In einem Ausführungsbeispiel der vorliegenden Erfindung wird der Halbleiterfilm **408** anisotropisch geätzt, so dass der Halbleiterkörper **416** annähernd vertikale Seitenwände **418** und **420** aufweist, die in Ausrichtung mit den Seitenwänden der Hartmaske **414** gebildet sind, um dadurch eine fast völlige Abbildungstreue mit der Hartmaske **414** zu haben. Wenn die Hartmaske **414** eine Siliziumnitrid- oder Siliziumoxinitrid-Hartmaske ist und der Halbleiterfilm **408** ein Siliziumfilm ist, kann der Siliziumfilm **408** unter Benutzung eines Trockenätzprozesses geätzt werden, der HBr/Ar/O₂ umfasst.

[0044] In einem Ausführungsbeispiel der vorliegenden Erfindung wird der Halbleiterkörper **408** unter Benutzung eines Elektronen-Zyklotron-Widerstands (ECR), (englisch electron cycotron residence)-Plasmaätzgerätes geätzt. In einem Ausführungsbeispiel der vorliegenden Erfindung ist ein ECR-Plasmaätzgerät unter Benutzung von Chemikalien umfassend HBr/O₂ mit einem Druck von 0,2 bis 0,8 Pascal und einer RF-Leistung von ungefähr 120 Watt verwendet worden, um einen Siliziumdünnfilm in einen Siliziumkörper **416** zu ätzen. Ein solcher Ätzprozess kann im wesentlichen eine anisotropische Ätzung erzeugen, um im wesentlichen vertikale Seitenwände **418** und **420** zu schaffen, wie sie in **Fig. 4D** dargestellt sind. Zusätzlich kann ein solches Ätzen eine hohe Selektivität (ungefähr 20:1) gegen die vergrabene Oxidschicht **406**, so dass die vergrabene Oxidschicht sehr wenig angeätzt wird und als Ätzstopp für die Endpunkterkennung verwendet werden kann. Die Fähigkeit, den Endpunkt zu erfassen, ist wichtig, um sicherzustellen, dass der gesamte Halbleiterfilm von der Schicht des vergrabenen Oxids entfernt wird, da die Dicke **409** des Dünnfilms über den Wafer variieren kann und die Ätzrate von unterschiedlichen

Halbleiterkörperbreiten auch variieren kann. In einem Ausführungsbeispiel der Erfindung wird eine RF-Vorspannung zwischen 100–120 Watt genutzt. Die RF Vorspannung steuert die Elektronenenergie beim Ätzen, was wiederum das anisotropische Profil der Ätzung steuert.

[0045] Als Nächstes wird, wie in **Fig. 4E** dargestellt, der Halbleiterkörper **416** geätzt, um so den Abstand zwischen den Seitenwänden **418** und **420** des unteren Abschnittes des Halbleiterkörpers **416** zu reduzieren. Das Ätzen eines Halbleiterkörpers, um den unteren Abschnitt des Halbleiterkörpers auszdünnen, kann als „Profil“-Ätzung beschrieben werden. In einem Ausführungsbeispiel der vorliegenden Erfindung wird das Profilätzen dazu benutzt, nach innen zu verjüngen oder Facetten **422** und **424** auf den Seitenwänden **418** und **420** zu bilden, wie dies in **Fig. 4E** dargestellt ist. Es wird darauf hingewiesen, dass in anderen Ausführungsbeispielen der vorliegenden Erfindung das Profilätzen den unteren Abschnitt ausdünnen kann, wie dies in **Fig. 5A–Fig. 5D** beschrieben ist. In einem Ausführungsbeispiel der vorliegenden Erfindung wird ein Plasmaätzprozess benutzt, der eine Anisotropätzung erzeugt, um den Abstand zwischen den Seitenwänden im unteren Abschnitt des Halbleiterkörpers zu verringern im Vergleich zu dem oberen Abschnitt des Halbleiterkörpers. In einem Ausführungsbeispiel der vorliegenden Erfindung werden die gleichen Plasmaätzeinrichtungen und Ätzchemikalien benutzt, wie während des Profilätzens während des Musterbildens des Halbleiterfilms **408**, außer dass die RF-Vorspannung verringert ist, so dass die Vertikalrichtungsgebung der Ionen reduziert ist. In einem Ausführungsbeispiel der vorliegenden Erfindung wird dann, wenn der Halbleiterkörper **416** ein Siliziumkörper ist, das Profilätzen unter Benutzung einer ECR-Plasmaätzvorrichtung mit Chemikalien umfassend HBr/O₂ und einem Druck zwischen 0,2 bis 0,8 Pascal mit einer RV-Vorspannung zwischen 50–70 Watt durchgeführt.

[0046] Als Nächstes wird, wie in **Fig. 4F** dargestellt, die Hartmaske **414** von dem Halbleiterkörper **416** entfernt, der einen ausgedünnten unteren Körperabschnitt besitzt. In einem Ausführungsbeispiel der vorliegenden Erfindung kann, wenn die Hartmaske **414** ein Siliziumnitrid oder ein Siliziumoxinitridfilm ist, eine Nasschemie umfassend Phosphorsäure und Di-Wasser benutzt werden, um die Hartmaske zu entfernen. In einem Ausführungsbeispiel der vorliegenden Erfindung umfasst die Hartmaskenätzung zwischen 80–90% Phosphorsäure (nach Volumen) und Di-Wasser, erhitzt auf eine Temperatur zwischen 150–170°C und idealerweise 160°C. Eine solche Ätzlösung wird eine annähernd perfekte Selektivität zwischen dem Siliziumnitrid der Hartmaske **214** und der vergrabenen Oxidschicht **406** aufweisen.

[0047] Als Nächstes kann, wenn gewünscht, nach Entfernen der Hartmaske **414**, wie sie in **Fig. 4F** dargestellt ist, der Halbleiterkörper **416** einem Nassätzen ausgesetzt werden, um den Körper **416** zu reinigen. In einem Ausführungsbeispiel der vorliegenden Erfindung wird ein Siliziumkörper **416** einem Nassätzen ausgesetzt, das Ammoniumhydroxid (NH_4OH) umfasst, um jede Kantenlinienrauigkeit oder eine Grubenbildung zu entfernen, die sich während des Musterformens aus dem Siliziumkörper **416** ergeben haben könnte. In einem Ausführungsbeispiel der Erfindung wird der Siliziumkörper **416** über eine Zeitdauer zwischen 30 Sekunden bis 2 Minuten einer Ätzflüssigkeit unterworfen, die zwischen 0,1–1 Volumen% Ammoniumhydroxid bei einer Temperatur zwischen 20–30°C aufweist, um den Halbleiterkörper **416** mit gereinigten Seitenwänden **418** und **420** zu schaffen.

[0048] Als Nächstes wird, wie in **Fig. 4G** dargestellt, eine gatedielektrische Schicht **430** auf den Seitenwänden **418** und **420** an der Oberseite des Halbleiterkörpers **416** gebildet. Die gatedielektrische Schicht kann ein abgelagertes Dielektrikum oder ein gewachsenes Dielektrikum sein. In einem Ausführungsbeispiel der vorliegenden Erfindung ist die gatedielektrische Schicht **430** ein Siliziumoxinitrid-dielektrischer Film, der durch einen Trocken/Nass-Oxidationsprozess gewachsen ist. In einem Ausführungsbeispiel der vorliegenden Erfindung wird der Siliziumoxidfilm auf eine Dicke zwischen 5–15 Angström (500–1500 pm) gezüchtet. In einem Ausführungsbeispiel der vorliegenden Erfindung ist die gatedielektrische Schicht **430** ein abgelagertes Dielektrikum, zum Beispiel aber nicht beschränkt auf einen hochdielektrischen Konstantfilm, wie zum Beispiel ein Metalloxiddielektrikum, wie zum Beispiel Tantalpentaoxid (Ta_2O_5), Titanoxid (TiO_2), Hafniumoxid, Zirkoniumoxid und Aluminiumoxid. Zusätzlich kann in einem Ausführungsbeispiel der vorliegenden Erfindung die gatedielektrische Schicht **430** eine andere als ein hoch-k-dielektrischer Film sein, zum Beispiel, aber nicht beschränkt auf PZT und BST. Jede wohlbekanntes Technik kann genutzt werden, um ein hoch-k-Dielektrikum abzulagern, aber dies ist nicht beschränkt auf chemische Gasabscheidung, Atomschichtablagerung und Sputtern.

[0049] Als Nächstes wird die Gatterelektrode **432** auf der gatedielektrischen Schicht **430** an der Oberseite des Halbleiterkörpers **416** gebildet, und wird auf oder benachbart der gatedielektrischen Schicht **430** gebildet, auf oder benachbart den Seitenwänden **418** und **420**, wie in **Fig. 4G** dargestellt. Die Gate-Elektrode **432** hat eine Oberseite gegenüberliegend einer Unterseite, die auf der isolierenden Schicht **406** gebildet ist, und hat ein Paar von seitlich gegenüberliegenden Seitenwänden **434** und **436**, die die Gate-Länge der Einrichtung definieren. Die Gate-Elektrode **432** kann durch eine Abdeckung gebildet werden, die durch Ablagerung eines geeigneten Gate-Elektrodenmate-

rials über dem Substrat erfolgt und durch Musterbildung des Gate-Elektrodenmaterials mit wohlbekanntes photolithographischen und Ätztechniken, um eine Gate-Elektrode **432** aus dem Gate-Elektrodenmaterial zu bilden. In einem Ausführungsbeispiel der vorliegenden Erfindung umfasst das Gate-Elektrodenmaterial polykristallines Silizium. In einem anderen Ausführungsbeispiel der vorliegenden Erfindung umfasst das Gate-Elektrodenmaterial eine polykristalline Silizium-Germanium-Legierung. In wieder einem anderen Ausführungsbeispiel der vorliegenden Erfindung kann das Gate-Elektrodenmaterial einen Metallfilm, zum Beispiel aber nicht beschränkt auf Wolfram, Tantal und deren Nitride umfassen. In einem Ausführungsbeispiel der Erfindung nutzt der photolithographische Prozess, der dazu benutzt wird, die Gate-Elektrode **432** zu finden, den photolithographischen Prozess für minimale oder kleinste Dimensionen, um den nicht-planaren Transistoren herzustellen (das bedeutet in einem Ausführungsbeispiel der vorliegenden Erfindung, dass die Gate-Länge (L_g) der Gate-Elektrode **432** eine kleinste gegenständliche Abmessung des Transistors aufweist, die durch Photolithographie dargestellt wird). In einem Ausführungsbeispiel der Erfindung ist die Gate-Länge geringer oder gleich 30 Nanometern und ideal weniger als 20 Nanometer. Es wird darauf hingewiesen, dass, obwohl die gatedielektrische Schicht und die Gate-Elektrode, wie sie in den **Fig. 4D** und **Fig. 4H** dargestellt sind, mit einem „subtrahierenden“ Verfahren hergestellt sind, wodurch ungewünschte Abschnitte weggeätzt werden, die Gate-Elektrode auch mit einem Ergänzungs- bzw. Ersatz-Gate-Prozess hergestellt werden kann, wobei erst eine Opfer-Gate-Elektrode gebildet wird, ein Zwischenschichtdielektrikum benachbart dazu, die Opfer-Gate-Elektrode dann entfernt wird, um dann eine Öffnung zu erzeugen, in der die Gate-Elektrode dann gebildet wird, wie dies im Stand der Technik bekannt ist.

[0050] Als Nächstes wird, wie in **Fig. 4H** dargestellt, eine Source-Zone **440** und eine Drain-Zone **442** in dem Halbleiterkörper **416** an gegenüberliegenden Seiten der Gate-Elektrode **432** gebildet. Für einen PMOS-Transistor werden der Halbleiterkörper mit einer p-Typ Leitfähigkeit mit einer Konzentration zwischen 1×10^{20} bis 1×10^{21} Atome/cm³ dotiert. Für einen nicht-planaren NMOS-Transistor wird der Halbleiterkörper **416** mit einem n-Typ-Leitfähigkeit in der Konzentration zwischen 1×10^{20} und 1×10^{21} Atome/cm³ dotiert, um Source/Drain-Zonen zu bilden. In einem Ausführungsbeispiel der vorliegenden Erfindung können die Source/Drain-Zonen durch Ionenimplantation gebildet werden. In einem Ausführungsbeispiel der vorliegenden Erfindung tritt die Ionenimplantation vertikaler Richtung (z. B. einer Richtung rechtwinklig zu dem Substrat) wie in **Fig. 4H** auf. Die Gate-Elektrode **432** ist eine Polysilizium-Gate-Elektrode und kann während des Ionenimplantationsprozesses implantiert werden. Die Gate-Elektrode **432**

agiert als Maske, um den Ionenimplantationsschritt daran zu hindern, die Kanalzone des nicht-planaren Transistors zu dotieren. Wiederum ist die Kanalzone ein Abschnitt des Halbleiterkörpers **416**, der unterhalb angeordnet ist oder von der Gate-Elektrode **432** umgeben wird. Wenn die Gate-Elektrode **432** eine Metallelektrode ist, kann eine dielektrische Hartmaske benutzt werden, das Dotieren während des Ionenimplantationsprozesses zu blockieren. In anderen Ausführungsbeispielen können andere Verfahren, wie z. B. Festkörper-Quell-Diffusion dazu benutzt werden, den Halbleiterkörper zum Bilden der Source/Drain-Zonen zu dotieren. In Ausführungsbeispielen der vorliegenden Erfindung können die Source/Drain-Zonen auch Unterzonen, wie z. B. Source/Drain-Verlängerungen und Source/Drain-Kontaktzonen, aufweisen. In einem solchen Fall würde der Halbleiterkörper **416** auf jeder Seite der Gate-Elektrode **432** dotiert werden, um die Source/Drain-Verlängerungen zu bilden, und dann würde ein Paar von Seitenwandabstandgebern, wie sie in **Fig. 3B** illustriert sind, entlang der Seitenwände der Gate-Elektrode **432** gebildet werden und ein zweiter Dotierungsschritt würde dazu genutzt, stark dotierte Source/Drain-Kontaktzonen zu schaffen, wie dies im Stand der Technik bekannt ist. Zusätzlich würde, wenn es zu diesem Zeitpunkt gewünscht wird, zusätzliches Silizium und/oder Silizid auf dem Halbleiterkörper **416** gebildet, um angehobene Source/Drain-Zonen zu bilden, und den Kontaktwiderstand des Gerätes zu reduzieren. Dieses vervollständigt die Herstellung einer nicht-planaren Einrichtung, die einen Halbleiterkörper mit einem ausgedünnten unteren Abschnitt aufweist, um die Geräteeigenschaften zu verbessern.

Patentansprüche

1. Eine Halbleitereinrichtung, umfassend:

- einen Halbleiterkörper (**204**), der auf einer isolierenden Schicht (**252**) eines Substrats (**202**) gebildet ist, wobei der Halbleiterkörper (**204**) eine Oberseite (**234**) gegenüberliegend einer Unterseite (**236**), die auf der isolierenden Schicht (**252**) ausgebildet ist, und ein Paar seitlich gegenüberliegender Seitenwände (**230, 232**), die sich zwischen der Oberseite (**234**) und der Unterseite (**236**) erstrecken, aufweist, wobei die seitlich gegenüberliegenden Seitenwände (**230, 232**) kontinuierlich nach innen von der Oberseite (**234**) zur Unterseite (**236**) des Halbleiterkörpers (**204**) zulaufen, so dass ein Abstand zwischen den seitlich gegenüberliegenden Seitenwänden (**230, 232**) an der Oberseite (**234**) größer als ein Abstand zwischen den seitlich gegenüberliegenden Seitenwänden (**230, 232**) an der Unterseite (**236**) ist;
- eine gatedielektrische Schicht (**206**), die auf der Oberseite (**234**) und an den Seitenwänden (**230, 232**) des Halbleiterkörpers (**204**) von der Oberseite (**234**) zur Unterseite (**236**) gebildet ist und damit in direktem Kontakt steht,

- eine Gate-Elektrode (**208**), die auf der gatedielektrischen Schicht (**206**) an der Oberseite (**234**) und den Seitenwänden (**230, 232**) des Halbleiterkörpers (**204**) gebildet ist, und

- ein Paar einer Source/Drain-Zone (**210, 212**), die in dem Halbleiterkörper (**204**) an den gegenüberliegenden Seiten (**230, 232**) der Gate-Elektrode (**208**) gebildet ist.

2. Die Halbleitereinrichtung nach Anspruch 1, wobei der Abstand zwischen den Seitenwänden (**230, 232**) an der Unterseite (**236**) des Halbleiterkörpers (**204**) ungefähr $\frac{1}{2}$ bis $\frac{2}{3}$ des Abstands zwischen den Seitenwänden (**230, 232**) an der Oberseite (**234**) des Halbleiterkörpers (**204**) aufweist.

3. Die Halbleitereinrichtung nach Anspruch 1, wobei der Abstand zwischen den gegenüberliegenden Seitenwänden (**230, 232**) an der Oberseite (**234**) des Halbleiterkörpers (**204**) ungefähr 20–30 nm beträgt.

4. Die Halbleitereinrichtung nach Anspruch 1, wobei der Abstand zwischen den seitlich gegenüberliegenden Seitenwänden (**230, 232**) nahe an der Unterseite (**236**) des Halbleiterkörpers (**204**) ungefähr 10–15 nm beträgt.

5. Die Halbleitereinrichtung nach Anspruch 1, wobei der Halbleiterkörper (**204**) Silizium umfasst.

6. Die Halbleitereinrichtung nach Anspruch 1, wobei ein Abstand zwischen den Seitenwänden (**230, 232**) nahe der Unterseite (**236**) des Halbleiterkörpers (**204**) ungefähr 50–66% des Abstandes zwischen den Seitenwänden (**230, 232**) an der Oberseite (**234**) des Halbleiterkörpers (**204**) beträgt.

7. Verfahren zum Bilden einer Einrichtung, umfassend

- Bilden eines Halbleiterkörpers auf einer isolierenden Schicht auf einem Substrat, wobei der Halbleiterkörper eine Oberseite gegenüberliegend einer Unterseite, die auf einer isolierenden Schicht gebildet ist, und ein Paar seitlich gegenüberliegender Seitenwände, die sich zwischen der Oberseite und der Unterseite erstrecken, aufweist, wobei die seitlich gegenüberliegenden Seitenwände kontinuierlich nach innen von der Oberseite (**234**) zur Unterseite (**236**) des Halbleiterkörpers zulaufen, so dass ein Abstand zwischen den seitlich gegenüberliegenden Seitenwänden an der Unterseite des Halbleiterkörpers geringer als ein Abstand zwischen den seitlich gegenüberliegenden Seitenwänden an der Oberseite des Halbleiterkörpers ist;
- Bilden einer gatedielektrischen Schicht auf der Oberseite und auf den Seitenwänden des Halbleiterkörpers von der Oberseite zur Unterseite und damit in direktem Kontakt stehend,
- Bilden einer Gate-Elektrode auf der gatedielektrischen Schicht auf der Oberseite des Halbleiterkörpers

pers und benachbart der dielektrischen Schicht an den Seitenwänden des Halbleiterkörpers, und

- Bilden eines Paares von Source/Drain-Zonen in dem Halbleiterkörper an den gegenüberliegenden Seiten der Gate-Elektrode.

8. Das Verfahren nach Anspruch 7, wobei eine Breite an der Unterseite des Halbleiterkörpers ungefähr $\frac{1}{2}$ bis $\frac{2}{3}$ einer Breite an der Oberseite des Halbleiterkörpers beträgt.

9. Das Verfahren nach Anspruch 7, wobei der Abstand zwischen den Seitenwänden des Halbleiterkörpers an der Oberseite zwischen 20–30 nm beträgt und der Abstand zwischen den seitlich gegenüberliegenden Seitenwänden nahe der Unterseite zwischen 10–15 nm beträgt.

10. Ein Verfahren zum Bilden eines Transistors, umfassend:

- Schaffen eines Substrates mit einer isolierenden Oxidschicht, die darauf gebildet ist, und einem Halbleiterfilm, der auf der isolierenden Oxidschicht gebildet ist,
- Ätzen des Halbleiterfilms, um einen Halbleiterkörper zu bilden, der eine Oberseite gegenüberliegend einer Unterseite auf der isolierenden Oxidschicht und ein Paar seitlich gegenüberliegender Seitenwände aufweist,
- Ätzen des Halbleiterkörpers, um einen Abstand zwischen den seitlich gegenüberliegenden Seitenwänden nahe der Unterseite des Halbleiterkörpers relativ zur Oberseite des Halbleiterkörpers zu verringern,
- Bilden einer gatedielektrischen Schicht an der Oberseite und den Seitenwänden des Halbleiterkörpers,
- Bilden einer Gate-Elektrode auf der gatedielektrischen Schicht auf der Oberseite des Halbleiterkörpers und benachbart zu der gatedielektrischen Schicht an den Seitenwänden des Halbleiterkörpers; und
- Bilden eines Paares von Source/Drain-Zonen in dem Halbleiterkörper an gegenüberliegenden Seiten der Gate-Elektrode.

11. Ein Verfahren nach Anspruch 10, wobei das Ätzen des Halbleiterfilms an der isolierenden Oxidschicht stoppt.

12. Ein Verfahren nach Anspruch 10, wobei der Halbleiterkörper Silizium umfasst und das Ätzen des Halbleiterfilms ein Trockenätzprozess ist, der Chemikalien umfassend HBr/O₂ beinhaltet.

13. Ein Verfahren nach Anspruch 10, wobei das Ätzen des Halbleiterkörpers den Abstand zwischen den seitlich gegenüberliegenden Seitenwänden nahe der Unterseite des Halbleiterkörpers ohne signifikantes Ätzen der Oberseite des Halbleiterkörpers reduziert.

14. Ein Verfahren nach Anspruch 13, wobei der Halbleiterkörper Silizium ist und durch einen Trockenätzprozess unter Benutzung von Chemikalien umfassend HBr/O₂ geätzt wird.

15. Ein Verfahren nach Anspruch 13, wobei die elektrische Leistung, die während des Ätzens des Halbleiterkörpers genutzt wird, um die Dicke der Unterseite zu verringern, eine RF-Vorspannung mit einer Leistung zwischen 50–70 Watt nutzt.

16. Ein Verfahren nach Anspruch 13, wobei der Ätzprozess, der zum Reduzieren des Abstands zwischen den Seitenwänden an der Unterseite des Halbleiterkörpers verwendet wird, einen HBr/O₂ Gasfluss zwischen 150–180 ml/min nutzt.

17. Ein Verfahren nach Anspruch 10, weiter umfassend Ätzen des Halbleiterkörpers, um die Distanz zwischen den seitlich gegenüberliegenden Seitenwänden des Halbleiterkörpers nahe der Unterseite zu reduzieren, Aussetzen des Halbleiterkörpers einer Nasschemikalie umfassend NH₄OH.

18. Ein Verfahren nach Anspruch 10, wobei das Ätzen des Halbleiterfilms ein erstes Prozessgas und eine erste RF-Vorspannung verwendet, um den Halbleiterkörper zu bilden, und das Ätzen des Halbleiterkörpers zur Reduzierung der Dicke der Unterseite ein zweites Prozessgas und eine zweite RF-Vorspannung verwendet, wobei die zweite RF Vorspannung geringer als die erste RF-Vorspannung ist.

19. Ein Verfahren nach Anspruch 18, wobei das erste Prozessgas das gleiche wie das zweite Prozessgas ist.

20. Ein Verfahren nach Anspruch 19, wobei die ersten und die zweiten Prozessgase HBr/Ar/O₂ umfassen.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

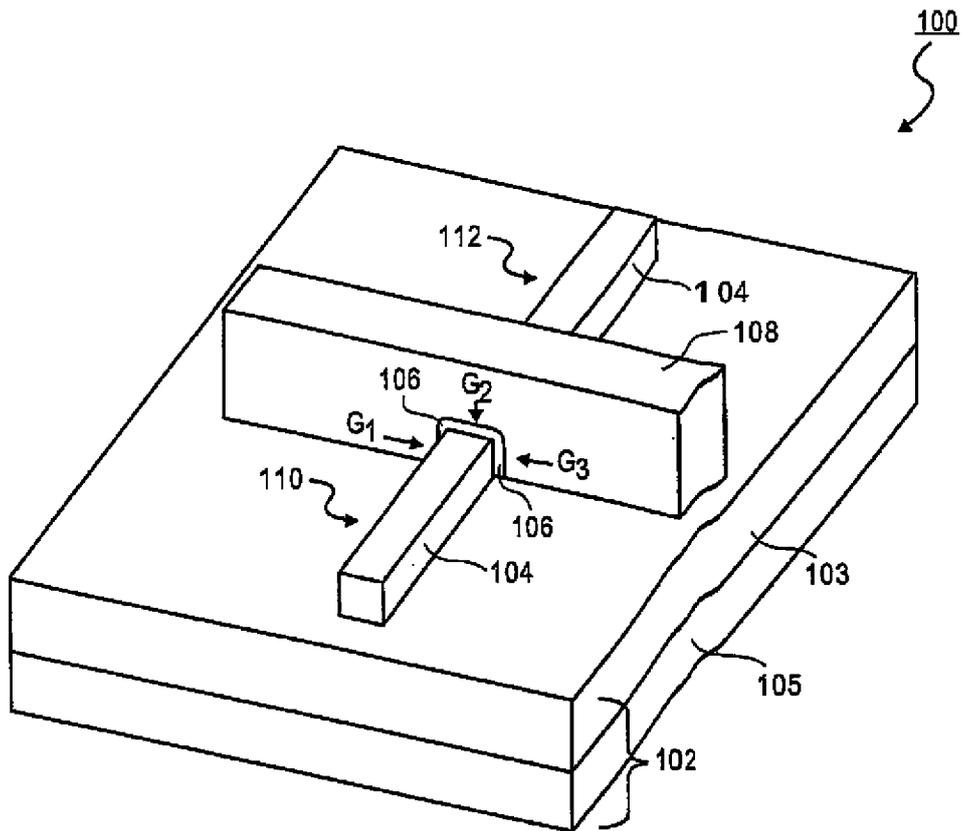


FIG. 1 Stand der Technik

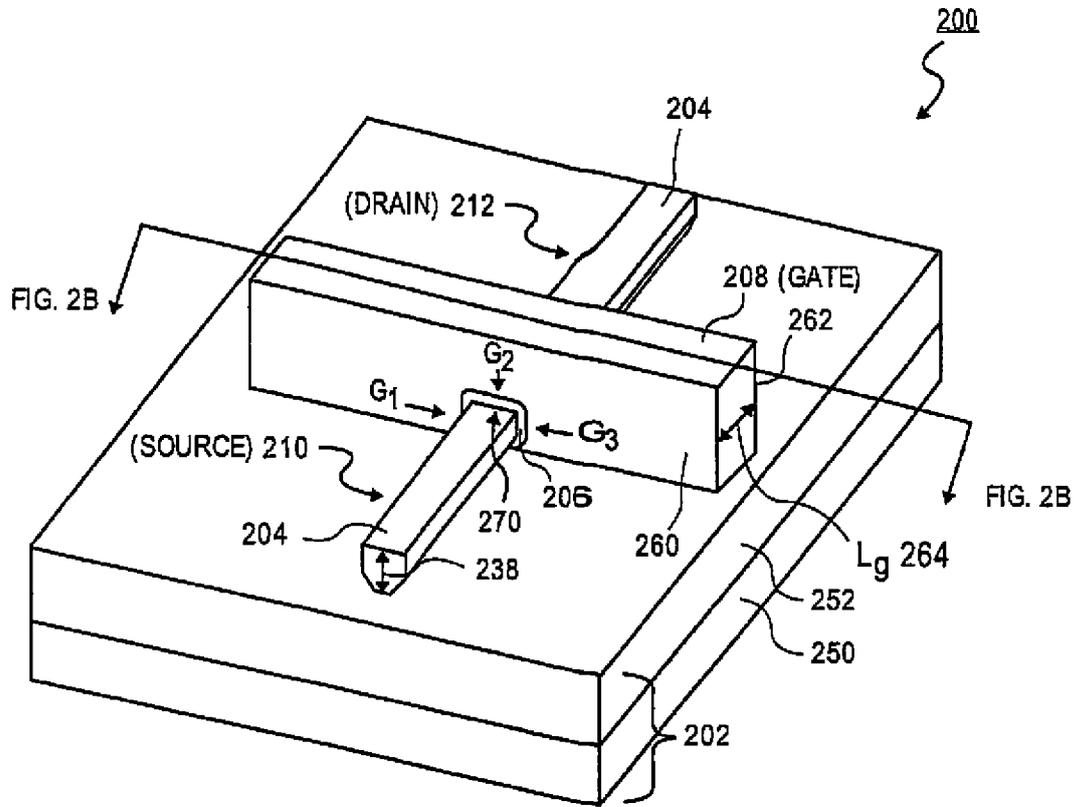


FIG. 2A

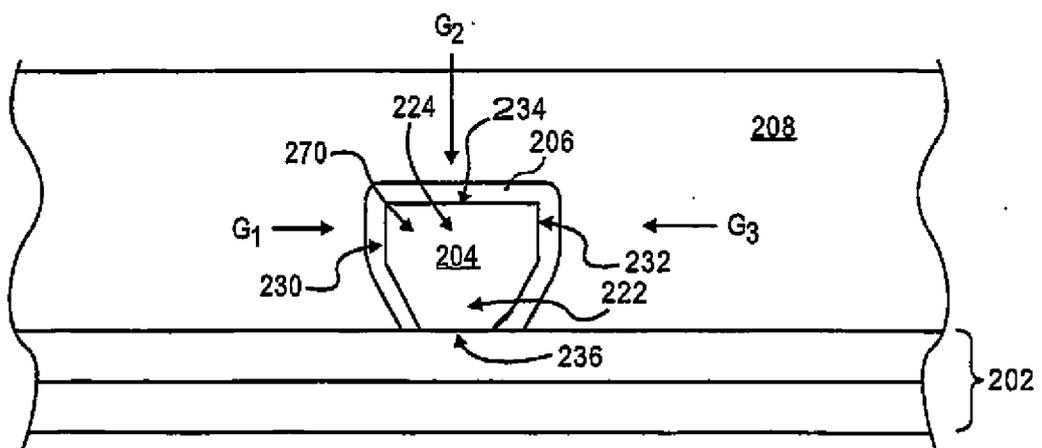


FIG. 2B

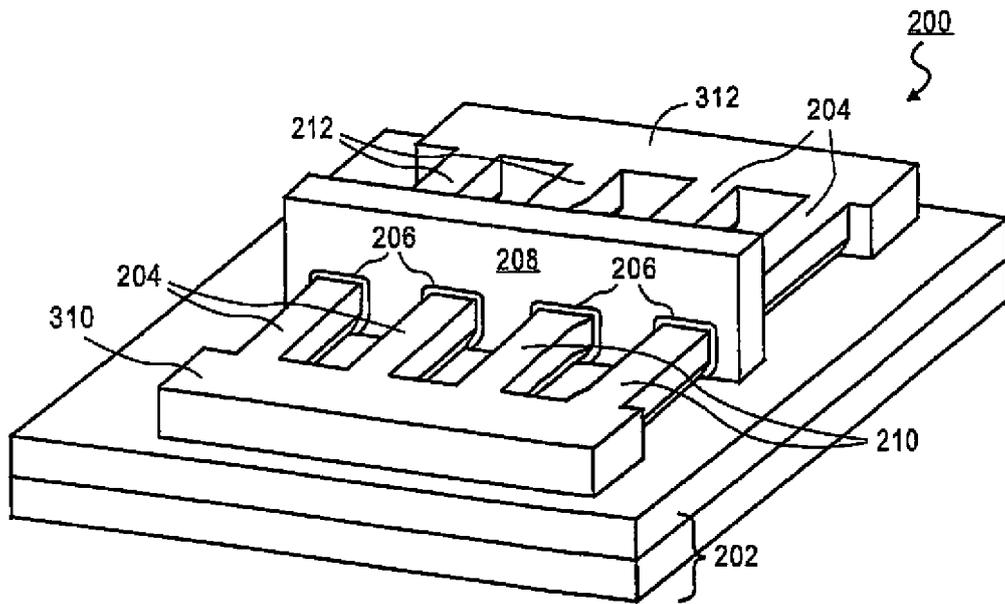


FIG. 3A

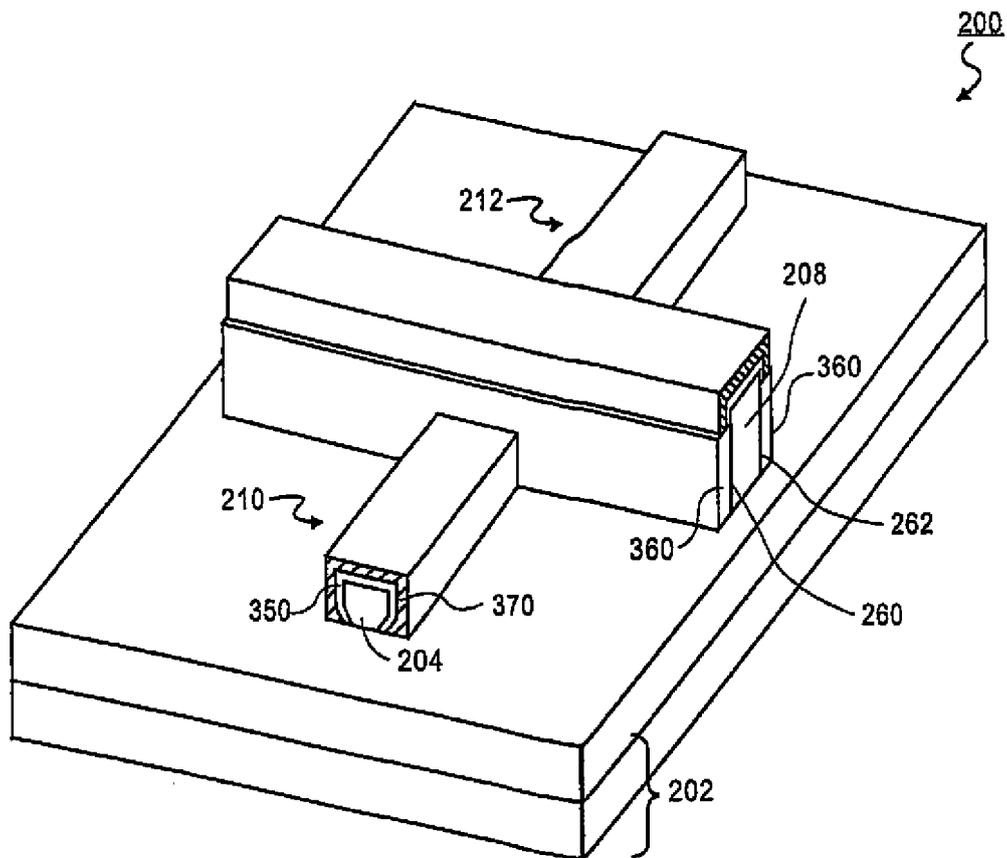


FIG. 3B

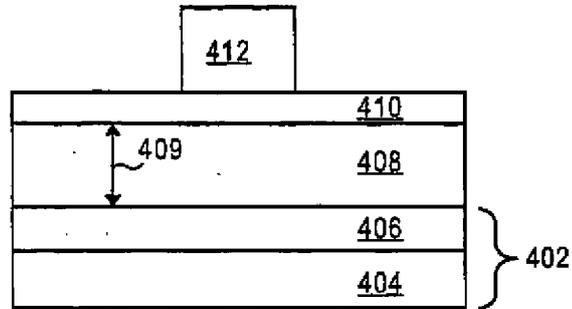


FIG. 4A

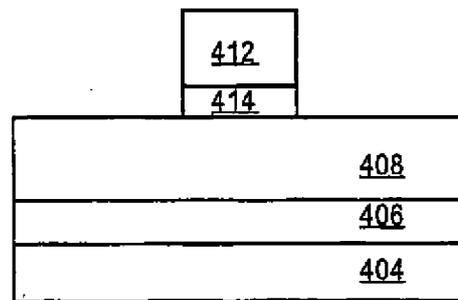


FIG. 4B

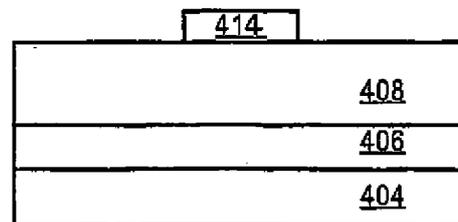


FIG. 4C

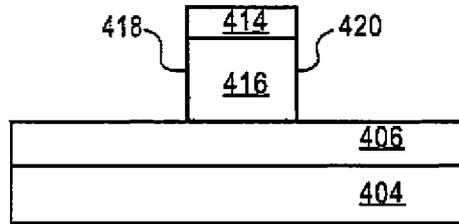


FIG. 4D

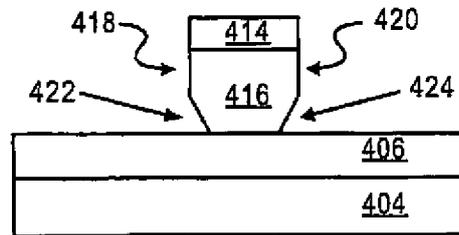


FIG. 4E

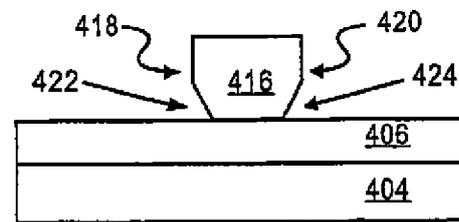


FIG. 4F

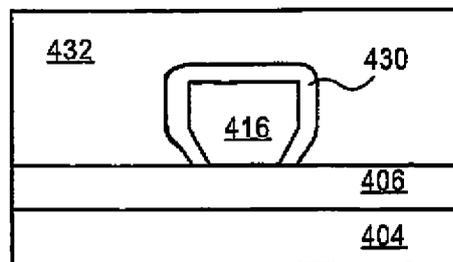


FIG. 4G

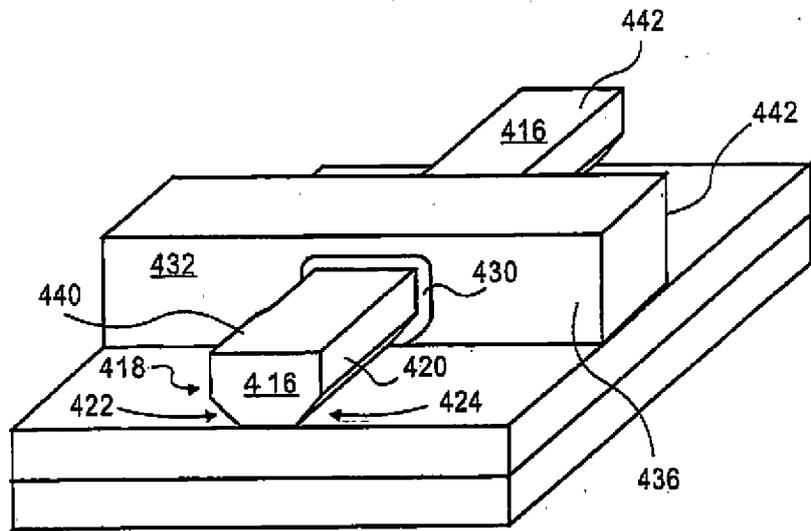


FIG. 4H

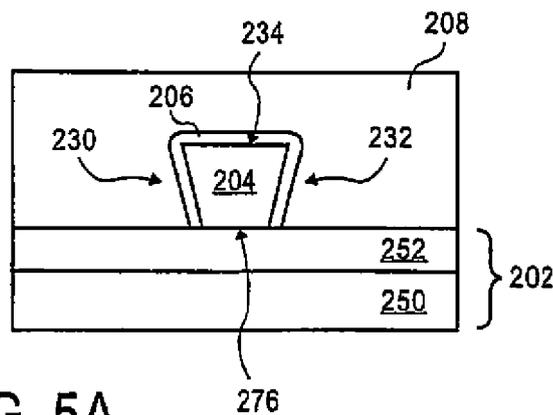


FIG. 5A

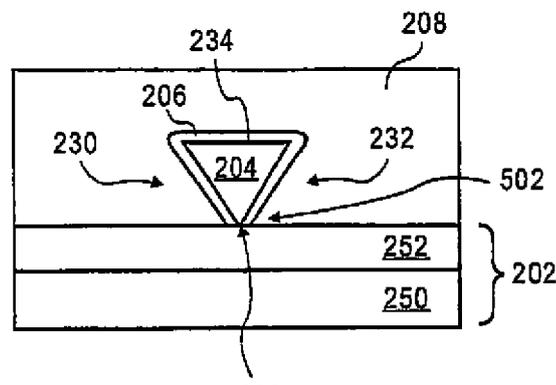


FIG. 5B

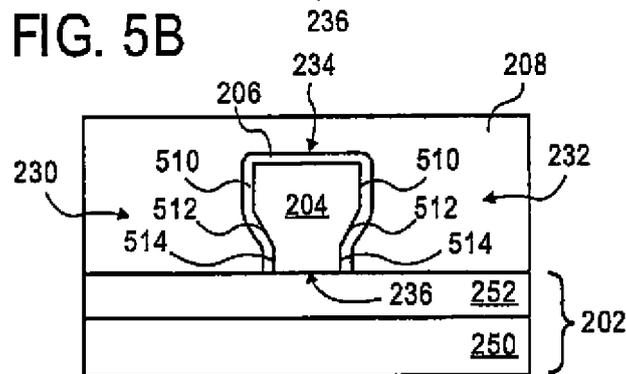


FIG. 5C

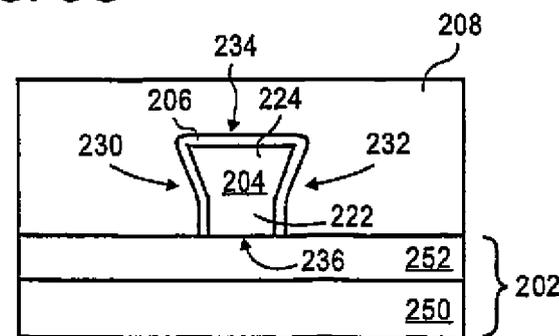


FIG. 5D